

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6604596号
(P6604596)

(45) 発行日 令和1年11月13日 (2019. 11. 13)

(24) 登録日 令和1年10月25日 (2019. 10. 25)

(51) Int. Cl.

F I

HO 1 L 21/336 (2006. 01)
 HO 1 L 29/78 (2006. 01)
 HO 1 L 21/316 (2006. 01)
 HO 1 L 21/318 (2006. 01)
 HO 1 L 29/423 (2006. 01)

HO 1 L 29/78 3 O 1 G
 HO 1 L 29/78 3 O 1 X
 HO 1 L 21/316 S
 HO 1 L 21/316 X
 HO 1 L 21/318 B

請求項の数 41 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2017-510650 (P2017-510650)
 (86) (22) 出願日 平成26年9月26日 (2014. 9. 26)
 (65) 公表番号 特表2017-535053 (P2017-535053A)
 (43) 公表日 平成29年11月24日 (2017. 11. 24)
 (86) 国際出願番号 PCT/US2014/057585
 (87) 国際公開番号 W02016/048336
 (87) 国際公開日 平成28年3月31日 (2016. 3. 31)
 審査請求日 平成29年9月21日 (2017. 9. 21)

(73) 特許権者 591003943
 インテル・コーポレーション
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 クレンデニング、スコット ビー、
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200 インテル
 ・コーポレーション内

最終頁に続く

(54) 【発明の名称】 半導体デバイス用の選択的ゲートスペーサ

(57) 【特許請求の範囲】

【請求項 1】

トランジスタを製造するための方法であって、
 妨害材料を半導体フィン上に形成するステップと、
 前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記
 犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、
 コンフォーマル層を前記犠牲ゲート全体上に選択的に形成するステップであって、前記
 コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォー
 マル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、
 エッチングにより前記妨害材料の露出部分を除去するステップであって、前記コンフォ
 ーマル層は前記エッチングの間前記犠牲ゲートを保護する、ステップと、
 前記コンフォーマル層の側壁に隣接して層間誘電体材料を形成し、前記犠牲ゲートを露
 出するステップと、
 前記犠牲ゲート及び前記妨害材料の一部を除去して前記半導体フィンの第3の部分に露
 出するステップと、
 前記半導体フィンの前記第3の部分上にゲート誘電体、及び前記ゲート誘電体上にゲ
 ート電極を配設するステップとを含む方法。

【請求項 2】

前記コンフォーマル層を選択的に形成する前に、妨害用の自己組織化単分子層を前記妨
 害材料の少なくとも一部に形成するステップをさらに含み、前記犠牲ゲート及び前記妨害

10

20

材料の前記一部を除去するステップは、さらに、前記妨害用の自己組織化単分子層を除去するステップを含む、請求項 1 に記載の方法。

【請求項 3】

前記妨害用の自己組織化単分子層が、少なくとも頭部基および末端を有する分子を含み、前記頭部基が、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも 1 つを含む請求項 2 に記載の方法。

【請求項 4】

前記コンフォーマル層を前記犠牲ゲート上に選択的に形成する前に、前記犠牲ゲート内への注入を行って、前記犠牲ゲート内部に注入領域を形成するステップをさらに含む請求項 1 から 3 のいずれか一項に記載の方法。

10

【請求項 5】

前記犠牲ゲートがポリシリコンを含み、前記注入が窒素注入を含み、前記妨害材料が酸化ケイ素を含む請求項 4 に記載の方法。

【請求項 6】

前記犠牲ゲートがポリシリコンを含み、前記注入がアモルファス化注入を含み、前記コンフォーマル層を選択的に形成するステップが、炭化ケイ素コンフォーマル層を形成するために炭素堆積および高速熱処理を含む請求項 4 または 5 に記載の方法。

【請求項 7】

前記コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップが、プラズマ露出、原子層堆積、分子層堆積、または化学気相成長の少なくとも 1 つを含む 1 回の堆積操作を含む請求項 1 から 6 のいずれか一項に記載の方法。

20

【請求項 8】

前記コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップが、前記犠牲ゲート内への注入を行って、前記コンフォーマル層を形成する請求項 1 から 7 のいずれか一項に記載の方法。

【請求項 9】

前記妨害材料が、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムの少なくとも 1 つを含む請求項 1 から 8 のいずれか一項に記載の方法。

30

【請求項 10】

前記コンフォーマル層が、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、ポリフォスファーゼン、または酸化アルミニウムの少なくとも 1 つを含む請求項 1 から 9 のいずれか一項に記載の方法。

【請求項 11】

前記半導体フィンが、ナノワイヤを備えるアンダーカットフィンを含み、前記犠牲ゲートが、前記半導体フィンの周りを実質的に覆う、請求項 1 から 10 のいずれか一項に記載の方法。

【請求項 12】

40

半導体フィンの第 1 の部分上のゲート誘電体、及び前記ゲート誘電体上のゲート電極を含むゲートと、

前記第 1 の部分に隣接する前記半導体フィンの第 2 の部分上の妨害材料と、

前記妨害材料上の妨害用の自己組織化単分子層部分と、

前記第 2 の部分に隣接する前記半導体フィンの第 3 の部分上の層間誘電体材料と、

前記ゲートに隣接し、前記妨害用の自己組織化単分子層部分上のゲート側壁スペーサとを有するトランジスタを備え、

前記妨害材料、前記妨害用の自己組織化単分子層部分、及びゲート側壁スペーサは、前記層間誘電体材料に隣接し、かつ前記ゲートと前記層間誘電体材料との間にある、集積回路。

50

【請求項 1 3】

前記妨害用の自己組織化単分子層部分は、妨害用の自己組織化単分子層分子頭部基または妨害用の自己組織化単分子層分子末端の少なくとも一方を備える請求項 1 2 に記載の集積回路。

【請求項 1 4】

前記妨害用の自己組織化単分子層分子頭部基が、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも 1 つを含む請求項 1 3 に記載の集積回路。

【請求項 1 5】

前記半導体フィン内部および少なくとも前記妨害材料の下方にある注入領域をさらに備える請求項 1 2 から 1 4 のいずれか一項に記載の集積回路。

10

【請求項 1 6】

前記注入領域が、窒素、酸素、ホウ素、リン、ヒ素、アンチモン、炭素、アルゴン、ヘリウム、またはキセノンの少なくとも 1 つを含む請求項 1 5 に記載の集積回路。

【請求項 1 7】

前記妨害材料が酸化ケイ素を含み、前記ゲート側壁スペーサが窒化ケイ素を含み、前記ゲート誘電体が高 k ゲート誘電体を含み、前記ゲート電極が金属ゲートを含む請求項 1 2 から 1 6 のいずれか一項に記載の集積回路。

【請求項 1 8】

前記妨害材料が、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムの少なくとも 1 つを含み、前記集積回路が、前記ゲート側壁スペーサの下方にアンダーカット部分をさらに含む請求項 1 2 から 1 7 のいずれか一項に記載の集積回路。

20

【請求項 1 9】

前記ゲート側壁スペーサが、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、ポリフォスファーゼン、または酸化アルミニウムの少なくとも 1 つを含み、前記ゲート側壁スペーサが、前記半導体フィンに隣接するテーパ付き部分を含む請求項 1 2 から 1 8 のいずれか一項に記載の集積回路。

【請求項 2 0】

前記半導体フィンが、ナノワイヤを含むアンダーカットフィンを有し、前記ゲートが、前記半導体フィンの周りを実質的に覆う、請求項 1 2 から 1 9 のいずれか一項に記載の集積回路。

30

【請求項 2 1】

メモリと、

前記メモリに結合されたプロセッサとを備え、前記プロセッサは、トランジスタを備え、前記トランジスタは、

半導体フィンの第 1 の部分 上のゲート誘電体、及び前記ゲート誘電体上のゲート電極を含むゲートと、

前記第 1 の部分に隣接する前記半導体フィンの第 2 の部分上の妨害材料と、

前記妨害材料上の妨害用の自己組織化単分子層部分と、

前記第 2 の部分に隣接する前記半導体フィンの第 3 の部分上の層間誘電体材料と、

前記ゲートに隣接し、前記妨害用の自己組織化単分子層部分上のゲート側壁スペーサとを備え、

40

前記妨害材料、前記妨害用の自己組織化単分子層部分、及びゲート側壁スペーサは、前記層間誘電体材料に隣接し、かつ前記ゲートと前記層間誘電体材料との間にある、システム。

【請求項 2 2】

前記妨害用の自己組織化単分子層部分は、妨害用の自己組織化単分子層分子頭部基を備え、前記妨害用の自己組織化単分子層分子頭部基が、シロキサン、塩化シリル、アルケン

50

、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含む請求項21に記載のシステム。

【請求項23】

前記トランジスタが、

前記半導体フィン内部および少なくとも前記妨害材料の下方の注入領域をさらに備える請求項21または22に記載のシステム。

【請求項24】

前記妨害材料が酸化ケイ素を含み、前記ゲート側壁スペーサが窒化ケイ素を含み、前記ゲート誘電体が、高kゲート誘電体を備え、前記ゲート電極が金属ゲートを備える請求項21から23のいずれか一項に記載のシステム。

10

【請求項25】

トランジスタを製造するための方法であって、

妨害材料を半導体フィン上に形成するステップと、

前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、

コンフォーマル層を選択的に形成する前に、妨害用の自己組織化単分子層を前記妨害材料の少なくとも一部に形成するステップと、

前記コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、

20

前記妨害材料の露出部分を除去するステップとを含む方法。

【請求項26】

前記妨害用の自己組織化単分子層が、少なくとも頭部基および末端を有する分子を含み、前記頭部基が、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含む請求項25に記載の方法。

【請求項27】

トランジスタを製造するための方法であって、

妨害材料を半導体フィン上に形成するステップと、

前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、

コンフォーマル層を前記犠牲ゲート上に選択的に形成する前に、前記犠牲ゲート内への注入を行って、前記犠牲ゲート内部に注入領域を形成するステップと、

前記コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、

前記妨害材料の露出部分を除去するステップとを含み、前記犠牲ゲートがポリシリコンを含み、前記注入が窒素注入を含み、前記妨害材料が酸化ケイ素を含む方法。

30

【請求項28】

トランジスタを製造するための方法であって、

妨害材料を半導体フィン上に形成するステップと、

前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、

コンフォーマル層を前記犠牲ゲート上に選択的に形成する前に、前記犠牲ゲート内への注入を行って、前記犠牲ゲート内部に注入領域を形成するステップと、

前記コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、

前記妨害材料の露出部分を除去するステップとを含み、

前記犠牲ゲートがポリシリコンを含み、前記注入がアモルファス化注入を含み、前記コ

40

50

ンフォーマル層を選択的に形成するステップが、炭化ケイ素コンフォーマル層を形成するために炭素堆積および高速熱処理を含む方法。

【請求項 29】

トランジスタを製造するための方法であって、
妨害材料を半導体フィン上に形成するステップと、
前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、
コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、
前記妨害材料の露出部分を除去するステップとを含み、
前記コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップが、プラズマ露出、原子層堆積、分子層堆積、または化学気相成長の少なくとも1つを含む1回の堆積操作を含む方法。

10

【請求項 30】

トランジスタを製造するための方法であって、
妨害材料を半導体フィン上に形成するステップと、
前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、
コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、
前記妨害材料の露出部分を除去するステップとを含み、
前記妨害材料が、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムの少なくとも1つを含む方法。

20

【請求項 31】

トランジスタを製造するための方法であって、
妨害材料を半導体フィン上に形成するステップと、
前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、
コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、
前記妨害材料の露出部分を除去するステップとを含み、
前記コンフォーマル層が、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、ポリフォスファーゼン、または酸化アルミニウムの少なくとも1つを含む方法。

30

【請求項 32】

トランジスタを製造するための方法であって、
妨害材料を半導体フィン上に形成するステップと、
前記妨害材料の少なくとも第1の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、
コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第2の部分には形成されない、ステップと、
前記妨害材料の露出部分を除去するステップと
前記コンフォーマル層の上部を除去して、前記犠牲ゲートを露出し、前記コンフォーマル層の残りの部分からゲート側壁スペーサを形成するステップと、
前記犠牲ゲートと、前記半導体フィンに隣接する、および前記ゲート側壁スペーサの間にある前記妨害材料の少なくとも一部とを除去するステップと、

40

50

前記半導体フィン上および前記ゲート側壁スペーサの間にゲートスタックを配設するステップとを含む方法。

【請求項 3 3】

トランジスタを製造するための方法であって、

妨害材料を半導体フィン上に形成するステップと、

前記妨害材料の少なくとも第 1 の部分に犠牲ゲートを配設するステップであって、前記犠牲ゲートと前記妨害材料とが、異なる表面化学特性を有する、ステップと、

コンフォーマル層を前記犠牲ゲート上に選択的に形成するステップであって、前記コンフォーマル層が、前記妨害材料に対するエッチング選択性を有し、前記コンフォーマル層が、前記妨害材料の少なくとも第 2 の部分には形成されない、ステップと、

前記妨害材料の露出部分を除去するステップとを含む、

前記半導体フィンが、ナノワイヤを備えるアンダーカットフィンを含み、前記犠牲ゲートが、前記半導体フィンの周りを実質的に覆う方法。

【請求項 3 4】

半導体フィンの少なくとも第 1 の部分の上方に配設されたゲートと、

前記ゲートに隣接するゲート側壁スペーサと、

前記半導体フィンの第 2 の部分と前記ゲート側壁スペーサとの間の妨害材料と、

前記妨害材料と前記ゲート側壁スペーサとの間に、妨害用の自己組織化単分子層分子頭部基または妨害用の自己組織化単分子層分子末端の少なくとも一方と

を含むトランジスタを備え、

前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有する、集積回路。

【請求項 3 5】

半導体フィンの少なくとも第 1 の部分の上方に配設されたゲートと、

前記ゲートに隣接するゲート側壁スペーサと、

前記半導体フィンの第 2 の部分と前記ゲート側壁スペーサとの間の妨害材料と、

前記妨害材料と前記ゲート側壁スペーサとの間に、妨害用の自己組織化単分子層分子頭部基と

を含むトランジスタを備え、

前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有し、

前記妨害用の自己組織化単分子層分子頭部基が、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも 1 つを含む集積回路。

【請求項 3 6】

半導体フィンの少なくとも第 1 の部分の上方に配設されたゲートと、

前記ゲートに隣接するゲート側壁スペーサと、

前記半導体フィンの第 2 の部分と前記ゲート側壁スペーサとの間の妨害材料と

を含むトランジスタを備え、

前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有し、

前記妨害材料が酸化ケイ素を含み、前記ゲート側壁スペーサが窒化ケイ素を含み、前記ゲートが、高 k ゲート誘電体と、前記高 k ゲート誘電体上の金属ゲートとを含むゲートスタックを含む集積回路。

【請求項 3 7】

半導体フィンの少なくとも第 1 の部分の上方に配設されたゲートと、

前記ゲートに隣接するゲート側壁スペーサと、

前記半導体フィンの第 2 の部分と前記ゲート側壁スペーサとの間の妨害材料と

前記ゲート側壁スペーサの下方にアンダーカット部分と

を含むトランジスタを備え、

前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有し、

前記妨害材料が、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭

10

20

30

40

50

化ケイ素、または酸化アルミニウムの少なくとも1つを含む集積回路。

【請求項38】

半導体フィンの少なくとも第1の部分の上方に配設されたゲートと、
前記ゲートに隣接するゲート側壁スペーサと、
前記半導体フィンの第2の部分と前記ゲート側壁スペーサとの間の妨害材料と
を含むトランジスタを備え、
前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有し、
前記ゲート側壁スペーサが、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、
オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、
ポリフォスファーゼン、または酸化アルミニウムの少なくとも1つを含み、前記ゲート側壁スペーサが、
前記半導体フィンに隣接するテーパー付き部分を含む集積回路。

10

【請求項39】

半導体フィンの少なくとも第1の部分の上方に配設されたゲートと、
前記ゲートに隣接するゲート側壁スペーサと、
前記半導体フィンの第2の部分と前記ゲート側壁スペーサとの間の妨害材料と
を含むトランジスタを備え、
前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有し、
前記半導体フィンが、ナノワイヤを含むアンダーカットフィンを含み、前記ゲートが、
前記半導体フィンの周りを実質的に覆う集積回路。

20

【請求項40】

メモリと、
前記メモリに結合されたプロセッサとを備え、前記プロセッサは、トランジスタを有し、
前記トランジスタは、
半導体フィンの少なくとも第1の部分の上方に配設されたゲートと、
前記ゲートに隣接するゲート側壁スペーサと、
前記半導体フィンの第2の部分と前記ゲート側壁スペーサとの間の妨害材料と、
前記妨害材料と前記ゲート側壁スペーサとの間の妨害用の自己組織化単分子層分子頭部基とを含み、
前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有し、
前記妨害用の自己組織化単分子層分子頭部基が、シロキサン、塩化シリル、アルケン、
アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含むシステム。

30

【請求項41】

メモリと、
前記メモリに結合されたプロセッサとを備え、前記プロセッサは、トランジスタを有し、
前記トランジスタは、
半導体フィンの少なくとも第1の部分の上方に配設されたゲートと、
前記ゲートに隣接するゲート側壁スペーサと、
前記半導体フィンの第2の部分と前記ゲート側壁スペーサとの間の妨害材料とを含み、
前記ゲート側壁スペーサは、前記妨害材料に対するエッチング選択性を有し、
前記妨害材料が酸化ケイ素を含み、前記ゲート側壁スペーサが窒化ケイ素を含み、前記ゲートが、
高kゲート誘電体と、前記高kゲート誘電体上の金属ゲートとを含むゲートスタックを含むシステム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、一般に、選択的ゲートスペーサを形成することに関し、より詳細には、妨害材料を半導体フィン上に提供し、後で形成されるゲート上に、選択的に形成されたゲートスペースを配設することができるようにすることに関し、さらに、そのような技法を使用して形成されるデバイス構造、デバイス、およびシステムに関する。

50

【背景技術】

【0002】

トリゲートトランジスタ製造でのリプレースメントゲートプロセス用の現在の集積操作は、複雑な、所望の構造を実現することを難しくするいくつかのステップを含むことがある。例えば、現在の方法では、フィンのソースおよびドレインコンタクト領域で、犠牲（例えばダミー）ゲートおよびフィンの上方に誘電体ゲートスペーサ材料が堆積されることがある。堆積は、非選択性であることがあり、したがって、誘電体ゲートスペーサ材料が、望まれる領域（例えば犠牲ゲート）および望まれない領域（例えばフィンのソースおよびドレインコンタクト領域）の上方に形成される。その後、望みのゲートスペーサを形成するためにマルチステップ（例えば約10ステップ）のプロセスを使用してゲートスペーサが形成されることがあり、それにより、犠牲ゲートが除去および置換されることがあり、後続のデバイス製造が続くことがある。

10

【0003】

そのようなマルチステッププロセスは、難しく、コストがかかり、フィンに対する損傷（例えば、フィンのチャネル領域および／またはフィンのソース／ドレイン領域に対する損傷）、および欠陥レベルの増加などを引き起こすことがある。

【0004】

したがって、トリゲートトランジスタデバイスを形成するためのより単純で、より低コストで、より高品質のプロセスを実現する必要がある。そのような努力は、そのようなデバイスに対する要求が増加し続けるときに重要となり得る。

20

【図面の簡単な説明】

【0005】

本明細書で述べる材料は、限定としてではなく例として添付図面に示される。図を単純に、かつ分かりやすくするために、図中に示される要素は、必ずしも正しい縮尺では描かれてはいない。例えば、いくつかの要素の寸法は、明瞭にするために他の要素に対して誇張されていることがある。さらに、適切と考えられる場合、参照符号は、対応するまたは同様の要素を示すために図中で繰り返し使用されている。

【0006】

【図1A】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1B】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

30

【図1C】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1D】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1E】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1F】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1G】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1H】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1I】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図1J】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図2A】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図2B】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

40

【図2C】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図2D】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図2E】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図2F】特定の製造操作が行われるときの例示的なトランジスタ構造を示す図である。

【図3】例示的な妨害用の自己組織化単分子層分子を示す図である。

【図4】アンダーカットを有する妨害材料を有する例示的なトランジスタ構造を示す図である。

【図5】テーパ付き部分を有する側壁スペーサを有する例示的なトランジスタ構造を示す図である。

【図6】注入領域を有する例示的なトランジスタ構造を示す図である。

50

【図7】二重パターン形成技法を使用してデバイス構造を形成するための例示的なプロセスを示す流れ図である。

【図8】選択的ゲートスペーサ技法によって製造されたトランジスタを有するICを採用するモバイルコンピューティングプラットフォームの例示図である。

【図9】本開示の少なくともいくつかの実装形態に従ってすべて構成された、コンピューティングデバイスの機能ブロック図である。

【発明を実施するための形態】

【0007】

以下、添付図面を参照して、1つまたは複数の実施形態または実装形態を説明する。特定の構成および配置を論じるが、これは例示目的で論じているにすぎないことを理解すべきである。本明細書の趣旨および範囲から逸脱することなく他の構成および配置を採用することができることを当業者は理解されよう。本明細書で述べる技法および／または構成は、本明細書で述べるもの以外の様々な他のシステムおよび用途で採用することもできることが当業者には明らかであろう。

【0008】

本明細書の一部を成す添付図面に対する以下の詳細な説明において、全体を通して、同じ参照番号が同様の部分を表し、対応または類似する要素を示すことがあることに言及しておく。図を単純におよび／または分かりやすくするために、図中に示される要素は、必ずしも正しい縮尺で描かれてはいないことを理解されたい。例えば、明瞭にするために、要素のいくつかの寸法は、他の要素に対して誇張されていることがある。さらに、他の実施形態が利用されることもあり、特許請求される主題の範囲から逸脱することなく構造的小および／または論理的变化が加えられることもあることを理解されたい。図面および実施形態の論述を容易にするために、向きおよび基準、例えば、上、下、上部、底部、上方、および下方などを使用することがあるが、特許請求される主題の用途を制限することは意図されていないことにも留意すべきである。したがって、以下の詳細な説明は、限定的意味合いで解釈されるべきではなく、特許請求される主題の範囲は、添付の特許請求の範囲およびそれらの均等形態によって定義される。

【0009】

以下の説明では、多くの詳細を述べる。しかし、これらの特定の詳細を伴わずに本発明を実施することができることが当業者には明らかであろう。なお、よく知られている方法およびデバイスは、本発明を曖昧にしないように、詳細に示すのではなくブロック図で示す。本明細書を通して、「実施形態」または「一実施形態」は、実施形態に関連付けて述べる特定の特徵、構造、機能、および特性が本発明の少なくとも1つの実施形態に含まれることを意味する。したがって、本明細書を通じて様々な箇所での語句「実施形態では」または「一実施形態では」は、必ずしも本発明の同じ実施形態に言及しているわけではない。さらに、特定の特徵、構造、機能、または特性を、1つまたは複数の実施形態において任意の適切な様式で組み合わせることができる。例えば、2つの実施形態に関連付けられる特定の特徵、構造、機能、または特性が相互に排他的でない場合には常に、第1の実施形態を第2の実施形態と組み合わせることができる。

【0010】

本発明の明細書および添付の特許請求の範囲で使用するとき、文脈上特に明記されていない限り、単数形は、複数形も包含するものと意図される。また、本明細書で使用する用語「および／または」は、関連の列挙された項目の1つまたは複数のすべての可能な組合せに言及し、それらの組合せを包含することを理解されたい。

【0011】

用語「結合」および「接続」、ならびにそれらの派生語は、構成要素間の構造的関係を表すために本明細書で使用するすることができる。これらの用語は、互いに同義語とは意図されていないことを理解すべきである。そうではなく、特定の実施形態では、「接続」は、2つ以上の要素が互いに直接物理的または電氣的接触することを示すために使用されることがある。「結合」は、2つ以上の要素が、互いに直接または間接的に（間に他の介在要

素を有して）物理的または電氣的接触すること、および／または2つ以上の要素が（例えば因果関係として）互いに共同もしくは相互作用することを示すために使用されることがある。

【0012】

用語「上方」、「下方」、「間」、および／または「上」などは、本明細書で使用する
とき、1つの材料層または構成要素の他の層または構成要素に対する相対位置を表す。例
えば、別の層の上方または下方に配設された1つの層は、その別の層と直接接触している
ことも、1つまたは複数の介在層を有することもある。さらに、2つの層の間に配設され
た1つの層は、2つの層と直接接触することも、1つまたは複数の介在層を有すること
もある。対照的に、第2の層の「上」にある第1の層は、その第2の層と直接接触する。同
様に、明記しない限り、2つのフィーチャの間に配設された1つのフィーチャは、隣接す
るフィーチャと直接接触していても、1つまたは複数の介在フィーチャを有していてもよ
い。

10

【0013】

本明細書を通じて、および特許請求の範囲で使用されるとき、用語「少なくとも1つの」
または「1つまたは複数の」に続く項目の列挙は、列挙された項目の任意の組合せを意
味することができる。例えば、語句「A、B、またはCの少なくとも1つ」は、A；B；
C、AおよびB；AおよびC；BおよびC；またはA、B、およびCを意味することができ
る。

【0014】

20

選択的に形成されるゲート側壁スペーサに関係付けて、方法、デバイス構造、デバイス
、装置、および計算プラットフォームを以下に述べる。

【0015】

上述したように、トリゲートトランジスタデバイスおよび同様のデバイスを形成するた
めのより単純で、より低コストで、より高品質のプロセスを実現する必要がある。本明
細書でさらに論じるように、一実施形態では、妨害材料が半導体フィン上に形成されるこ
とがある。例えば、妨害材料は、後で形成されるゲートとは異なる表面化学特性を有す
ることがある。妨害材料は、コンフォーマル層がゲート上に形成されるが、妨害材料上には
形成されない（または少なくとも妨害材料の一部には形成されない）ように、後で形成さ
れるゲートとは異なる表面化学特性を有する任意の材料でよい。例えば、妨害材料は、
フィンのクラッドなどとして特徴付けられることがある。論じたように、ゲートは、妨害材
料の一部（例えば、半導体フィンの一部の上）に配設されることがあり、それにより、
論じたように、ゲートと妨害材料とは異なる表面化学特性を有する。いくつかの例では、
後で形成されるコンフォーマル層のゲート上へ選択性を補助するようにゲートの内部に注
入領域を形成するために、任意選択の注入が行われることがある。さらに、いくつかの例
では、妨害材料の露出部分に、妨害用の自己組織化単分子層が形成されることがある。そ
のような妨害用の自己組織化単分子層は、本明細書でさらに論じるように、頭部基および
末端を有する分子を含むことがあり、頭部基は、妨害材料に取着し、末端は、後続のコン
フォーマル層の形成をさらに妨げる。他の例では、そのような妨害用の自己組織化単分子
層が提供されないこともある。

30

40

【0016】

論じたように、次いで、妨害材料に対するエッチング選択性を有するコンフォーマル層
は、上述の表面化学特性の相違により、ゲート上に選択的に形成されるが、妨害材料の少
なくとも一部（例えば妨害用の自己組織化単分子層を包含または除外する）には形成され
ないことがある。例えば、コンフォーマル層は、妨害材料によって覆われているフィンの
部分には形成されないことがあるが、コンフォーマル層の一部は、ゲートに直に隣接する
フィン上に形成されることがある。論じたように、ゲート自体は、コンフォーマル層によ
って覆われることがある。いくつかの例では、妨害材料の露出部分（例えば、使用される
場合には妨害用の自己組織化単分子層）は、妨害材料とコンフォーマル層との間のエッチ
ング選択性に基づくエッチング操作によって除去されることがある。

50

【0017】

その後、コンフォーマル層の上部は、化学機械研磨（CMP）処理などによって除去されることがある。いくつかの例では、ゲートは、最終的なゲート構造でよく、他の例では、ゲートは、犠牲（例えばダミー）ゲートでよい。そのような犠牲ゲートの例では、犠牲ゲートは、高kゲート誘電体および金属ゲートなど最終的なゲートスタックによって除去および置換されることがある。そのようなトランジスタ構造を使用して、メモリデバイスまたは論理デバイスなどを実装する集積回路内部にトランジスタデバイスを後で製造することができる。

【0018】

例えば、集積回路は、本明細書で論じる技法を使用して形成されたトランジスタを含むことがある。そのようなトランジスタは、半導体フィンの一部の上方に配設されたゲートと、ゲートに隣接するおよびゲート側壁スペーサとを含むことがある。さらに、トランジスタは、ゲート側壁スペーサと半導体フィンとの間に妨害材料を含むことがあり、妨害材料は、ゲート側壁スペーサに対するエッチング選択性を有する。また、いくつかの例では、妨害用の自己組織化単分子層分子の頭部または末端部分（または両方）が、妨害材料とゲート側壁スペーサとの間に配設されることがある。いくつかの例では、残りの妨害材料は、注入種を含むことがあり、および／または半導体フィンは、少なくとも妨害材料の下方に注入領域を含むことがある。いくつかの例では、注入領域は、フィンの他の領域の内部に延びることがある。さらに、トランジスタは、（例えば妨害材料の隣接する部分の除去により）ゲート側壁スペーサの下方および妨害材料の内部にアンダーカット部分を含むことがある。また、ゲート側壁スペーサは、（例えば、妨害材料に隣接する、成長が限られたコンフォーマル層により）フィンに隣接するテーパ付きまたは丸み付き部分を含むことがある。

【0019】

本明細書で論じる技法は、半導体フィンに配設されたゲートに隣接するゲート側壁スペーサを形成するための単純化された製造プロセスを提供することがある。そのような選択的ゲート側壁スペーサ技法は、半導体フィン（例えば、フィンのチャネル領域および／またはソース／ドレイン領域）に問題、処理のばらつき、および／または損傷をもたらすことになる製造ステップをなくすことができる。そのような単純化された技法を使用して形成されたデバイスは、性能を向上させ、製造コストを低減することができる。ゲート側壁スペーサおよび犠牲ゲートを含むそのようなトランジスタ構造は、トランジスタデバイスを製造するために様々なプロセスフローで使用されることがある。

【0020】

図1A、1B、1C、1D、1E、1F、1G、1H、1I、および1Jは、本開示の少なくともいくつかの実装形態に従って構成される、特定の製造操作が行われるときの例示的なトランジスタ構造の図である。図1Aは、例示的なトランジスタ構造100の平面図101と、平面図101でA-A'線に沿って取った側面図102とを提供する。図1Aに示されるように、トランジスタ構造100は、デバイス層103と半導体フィン104とを含むことがある。デバイス層103は、例えば、結晶性シリコンなどの半導体材料を含むことがある。いくつかの例では、デバイス層103は、前に形成されたデバイスまたはデバイス構成要素などを含むことがある。例えば、デバイス層103は、トランジスタ、メモリ、コンデンサ、抵抗器、光電子デバイス、スイッチ、もしくは任意の他の能動または受動電子デバイス、またはそれらの一部を含むことがある。いくつかの例では、デバイス層103は、トランジスタデバイスなど、一部形成されたデバイスを含むことがある。いくつかの例では、デバイス層103は、基板（図示せず）の上方に配設されることがある。いくつかの例では、基板は、単結晶シリコン（Si）、ゲルマニウム（Ge）、シリコンゲルマニウム（SiGe）、III-V材料ベースの材料（例えばガリウムヒ素（GaAs））、炭化ケイ素（SiC）、サファイア（Al₂O₃）、またはそれらの任意の組合せなど、半導体材料を含むことがある。いくつかの例では、デバイス層103自体が、そのような基板材料を含むことがある。

【0021】

半導体フィン104は、任意の適切な半導体材料を含むことがある。一実施形態では、半導体フィン104は、単結晶シリコンを含む。いくつかの他の実施形態では、半導体フィン104は、ゲルマニウム(Ge)、シリコンゲルマニウム(SiGe)、III-V材料ベースの材料(例えばガリウムヒ素(GaAs))、炭化ケイ素(SiC)、サファイア(Al_2O_3)、またはそれらの任意の組合せなど、半導体材料を含むことがある。半導体フィン104は、任意の適切な技法を使用して、例えばデバイス層103のパターン形成およびエッチングによって、または犠牲フィンプロセスによって形成することができる。図示されるように、いくつかの例では、半導体フィン104は、デバイス層103上に配設されたトリゲートフィンでよい。他の例では、半導体フィン104は、アンダーカットフィンでよく、それにより、デバイス層103の一部が半導体フィン104の下から除去されることがあり、半導体フィン104は、ナノワイヤとして特徴付けられることがあり、本明細書で論じるトランジスタ構造が、ナノワイヤデバイスとして特徴付けられることがある。いくつかの例では、そのようなナノワイヤデバイスのフィン構造は、実質的に円形の断面を有することがある。

10

【0022】

図1Bは、半導体フィン104上への妨害材料108の形成後の、トランジスタ構造100と同様のトランジスタ構造105を示す。妨害材料108は、任意の適切な材料または材料スタックを含むことがある。例えば、妨害材料108は、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムの1つまたは複数を含むことがある。以下にさらに論じるように、妨害材料108は、後で形成されるゲートとは表面化学特性の相違を有することがあり(例えば化学的に区別されることがあり)、妨害材料108は、その上へのコンフォーマル層の形成を妨害または阻止することができる。例えば、後で形成されるゲートは、ポリシリコンを含む犠牲ゲートでよい。さらに、妨害材料108は、後続の処理中に半導体フィン104を保護することができる。様々な例において、妨害材料108は、妨害層またはクラッドなどとして特徴付けられることがある。妨害材料108は、半導体フィン104の上部および側壁に形成されることがある。さらに、妨害材料108は、任意の適切な厚さを有してよい。いくつかの例では、妨害材料108は、2~5nmの範囲内の厚さ、4~10nmの範囲内の厚さ、または5~15nmなどの範囲内の厚さを有することがある。

20

30

【0023】

妨害材料108は、任意の適切な技法を使用して形成することができる。いくつかの例では、妨害材料108は、熱成長プロセスによって形成されることがある。例えば、妨害材料108は、熱酸化によって成長させた酸化ケイ素(SiO_2)を含むことがある。他の例では、妨害材料108は、化学気相成長(CVD)、プラズマ化学気相成長(PECVD)、物理気相成長(PVD)、分子ビームエピタキシ(MBE)、有機金属化学気相成長(MOCVD)、分子層堆積(MLD)、または原子層堆積(ALD)などのブランケット堆積技法を使用して堆積されることがある。

【0024】

図1Cは、妨害材料108の一部へのゲート110の形成後の、トランジスタ構造105と同様のトランジスタ構造107を示す。図示されるように、ゲート110は、妨害材料108の一部にパターン形成されることがある。ゲート110は、任意の適切な技法を使用して妨害材料108上に堆積することができる。例えば、ゲート110は、バルク材料の堆積、およびリソグラフィ技法などを使用したパターン形成によって形成されることがあり、いくつかの例では、ゲート110は犠牲またはダミーゲートでよく、したがって、最終的なゲートスタックを形成するために後続のリプレースメントゲートプロセスが行われることがある。ゲート110は、本明細書で論じる妨害材料108に対する表面化学特性の相違を有する任意の適切な材料を含んでよい。いくつかの例では、ゲート110はポリシリコンである。他の例では、ゲート110は窒化ケイ素である。妨害材料108、ゲート110、および他の構造は、半導体フィン104の3面の周りを覆うことがあ

40

50

る（例えば、図 1 C に示される半導体フィン 1 0 4 の上部と、半導体フィン 1 0 4 の側部；図 1 A の平面図参照）。いくつかの例では、ゲート 1 1 0 は、複数の半導体フィンにわたって延びることがある。いくつかの例では、ナノワイヤ実装形態などでは、妨害材料 1 0 8、ゲート 1 1 0、および他の構造は、半導体フィン 1 0 4 のすべての側面の周りを覆うことがある。

【0025】

図 1 D は、ゲート 1 1 0 内部に注入領域 1 0 6 を形成するための任意選択の注入後の、トランジスタ構造 1 0 7 と同様のトランジスタ構造 1 0 9 を示す。図 1 E に関して以下に論じるように、選択的コンフォーマル層ゲートがゲート 1 1 0 上に形成されることがある。いくつかの例では、図示される任意選択の注入は、ゲート 1 1 0 上にコンフォーマル層を形成する前に行われることがある。例えば、注入種は、ゲート 1 1 0 上への選択的なコンフォーマル層の形成の助けとなることがあり、その一方で、半導体フィン 1 0 4 上の妨害材料 1 0 8 の注入部分の化学特性のダメージおよび／または変化を最小限にする。例えば、ゲート 1 1 0 はポリシリコンでよく、妨害材料 1 0 8 は、酸化ケイ素（例えば熱成長させた酸化ケイ素）または炭化ケイ素などでよい。そのような例では、注入領域 1 0 6 の注入種は窒素でよい。本明細書で論じるように、そのような注入により、後続のコンフォーマル層がより選択的にゲート 1 1 0 上に生じ、妨害材料 1 0 8 の露出部分には生じない。一例では、ゲート 1 1 0 はポリシリコンでよく、注入は、ケイ素もしくは窒素の注入種、またはアルゴン、ヘリウム、もしくはキセノンなどの不活性注入種を用いたポリシリコンのアモルファス化またはプレアモルファス化注入でよい。そのような例では、後で形成される妨害材料 1 0 8（本明細書でさらに論じる）は、炭素堆積または高速熱処理（例えばアニールなど）によって形成されることがあり、それにより、妨害材料 1 0 8（および後で形成されるゲート側壁スペーサ）は炭化ケイ素を含む。他の例では、後で形成される妨害材料 1 0 8 は、熱成長させた酸化ケイ素などでよい。

【0026】

論じたように、いくつかの例では、注入は、窒素、ケイ素、または、アルゴン、ヘリウム、もしくはキセノンなどの不活性注入種を含むことがある。他の例では、注入は、酸素、ホウ素、リン、ヒ素、アンチモン、または炭素を含むことがある。いくつかの例では、注入は、ブランケット注入として行われることがあり、したがって、注入前にパターン形成が行われない。例えば、注入領域 1 0 6 は、図示されるようにゲート 1 1 0 の上部および側壁、ならびに半導体フィン 1 0 4 の上部および側壁の露出部分に提供されることがある。いくつかの例では、注入領域（図示せず）は、妨害材料 1 0 8 および／または半導体フィン 1 0 4 内に延びることがある。例えば、そのような注入領域を図 6 に関して本明細書で論じる。いくつかの例では、半導体フィン 1 0 4 の外側のデバイス層 1 0 3 の部分も注入領域を含むことがある。そのような注入領域またはその一部は、後続の製造ステップ後に残ることがあり、本明細書で論じた最終的なトランジスタデバイスまたは構造の一部となることがある。論じたように、図 1 D に示される注入は任意選択でよく、いくつかの例では注入が行われないこともある。図 1 E、1 F、1 G、1 H、1 I、および 1 J は、分かりやすくするために、任意選択の注入領域のない状態の例示的实施形態を示す。

【0027】

他の例では、図 1 D に関して論じた注入は、ゲート 1 1 0 上に堆積されるコンフォーマル層を形成するのに十分なものであり得る。論じたように、いくつかの例では、妨害材料 1 0 8 は酸化ケイ素を含むことがあり、ゲート 1 1 0 はポリシリコンを含むことがあり、注入領域 1 0 6 の注入種は窒素を含むことがある。図 1 E に関して論じるように、そのような例では、本明細書で論じる選択的コンフォーマル層は、論じた注入によって後続の堆積操作（など）なしで形成されることがある。さらに、注入によって形成されるそのような選択的コンフォーマル層は、妨害材料 1 0 8 に対するエッチング選択性を有することがある。例えば、本明細書で論じるように、ゲート 1 1 0 上にコンフォーマル層を選択的に形成することは、注入領域を形成するためにゲート 1 1 0 内に種を注入することを含むことがある。そのような処理は、任意選択のアニーリング操作などを含むことがある。他の

例では、コンフォーマル層は、堆積操作などによって、（例えば注入領域を伴って、または伴わずに）ゲート 1 1 0 上に形成されることがある。

【0028】

図 1 E は、ゲート 1 1 0 上への選択的コンフォーマル層 1 1 2 の形成後の、トランジスタ構造 1 0 7 と同様のトランジスタ構造 1 1 1 を示す。図示されるように、選択的コンフォーマル層 1 1 2 は、ゲート 1 1 0 上に形成され、妨害材料 1 0 8 の一部 1 1 3 には形成されないことがある。例えば、選択的コンフォーマル層 1 1 2 は、本明細書で論じるゲート 1 1 0 と妨害材料 1 0 8 との表面化学特性の相違により、ゲート 1 1 0 上に選択的に形成され、妨害材料 1 0 8 の一部 1 1 3 には形成されないことがある。図示されるように、いくつかの例では、選択的コンフォーマル層 1 1 2 は、妨害材料 1 0 8 の一部 1 1 4 に形成されることがある。そのような部分は、例えばゲート 1 1 0 上の部分 1 1 4 の近位に選択的コンフォーマル層 1 1 2 を形成することにより覆われることがある。他の例では、選択的コンフォーマル層 1 1 2 は、妨害材料 1 0 8 のどの部分にも形成されないことがある。いくつかの例では、選択的コンフォーマル層 1 1 2 は、図 5 に関して本明細書でさらに論じるように、テーパ付きまたは丸み付き部分を含むことがある。論じたように、妨害材料 1 0 8 は、その上への選択的コンフォーマル層 1 1 2 の形成を妨害または阻止することがある。いくつかの例では、図 2 A ~ 2 F および図 3 に関して論じるように、さらなる妨害用の自己組織化単分子層が妨害材料 1 0 8 上に形成されることがあり、その上への選択的コンフォーマル層 1 1 2 の形成を妨害または阻止する。

【0029】

選択的コンフォーマル層 1 1 2 は、ゲート 1 1 0 上に形成され、妨害材料 1 0 8 の一部には形成されないことがあり、妨害材料 1 0 8 に対するエッチング選択性を有することがある任意の適切な材料を含んでよい。例えば、選択的コンフォーマル層 1 1 2 は、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、ポリフォスファーゼン、または酸化アルミニウムなどの金属酸化物の 1 つまたは複数を含むことがある。選択的コンフォーマル層 1 1 2 は、任意の適切な厚さを有してよい。いくつかの例では、選択的コンフォーマル層 1 1 2 は、3 ~ 1 0 nm の範囲内の厚さ、5 ~ 1 2 nm の範囲内の厚さ、または 8 ~ 2 0 nm などの範囲内の厚さを有することがある。

【0030】

選択的コンフォーマル層 1 1 2 は、任意の適切な技法を使用して形成することができる。いくつかの例では、選択的コンフォーマル層 1 1 2 は、プラズマ露光、ALD、MLD、または CVD などの気相法を使用する堆積により形成されることがある。そのような堆積の温度は、室温 ~ 1 1 0 0 °C の範囲内の温度など、任意の適切な温度でよい。一例では、ゲート 1 1 0 はポリシリコンを含むことがあり、ポリシリコンは、ゲート 1 1 0 上に窒化ケイ素の選択層を形成するために、4 0 0 ~ 1 1 0 0 °C の範囲内の温度で 1 ~ 6 0 0 秒の範囲内の時間にわたって、遠隔窒素ガス (N_2) またはアンモニア (NH_3) プラズマに露出されることがあり、プラズマは、水素 (H_2) などの任意選択の他の反応物、および／またはヘリウム (He) もしくはアルゴン (Ar) などの任意選択の希釈不活性ガスを伴う。そのような例では、妨害材料 1 0 8 は、例えば、酸化ケイ素、オキシ窒化ケイ素、オキシ炭化ケイ素、炭化ケイ素、または酸化アルミニウムなどの金属酸化物を含むことがある。いくつかの例では、論じた堆積に続いて、高速熱処理が行われることがある。例えば、選択的コンフォーマル層 1 1 2 は、ゲート 1 1 0 のプレアモルファス化注入後に形成されることがあり、したがって、選択的コンフォーマル層 1 1 2 は、（例えば炭素の）堆積および高速熱処理（例えば炭化ケイ素コンフォーマル層 1 1 2 を形成するため）によって形成されることがある。

【0031】

さらに、図示されるように、選択的コンフォーマル層 1 1 2 は、1 回の堆積操作など 1 回の操作によって形成されることがある。例えば、1 回の堆積操作は、論じたような原子層堆積、分子層堆積、または化学気相成長を含むことがある。そのような 1 回の堆積操作

は、製造を単純にすることができ、妨害材料 108 の存在時のそのような 1 回の堆積操作は、半導体フィン 104 を保護することができ、それにより、高い製造歩留まりおよび低い欠陥率を実現することができる。

【0032】

さらに、図 1 D に関して論じたように、いくつかの例では、選択的コンフォーマル層 112 は、ゲート 110 内への注入を実施することによって形成されることがある。そのような例では、選択的コンフォーマル層 112 を形成するためにゲート 110 の一部が消費されることがある。さらに、そのような例では、図 1 J および本明細書の他の箇所で論じたように、妨害材料 108 の一部が、後で形成されるゲート側壁スペーサと半導体フィン 104 の一部との間に残ることがある。

10

【0033】

図 1 F は、妨害材料 108 の露出部分の除去後の、トランジスタ構造 111 と同様のトランジスタ構造 115 を示す。図示されるように、妨害材料 108 の一部が除去されて、半導体フィン 104 の領域 116 を露出し、残りの妨害材料部分 117 を残すことがある。残りの妨害材料部分 117 は、ゲート 110 の下方および／または選択的コンフォーマル層 112 の部分の下方に残ることがある。いくつかの例では、図 4 に関して本明細書でさらに論じるように、妨害材料 108 の一部の除去中に、残りの妨害材料部分 117 の内部にアンダーカットが形成されることがある。妨害材料 108 の除去される部分は、任意の適切な技法によって除去することができる。例えば、妨害材料 108 の一部が、ウェットエッチングプロセスなどのエッチングプロセスによって除去されることがある。論じたように、選択的コンフォーマル層 112 と妨害材料 108 とは、それらの間でエッチング選択性を有することがあり、それにより、実質的に影響を及ぼさずに選択的コンフォーマル層 112 を残しながら妨害材料 108 の一部を除去するエッチングを行うことができる。例えば、妨害材料 108 の一部は、選択的エッチング操作によって除去されることがある。半導体フィン 104 の露出部分の領域は、ソース／ドレイン形成、および／またはソース／ドレインコンタクトなどのために後で使用されることがある。本明細書で論じる技法は、そのような構造のための半導体フィン 104 の実質的に無傷の領域を提供することができる。

20

【0034】

図 1 G は、層間誘電体材料 119 の任意選択の形成後の、トランジスタ構造 115 と同様のトランジスタ構造 118 を示す。図示されるように、層間誘電体材料 119 は、任意の適切な技法を使用して、半導体フィン 104、残りの妨害材料部分 117、ゲート 110、および選択的コンフォーマル層 112 の上方にバルク堆積することができる。層間誘電体材料 119 は、例えば、デバイス層 103 上または内部に形成されるデバイス間の電気絶縁を提供するための任意の適切な誘電体材料を含むことがある。いくつかの例では、そのような層間誘電体材料 119 は採用されないことがあり、または層間誘電体（デバイス間で使用される場合）は後続の処理操作で提供されることがある。

30

【0035】

図 1 H は、ゲート 110 の上部 121 の露出およびゲート側壁スペーサ 122、123 の形成後の、トランジスタ構造 118 と同様のトランジスタ構造 120 を示す。図示されるように、層間誘電体材料 119 の一部および選択的コンフォーマル層 112 の上部が除去されることがある。部分層間誘電体材料 119 の一部および選択的コンフォーマル層 112 の上部は、例えば化学機械研磨（CMP）技法など任意の適切な技法を使用して除去することができる。やはり図示されるように、選択的コンフォーマル層 112 の上部の除去後に、選択的コンフォーマル層 112 の残りの部分からゲート側壁スペーサ 122、123 が形成されることがある。

40

【0036】

論じたように、層間誘電体材料 119 は任意選択でよく、またはそのような層間誘電体は、プロセスフローにおいて後で提供されることがある。そのような例では、選択的コンフォーマル層 112 の上部の除去によってゲート 110 の上部 121 が露出されることが

50

あり、化学機械研磨（CMP）技法などによってゲート側壁スペーサ122、123を形成する。いくつかの例では、層間誘電体材料119の形成前に存在するゲート110と共に、ソースおよびドレイン注入部や、延長されたソースおよびドレイン領域などの他のトランジスタ構造が形成されることがある。

【0037】

図1Iは、ゲート110の除去、ならびに、半導体フィン104に隣接する、およびゲート側壁スペーサ122、123の間にある妨害材料部分117の一部の除去後の、トランジスタ構造120と同様のトランジスタ構造124を示す。図示されるように、ゲート110は除去されることがある。そのような例では、ゲート110は、犠牲ゲートまたはダミーゲートなどでよい。さらに、図示されるように、妨害材料部分117の一部が除去されることがあり、残りの妨害材料125および残りの妨害材料126を残し、半導体フィン104の領域127を露出する。ゲート110は、エッチング技法など任意の適切な技法を使用して除去することができる。同様に、妨害材料部分117の一部は、エッチング技法など任意の適切な技法を使用して除去することができる。いくつかの例では、ゲート110は、第1のエッチングプロセスで除去されることがあり、妨害材料部分117の一部は、第2のエッチングプロセスで除去されることがある。いくつかの例では、図4に関してさらに本明細書で論じるように、妨害材料部分117の一部の除去中に、残りの妨害材料125および／または残りの妨害材料126の内部にアンダーカットが形成されることがある。

【0038】

図1Jは、ゲートスタック129の形成後の、トランジスタ構造124と同様のトランジスタ構造128を示す。図示されるように、ゲートスタック129は、半導体フィン104上、およびゲート側壁スペーサ122、123間に形成されることがある。ゲートスタック129は、任意の適切な材料を含むことがある。例えば、ゲートスタック129は、高kゲート誘電体などのゲート誘電体130と、金属ゲート電極などのゲート電極131とを含むことがある。ゲートスタック129は、コンフォーマル堆積、堆積、およびCMP技法など任意の適切な技法を使用して形成することができる。図示されるように、いくつかの例では、ゲート誘電体130は、半導体フィン104の表面上に形成されることがある。他の例では、ゲート誘電体130は、ゲート側壁スペーサ122、123の側面に形成されることもあり、それにより、ゲート電極131は、例えばゲート側壁スペーサ122、123と直接接触しない。論じたように、いくつかの例では、ゲートスタック129は、半導体フィン104の3面の周りを覆うことがある（例えば、図1Jに示される半導体フィン104の上部と、半導体フィン104の側面；図1Aの平面図参照）。いくつかの例では、ナノワイヤ実装形態などでは、ゲートスタック129は、半導体フィン104のすべての面の周りを覆うことがある。

【0039】

トランジスタ構造128は、さらに本明細書で論じるように、例えば集積回路のトランジスタの一部を形成することがある。例えば、トランジスタは、半導体フィン104の一部の上方に形成されたゲートスタック129（例えばゲート）を含むことがある。トランジスタは、ゲートに隣接する（例えばゲートスタック129に隣接する）ゲート側壁スペーサ122と、ゲート側壁スペーサ122と半導体フィン104の別の部分との間にある妨害材料（例えば妨害材料125）とをさらに含むことがある。論じたように、ゲート側壁スペーサ122は、犠牲ゲート110上に選択的コンフォーマル層を堆積することによって、または犠牲ゲート110上に選択的コンフォーマル層を形成するために注入を行うことによって形成されることがある。本明細書で論じるそのようなトランジスタ構造または他のトランジスタ構造は、本明細書でさらに論じるように、システム、プラットフォーム、またはコンピューティングデバイスなどによって実装されることがある。

【0040】

論じたように、図1G～1Jは、トランジスタ構造の形成のための例示的なプロセスフローを示す。他の実施形態では、他のリプレースメントゲートプロセスフローなど、他の

10

20

30

40

50

製造操作が、図1 Fのトランジスタ構造1 1 5に対して行われることがある。例えば、論じたように、ゲート1 1 0の上部が露出されることがあり、側壁スペーサ1 2 2、1 2 3が形成されることがあり、層間誘電体1 1 9の導入なしでゲート1 1 0が除去されることがある。さらに、チャネル注入領域およびソース／ドレイン注入領域など他の構造の形成は、分かりやすくするために論じていない。

【0041】

図1 Eに関して上で論じたように、妨害用の自己組織化単分子層は、妨害材料1 0 8上に形成されることがあり、その上への選択的コンフォーマル層1 1 2の形成を妨害または阻止する。図2 A～2 Fおよび図3に関してそのような実施形態を論じる。

【0042】

図2 A、2 B、2 C、2 D、2 E、および2 Fは、本開示の少なくともいくつかの実装形態に従って構成される、特定の製造操作が行われるときの例示的なトランジスタ構造の図である。図2 Aは、妨害用の自己組織化単分子層2 0 1の形成後の、トランジスタ構造1 0 9と同様のトランジスタ構造2 0 0を示す。図示されるように、妨害用の自己組織化単分子層2 0 1は、妨害材料1 0 8の露出部分に選択的に形成されることがある。例えば、妨害用の自己組織化単分子層2 0 1は、論じた妨害材料1 0 8とゲート1 1 0との表面化学特性の相違により、妨害材料1 0 8の露出部分に選択的に形成されることがある。論じたように、妨害用の自己組織化単分子層2 0 1は、後続のコンフォーマル層の形成の妨害を向上または追加することがあり、それにより、コンフォーマル層は、ゲート1 1 0上に選択的に形成され、妨害用の自己組織化単分子層2 0 1には形成されず、したがって、後で形成されるコンフォーマル層のゲート1 1 0上への選択性を高める。妨害用の自己組織化単分子層2 0 1は、頭部基、末端、および任意選択で末端官能基を有する分子を含むことがあり、妨害用の自己組織化単分子層2 0 1は、頭部基が妨害材料1 0 8に取着し、末端および任意選択の末端官能基が図2 Aに示される実質的にz方向で妨害材料1 0 8から離れて延びるように、妨害材料1 0 8上に組織化されることがある。いくつかの例では、妨害用の自己組織化単分子層2 0 1は、パッシベーション材料などとして特徴付けられることがある。さらに、妨害用の自己組織化単分子層2 0 1は、任意の適切な技法を使用して形成することができる。例えば、妨害用の自己組織化単分子層2 0 1は、吸着などによって妨害材料1 0 8上に自然に形成されることがある。例えば、妨害用の自己組織化単分子層2 0 1は、溶液相または気相中で形成されることがある。

【0043】

図3は、本開示の少なくともいくつかの実装形態に従って構成された、例示的な妨害用の自己組織化単分子層分子3 0 0を示す。図3に示されるように、妨害用の自己組織化単分子層分子3 0 0は、頭部基3 0 1、末端3 0 2、および任意選択で末端官能基3 0 3を含むことがある。論じたように、頭部基3 0 1は、妨害材料1 0 8に吸着または他の様式で取着することがある。頭部基3 0 1は、妨害材料1 0 8に取着するが、ゲート1 1 0には取着しないことがある任意の適切な官能基を含むことがある。例えば、頭部基3 0 1は、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の1つまたは複数を含むことがある。さらに、末端3 0 2は、8～22個のアルキル基など、任意のタイプおよび数の結合基を含むことがある。例えば、妨害用の自己組織化単分子層分子3 0 0は、比較的長い（例えばC 8～C 22の）アルキル鎖を有することがある。さらに、妨害用の自己組織化単分子層分子3 0 0は、末端官能基3 0 3を含むことがある。他の例では、妨害用の自己組織化単分子層分子3 0 0は、末端官能基を含まないことがある。

【0044】

図2 Aに戻ると、いくつかの例では、妨害材料1 0 8は、本明細書で論じたように酸化ケイ素でよい（例えば2～5 nmの厚さを有する熱酸化物）。一実施形態では、そのような酸化ケイ素妨害材料1 0 8は、シロキサンベースの妨害用の自己組織化単分子層2 0 1の形成によってさらにパッシベーションされることがある。そのような例では、ゲート1 1 0は、水素終端ポリシリコンなどのポリシリコンゲートでよい。

【0045】

図1Dに関して本明細書で論じたように、いくつかの例では、任意選択の注入は、ゲート110内部の注入領域を形成するために提供されることがある。そのような注入領域は、選択的コンフォーマル層112の形成を補助することがあり、またはそのような注入は、選択的コンフォーマル層112を形成するために行われることがある。注入領域は、本明細書で論じるように任意の注入種を含んでいてよい。例えば、そのような注入は、選択的コンフォーマル層112の形成を補助するために使用されるとき、妨害用の自己組織化単分子層201の形成前または形成後に行われることがある。選択的コンフォーマル層112を形成するためにそのような注入が行われることがある例では、注入は、妨害用の自己組織化単分子層201の形成後に行われることがある。そのような注入領域は、分かりやすくするために図2A～2Fには示されていない。

10

【0046】

図2Bは、ゲート110上への選択的コンフォーマル層112の形成後の、トランジスタ構造200と同様のトランジスタ構造202を示す。選択的コンフォーマル層112は、任意の様式で形成されることがあり、本明細書で論じられる任意の材料および／または特性を含むことがある。そのような詳細は、簡潔にするために繰り返しては述べない。妨害材料108が酸化ケイ素であるものとして上の例を続けると、妨害用の自己組織化単分子層201は、シロキサンベースの分子を含み、ゲート110はポリシリコンであり、選択的コンフォーマル層112は、低温（例えば25～300℃）でのALD、MLD、またはCVDプロセスによって形成されることがある。

20

【0047】

図示されるように、選択的コンフォーマル層112は、ゲート110上に形成され、妨害用の自己組織化単分子層201の部分203には形成されないことがある。例えば、選択的コンフォーマル層112は、本明細書で論じたようなゲート110と妨害用の自己組織化単分子層201および／または妨害材料108との表面化学特性の相違により、ゲート110上に選択的に形成され、妨害用の自己組織化単分子層201の部分203には形成されないことがある。図示されるように、いくつかの例では、選択的コンフォーマル層112は、妨害用の自己組織化単分子層201の部分204に形成されることがある。そのような部分は、例えば、ゲート110上の部分204の近位に選択的コンフォーマル層112を形成することにより覆われることがある。他の例では、選択的コンフォーマル層112は、妨害用の自己組織化単分子層201のどの部分にも形成されないことがある。そのような例では、選択的コンフォーマル層112は、図5に関して本明細書でさらに論じるように、テーパ付きまたは丸み付き部分を含むことがある。論じたように、妨害用の自己組織化単分子層201および／または妨害材料108は、その上への選択的コンフォーマル層112の形成を妨害または阻止することがある。

30

【0048】

図2Cは、妨害用の自己組織化単分子層201および妨害材料108の露出部分の除去後の、トランジスタ構造202と同様のトランジスタ構造205を示す。図示されるように、妨害用の自己組織化単分子層201の一部と、妨害材料108の一部とが除去されることがあり、半導体フィン104の領域206を露出し、残りの自己組織化単分子層部分207、208および残りの妨害材料部分117を残す。残りの自己組織化単分子層部分207、208は、選択的コンフォーマル層112の部分の下方でよい。残りの妨害材料部分117は、ゲート110の下方および／または選択的コンフォーマル層112の一部の下方でよい。いくつかの例では、妨害材料108の一部の除去中に、残りの妨害材料部分117の内部にアンダーカットが形成されることがある。

40

【0049】

さらに、比較的コンフォーマルな層として示されているが、残りの自己組織化単分子層部分207、208は、例えば残りの妨害材料部分117に取着または接着されたとく微量の自己組織化単分子層分子でよい。いくつかの例では、自己組織化単分子層分子のすべての分子が残ることがある。他の例では、分子の一部のみ（例えば、頭部基、末端、末端

50

官能基、またはそれらの組合せ)が、残りの自己組織化単分子層部分207、208に残ることがある。妨害用の自己組織化単分子層201および妨害材料108の除去される部分は、任意の適切な技法によって除去することができる。例えば、妨害材料108の一部が、ウェットエッチングプロセスなどのエッチングプロセスによって除去されることがある。論じたように、選択的コンフォーマル層112と妨害材料108とは、それらの間でエッチング選択性を有することがあり、それにより、実質的に影響を及ぼさずに選択的コンフォーマル層112を残しながら妨害材料108の一部を除去するエッチングを行うことができる。例えば、妨害材料108の一部は、選択的エッチング操作によって除去されることがある。いくつかの例では、妨害用の自己組織化単分子層201の除去される部分は、例えばリフトオフ技法を使用する妨害材料108の一部の除去中に除去されることがある。他の例では、妨害用の自己組織化単分子層201の一部は、ウェットエッチングまたは他の溶解技法を使用する妨害材料108の一部の除去前に除去されることがある。

10

【0050】

図2Dは、任意選択の層間誘電体材料119の形成後、ならびにゲート110の上部211の露出およびゲート側壁スペーサ122、123の形成後の、トランジスタ構造205と同様のトランジスタ構造209を示す。いくつかの例では、図1Gに関して本明細書で論じたように、層間誘電体材料119は、任意の適切な技法を使用して、半導体フィン104、残りの妨害材料部分117、残りの自己組織化単分子層部分207、208、ゲート110、および選択的コンフォーマル層112の上にバルク堆積されることがある。層間誘電体材料119は、例えば、デバイス層103上または内部に形成されたデバイス間の電気絶縁を提供するための任意の適切な誘電体材料を含むことがある。図示されるように、層間誘電体材料119の一部(例えばバルク堆積された場合)および選択的コンフォーマル層112の上部が除去されることがある。層間誘電体材料119の一部および選択的コンフォーマル層112の上部は、例えば化学機械研磨(CMP)技法など任意の適切な技法を使用して除去することができる。やはり図示されるように、選択的コンフォーマル層112の上部の除去後に、選択的コンフォーマル層112の残りの部分からゲート側壁スペーサ122、123が形成されることがある。図1Gおよび1Hに関して論じたように、層間誘電体材料118は利用されないこともあり、または層間誘電体材料はプロセスフロー中に後で提供されることもある。そのような例では、ゲート側壁スペーサ122、123を形成するために、選択的コンフォーマル層112の上部を除去することによってゲート110の上部121が露出されることがある。

20

30

【0051】

図2Eは、ゲート110の除去、ならびに、半導体フィン104に隣接する、およびゲート側壁スペーサ122、123の間にある妨害材料部分117の一部の除去後の、トランジスタ構造209と同様のトランジスタ構造212を示す。図示されるように、ゲート110が除去されることがある。そのような例では、ゲート110は、犠牲ゲートまたはダミーゲートなどでよい。さらに、図示されるように、妨害材料部分117の一部が除去されることがあり、残りの妨害材料125および残りの妨害材料126を残し、半導体フィン104の領域213を露出する。ゲート110は、エッチング技法など任意の適切な技法を使用して除去することができる。同様に、妨害材料部分117の一部は、エッチング技法など任意の適切な技法を使用して除去することができる。いくつかの例では、ゲート110は、第1のエッチングプロセスで除去されることがあり、妨害材料部分117の一部は、第2のエッチングプロセスで除去されることがある。いくつかの例では、図4に関して本明細書でさらに論じるように、妨害材料部分117の一部の除去中に、残りの妨害材料125および/または残りの妨害材料126の内部にアンダーカットが形成されることがある。

40

【0052】

図2F、ゲートスタック129の形成後の、トランジスタ構造212と同様のトランジスタ構造214を示す。図示されるように、ゲートスタック129は、半導体フィン104上、およびゲート側壁スペーサ122、123間に形成されることがある。ゲートスタ

50

ック１２９は、任意の適切な１つの材料又は複数の材料を含むことがある。例えば、ゲートスタック１２９は、高ｋゲート誘電体などのゲート誘電体１３０と、金属ゲート電極などのゲート電極１３１とを含むことがある。ゲートスタック１２９は、コンフォーマル堆積、堆積、およびＣＭＰ技法など任意の適切な技法を使用して形成することができる。図示されるように、いくつかの例では、ゲート誘電体１３０は、半導体フィン１０４の表面上に形成されることがある。他の例では、ゲート誘電体１３０は、ゲート側壁スペーサ１２２、１２３の側面に形成されることもあり、それにより、ゲート電極１３１は、例えばゲート側壁スペーサ１２２、１２３と直接接触しない。論じたように、いくつかの例では、ゲートスタック１２９は、半導体フィン１０４の３面の周りを覆うことがある（例えば、図２Ｅに示される半導体フィン１０４の上部と、半導体フィン１０４の側面；図１Ａの平面図参照）。いくつかの例では、ナノワイヤ実装形態などでは、ゲートスタック１２９は、半導体フィン１０４のすべての面の周りを覆うことがある。

10

【００５３】

トランジスタ構造２１４は、本明細書でさらに論じるように、例えば集積回路のトランジスタの一部を形成することがある。例えば、トランジスタは、半導体フィン１０４の一部の上方に形成されたゲートスタック１２９（例えばゲート）を含むことがある。トランジスタは、ゲートに隣接する（例えばゲートスタック１２９に隣接する）ゲート側壁スペーサ１２２と、ゲート側壁スペーサ１２２と半導体フィン１０４の別の部分との間にある妨害材料（例えば妨害材料１２５）とをさらに含むことがある。さらに、トランジスタは、妨害用の自己組織化単分子層分子頭部基、妨害用の自己組織化単分子層分子末端、妨害用の自己組織化単分子層分子末端官能基、妨害用の自己組織化単分子層分子、またはそれらの組合せ（例えば、残りの自己組織化単分子層部分２０７）を妨害材料１２５とゲート側壁スペーサ１２２との間に含むことがある。例えば、自己組織化単分子層からの炭素または炭素ベースの鎖部分が、妨害材料１２５とゲート側壁スペーサ１２２との間にあってよい。そのようなトランジスタ構造、または本明細書で論じる他のトランジスタ構造は、本明細書でさらに論じるように、システム、プラットフォーム、またはコンピューティングデバイスなどによって実装されることがある。

20

【００５４】

論じたように、図２Ｄ～２Ｆは、トランジスタ構造の形成のための例示的なプロセスフローを示す。他の実施形態では、他のリプレースメントゲートプロセスフローなど、他の製造操作が、図２Ｃのトランジスタ構造２０５に対して行われることがある。例えば、論じたように、ゲート１１０の上部が露出されることがあり、側壁スペーサ１２２、１２３が形成されることがあり、層間誘電体１１９の導入なしでゲート１１０が除去されることがある。さらに、分かりやすくするために、チャネル注入領域およびソース／ドレイン注入領域など他の構造の形成は論じていない。

30

【００５５】

図４は、本開示の少なくともいくつかの実装形態に従って構成された、アンダーカットを有する妨害材料を有する例示的なトランジスタ構造４００を示す。本明細書で論じたように、いくつかの例では、妨害材料の一部が除去されることがあり、残りの妨害材料部分１１７を残す（例えば図１Ｆおよび図２Ｃ参照）。さらに、いくつかの例では、妨害材料部分１１７の一部が除去されることがあり、半導体フィン１０４の領域を露出し（例えば図１Ｉおよび図２Ｅ参照）、残りの妨害材料１２５を形成する。そのような例では、残りの妨害材料１２５に１つまたは複数のアンダーカットが形成されることがある。例えば、図４に示されるように、トランジスタ構造４００は、半導体フィン１０４の一部の上方に配設されたゲートスタック１２９（例えばゲート誘電体１３０およびゲート電極１３１を含む）を含むことがある。さらに、トランジスタ構造４００は、ゲート側壁スペーサ１２２と、半導体フィン１０４の別の部分との間に妨害材料１２５を含むことがある。

40

【００５６】

図示されるように、いくつかの例では、妨害材料１２５は、アンダーカット４０１および／またはアンダーカット４０２を含むことがある。例えば、アンダーカット４０１は、

50

妨害材料 108 の除去中に形成されることがあり、妨害材料部分 117 を形成する（例えば、図 1 F および図 2 C を参照）。論じたように、そのような妨害材料 108 は、選択的ウェットエッチングプロセスによって除去されることがある。例えば、アンダーカット 401 は、妨害材料 108 の等方性エッチングにより、図示されるように実質的に丸みを付けられることがある。いくつかの例では、妨害材料 125 は、アンダーカット 402 を含むことがある。例えば、アンダーカット 402 は、妨害材料部分 117 の除去中に形成されることがあり、半導体フィン 104 を露出する（例えば、図 1 I および図 2 E 参照）。論じたように、妨害材料部分 117 のそのような部分は、選択的ウェットエッチングプロセスを使用して除去されることがある。例えば、妨害材料 125 を形成するために、アンダーカット 402 は、妨害材料部分 117 の一部の等方性エッチングにより、図示されるように実質的に丸みを付けられることがある。論じられるように、様々な例において、アンダーカット 401 のみ、アンダーアット 402 のみ、もしくはアンダーカット 401、402 の両方が妨害材料 125 に形成されることがあり、またはアンダーカットが形成されないこともある。さらに、いくつかの例では、図 2 A ~ 2 F に関して本明細書で論じたように、トランジスタ構造 400 は、妨害材料 125 とゲート側壁スペーサ 122 との間に自己組織化単分子層分子の一部または全体を含むことがある。また、論じたように、いくつかの例では、半導体フィン 104 は、ナノワイヤとして実装されることがある。いくつかの例では、ナノワイヤは、実質的に円形の断面を有することがあり、そのような例では、アンダーカット 401 および／またはアンダーカット 402 は、ナノワイヤ構造の周りのリングを含むことがある。

【0057】

図 5 は、本開示の少なくともいくつかの実装形態に従って構成された、テーパ付き部分を有する側壁スペーサを有する例示的なトランジスタ構造 500 を示す。本明細書で述べるように、いくつかの例では、コンフォーマル層は、ゲート 110 上に選択的に形成されるが、妨害材料 108 および／または妨害用の自己組織化単分子層 201 の部分には形成されないことがある（例えば図 1 E および図 2 B 参照）。いくつかの例では、半導体フィン 104 に隣接するコンフォーマル層にテーパ付き部分または丸み付き部分が形成されることがあり、それにより、得られるゲート側壁スペーサは、そのようなテーパ付きまたは丸み付き部分を含む。例えば、図 5 に示されるように、トランジスタ構造 500 は、半導体フィン 104 の一部の上に配設されたゲートスタック 129（例えばゲート誘電体 130 およびゲート電極 131 を含む）を含むことがある。さらに、トランジスタ構造 500 は、ゲート側壁スペーサ 122 と、半導体フィン 104 の別の部分との間に妨害材料 125 を含むことがある。

【0058】

やはり図示されるように、ゲート側壁スペーサ 122 は、テーパ付き部分 501 を含むことがある。例えば、そのようなテーパ付き部分 501 は、選択的コンフォーマル層 112 の形成中に、ゲート 110 と妨害材料 108 および／または妨害用の自己組織化単分子層 201（例えば図 1 E および図 2 B 参照）との間の比較的高い成長選択性により形成されることがある。例えば、ゲート 110 は、選択的コンフォーマル層 112 の種結晶を添加して成長させることができ、その一方で、妨害材料 108 および／または妨害用の自己組織化単分子層 201 は、選択的コンフォーマル層 112 の成長を抑えることができ、テーパ付き部分 501 を生じる。図示されるように、いくつかの例では、ゲート側壁スペーサ 122 は、テーパ付き部分 501 などテーパ付き部分を含むことがある。他の例では、ゲート側壁スペーサ 122 は、選択的コンフォーマル層 112 の成長を抑える妨害材料 108 および／または妨害用の自己組織化単分子層 201 により、丸み付き部分またはアンダーカット部分などを含むことがある。図示されるように、そのような効果により、ゲート側壁スペーサ 122 と半導体フィン 104 との間により小さな妨害材料 125 が生じ得る。さらに、いくつかの例では、図 2 A ~ 2 F に関して本明細書で論じたように、トランジスタ構造 500 は、妨害材料 125 とゲート側壁スペーサ 122 との間に自己組織化単分子層分子の一部または全体を含むことがある。

【0059】

図6は、本開示の少なくともいくつかの実装形態に従って構成された、注入領域を有する例示的なトランジスタ構造600を示す。本明細書で論じるように、いくつかの例では、注入領域は、半導体フィン104（例えば図1B参照）の領域に形成されることがある。そのような注入領域は、後で形成される妨害材料（例えば図1D参照）の被覆を形成する、被覆の深さを増加する、または被覆を向上させるために使用されることがある。例えば、注入領域が、妨害材料125および／または半導体フィン104の一部の内部に残ることがある。例えば、図6に示されるように、トランジスタ構造600は、半導体フィン104の一部の上方に配設されたゲートスタック129（例えばゲート誘電体130およびゲート電極131を含む）を含むことがある。さらに、トランジスタ構造600は、ゲート側壁スペーサ122と半導体フィン104の別の部分との間に妨害材料125を含むことがある。例えば、妨害材料125の一部または全体が、本明細書で論じたように、注入領域および／または注入種を含むことがある。やはり図示されるように、トランジスタ構造600は、半導体フィン104の内部に注入領域601を含むことがある。注入領域601は、例えば犠牲ゲート110の注入中に形成されることがある。注入領域601は、任意の適切な深さ、濃度、および注入濃度プロファイルを有することがある。論じたように、いくつかの例では、注入領域601は、窒素注入種を含むことがある。他の例では、注入領域601は、ケイ素、アルゴン、ヘリウム、キセノン、酸素、ホウ素、リン、ヒ素、アンチモン、または炭素の1つまたは複数を含むことがある。さらに、いくつかの例では、図2A～2Fに関して本明細書で論じたように、トランジスタ構造600は、妨害材料125とゲート側壁スペーサ122との間に自己組織化単分子層分子の一部または全体を含むことがある。

10

20

【0060】

図6に示されるように、いくつかの例では、注入領域601は、ゲート側壁スペーサ122の下方に延びる半導体フィン104にわたって実質的に一貫性のある注入領域を備えることがある。他の例では、注入領域601は、半導体フィン104の内部には延びていないことがあり、そのような例では、注入領域は、妨害材料125の内部に含まれることがある。

【0061】

図7は、本開示の少なくともいくつかの実装形態に従って構成された、選択的ゲートスペーサ技法を使用してトランジスタ構造を形成するための例示的なプロセスを示す流れ図である。例えば、方法700は、トランジスタ構造128、214、400、500、600、または本明細書で論じる任意の他のトランジスタ構造を製造するために実施されることがある。例示される実装形態では、プロセス700は、操作701～704によって示されるような1つまたは複数の操作を含むことがある。しかし、本明細書での実施形態は、追加の操作を含んでもよく、いくつかの操作が省かれてもよく、または提示される順序以外で操作が行われてもよい。

30

【0062】

方法700は、「妨害材料を半導体フィン上に形成する」操作701から始まることがあり、この操作701で、妨害材料を半導体フィン上に形成することができる。一実施形態では、妨害材料108は、図1Bに関して本明細書で論じた半導体フィン104上に形成されることがある。例えば、妨害材料は、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムなどの金属酸化物の1つまたは複数を含むことがある。

40

【0063】

方法700は、「ゲートを妨害材料上に配設する」操作702に続くことがあり、この操作702で、ゲートを妨害材料の少なくとも一部に配設することができ、本明細書で論じたように、ゲートと妨害材料とは異なる表面化学特性を備える。一実施形態では、ゲート110は、図1Cに関して本明細書で述べる妨害材料108（および半導体フィン104）の上方に形成されることがある。いくつかの例では、本明細書で論じるように、ゲート

50

ト 1 1 0 は、リプレースメントゲートプロセスを実施することができるよう犠牲またはダミーゲートでよい。

【0064】

方法 700 は、「コンフォーマル層をゲート上に選択的に形成する」操作 703 に続くことがあり、この操作 703 で、選択的コンフォーマル層をゲート上に形成することができ、コンフォーマル層は、妨害材料に対してエッチング選択性を有し、また、コンフォーマル層は、妨害材料の少なくとも一部には形成されない。一実施形態では、選択的コンフォーマル層 112 は、図 1 E に関して本明細書で論じたゲート 110 上に形成されることがある。いくつかの例では、任意選択の注入領域は、選択的コンフォーマル層 112 を形成する前に、ゲート 110 に形成されることがある。いくつかの例では、選択的コンフォーマル層 112 は、図 1 D に関して論じたように、注入によってゲート 110 上に形成されることがある。いくつかの例では、妨害用の自己組織化単分子層が、図 2 A および 2 B に関して本明細書で論じた選択的コンフォーマル層を形成する前に、妨害材料上に形成されることがある。一実施形態では、妨害用の自己組織化単分子層 201 が、本明細書で論じた選択的コンフォーマル層 112 を形成する前に、妨害材料 208 の一部に形成されることがある。

10

【0065】

方法 700 は、「妨害材料の露出部分を除去する」操作 704 に続くことがあり、この操作 704 で、妨害材料の露出部分を除去することができる。例えば、論じたように、妨害材料とゲートは、それらの間でエッチング選択性を有することがあり、それにより、妨害材料の露出部分を、選択的エッチングプロセスによって除去することができる。一実施形態では、妨害材料 108 の部分は、図 1 F に関して本明細書で論じた残りの妨害材料部分 117 を形成するために除去されることがある。妨害用の自己組織化単分子層が実装される例では、図 2 C に関して本明細書で論じたように、妨害用の自己組織化単分子層の露出部分は除去されることもある。

20

【0066】

論じたように、いくつかの例では、操作 702 で形成されるゲートは、犠牲またはダミーゲートでよい。そのような例では、任意選択で上記の構造の上方にバルク誘電体が形成されることがあり、化学機械研磨 (CMP) 操作などの平坦化操作が、バルク誘電体の一部を除去し、犠牲ゲートを露出し、ゲート側壁スペーサを形成することができる (例えば図 1 H および図 2 D 参照)。その後、犠牲ゲートが除去されることがあり、妨害層および／または妨害用の自己組織化単分子層の残りの部分がゲート領域内部で除去されることがあり (例えば図 1 I および図 2 E 参照)、妨害材料部分および／または自己組織化単分子層分子の一部および全体を、ゲート側壁スペーサと半導体フィンとの間に残す。その後、高 k 金属ゲートなどのゲートが、ゲート開口 (例えば図 1 J および図 2 F 参照) 内部に形成されることがある。そのようなトランジスタ構造は、ソースおよびドレインと、ゲートおよびソース／ドレインへのコンタクトと、金属相互接続部とを形成するためにさらに処理されることがあり、集積回路などのトランジスタデバイスを形成する。本明細書で論じたように、ゲート 110 を露出する前に、層間誘電体 (例えば層間誘電体材料 119) が形成されることがある。他の例では、そのような層間誘電体は使用されないことがある。

30

40

【0067】

論じたように、トランジスタ構造を製造するために、方法 700 および本明細書で論じた他の操作を実施することができる。方法 700 の操作 (または図 1 A ~ 1 J もしくは図 2 A ~ 2 F に関して本明細書で論じた操作) の任意の 1 つまたは複数は、1 つまたは複数のコンピュータプログラム製品によって提供される命令に応答して実行されることがある。そのようなプログラム製品は、例えばプロセッサによって実行されるときに本明細書で述べる機能を提供することができる命令を提供する信号担持媒体を含むことがある。コンピュータプログラム製品は、任意の形態のコンピュータ可読媒体として提供することができる。したがって、例えば、1 つまたは複数のプロセッサコアを含むプロセッサが、コンピュータ可読媒体によってプロセッサに搬送される命令に応答して、上記の操作の 1 つま

50

たは複数を請け負うことができる。

【0068】

さらに、トランジスタ構造、トランジスタ、またはデバイスを形成するために、方法700の操作（または図1A～1Jもしくは図2A～2Fに関して本明細書で論じた操作）の任意の1つまたは複数が請け負われることがある。例えば、選択的ゲートスペーサ技法を使用して、トランジスタデバイスまたはメモリデバイスなどのデバイスを形成することができる。例えば、半導体基板などのデバイス層と、半導体基板に結合された（例えば、半導体基板上および／または内部の）1つまたは複数の集積回路構造とを含むシステム、装置、またはデバイスを形成することができ、それにより、本明細書で述べる技法を使用して1つまたは複数の集積回路構造が製造される。

10

【0069】

例えば、半導体基板などのデバイス層と、半導体基板に結合された1つまたは複数の集積回路構造とを含む装置またはデバイスが形成されることがあり、1つまたは複数の集積回路構造は、妨害材料を半導体フィン上に形成するステップと、妨害材料の少なくとも第1の部分にゲートを配設するステップであって、ゲートと妨害材料とが異なる表面化学特性を備えるステップと、コンフォーマル層をゲート上に選択的に形成するステップであって、コンフォーマル層が妨害材料に対するエッチング選択性を有し、コンフォーマル層が、妨害材料の少なくとも第2の部分には形成されないステップと、妨害材料の露出部分を除去するステップとによって製造される。そのような集積回路構造は、本明細書で論じる任意の技法を使用してさらに製造することができる。例えば、そのような集積回路構造は、図8および図9に関して本明細書で論じたプラットフォームおよび／またはコンピューティングデバイスに集積されることがある。

20

【0070】

図8は、本開示の少なくともいくつかの実装形態に従って構成された、選択的ゲートスペーサ技法によって製造されたトランジスタを有するICを採用するモバイルコンピューティングプラットフォーム800の例示図である。論じる選択的ゲートスペーサ技法によって製造または形成されるトランジスタは、本明細書で論じた任意の技法を使用して形成することができる。モバイルコンピューティングプラットフォーム800は、電子データ表示、電子データ処理、またはワイヤレス電子データ伝送など、それぞれの機能のために構成された任意のポータブルデバイスでよい。例えば、モバイルコンピューティングプラットフォーム800は、タブレット、スマートフォン、ネットブック、ラップトップコンピュータなどの任意のものでよく、例示的实施形態ではタッチスクリーン（例えば、容量型、誘導型、抵抗型などのタッチスクリーン）である表示画面805と、チップレベル（SoC）またはパッケージレベル集積システム810と、バッテリー815とを含むことがある。

30

【0071】

集積システム810が拡大図820でさらに示されている。例示的实施形態では、パッケージングされたデバイス850（図8での「メモリ／プロセッサ」）は、少なくとも1つのメモリチップ（例えば、RAM）および／または少なくとも1つのプロセッサチップ（例えば、マイクロプロセッサ、マルチコアマイクロプロセッサ、またはグラフィックスプロセッサなど）を含む。一実施形態では、パッケージデバイス850は、SRAMキャッシュメモリに結合されたマイクロプロセッサである。いくつかの例では、少なくとも1つのメモリおよび少なくとも1つのプロセッサチップの一方または両方が、本明細書で論じた選択的ゲートスペーサ技法によって製造されたトランジスタを含む。例えば、プロセッサまたはメモリの一方または両方のトランジスタは、半導体フィンの少なくとも第1の部分の上方に配設されたゲート；ゲートに隣接するゲート側壁スペーサ；半導体フィンの第2の部分とゲートスペーサとの間にある妨害材料であって、ゲート側壁スペーサが妨害材料に対するエッチング選択性を有する、妨害材料；および／または本明細書で論じる他のフィーチャを含むことができる。例えば、トランジスタは、妨害用の自己組織化単分子層分子または妨害用の自己組織化単分子層分子部分（例えば、頭部、末端、末端官能基、ま

40

50

たは末端の一部)を妨害材料とゲート側壁スペーサとの間に含むこともある。他の例示的なトランジスタは、半導体フィン内部および妨害材料の下に注入領域を含むことがある。

【0072】

パッケージングされたデバイス850は、ボード、基板、またはインターポーザ860にさらに結合(例えば通信結合)されることがあり、それに伴って、電力管理集積回路(PMIC)830と、ワイドバンドRF(ワイヤレス)送信機および/または受信機(TX/RX)を含むRF(ワイヤレス)集積回路(RFIC)825(例えばデジタルベースラインおよびアナログフロントエンドモジュールを含むとき、送信経路での電力増幅器と、受信経路での低ノイズ増幅器とをさらに備える)と、それらの制御装置835との1つまたは複数にさらに結合(例えば通信結合)されることがある。一般に、パッケージされたデバイス850は、表示画面805に結合される(例えば通信結合される)こともある。

10

【0073】

機能的に、PMIC830は、バッテリー電力調整やDC/DC変換などを行うことができ、したがって、バッテリー815に結合された入力と、他の機能モジュールに電流供給を提供する出力とを有する。一実施形態では、PMIC830は、高電圧動作を行うことができる。さらに示されるように、例示的实施形態では、RFIC825は、いくつかのワイヤレス標準またはプロトコルの任意のものを実装するようにアンテナ(図示せず)に結合された出力を有し、そのようなワイヤレス標準またはプロトコルは、限定はしないが、Wi-Fi(IEEE802.11ファミリ)、WiMAX(IEEE802.16ファミリ)、IEEE802.20、ロングタームエボリューション(LTE)、E-UTRA、HSPA+、HSDPA+、HSUPA+、EDGE、GSM(登録商標)、GPRS、CDMA、TDMA、DECT、Bluetooth(登録商標)、それらの派生物、ならびに3G、4G、および5G以上として指定される任意の他のワイヤレスプロトコルを含む。代替実装形態では、これらのボードレベルモジュールはそれぞれ、パッケージングされたデバイス850のパッケージ基板に結合された個別のIC上、またはパッケージングされたデバイス850のパッケージ基板に結合された単一のIC(SoC)の内部に集積されることがある。

20

【0074】

図9は、本開示の少なくともいくつかの実装形態に従って構成された、コンピューティングデバイス900の機能ブロック図である。コンピューティングデバイス900は、例えばプラットフォーム1000の内部にあってよく、いくつかの構成要素をホストするマザーボード902をさらに含み、そのような構成要素は、例えば、限定はしないが、プロセッサ901(例えばアプリケーションプロセッサ)、および1つまたは複数の通信チップ904、905である。プロセッサ901は、マザーボード902に物理的および/または電氣的に結合されることがある。いくつかの例では、プロセッサ901は、プロセッサ901内部にパッケージングされた集積回路ダイを含む。一般に、用語「プロセッサ」は、レジスタおよび/またはメモリからの電子データを処理して、その電子データを、レジスタおよび/またはメモリに記憶することができる他の電子データに変換する任意のデバイスまたはデバイスの一部を表すことがある。

30

40

【0075】

様々な例において、1つまたは複数の通信チップ904、905も、マザーボード902に物理的および/または電氣的に結合されることがある。さらなる実装形態では、通信チップ904は、プロセッサ901の一部でよい。その用途に応じて、コンピューティングデバイス900は他の構成要素を含むことがあり、それらは、マザーボード902に物理的および電氣的に結合されていることも、結合されていないこともある。これらの他の構成要素は、限定はしないが、揮発性メモリ(例えばDRAM)907、908、不揮発性メモリ(例えばROM)910、グラフィックスプロセッサ912、フラッシュメモリ、地球測位システム(GPS)デバイス913、コンパス914、チップセット906、アンテナ916、電力増幅器909、タッチスクリーン制御装置911、タッチスクリ

50

ーンディスプレイ 917、スピーカ 915、カメラ 903、バッテリー 918（以上、図示される）、ならびに他の構成要素、例えば、デジタル信号プロセッサ、暗号プロセッサ、オーディオコーデック、ビデオコーデック、加速度計、ジャイロ스코プ、および大量記憶デバイス（ハードディスクドライブ、ソリッドステートドライブ（SSD）、コンパクトディスク（CD）、デジタルバーサタイルディスク（DVD）など）などを含む。

【0076】

通信チップ 904、905は、コンピューティングデバイス 900との間でデータを転送するためのワイヤレス通信を可能にすることがある。用語「ワイヤレス」およびその派生語を使用して、非固体媒体を介する変調された電磁放射線の使用によってデータを通信することができる回路、デバイス、システム、方法、技法、通信チャネルなどを表すことができる。この用語は、関連のデバイスがワイヤを含まないことを示唆してはいないが、いくつかの実施形態では、ワイヤを含んでいなくてもよい。通信チップ 904、905は、限定はしないが、本明細書の他の箇所で述べるものを含めた、いくつかのワイヤレス標準またはプロトコルの任意のものを実装することができる。論じたように、コンピューティングデバイス 900は、複数の通信チップ 904、905を含むことがある。例えば、第1の通信チップは、Wi-FiおよびBluetooth（登録商標）など、より短距離のワイヤレス通信に専用のものでよく、第2の通信チップは、GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DOなどより長距離のワイヤレス通信に専用のものでよい。

【0077】

本明細書で述べる任意の実装形態で使用されるとき、用語「モジュール」は、本明細書で述べる機能を提供するように構成されたソフトウェア、ファームウェア、および／またはハードウェアの任意の組合せを表す。ソフトウェアは、ソフトウェアパッケージ、コード、および／または命令セットもしくは命令として具現化されることがあり、「ハードウェア」は、本明細書で述べる任意の実装形態で使用されるとき、例えば単独でまたは任意の組合せで、ハードワイヤド回路構成、プログラマブル回路構成、ステートマシン回路構成、および／またはプログラマブル回路構成によって実行される命令を記憶するファームウェアを含むことがある。モジュールは、全体としてまたは個別に、より大きいシステム、例えば集積回路（IC）およびシステムオンチップ（SoC）などの一部を形成する回路構成として具現化されることがある。

【0078】

本明細書に記載した特定の特徴を、様々な実装形態を参照して述べてきたが、この説明は、限定の意味合いで解釈されるものとは意図されない。したがって、本明細書で述べる実装形態の様々な修正形態、ならびに本開示が関係する技術分野の当業者には明らかな他の実装形態も、本開示の趣旨および範囲内にあると考えられる。

【0079】

以下の例は、さらなる実施形態に関する。

【0080】

1つまたは複数の第1の実施形態では、トランジスタを製造するための方法が、妨害材料を半導体フィン上に形成するステップと、妨害材料の少なくとも第1の部分にゲートを配設するステップであって、ゲートと妨害材料とが、異なる表面化学特性を備えるステップと、コンフォーマル層をゲート上に選択的に形成するステップであって、コンフォーマル層が、妨害材料に対するエッチング選択性を有し、コンフォーマル層が、妨害材料の少なくとも第2の部分には形成されないステップと、妨害材料の露出部分を除去するステップとを含む。

【0081】

第1の実施形態に加えて、この方法は、コンフォーマル層を選択的に形成する前に、妨害用の自己組織化単分子層を妨害材料の少なくとも一部に形成するステップをさらに含む。

【0082】

第1の実施形態に加えて、この方法は、コンフォーマル層を選択的に形成する前に、妨害用の自己組織化単分子層を妨害材料の少なくとも一部に形成するステップをさらに含み、妨害用の自己組織化単分子層が、少なくとも頭部基および末端を有する分子を含み、頭部基が、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含む。

【0083】

第1の実施形態に加えて、この方法は、コンフォーマル層をゲート上に選択的に形成する前に、ゲート内への注入を行って、ゲート内部に注入領域を形成するステップをさらに含む。

【0084】

第1の実施形態に加えて、この方法は、コンフォーマル層をゲート上に選択的に形成する前に、ゲート内への注入を行って、ゲート内部に注入領域を形成するステップを含み、ゲートがポリシリコンを含み、注入が窒素注入を含み、妨害材料が酸化ケイ素を含む。

【0085】

第1の実施形態に加えて、この方法は、コンフォーマル層をゲート上に選択的に形成する前に、ゲート内への注入を行って、ゲート内部に注入領域を形成するステップを含み、ゲートがポリシリコンを含み、注入がアモルファス化注入を含み、コンフォーマル層を選択的に形成するステップが、炭化ケイ素コンフォーマル層を形成するために炭素堆積および高速熱処理を含む。

【0086】

第1の実施形態に加えて、この方法は、コンフォーマル層を選択的に形成する前に、妨害用の自己組織化単分子層を妨害材料の少なくとも一部に形成するステップ、および／またはコンフォーマル層をゲート上に選択的に形成する前に、ゲート内への注入を行って、ゲート内部に注入領域を形成するステップをさらに含む。

【0087】

第1の実施形態に加えて、コンフォーマル層をゲート上に選択的に形成するステップが、プラズマ露出、原子層堆積、分子層堆積、または化学気相成長の少なくとも1つを含む1回の堆積操作を含む。

【0088】

第1の実施形態に加えて、コンフォーマル層をゲート上に選択的に形成するステップが、ゲート内への注入を行って、コンフォーマル層を形成するステップを含む。

【0089】

第1の実施形態に加えて、妨害材料が、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムの少なくとも1つを含む。

【0090】

第1の実施形態に加えて、コンフォーマル層は、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、ポリフォスファゼン、または酸化アルミニウムの少なくとも1つを含む。

【0091】

第1の実施形態に加えて、ゲートが犠牲ゲートを含み、方法が、コンフォーマル層の上部を除去して、ゲートを露出し、コンフォーマル層の残りの部分からゲート側壁スペーサを形成するステップと、ゲートと、半導体フィンに隣接する、およびゲート側壁スペーサの間にある妨害材料の少なくとも一部とを除去するステップと、半導体フィン上およびゲート側壁スペーサの間にゲートスタックを配設するステップとをさらに含む。

【0092】

第1の実施形態に加えて、半導体フィンが、ナノワイヤを備えるアンダーカットフィンを備え、ゲートが、半導体フィンの周りを実質的に覆う。

【0093】

1つまたは複数の第2の実施形態において、トランジスタを備える集積回路が、半導体

10

20

30

40

50

フィンの少なくとも第1の部分の上方に配設されたゲートと、ゲートに隣接するゲート側壁スペーサと、半導体フィンの第2の部分とゲートスペーサとの間の妨害材料とを含み、ゲート側壁スペーサが、妨害材料に対するエッチング選択性を有する。

【0094】

第2の実施形態に加えて、集積回路は、妨害材料とゲート側壁スペーサとの間に、妨害用の自己組織化単分子層分子頭部基をさらに含む。

【0095】

第2の実施形態に加えて、集積回路は、妨害材料とゲート側壁スペーサとの間に、妨害用の自己組織化単分子層分子頭部基をさらに含み、妨害用の自己組織化単分子層分子頭部基が、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含む。

10

【0096】

第2の実施形態に加えて、集積回路は、妨害材料とゲート側壁スペーサとの間にある妨害用の自己組織化単分子層分子頭部基であって、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含む妨害用の自己組織化単分子層分子頭部基と、半導体フィン内部および少なくとも妨害材料の下方の注入領域とをさらに含む。

【0097】

第2の実施形態に加えて、集積回路は、妨害材料とゲート側壁スペーサとの間にある妨害用の自己組織化単分子層分子頭部基であって、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含む妨害用の自己組織化単分子層分子頭部基と、半導体フィン内部および少なくとも妨害材料の下方にある注入領域とをさらに備え、注入領域が、窒素、酸素、ホウ素、リン、ヒ素、アンチモン、炭素、アルゴン、ヘリウム、またはキセノンの少なくとも1つを含む。

20

【0098】

第2の実施形態に加えて、集積回路は、妨害材料とゲート側壁スペーサとの間にある妨害用の自己組織化単分子層分子頭部基または妨害用の自己組織化単分子層分子末端の少なくとも一方、および／または半導体フィン内部および少なくとも妨害材料の下方の注入領域をさらに含む。

30

【0099】

第2の実施形態に加えて、妨害材料が酸化ケイ素を含み、ゲート側壁スペーサが窒化ケイ素を含み、ゲートが、高kゲート誘電体と、高kゲート誘電体上の金属ゲートとを含むゲートスタックを含む。

【0100】

第2の実施形態に加えて、妨害材料が、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムの少なくとも1つを含み、集積回路が、ゲート側壁スペーサの下方にアンダーカット部分をさらに含む。

【0101】

第2の実施形態に加えて、ゲート側壁スペーサは、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、ポリフォスファーゼン、または酸化アルミニウムの少なくとも1つを含み、ゲート側壁スペーサが、半導体フィンに隣接するテーパ付き部分を含む。

40

【0102】

第2の実施形態に加えて、妨害材料は、酸化ケイ素、オキシ窒化ケイ素、窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、または酸化アルミニウムの少なくとも1つを含み、および／またはゲート側壁スペーサが、酸化ケイ素、窒化ケイ素、オキシ窒化ケイ素、炭化ケイ素、オキシ炭化ケイ素、窒化ホウ素、炭化ホウ素、炭窒化ホウ素、リン化ホウ素、硫化ホウ素、ポリフォスファーゼン、または酸化アルミニウムの少なくとも1つを含む。

【0103】

50

第2の実施形態に加えて、集積回路が、ゲート側壁スペーサの下方にアンダーカット部分をさらに含み、および／またはゲート側壁スペーサが、半導体フィンに隣接するテーパー付き部分を含む。

【0104】

第2の実施形態に加えて、半導体フィンが、ナノワイヤを備えるアンダーカットフィンを備え、ゲートが、半導体フィンの周りを実質的に覆う。

【0105】

1つまたは複数の第3の実施形態において、システムは、メモリと、メモリに結合されたプロセッサとを備え、プロセッサが、トランジスタを備え、トランジスタが、半導体フィンの少なくとも第1の部分の上方に配設されたゲートと、ゲートに隣接するゲート側壁スペーサと、半導体フィンの第2の部分とゲートスペーサとの間の妨害材料とを含み、ゲート側壁スペーサが、妨害材料に対するエッチング選択性を有する。

10

【0106】

第3の実施形態に加えて、トランジスタは、妨害材料とゲート側壁スペーサとの間に、妨害用の自己組織化単分子層分子頭部基をさらに含み、妨害用の自己組織化単分子層分子頭部基が、シロキサン、塩化シリル、アルケン、アルキン、アミン、ホスフィン、チオール、ホスホン酸、またはカルボン酸の少なくとも1つを含む。

【0107】

第3の実施形態に加えて、トランジスタが、半導体フィン内部および少なくとも妨害材料の下方に注入領域をさらに備える。

20

【0108】

第3の実施形態に加えて、妨害材料が酸化ケイ素を含み、ゲート側壁スペーサが窒化ケイ素を含み、ゲートが、高kゲート誘電体と、高kゲート誘電体上の金属ゲートとを含むゲートスタックを含む。

【0109】

本発明は、以上説明した実施形態に限定されず、添付の特許請求の範囲から逸脱することなく、修正および変更を施して実施することができることを理解されたい。例えば、上記の実施形態は、特徴の特定の組合せを含むことがある。しかし、上記の実施形態は、この点で限定されず、様々な実装形態において、上記の実施形態は、そのような特徴の部分集合のみを請け負うこと、そのような特徴の異なる順序を請け負うこと、そのような特徴の異なる組合せを請け負うこと、および／または明示的に列挙された特徴に対する追加の特徴を請け負うことを含むことがある。したがって、本発明の範囲は、添付の特許請求の範囲と、そのような特許請求の範囲に与えられる均等形態の完全な範囲とを参照して決定されるべきである。

30

【図 1 A】

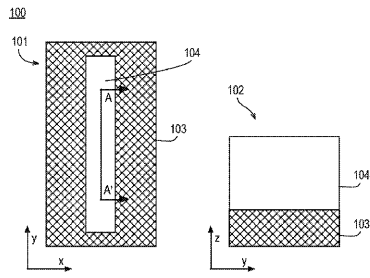


FIG. 1A

【図 1 B】

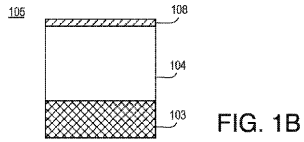


FIG. 1B

【図 1 C】

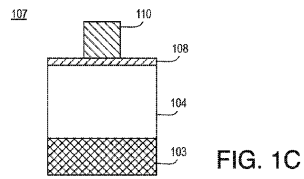


FIG. 1C

【図 1 G】

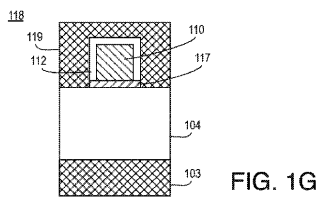


FIG. 1G

【図 1 H】

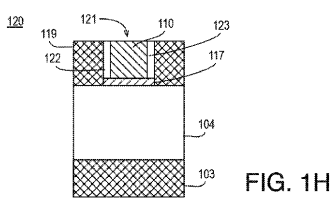


FIG. 1H

【図 1 I】

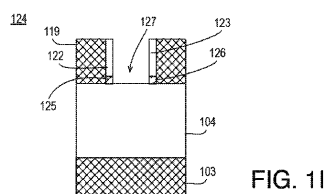


FIG. 1I

【図 1 D】

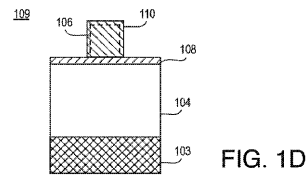


FIG. 1D

【図 1 E】

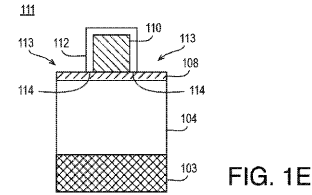


FIG. 1E

【図 1 F】

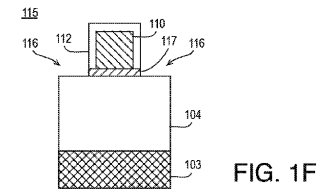


FIG. 1F

【図 1 J】

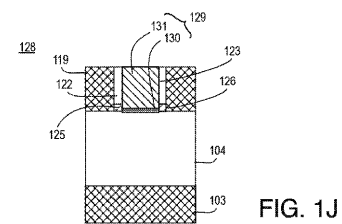


FIG. 1J

【図 2 A】

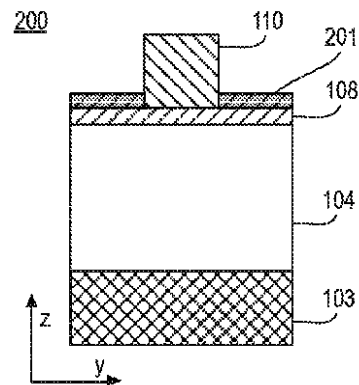


FIG. 2A

【図 2 B】

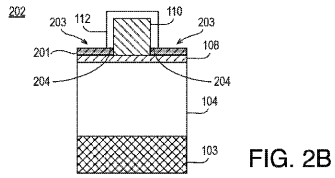


FIG. 2B

【図 2 E】

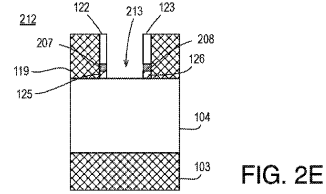


FIG. 2E

【図 2 C】

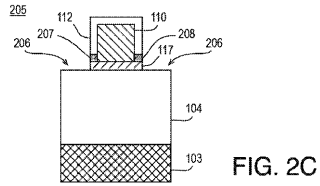


FIG. 2C

【図 2 F】

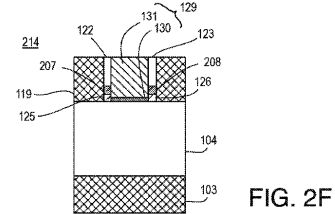


FIG. 2F

【図 2 D】

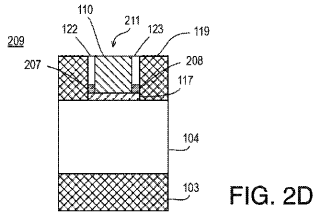


FIG. 2D

【図 3】

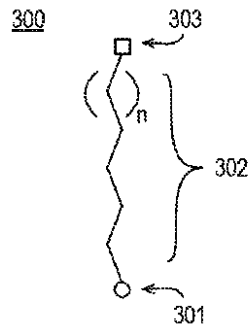


FIG. 3

【図 5】

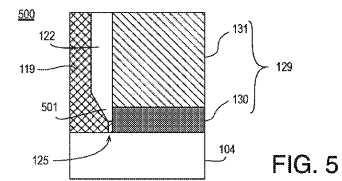


FIG. 5

【図 6】

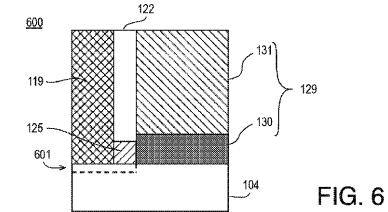


FIG. 6

【図 4】

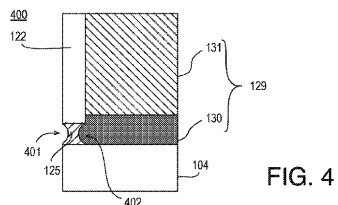
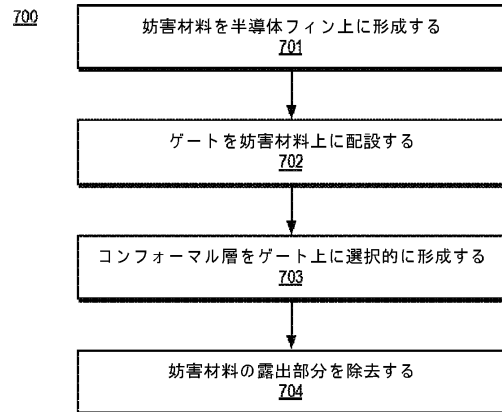
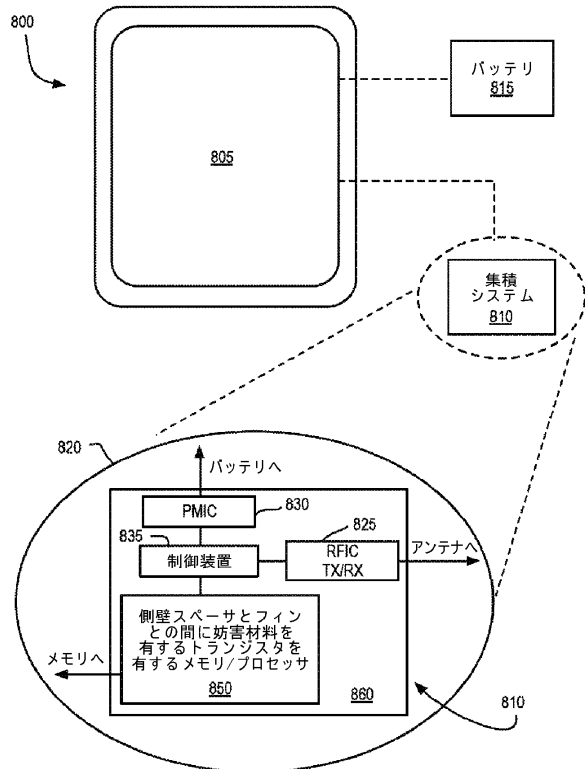


FIG. 4

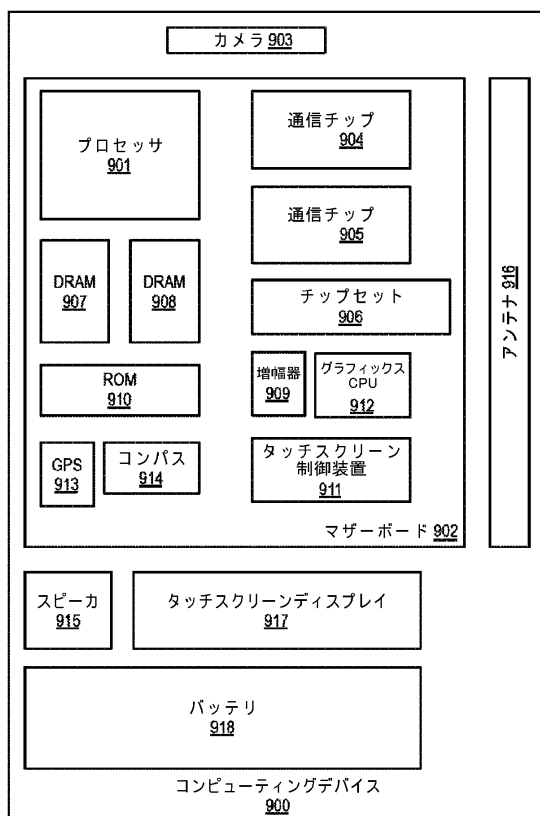
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/49 (2006.01) H 0 1 L 29/58 G

- (72)発明者 リャオ、ズヤ エス.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 グストレイン、フローリアン
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 ホーラーニー、ラミ
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 ロメロ、パトリシオ イー.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 クロスター、グラント エム.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 ミタン、マーティン エム.
アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー
バード・2 2 0 0 インテル・コーポレーション内

審査官 辻 勇貴

- (56)参考文献 特表2009-523326 (JP, A)
特表2006-511092 (JP, A)
米国特許出願公開第2012/0286244 (US, A1)
米国特許出願公開第2014/0264592 (US, A1)
米国特許出願公開第2009/0017584 (US, A1)
米国特許出願公開第2014/0183599 (US, A1)
米国特許出願公開第2014/0124840 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 1 6
H 0 1 L 2 1 / 3 1 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 4 2 3
H 0 1 L 2 9 / 4 9
H 0 1 L 2 9 / 7 8