

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04N 1/028 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480033261.8

[43] 公开日 2006年12月13日

[11] 公开号 CN 1879397A

[22] 申请日 2004.10.13

[21] 申请号 200480033261.8

[30] 优先权

[32] 2003.10.13 [33] US [31] 60/510,932

[86] 国际申请 PCT/US2004/033782 2004.10.13

[87] 国际公布 WO2005/079199 英 2005.9.1

[85] 进入国家阶段日期 2006.5.11

[71] 申请人 卓越设备技术公司

地址 美国新泽西

[72] 发明人 克利福德·A·金 康纳·拉弗蒂

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 杜日新

权利要求书 2 页 说明书 13 页 附图 8 页

[54] 发明名称

包含与硅衬底和硅电路集成的绝缘锗光电探测器的图像传感器

[57] 摘要

根据本发明，改进的图像传感器包括与硅衬底和硅读出电路集成的锗感光元件阵列。首先利用众所周知的硅晶片制作技术，在硅衬底上形成硅晶体管。随后通过外延生长形成覆盖在硅上的锗元件。锗元件有利地形成在电介质覆层表面孔口内部。将晶片制作技术应用到这些元件中，从而形成隔离的锗光电二极管。由于锗加工所需的温度低于硅加工的温度，锗装置的形成没有必要影响以前形成的硅装置。然后沉积绝缘层和金属层并且对它们进行图案化处理，从而互连硅装置，并且将锗装置连接到硅电路上。锗元件因而借助外延生长集成到硅上，并且借助公共金属层与硅电路集成。

1. 一种图像传感器，包括：

多个设置在包括硅的衬底上的光电探测器；

所述光电探测器包括含有锗的隔离岛，该隔离岛通过外延生长与硅集成在一起；以及

所述衬底包括与所述光电探测器连接的集成硅电路，用来逐个寻址和读取所述光电探测器的光响应。

2. 根据权利要求 1 所述的图像传感器，其中所述衬底具有包括孔的外部电介质覆层表面，而包括锗的所述隔离岛位于孔中，并且通过外延生长与硅集成在一起。

3. 根据权利要求 1 所述的图像传感器，其中所述衬底具有包括孔的平坦外表面，而含有锗的所述隔离岛位于孔中，通过外延生长与硅结合在一起，并且具有共面的外表面。

4. 根据权利要求 1 所述的图像传感器，其中所述隔离岛具有足够的厚度来吸收 400 到 1700 纳米的波长范围内至少 1% 的入射光。

5. 根据权利要求 1 所述的图像传感器，其中一个或一个以上的所述隔离岛包括不同深度的多个 p-n 结，以便于区分所吸收的光谱。

6. 根据权利要求 1 所述的图像传感器，其中所述隔离岛包括单晶体材料。

7. 根据权利要求 1 所述的图像传感器，其中所述衬底包括单晶体材料，而所述隔离岛包括结晶上与衬底的单晶体材料对齐的单晶体材料。

8. 根据权利要求 1 所述的装置，其中至少一个含有锗的所述隔离岛是锗岛。

9. 根据权利要求 1 所述的装置，其中至少一个含有锗的所述隔离岛包括含有硅和锗的合金。

10. 根据权利要求 1 所述的装置，其中所述集成电路被连接在一起，并且通过公共金属化层与所述光电探测器连接。

11. 根据权利要求1所述的装置，其中所述集成电路配置成测量飞行时间成像的峰值。

12. 根据权利要求1所述的装置，其中所述隔离岛是通过下列步骤形成的：

(a)在所述包括硅的衬底的主表面上形成电介质覆层区域；

(b)形成延伸到所述覆层区域内第一深度的第一孔口；

(c)在每个第一孔口内形成较小的第二孔口，该孔口延伸到大于所述第一深度的第二深度，并且暴露所述硅；

(d)在每个孔口内的硅上，以及每个所述覆层区域顶部通过外延生长形成含有锗的材料区域；

(e)控制所述第二孔口的尺寸，从而使得缺陷容易被限制在所述第二孔口内的第一外延生长区域以及所述覆层区域顶部的外延过生长区域，第一预定区域位于所述第一孔口内部，并且基本没有缺陷；以及

(f)对所述装置顶部进行平面化从而去除在所述覆层顶部上方延伸的外延过生长区域。

包含与硅衬底和硅电路集成的 绝缘锗光电探测器的图像传感器

相关申请的交叉参考

本申请要求美国的临时申请 S.N. 60/510,932 的权益，该申请是由 C. A. King 和 C. S. Rafferty 在 2003 年 10 月 13 日发表，标题为“使用绝缘锗光电探测器来制造集成的图像传感器的方法”，该申请是以参考方式包括到本申请中。

技术领域

本发明涉及到图像传感装置，特别是涉及到包含与硅衬底和硅电路集成的锗光电探测器阵列的图像传感装置。该装置对于以红外光感测图像特别有用。

背景技术

图像传感器能够用红外光，特别是短波红外光进行图像传感，在各种应用中都是很重要的，包括光通信（光纤和自由空间），激光检测和测距(LADAR)，冰探测（在公路和飞机上），以及药物生产。这种传感器同样用于艺术品保护，肿瘤检测，天文学，透过烟云成像，污染检测，红外光显微镜，红外光谱以及集成电路制造。红外光图像传感器是夜视和三维激光检测和测距(3-D LADAR)设备的核心。

典型的图像传感器包含与读出集成电路(ROIC)结合的二维光电探测器阵列（被称为焦平面阵列）。光电探测器对入射辐射是很敏感的。ROIC 定量计算光电探测器的输出，并且将它们处理形成图像。

焦平面阵列(FPA)自从 20 世纪 70 年代以来就已经从需要冷却到接近绝对零度的系统发展成为可以根据波长在接近室温的条件下运行的系统。参看附加的引用参考列表的参考资料 1（下文中的[1]）。对

冷却要求的减轻实现了尺寸较小，可靠并且廉价的红外光成像系统，并且允许多种新的应用。

工作温度的增加是由于使用新的探测器材料。早期的阵列使用掺杂硅作为探测器材料（例如，掺杂有浅能级杂质，例如砷，铟，或镓的非本征硅）。它们依靠借助入射红外光光子进行的浅能级杂质的电离，从而检测存在的辐射。现今的光电探测器使用复合半导体材料，例如 InGaAs, InSb 以及 HgCdTe，或者硅化物例如 PtSi。所得到的探测器可以在较高的温度下运行。

不幸的是，较新的探测器材料的加工技术与硅读出电子的加工技术是不相容的。因此需要两个分离芯片形成杂化（hybridized）图像传感器。通常是通过探测器和读出集成电路(ROIC)的合适节点上的钎块粘贴，将两个芯片接合在一起。使用在适当位置的钎块，将两个芯片对齐并且结合在一起。

虽然钎块粘结工艺已经实现了较高温度下的新应用，但是粘结工艺存在可靠性，加工，尺寸和速率方面的问题。粘结的可靠性是主要的关注点。热膨胀系数不匹配，超重力以及振动都有可能导致粘结失败。探测器材料和硅 ROIC 之间的热膨胀系数不匹配是一个特殊的问题，这是因为许多应用都需要冷却图像传感器来降低传感器暗流。巴顿[2]提出了这样一种方法，即使用第三衬底材料来减轻热膨胀系数不匹配问题，但是第三材料增加了复杂程度和成本。超重力可能会导致钎块粘结失败，太空应用中使用的图像传感器装置通常会遇到这种问题，并且在所有的应用中，杂化图像传感器的适度振动都会导致单个探测器（像素）的失效。假如这些装置可能要经受严酷的野外条件，这些限制就是相当有害的。

粘结的附加步骤还会增加成本和降低产量。由于探测器阵列是典型地从背面进行照明的，阵列通常很薄。薄阵列在装配期间是很难处理的，而该困难使伴随着钎块粘结的产量问题加剧。

钎块粘结还限制了单个像素尺寸的缩减。钎块粘结的尺寸较大（直径大约为 $10\ \mu\text{m}$ ）。使用钎块的 FPA 的最小像素尺寸大约是

$25 \times 25 \mu\text{m}^2$ 。这与 Si 图像传感器小的多的像素尺寸（近似为 $2 \times 2 \mu\text{m}^2$ ）形成对照。因为较大的阵列尺寸限制了图像分辨率，并且较大的 FPA 尺寸使完全辐照阵列所需要的光学尺寸增加，所以钽块粘结在照相机重量和体积是关键因素的应用中是不利的。

钽块粘结还限制了例如 3-D LADAR 成像应用所需的图像传感器速度。钽块粘结显示出使探测和读出电子减缓的附加电容性负载。此外，该粘结增加了功率消耗和像素之间的电容，从而增加了阵列噪音，并且使噪音分析[4]复杂化。因此，有对更容易制造的图像传感器的需求，特别是可以高速探测像素尺寸较小的红外短波的可靠而小型的传感器。

发明内容

依照本发明，改进的图像传感器包含与硅衬底和硅读出电路集成在一起的锗感光元件阵列。首先利用众所周知的硅晶片制造技术，在硅衬底上形成硅晶体管。随后通过外延生长形成覆盖在硅上的锗元件。锗元件有利地形成在电介质镀层表面缺口内部。将晶片制造技术应用到这些元件中，以形成隔离的锗光电二极管。由于锗加工所需的温度低于硅加工的温度，锗装置的形成没有必要影响以前形成的硅装置。然后沉积绝缘层和金属层并且对它们进行图案化处理，从而使硅装置相互连接，并且将锗装置连接到硅电路上。锗元件因而借助外延生长与硅集成，并且借助公共金属层与硅电路集成。

在每个像素中，锗元件将入射光转换为电信号。像素中的硅电路对来自锗元件的信号进行检测和放大。通过行和列地址选择电路来读取像素，从而读出并且唯一地标识每个像素的输出。图像就是这样通过阵列来被读出的。因为锗在从可见光到波长高达大约 $1.7 \mu\text{m}$ 的红外光范围内都是感光的，所以可以形成可见图像和红外光图像。来自每个像素的信号在被传输到外部芯片之前，要从模拟电流或电压转换为数字值。这就使信号衰减降低到最小限度。在优选实施例中，每个锗像素都是通过外延生长在硅上形成，作为电介质表面覆层中的晶体岛

状物。

附图说明

本发明的优势，性质和各种附加特征在考虑到图解的实施例时，将会更充分地表现出来，现在要集成附图对这些实施例进行详细说明。在附图中：

图 1 是根据本发明的一个实施例的改良图像传感器的制造中所包含步骤的流程示意图；

图 2A 是示出参照硅电路层的错层相对位置的横截面视图；

图 2B 是示出错层相对位置的另一个横截面视图；

图 3 示出单个可寻址的像素阵列，其中特定的行地址选择电路和列读出电路唯一地确定了给定像素中的光强度。

图 4A 和 4B 图解了像素中的典型电路，该像素用来收集和放大每个光电探测器接收的电荷。

图 5 示出使图 2 中的硅电路与错光电探测器集成的像素布局。

图 6 是像素布局层面的三维视图；以及

图 7 图解了用来收集飞行时间和强度信息的像素中的典型电路。

要理解的是，这些附图只是为了图解本发明的概念，并不是按比例绘制的。

具体实施方式

参照附图，图 1 是图像传感器的优选制造方法的流程示意图。下文中将会参照图 2A 和 2B 对该方法进行描述。图 2A 显示了经过金属化处理的最终装置结构以及每个像素上包含的微透镜，而图 2B 显示了包含错种子层的装置的横截面。

如图 1 中的方框 A 所示，制造工艺的第一步是要提供含有硅的衬底。所选择的硅具有合适的电阻系数和晶体取向，适用于选择的硅装置处理工艺，通常为 CMOS 或 BiCMOS 处理。

下一步（方框 B）是要依照选择的硅处理技术，制造硅衬底中的

硅读出集成电路(ROIC)元件。

参照图 2A, 典型的制造工艺是以硅衬底 200 为起点的。形成浅槽隔离 202, 接着形成晶体管阱 204。沉积或生长形成栅极叠层 206, 并对其进行图案化处理, 其中该栅极叠层 206 是由薄绝缘层和导带栅极材料层组成。然后沉积隔离件 208, 并且利用各向异性蚀刻技术对其进行蚀刻。在形成隔离件以后, 通过注入或如果有必要的话, 用其它方法, 例如选择性外延和退火, 形成源极和漏极区域 210。源极/漏极退火通常是最后的高温工艺(在 900-1050°C 的温度下进行 1-30s)。一旦源极和漏极完全形成, 必须要对热平衡进行限制, 以避免发生固态扩散。然后利用低温(350-750°C)沉积工艺, 以常规方式形成第一电介质 212, 并且利用化学机械抛光法(CMP)来进行该电介质的平面化。电介质 212 可以是二氧化硅, 氧氮化硅, 或任意类似的低介电常数材料。

第三步(图 1 中的方框 C)是要形成外延生长的光电探测器阵列, 包含覆盖在硅上的锗。锗光电探测器是优选由较小的隔离锗岛阵列构成, 其中隔离锗岛是在衬底的电介质覆层表面上的孔内通过外延生长形成的。通过选择锗岛的生长和尺寸以提供较低的缺陷生长。因此, 锗光电探测器与硅电路单片集成。

美国的 Bude 等人在 2003 年 6 月 3 日申请的专利申请 S.N. 10/453,037 中, 描述了一种用来形成具有低缺陷生长的锗岛的有利工艺, 其被包括在此以供参考。该工艺包括下列步骤:

- (a) 在硅衬底的主表面上形成电介质覆层区域;
- (b) 形成延伸到覆层区域内第一深度的第一孔口;
- (c) 在每个第一孔口内形成较小的第二孔口, 该孔口延伸到大于第一深度的第二深度, 并且暴露了硅;
- (d) 在每个孔口内的硅上, 以及每个覆层区域顶部通过外延生长形成含有锗的材料区域;
- (e) 控制第二孔口的尺寸, 从而使得缺陷被限制在第二孔口内的第一外延生长区域以及覆层区域顶部的外延过生长区域, 第一预定

区域位于第一孔口内部，并且基本上没有缺陷；以及

(f) 对装置顶部进行平面化处理以去除延伸到覆层顶部上方的外延生长区域，从而使第二孔口中的第一预定生长区域顶部基本上与覆层区域顶部齐平。

作为实例，在形成锗光电探测器的优选方法中，标准硬核硅工艺被中断以包括锗吸收层的生长过程。参照图 2A，进行薄氮化硅层 214 的沉积，其中该氮化硅层随后将在后面工艺中用作蚀刻终止层。接着在表面 214 上沉积电介质 216（该电介质的材料可以与 212 所使用的材料相同或不同），电介质的厚度与锗吸收层的所需厚度相对应。最佳厚度取决于待检测光的波长。例如，在波长为 $1.3\mu\text{m}$ 时，在大约 $1.3\mu\text{m}$ 处得到最低的噪声等效功率。在波长为 $1.55\mu\text{m}$ 时，最佳的锗厚度大约是 $2.3\mu\text{m}$ 。对于典型的应用，锗厚度的最小值应该足够吸收 400 到 1700nm 的波长范围内至少 1% 的入射光。通过由适当位置的 212, 214 和 216 组成的覆层叠层，利用对氮化物 214 上面的电介质 216 有选择性的等离子蚀刻，对具有光刻胶的表面图案化和蚀刻电介质 216，从而形成阱区 218[5]。可以利用热磷酸溶液，或通过仔细地进行定时等离子蚀刻，来蚀刻去除氮化物 214 的残留物。为了将氮化物 214 隔离，通过保形沉积来形成氧化物 220。然后通过对电介质 212 的外露部分进行图案化处理，并且对硅衬底进行蚀刻，从而形成种子窗口 217。然后执行未掺杂锗的选择性外延生长(SEG)来填充种子通道 217 和锗阱 218。应该通过外延生长领域中众所周知的预防措施来尽可能地限制外延生长期间的本底掺杂。然后使用化学机械抛光法(CMP)来对所得到的锗生长进行平面化处理，从而形成与周围电介质 216 齐平的锗区域 218。

为了降低表面复合(recombination)速度，要在 218 的表面上生长形成选择性薄硅层 222，并且使其得到部分氧化。然后通过下列过程来制造 p-i-n 光电探测器，即注入 p 型杂质（例如硼）来形成接触区域 224，并且通过注入 n 型杂质（例如磷）来形成接触区域 226。对于高速 p-i-n 装置，需要能够以相当大的距离延伸进入锗阱的高能注

入。随后将电介质 228 沉积在该结构上。

虽然上述的吸收层是锗，但是应该认识到，使用硅和锗的合金 ($\text{Si}_{1-x}\text{Ge}_x$) 同样可以，其中 x 的变化范围是从 0 到 100%。如果是那样的话，截止波长和暗电流之间将会出现平衡。当锗分数 x 减少时，暗电流和截止波长都会变得更小。

虽然上文中描述的是横向 p-i-n 装置结构，但是应该认识到，在锗层上可以形成这样的可替换装置，例如垂直的 p-i-n 光电二极管，雪崩光电二极管，盖革模式的光电二极管，光电晶体管以及本领域中已知的其它装置，用来将红外光转换成为电信号。

如图 1 中的方框 D 所示，下一步骤是要形成触点和金属化，用来使锗光电探测器与硅 ROIC 电路相互连接。在沉积电介质 228 之后，从表面穿过所有的电介质材料，蚀刻出与晶体管的源极/漏极（或双极装置的发射极，基极和集电极）以及光电探测器的阳极和阴极接触的通孔 230。电介质材料的叠层包括电介质 214，其可以在等离子体蚀刻中以不同的方式起作用。包括后端金属化步骤的该工艺剩余步骤，除了随后要详细说明的两个值得注意的例外之外，是照常进行的。在对通孔进行蚀刻之后，使该通孔充满例如，钨的导电金属，然后以常规的方式对其进行抛光。相继的电介质层和金属层是利用标准工艺形成的。

常规的后端处理可以通过修正以包括特定波长或波段的滤波器。可以将能够过滤特定波长的滤波材料 236 沉积，并且在一个中间电介质层的平面化处理之后，在光电探测器上方对该滤波材料进行图案化处理。或者，后端金属线本身可以适当地图案化从而用作每个像素传感器上的可见光和红外光入射辐射的过滤器[6]。最后可以对微透镜 244 进行沉积，图案化，并且使其在每个像素上面流动，从而提高每个像素元件的有效填充因数。

虽然我们描述了通过选择性外延生长来形成锗层，但是应该认识到，也可以通过其它方法来形成锗层，例如固相外延，氢离子植入和晶片粘结，液相外延以及本领域中已知的其它技术。

图 3 是典型成像器的结构图。成像器 30 包含行地址选择电路 31，像素阵列 32，其中每个像素都包含锗光电探测层，列读出电路 33，模拟-数字转换器(ADC)34 以及用来驱动芯片输出 36 的输出缓冲器 35。还有图中没有显示的时钟和控制逻辑。行寻址电路 31 从多个行地址线 37 中选择一个。每个行地址线都被连接到多个像素 32，且一个行地址线与每个列对应。给定行中的所有像素由行地址线同时选择。所选择行中的每个像素 32 使其列总线 38 带电荷，以形成与像素从最后一次复位开始所接收的累计照度有关的电压。一次只能选择一行，因此与相同列总线连接的同一列中其它像素不会对列总线上的电压造成影响。行地址与所选择列的结合唯一地确定了每个像素。通过依次连续对每一行寻址，并且在选择每一行的同时，连续对每个列总线进行采样和保持，阵列中每个像素的光强度得到检测，并且可以形成图像。来自列缓冲器的模拟电压通过模拟-数字转换器 34 被转换为数字形式，并且在离开输出总线 36 上的芯片之前被发送到输出缓冲器 35。本领域中的技术人员应该清楚的是，在不脱离本发明范围的前提下，也可以使用其它图案的像素，例如六角网格像素，棋盘形图案的像素，或者在某些应用中甚至可以使用单独一行像素。

参照图 4A，典型的像素 40 包括锗光电二极管 41，积分电容器 42，放大器 43，用来确定像素何时与列总线 38 连接的行选择晶体管 44，以及复位电路 45。积分电容器 42 没有必要是独立的元件，而是可以由光电探测器的本征电容以及与其它杂散电容并联的放大器输入电容组成。列读出方框（图 3 中的 33）中的采样和保持电路 46A 或 46B 连续读取阵列中的每一列，然后借助 ADC44 对它们的输出进行数字化。

在每个积分周期的开端，像素积分电容器 42 通过复位开关 45 被充电到参考电压。当光照射到光电探测器上时，产生的电流使电容器 42 放电。电容器的浮动节点 47 被输入到放大器 48。在积分周期的末期，确立了 ROW 选择信号 22，而行晶体管 44 将像素的放大输出施加到 COL 总线 38 上，这里其被列读出方框中的采样和保持电路 46A，

46B 读出。然后使像素 40 复位，并且开始下一个积分周期。

图 4B 是图 4A 中电路的更特别的实例。复位电路 45 是单一晶体管，而放大器 43 是单一晶体管的源极随耦电路。在这种情况下，全部的像素电路只是三个晶体管。

图 5 示出这种像素可以通过一种紧凑的方式来布置，而图 6 示出同一像素的三维透视图。锗层 50 是像素中的较大元件，提供了较高的填充因数（也就是大部分单元对光照响应）。在锗像素下面的硅衬底上形成复位晶体管 51，源极随耦晶体管 52 以及行选择晶体管 53。电源线 54 和接地线 55 与一层金属上的行选择线 22 平行，而复位线 56 和列线 38 在第二金属层上垂直延伸。构成积分电容器（图 4A 中的 42）的一块极板的浮动节点 58 可以在任意一层金属上，并且与锗元件 50，以及源极随耦晶体管 52 的栅极和复位晶体管 51 的源极连接。本领域中的技术人员应该清楚的是，该基本像素可以有許多其它的可能布局。

还应该清楚的是，可以使用许多其它的集成电路来读取锗光电二极管的输出。例如，高速读出电路可以使用具有电阻或电容反馈的互阻抗放大器来降低读出噪音。可以通过添加噪声降低电路来降低空间和时间噪声。可以通过向像素添加电路来使二极管漏电流的影响减少到最低限度。此外，可以使用多种读出架构，这取决于预期应用的帧频要求。可以将独立 ADC，而不是整个芯片的单一 ADC 布置在每一列的底部，而所有 ADC 的转换是并行的。或者，足够先进的硅技术将会允许 ADC 被引入到每个像素中。因此本发明可以使用各种各样的阵列架构。

本领域中的技术人员应该清楚的是，在锗像素的不同深度处具有多个结的像素将会允许分开俘获不同波长的光子。这种像素同样应该被认为在本发明的范围内。

图 7 示出为飞行时间成像优化的像素阵列成像器的可选实施例。对于该应用，每个像素 701 不仅要测量落在像素上的照度总量，而且要测量光照强度的峰值和那些峰值出现的时间。图 7 中的成像器可以用于距离测量照相机，其中远程对象的距离测量是通过用红外光闪光

照射景物来进行的，而反射光返回到照相机的时间可直接测量出景物每部分的距离。

该应用的像素 701 的架构是比较精密复杂的。光电二极管 702 的输出被馈进到快速低噪声放大器 703。该放大信号具有直流和低频分量，这些分量在信号被放大器 705 进一步放大并进入峰值检测器 706 之前被过滤器 704 消除。峰值检测器每次产生输出量时，输入信号升高到峰值，然后再次下降，这与来自像素观察范围内的较远目标的反射光相对应。在每个峰值处，峰值 707 的强度被记录在存储电容器 708 上，而峰值的出现被用来在多个存储电容器 710 之间的芯片内电压斜波 709 间切换。当发送闪光时，电压斜波 709 开始上升。当第一存储电容器 710 断开时，斜波值被冻结在那个电容器上，并且用作反射光到达时间的测量值。通过使用多路器 711 和 712，来自一部分景物的多个反射光到达时间和峰值强度被记录下来。在所有的反射光返回以后，通过输出多路器 713 和像素输出放大器 714 来读出时标电容器 710 和强度电容器 708 上的电压。

该电路可以有很大变化。例如，可以用恒流源来代替电压斜波，应用到时标电容器中。时标电容器上收集的总电荷将是飞行时间的测量值。如果只要求单一脉冲返回，那么单一强度电容器和单一时标电容器可以用在每个像素中。峰值检测所使用的阈值可以发生与时间相适应的变化。或者数字时序信号可以被冻结在每个像素中的数字存储元件上。因此在这里作为实例提供的特殊电路不应该被解释为本发明范围的限制。

因此，锗感光元件阵列与硅读出电路集成起来以形成红外光成像器。首先利用对于本领域中那些技术人员来说众所周知的硅晶片制造工艺，形成硅晶体管。在随后的步骤中添加锗元件，并且应用晶片制造工艺来形成锗光电二极管。锗加工所需要的温度低于硅加工的必需温度，因此可以在不影响以前形成的硅装置的前提下，形成锗装置。然后进行绝缘层和金属层的沉积和图案化处理，以形成电路配线，从而使锗装置与硅电路连接。现在可以看出，本发明一方面是一种成像

传感器，其包括位于含有硅的衬底上的多个光电探测器。光电探测器包括含有锗的隔离岛。隔离岛通过外延生长与硅集成在一起。衬底包括与光电探测器连接的集成硅电路，用来逐个寻址和读取光电探测器的光响应。衬底优选有包含孔的外部电介质覆层表面。含有锗的隔离岛位于孔中，并且通过外延生长与硅集成在一起。有利的是，外表面是平面，而隔离岛的外表面与硅共面。对于典型的应用，隔离岛具有足够的厚度来吸收 400 到 1700 纳米的波长范围内的至少 1% 的入射光。衬底和隔离岛都是有利的单晶材料，并且可以是结晶学上对齐的。一个或一个以上的隔离岛可以包括多个深度各不相同的 p-n 结，从而识别出隔离岛所吸收的光谱。有利的是，隔离岛是通过美国专利申请 S.N. 10/510,932 中所描述的工艺来形成的。

衬底内形成的集成电路元件可以连接在一起，并且可以借助普通金属化层与光电探测器连接。对于飞行时间成像，集成电路可以通过配置来测量入射光的峰值。

本发明的优点有很多。优点包括下文中的这些方面：

- 硅衬底上的短波红外光探测器阵列的灵敏度达到 $1.7\ \mu\text{m}$ ；
- 形成具有较低暗电流的这种阵列的能力；
- 形成具有较高频率响应的这种阵列的能力；
- 通过控制单个探测器的阱深度实现的阵列高量子效率；
- 位于衬底上方的锗吸收层允许晶体管占用下层区域，从而增加了填充因数；
- 由于使用通过成熟的硅加工技术而实现的整个阵列的高度均匀性；
- 不会发生像素之间的载流子扩散引起的低像素干扰；
- 高强度和高速晶体管以及其它元件可以与阵列集成起来；
- 由于模块集成，完全重新使用过程模型和标准单元；
- 可以使像素尺寸非常小，从而降低得到的给定像素数目的成像器的最终尺寸，允许使用较小且较轻的照相机光学件；
- 像素可制得非常小从而对于给定成像器区域允许高分辨率阵

列;

- 同一金属化可用于接触锗装置, 硅装置以及无源元件;
- 该工艺通过允许填充因数的提高, 或者行宽缩短时电子复杂性的增加来利用硅沿展率 (scaling rate)。杂化阵列中的间距在过去的十年中基本上保持不变;
- 不需要钢块粘结的杂化, 从而增加了可靠性和产量;
- 不需要杂化, 从而降低了成本;
- IR 光电二极管与电路的低电容连接。

虽然这里的描述中包含许多特定的说明, 但是这些说明不应该被解释为本发明范围的限制, 而是作为若干个优选或有利实施例的实例。因此, 不能通过所说明的特殊实施例来确定, 本发明的范围要通过附加权利要求以及它们的合法等价范围来确定。

附录 A

参考文献

[1] 1994 年的 Proc.SPIE, E.R.Fossum 版《红外读出电子学 II》的卷 2226 中第 108 页到 119 页, M.J.Hewitt, J.L.Vampola,, S.H.Black, 以及 C.J.Nielsen 的“红外读出电子学: 历史透视”

[2] J.Barton 的 1992 年美国专利 5,308,980, “与红外探测器杂化阵列相适应的热膨胀系数不匹配”

[3]1998 年出版的 IEEE《固态电路杂质》的卷 33 中, 第 2092-2103 页, M.J.Loinaz, K.J.Singh, A.J.Blanksby, D.A.Inglis, K.Azadet 以及 B.D.Ackland 的“产生 30 帧/秒的 352×288, 24-b 视频的 200-mW, 3.3V, CMOS 彩色照相机 IC”

[4]T.J.Grycewicz 和 C.R.McCreight 版的 2003 年 SPIE (Bellingham, WA), 《空间望远镜的焦平面阵列》的卷 5167 中, A.C.Moore 的“非破坏性焦平面阵列中的像素间电容”

[5] J.Bude, M.Carrol 以及 C.King 的 美国, 台湾, PCT 国家

2002 的专利 60/434,359,“具有减少的有源区缺陷和奇特的接触方案的半导体装置”

[6]2002 年出版的《IEDM 技术摘要》的第 805 到 808 页中, A.E.Gamal 的“CMOS 图像传感器技术和设计的趋势”

图1

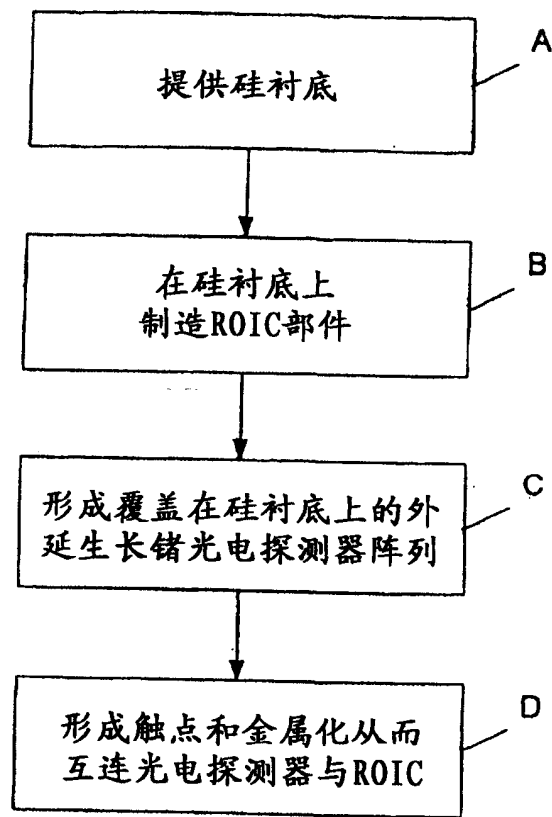


图 2A

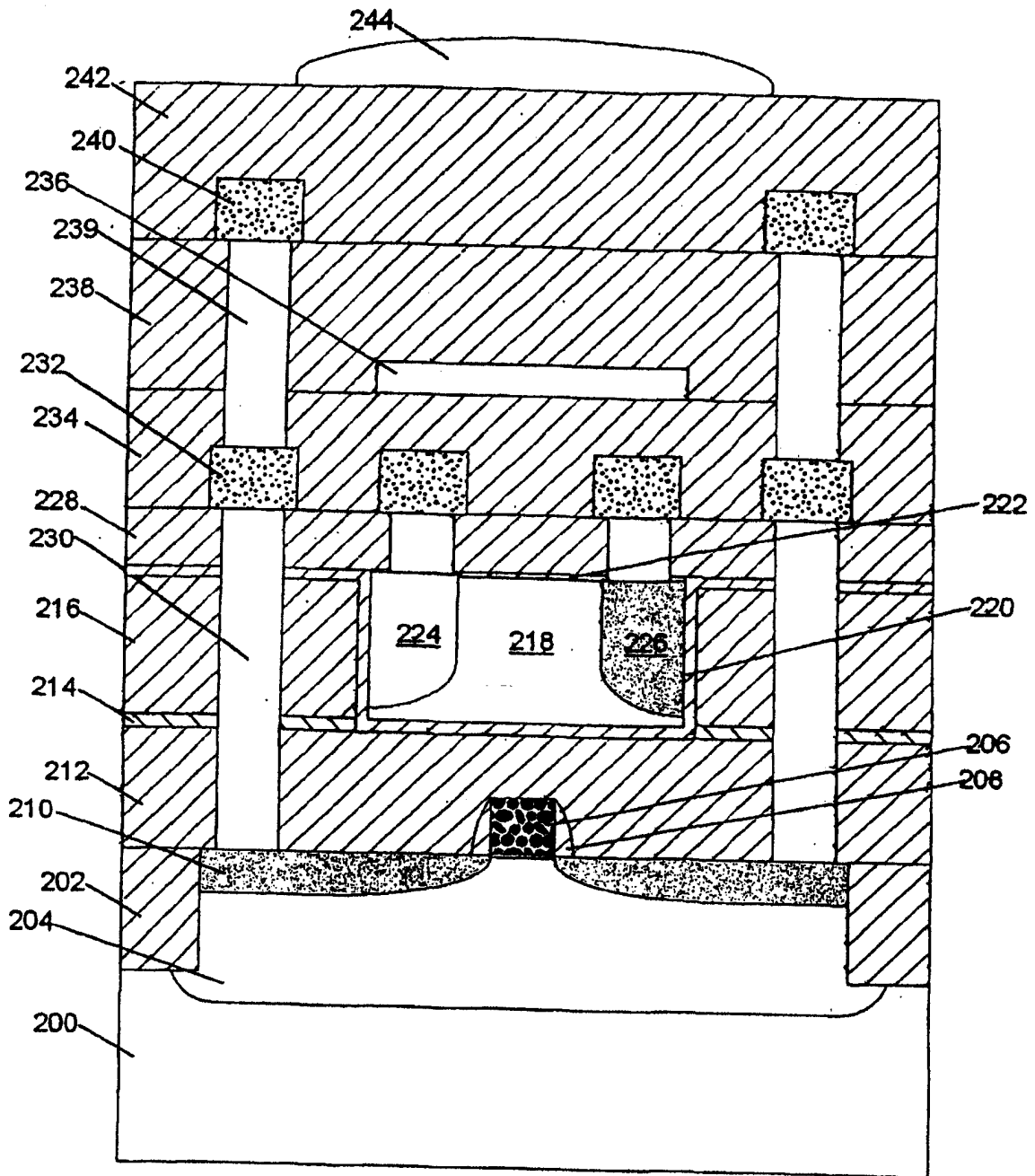


图 2B

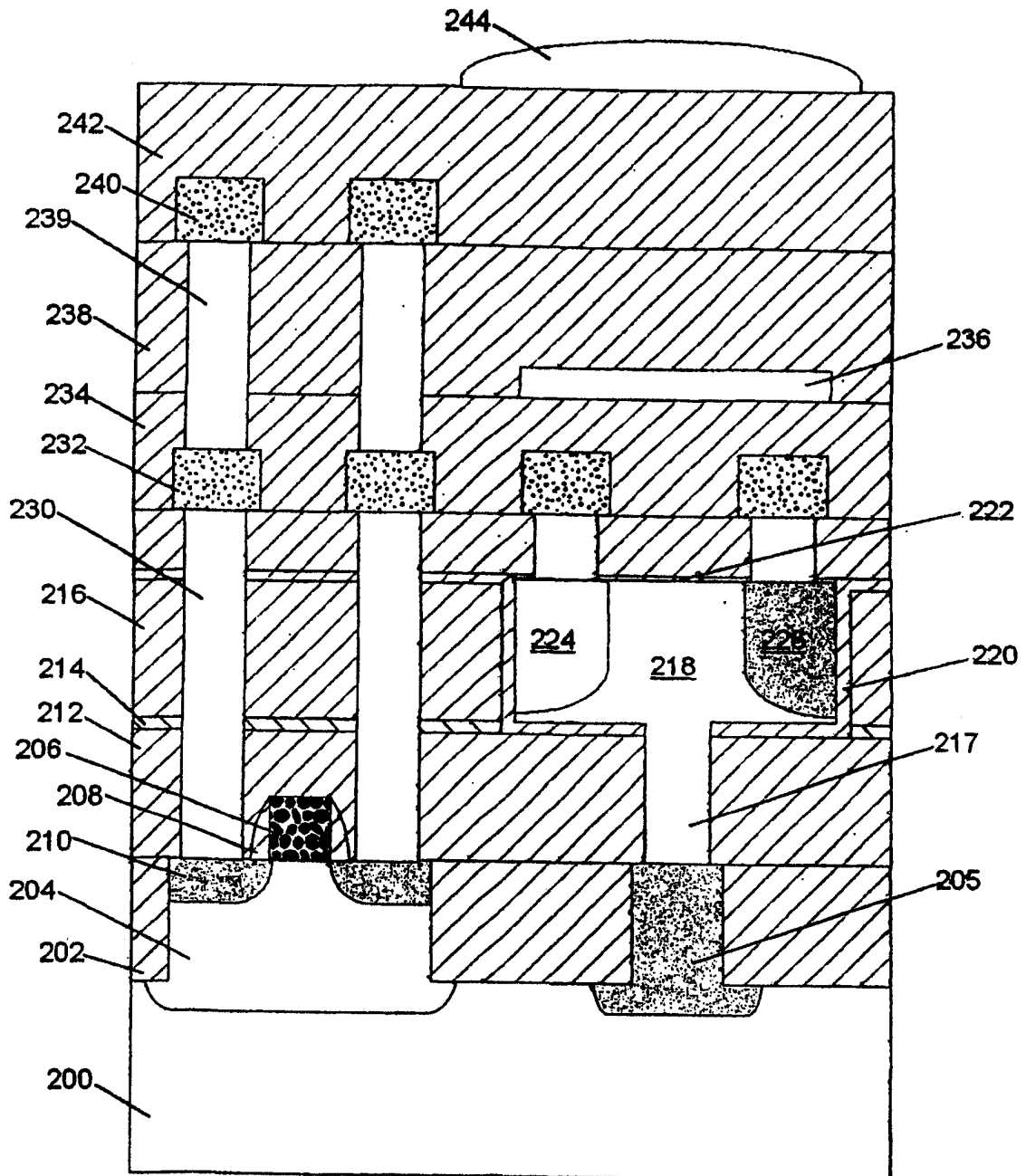


图3

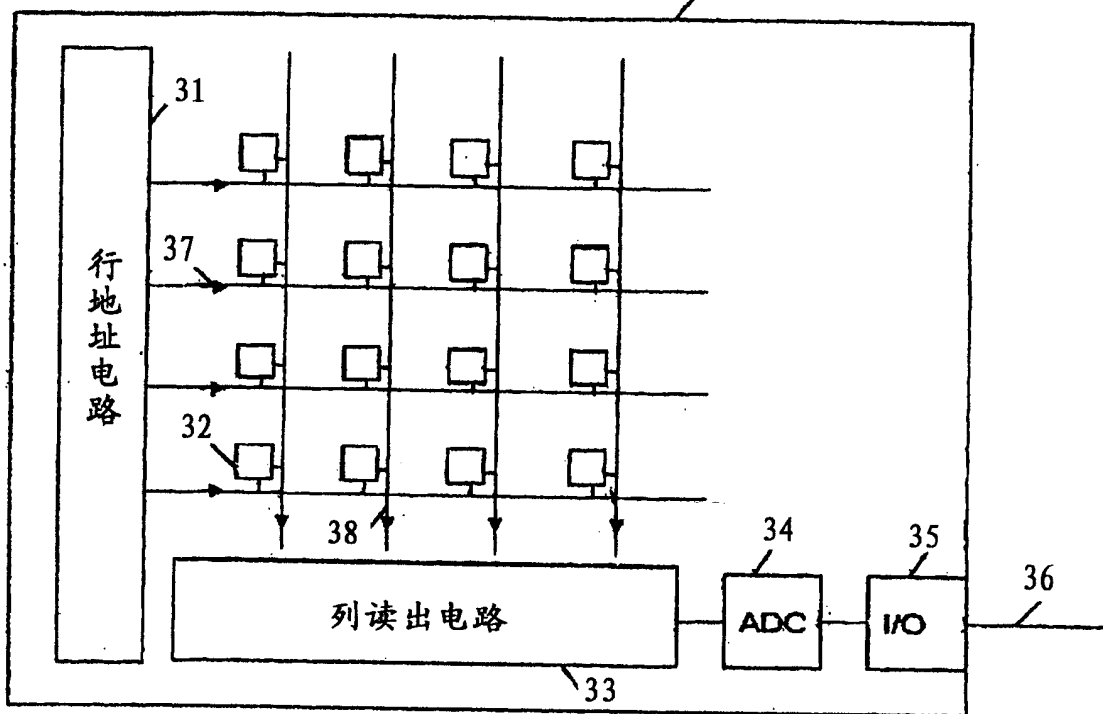


图 4A

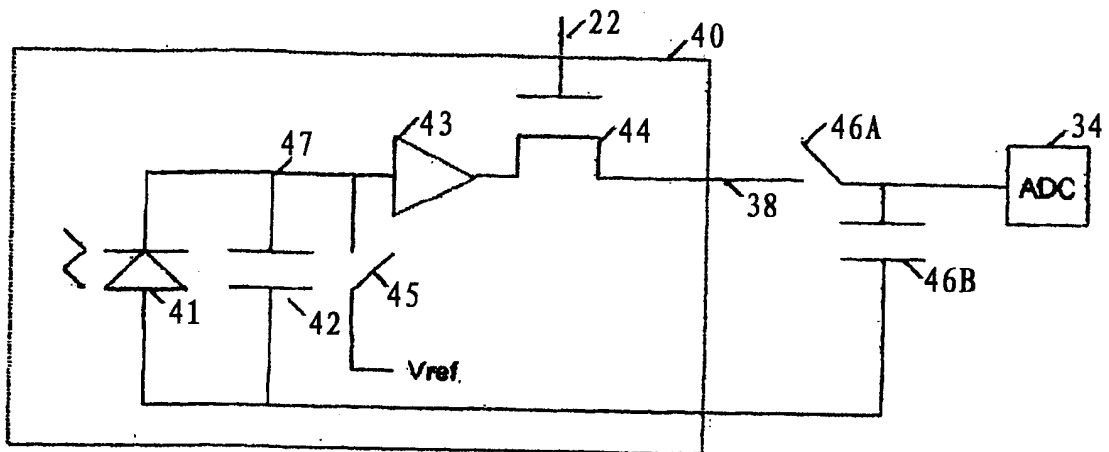


图 4B

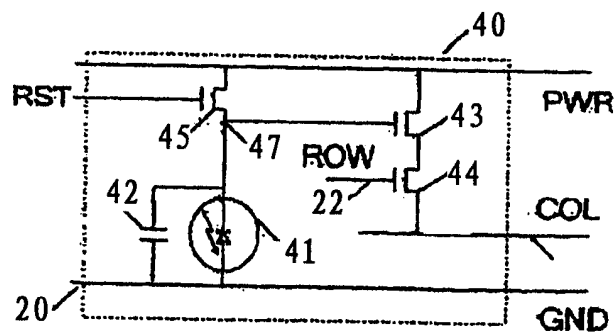


图5

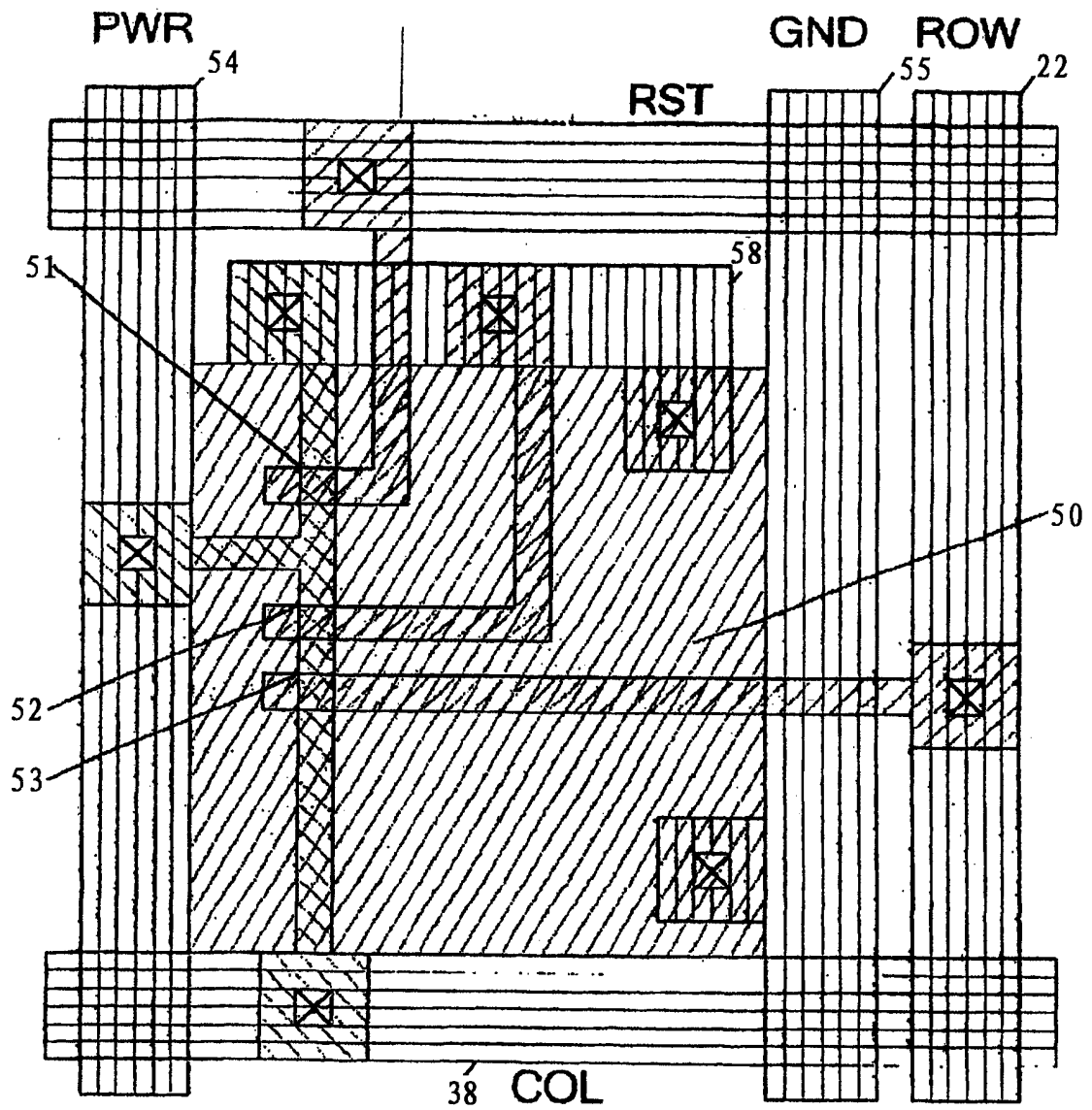


图6

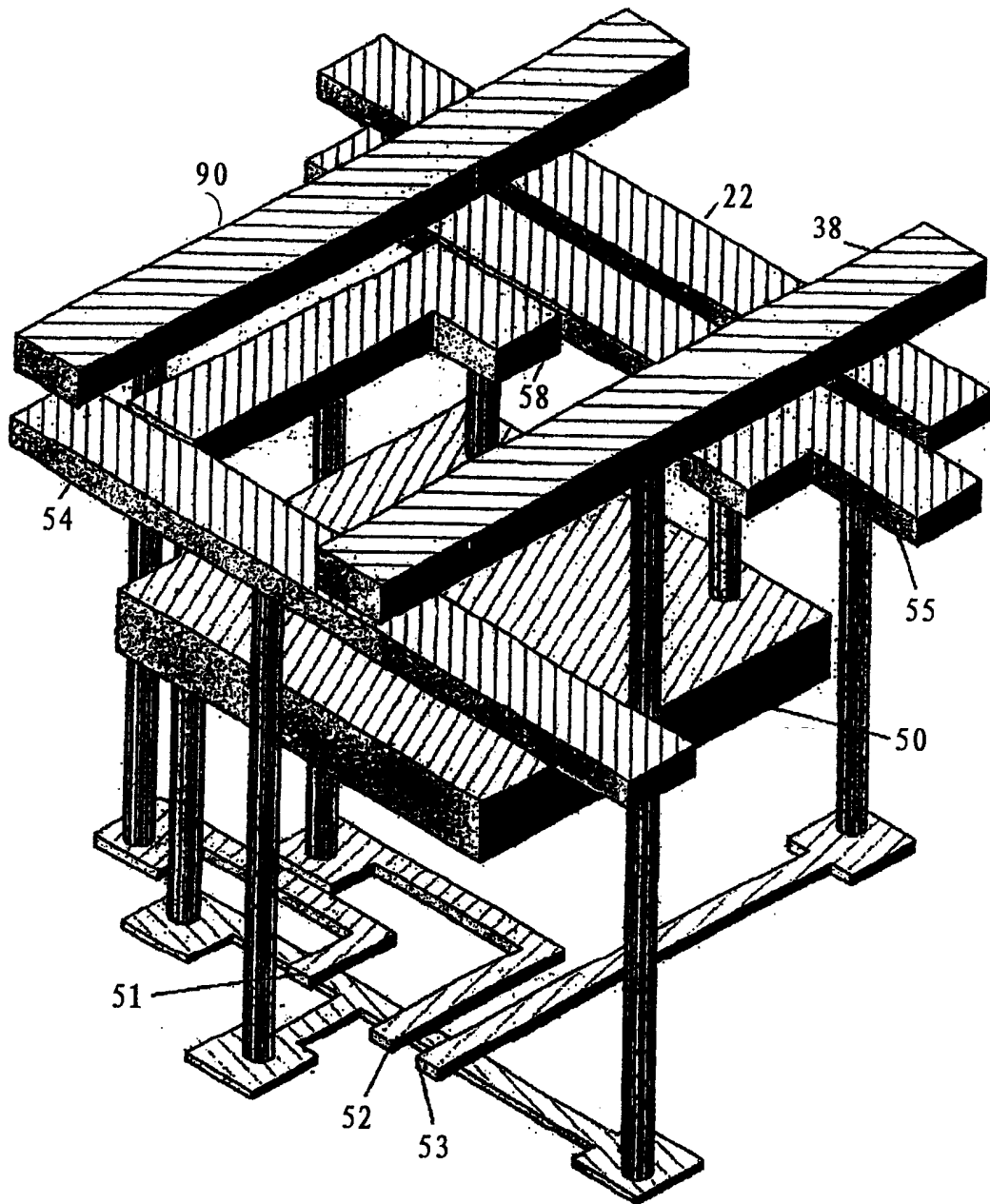


图7

