

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4349136号
(P4349136)

(45) 発行日 平成21年10月21日(2009.10.21)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int.Cl.		F I	
H03F	1/00	(2006.01)	H03F 1/00 C
H03K	5/135	(2006.01)	H03K 5/135

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2004-18765 (P2004-18765)	(73) 特許権者	000006220
(22) 出願日	平成16年1月27日(2004.1.27)		ミツミ電機株式会社
(65) 公開番号	特開2005-217528 (P2005-217528A)		東京都多摩市鶴牧2丁目11番地2
(43) 公開日	平成17年8月11日(2005.8.11)	(74) 代理人	100070150
審査請求日	平成18年6月15日(2006.6.15)		弁理士 伊東 忠彦
		(72) 発明者	稲垣 靖彦
			神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内
		審査官	畑中 博幸

最終頁に続く

(54) 【発明の名称】 信号出力回路

(57) 【特許請求の範囲】

【請求項1】

入力信号を増幅して出力する信号出力回路であって、
 前記入力信号を増幅して出力する第1の増幅回路と、
 前記第1の増幅回路の出力を反転増幅する第2の増幅回路と、
 前記第1の増幅回路及び前記第2の増幅回路の機能制御する制御パルスが供給される一つの制御端子と、

前記一つの制御端子から供給される前記制御パルスに基づいて前記第1の増幅回路及び前記第2の増幅回路の機能を切り替える機能制御信号及び前記第1の増幅回路及び前記第2の増幅回路に供給する基準電圧を生成する機能制御回路とを有し、

前記第1の増幅回路と前記第2の増幅回路とは、各々第1の増幅状態で増幅を行う第1の出力回路と、

前記第1の増幅状態とは異なる第2の増幅状態で増幅を行う第2の出力回路と、

前記機能制御回路から供給される機能制御信号により前記第1の出力回路と前記第2の出力回路とを切り換える切換回路とを有し、

前記機能制御回路は、前記一つの制御端子から供給される前記制御パルスを遅延させる遅延回路と、

前記遅延回路の出力信号の積分波形を前記機能制御信号として出力する積分回路と、

前記一つの制御端子から供給される前記制御パルス及び前記積分回路から出力される前記機能制御信号に応じて前記第1の増幅回路及び前記第2の増幅回路に供給する前記基準

10

20

電圧を生成する基準電圧生成回路とを有し、

前記基準電圧生成回路は、前記制御パルスに応じて前記基準電圧を出力する基準電圧出力回路と、

前記基準電圧出力回路から前記第 1 の増幅回路及び前記第 2 の増幅回路に供給される前記基準電圧の応答の時定数を、前記制御パルスがローレベルからハイレベルに切り替わった時点から所定時間内の時定数よりも、該所定時間経過後の時定数を長くするように切り換える時定数切換回路とを有する信号出力回路。

【請求項 2】

前記切換回路は、前記機能制御回路の前記積分回路からの前記機能制御信号を所定の基準電圧と比較して、前記機能制御信号と所定の基準電圧との大小関係に基づいて前記第 1 10
の出力回路と前記第 2 の出力回路とを切り換える請求項 1 記載の信号出力回路。

【請求項 3】

前記第 1 の出力回路及び前記第 2 の出力回路は、ともに、差動回路から構成されている請求項 1 又は 2 記載の信号出力回路。

【請求項 4】

前記第 1 の出力回路は、前記入力信号を増幅する増幅回路から構成され、

前記第 2 の出力回路は、出力信号をミュートするミュート回路から構成されている請求項 1 乃至 3 のいずれか一項記載の信号出力回路。

【請求項 5】

前記第 1 の増幅回路の出力と前記第 2 の増幅回路の出力との間に外部出力デバイスが接続される請求項 1 乃至 4 のいずれか一項記載の信号出力回路。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は信号出力回路に係り、特に、入力信号の出力動作を切り換える信号出力回路に関する。

【背景技術】

【0002】

従来よりオーディオ信号を増幅して、ヘッドフォンやスピーカなどに出力するオーディオアンプ回路が知られている。 30

【0003】

このようなオーディオアンプ回路には、電源の投入時や切断時のノイズをカットするためにシャットダウン機能及びミュート機能が内蔵されている。

【0004】

図 7 はオーディオアンプ回路のブロック構成図を示す。

【0005】

オーディオアンプ回路 101 の入力端子 T_{in}には、信号源 102 から直流カット用のコンデンサ C41 を介して入力信号が供給される。入力端子 T_{in}に供給された入力信号は、増幅回路 111 に供給される。増幅回路 111 は、差動増幅回路 121、入力抵抗 R31、帰還抵抗 R32、スイッチ 122 から構成され、基準電圧生成回路 112 から基準電圧が印加されており、反転増幅回路を構成している。 40

【0006】

増幅回路 111 は、基準電圧生成回路 112 からの基準電圧と入力端子 T_{in}に供給された入力信号との差に応じた信号を出力する。増幅回路 111 で増幅された信号は、出力端子 T_{out}から出力され、スピーカ 103 を駆動する。

【0007】

スイッチ 122 は、入力抵抗 R31 と帰還抵抗 R32 との接続点と差動増幅回路 121 の反転入力端子との間に設けられており、制御端子 T_{cnt1}にコントローラ 104 から供給されるミュート信号に応じてスイッチングされる。スイッチ 122 は、ミュート信号がハイレベルのときには、入力抵抗 R31 と帰還抵抗 R32 との接続点と差動増幅回路 121 の反転入力 50

端子とを短絡状態として、入力信号が反転増幅されて、出力端子 T_{out} から出力されるようにする。

【 0 0 0 8 】

また、スイッチ 1 2 2 は、ミュート信号がローレベルのときには、差動増幅回路 1 2 1 の出力とその反転入力端子とを短絡状態として、入力信号が出力端子 T_{out} から出力されないようにミュート状態とする。このように、コントローラ 1 0 4 から制御端子 T_{cnt1} に供給されるミュート信号に応じてスイッチ 1 2 2 がスイッチングされ、入力信号の差動増幅回路 1 2 1 への供給が制御され、ミュート機能が制御される。

【 0 0 0 9 】

また、基準電圧生成回路 1 1 2 は、スイッチ 1 3 1、抵抗 R₄₁、R₄₂、コンデンサ C₅₁ から構成される。基準電圧生成回路 1 1 2 には、定電圧 V_{dd} が印加されている。定電圧 V_{dd} は、スイッチ 1 3 1 を介して抵抗 R₄₁、R₄₂ から構成される直列回路に印加される。スイッチ 1 3 1 は、コントローラ 1 0 4 から制御端子 T_{cnt2} に供給されるシャットダウン信号がハイレベルのときにはオンし、定電圧 V_{dd} を抵抗 R₄₁、R₄₂ から構成される直列回路に印加し、シャットダウン信号がローレベルのときにはオフし、抵抗 R₄₁、R₄₂ から構成される直列回路への定電圧 V_{dd} の印加を停止させる。

【 0 0 1 0 】

抵抗 R₄₁、R₄₂ は、スイッチ 1 3 1 がオンのときに定電圧 V_{dd} を分圧して、基準電圧を生成し、差動増幅回路 1 2 1 の非反転入力端子に供給する。これにより、増幅回路 1 1 1 が動作状態となる。このとき、抵抗 R₄₁ と抵抗 R₄₂ との接続点には、端子 T_c が接続されており、また、この端子 T_c には、コンデンサ C₅₁ が外付けされている。端子 T_c に接続されたコンデンサ C₅₁ は、基準電圧のリプルを吸収し、基準電圧を安定化させる。

【 0 0 1 1 】

次にオーディオアンプ回路 1 0 1 の動作を説明する。

【 0 0 1 2 】

図 8 はオーディオアンプ回路 1 0 1 の動作説明図を示す。図 8 (A) はコントローラ 1 0 4 から出力されるシャットダウン信号、図 8 (B) はスイッチ 1 3 1 のスイッチング状態、図 8 (C) は差動増幅回路 1 2 1 に供給される基準電圧、図 8 (D) はコントローラ 1 0 4 から出力されるミュート信号、図 8 (E) はスイッチ 1 2 2 のスイッチング状態を示す。

【 0 0 1 3 】

図 8 (A) に示すように時刻 t₁₀ でシャットダウン信号がローレベルからハイレベルになると、図 8 (B) に示すようにスイッチ 1 3 1 がオフ状態からオン状態になる。スイッチ 1 3 1 がオンすることにより、抵抗 R₄₁、R₄₂ により基準電圧が生成される。このとき、図 8 (C) に示すように外付けコンデンサ C₅₁ により基準電圧は徐々に立ち上がり、時刻 t₁₁ で所定のレベルになる。時刻 t₁₁ で基準電圧が所定レベルに達すると、差動増幅回路 1 2 1 のシャットダウン状態が解除され、動作状態となる。

【 0 0 1 4 】

コントローラ 1 0 4 は、シャットダウン信号をハイレベルにする時刻 t₁₀ から所定の時間をカウントしており、予め設定された所定時間経過した時刻 t₁₂ で図 8 (D) に示すようにミュート信号を出力する。図 8 (E) に示すようにミュート信号により増幅回路 1 1 1 のスイッチ 1 2 2 がオンし、入力信号のミュート状態が解除され、入力信号が増幅回路 1 1 1 で増幅され、スピーカ 1 0 3 に供給される。

【 0 0 1 5 】

このように、従来はコントローラ 1 0 4 からのシャットダウン信号に基づいて、基準電圧生成回路 1 1 2 での基準電圧の生成が制御され、増幅回路 1 1 1 の動作が制御され、シャットダウン機能が制御され、また、コントローラ 1 0 4 からのミュート信号に基づいて、増幅回路 1 1 1 のミュート機能が制御されている。

【 0 0 1 6 】

従来のオーディオアンプ回路では、シャットダウン信号とミュート信号とを別々に集積

10

20

30

40

50

回路に入力する必要があるため、集積回路の外部ピン数が増加し、小型化が困難となる。

【 0 0 1 7 】

このため、外部ピン数を減らすため、シャットダウン信号のレベルに応じてシャットダウン機能及びミュート機能の両方を制御するオーディオアンプ回路が提案されている（特許文献 1 参照）。

【 0 0 1 8 】

【特許文献 1】 U S P 5 , 6 4 2 , 0 7 4 号（図 2）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

しかるに、従来のオーディオアンプ回路は、シャットダウン機能を制御するためのシャットダウン信号及びミュート機能を制御するためのミュート信号が外部のコントローラから別々に供給され、シャットダウン機能及びミュート機能が制御されていた。よって、外部コントローラでシャットダウン信号及びミュート信号を生成する必要があり、また、生成時にこれらのタイミングを制御する必要があった。このため、コントローラの処理に負担がかかるなどの課題があった。

【 0 0 2 0 】

また、シャットダウン信号のレベルに応じてシャットダウン機能とミュート機能との両方の機能の動作を制御すると、シャットダウン機能の制御のタイミングと、ミュート機能の制御のタイミングとを正確に規定できず、場合によってはアンプ立ち上がり時にノイズ

【 0 0 2 1 】

本発明は上記の点に鑑みてなされたもので、入力信号の出力動作をノイズの発生なくスムーズに切り換えることができる信号出力回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 2 】

本発明は、入力信号を増幅して出力する信号出力回路であって、制御パルスが供給される一つの制御端子（Tsd）と、前記入力信号を増幅して出力する第 1 の増幅回路（11）と、前記第 1 の増幅回路（11）の出力を反転増幅する第 2 の増幅回路（12）と、前記一つの制御端子（Tsd）に供給される前記制御パルスに応じて前記第 1 の増幅回路（11）及び前記第 2 の増幅回路（12）の機能を切り替える機能制御信号及び前記第 1 の増幅回路及び前記第 2 の増幅回路に供給する基準電圧を生成する機能制御回路（13）を有し、前記第 1 の増幅回路（11）と前記第 2 の増幅回路（12）とは、各々第 1 の増幅状態で増幅を行う第 1 の出力回路（Q11、Q12、Q13、Q14）と、前記第 1 の増幅状態とは異なる第 2 の増幅状態で増幅を行う第 2 の出力回路（Q11、Q12、Q15、Q16）と、前記機能制御回路（13）から供給される機能制御信号により前記第 1 の出力回路（Q11、Q12、Q13、Q14）と前記第 2 の出力回路（Q11、Q12、Q15、Q16）とを切り換える切換回路（113）とを有し、前記機能制御回路（13）は、前記一つの制御端子に供給される前記制御パルスを遅延させる遅延回路（42）と、前記遅延回路（42）の出力信号の積分波形を前記機能制御信号として前記切換回路（113）に供給する積分回路（43）と、前記一つの制御端子（Tsd）から供給される前記制御パルス及び前記積分回路（43）から出力される前記機能制御信号に応じて前記第 1 の増幅回路（11）及び前記第 2 の増幅回路（12）に供給する前記基準電圧を生成する基準電圧生成回路（41）とを有し、前記基準電圧生成回路（41）は、前記制御パルスに応じて前記基準電圧を出力する基準電圧出力回路（51、R21～R23）と、前記基準電圧出力回路（51、R21～R23）から前記第 1 の増幅回路（11）及び前記第 2 の増幅回路（12）に供給される前記基準電圧の応答の時定数を、前記制御パルスがローレベルからハイレベルに切り替わった時点から所定時間内の時定数よりも、該所定時間経過後の時定数を長くするように切り換える時定数切換回路（52、R24、C2）とを有する。

10

20

30

40

50

【 0 0 2 3 】

また、本発明の前記切換回路（ 1 1 3 ）は、前記積分回路（ 4 3 ）の出力信号を所定の基準電圧と比較して、前記積分回路（ 4 3 ）の出力信号と所定の基準電圧との大小関係に基づいて前記第 1 の出力回路（ Q 11、Q 12、Q 13、Q 14 ）及び前記第 2 の出力回路（ Q 11、Q 12、Q 15、Q 16 ）を信号出力状態又は信号遮断状態に切り換える。

【 0 0 2 4 】

また、前記第 1 の出力回路（ Q 11、Q 12、Q 13、Q 14 ）は、前記入力信号を増幅して増幅回路から構成され、前記第 2 の出力回路（ Q 11、Q 12、Q 15、Q 16 ）は、出力信号をミュートするミュート回路から構成されている。

【 0 0 2 5 】

前記第 1 の出力回路（ Q 11、Q 12、Q 13、Q 14 ）及び前記第 2 の出力回路（ Q 11、Q 12、Q 15、Q 16 ）は、ともに、差動回路から構成されている。

【 0 0 2 6 】

前記第 1 の増幅回路（ 1 1 ）の出力と前記第 2 の増幅回路（ 1 2 ）の出力との間に外部出力デバイス（ 3 ）が接続される。

【 0 0 2 7 】

なお、上記参照符号はあくまでも参考であり、これによって、特許請求の範囲が限定されるものではない。

【 発明の効果 】

【 0 0 2 8 】

本発明によれば、遅延回路により、外部から供給された制御パルスが遅延させ、積分回路により、遅延回路で遅延された制御パルスの積分波形を生成し、積分回路の出力波形に応じて出力動作切換回路の入力信号の出力動作を切り換えることにより、出力動作切換回路の起動時の出力の大幅な変動を防止でき、スムーズな起動が可能となる。

【 発明を実施するための最良の形態 】

【 0 0 2 9 】

〔 システム構成 〕

図 1 は本発明の一実施例のブロック構成図を示す。

【 0 0 3 0 】

本実施例では信号出力回路としてオーディオアンプ回路を例として説明を行う。本実施例のオーディオアンプ回路 1 は、1 チップの半導体集積回路から構成され、増幅回路 1 1、1 2、機能制御回路 1 3 が搭載された構成とされ、外部端子として、入力端子 T in、出力端子 T out-、T out+、シャットダウン制御端子 T sd、端子 T c を有する構成とされている。入力端子 T in には、信号源 2 からコンデンサ C 1 を介して入力信号が供給され、シャットダウン制御端子 T sd には、コントローラ 4 からシャットダウン信号が供給される。また、出力端子 T out- と T out+ との間には、スピーカ 3 が接続される。さらに、端子 T c には、コンデンサ C 2 が接続される。

【 0 0 3 1 】

入力端子 T in に供給された入力信号は、オーディオアンプ 1 内で、まず、増幅回路 1 1 に供給される。増幅回路 1 1 は、入力端子 T in から供給された入力信号を反転増幅して、出力端子 T out- に供給するとともに、増幅回路 1 2 に供給する。増幅回路 1 2 は、増幅回路 1 1 の出力信号を反転増幅して、出力端子 T out+ に供給する。出力端子 T out- と出力端子 T out+ との間には、スピーカ 3 が接続されており、スピーカ 3 は入力信号に応じて駆動され、入力信号に応じた音声を出力する。

【 0 0 3 2 】

なお、増幅回路 1 1、1 2 には、ミュート機能が内蔵されており、機能制御回路 1 3 によりその機能が制御される。

【 0 0 3 3 】

〔 増幅回路 1 1 〕

図 2 は増幅回路 1 1 の回路構成図を示す。

【 0 0 3 4 】

増幅回路 1 1 は、抵抗 R 11、R 12、差動回路部 1 1 1、出力増幅回路 1 1 2、切換回路 1 1 3 から構成されている。

【 0 0 3 5 】

端子 T in11には、入力端子 T inが接続され、オーディオ回路 1 から入力信号が供給される。また、端子 T in11は、増幅回路 1 1 の内部で抵抗 R 11の一端に接続されている。抵抗 R 11の他端は、抵抗 R 12の他端及び差動回路部 1 1 1 に接続されている。

【 0 0 3 6 】

抵抗 R 12の他端は、端子 T out11に接続されている。端子 T out11は、外部で出力端子 T out- 及び増幅回路 1 2 の端子 T in11に接続される。

【 0 0 3 7 】

また、差動回路部 1 1 1 は、トランジスタ Q 11～Q 16から構成されている。トランジスタ Q 11～Q 14は、M O S 電界効果トランジスタから構成されており、抵抗 R 11、R 12とともに、反転回路を構成しており、端子 T in11から供給された入力信号と機能制御回路 1 3 から供給される基準電圧との差に応じた信号を反転出力する。差動回路部 1 1 1 から出力された信号は、出力増幅回路 1 1 2 に供給される。また、トランジスタ Q 11、Q 12、Q 15、Q 16は、M O S 電界効果トランジスタから構成されており、トランジスタ Q 11～Q 14と同じ素子構成によりミュート回路を構成しており、動作時には入力信号がミュートされる。

【 0 0 3 8 】

差動回路部 1 1 1 の出力は、出力増幅回路 1 1 2 に供給される。出力増幅回路 1 1 2 は、差動回路部 1 1 1 の出力信号を増幅して端子 T out11から出力する。

【 0 0 3 9 】

また、トランジスタ Q 11～Q 14からなる差動回路は、切換回路 1 1 3 から供給される第 1 の駆動電流 I 11によって駆動され、トランジスタ Q 11、Q 12、Q 15、Q 16からなる差動回路は、切換回路 1 1 3 から供給される第 2 の駆動電流 I 12によって駆動される構成とされている。

【 0 0 4 0 】

切換回路 1 1 3 は、M O S 電界効果トランジスタ Q 21～Q 26、電流源 1 1 3 a、電圧源 1 1 3 b から構成されている。

【 0 0 4 1 】

トランジスタ Q 22、Q 23は、カレントミラー回路を構成しており、第 1 の駆動電流 I 11を生成する。また、トランジスタ Q 25、Q 26は、カレントミラー回路を構成しており、第 2 の駆動電流 I 12を生成する。

【 0 0 4 2 】

トランジスタ Q 22のドレインは、トランジスタ Q 21のドレインに接続されており、トランジスタ Q 25のドレインは、トランジスタ Q 24に接続されている。

【 0 0 4 3 】

トランジスタ Q 21、Q 24のソースは、ともに電流源 1 1 3 a に共通に接続されており、差動動作するように構成されている。また、トランジスタ Q 21のゲートは端子 T cnt11に接続されている。さらに、トランジスタ Q 24のゲートには、電圧源 1 1 3 b から基準電圧が印加されている。

【 0 0 4 4 】

端子 T cnt11の出力が基準電圧より小さくなると、トランジスタ Q 21がオフし、トランジスタ Q 24がオンして、トランジスタ Q 25からトランジスタ Q 24を介して電流源 1 1 3 a に電流が引き込まれ、トランジスタ Q 26から差動回路部 1 1 1 に第 2 の駆動電流 I 12が供給され、第 1 の駆動電流 I 11の供給が停止される。これによって、トランジスタ Q 11、Q 12、Q 15、Q 16から構成されるミュート回路が駆動され、トランジスタ Q 11～Q 14から構成される差動回路はその動作が停止される。

10

20

30

40

50

【 0 0 4 5 】

端子 Tcnt11 の出力が基準電圧より大きくなると、トランジスタ Q21 がオンし、トランジスタ Q24 がオフして、トランジスタ Q22 からトランジスタ Q21 を介して電流源 1 1 3 a に電流が引き込まれ、トランジスタ Q23 から差動回路部 1 1 1 に第 1 の駆動電流 I11 が供給され、第 2 の駆動電流 I12 の供給が停止される。これによって、トランジスタ Q11 ~ Q14 から構成される差動回路が駆動され、トランジスタ Q11、Q12、Q15、Q16 から構成されるミュート回路の動作が停止される。

【 0 0 4 6 】

なお、増幅回路 1 2 は、増幅回路 1 1 と同一の構成であり、同一の動作をするので、その説明は省略する。

10

【 0 0 4 7 】

〔 機能制御回路 1 3 〕

機能制御回路 1 3 は、基準電圧生成回路 4 1、遅延回路 4 2、積分回路 4 3 から構成される。基準電圧生成回路 4 1 は、シャットダウン機能を実現するための回路であり、スイッチ 5 1、抵抗 R21 ~ R24、バイパス回路 5 2 から構成されている。また、基準電圧生成回路 4 1 には、端子 Tc にコンデンサ C2 が外付けされる。

【 0 0 4 8 】

スイッチ 5 1 は、シャットダウン信号がハイレベルのときにオンし、ローレベルのときオフする。スイッチ 5 1 がオンすると、定電圧 Vdd が抵抗 R21、R22 からなる直列回路に印加される。抵抗 R21、R22 には、定電圧 Vdd を抵抗 R21 と抵抗 R22 とで分圧した電圧を抵抗 R21 と抵抗 R22 との接続点から出力する。

20

【 0 0 4 9 】

抵抗 R21 と抵抗 R22 との接続点は、直列接続された抵抗 R23、R24 を介して増幅回路 1 1 及び増幅回路 1 2 の端子 Tsh11 に接続されている。また、抵抗 R24 と、増幅回路 1 1 及び増幅回路 1 2 の端子 Tsh11 との接続点は、端子 Tc に接続されている。

【 0 0 5 0 】

端子 Tc には、コンデンサ C2 が接続されている。コンデンサ C2 は増幅回路 1 1 及び増幅回路 1 2 の端子 Tsh11 に印加される電圧の変動を吸収する。

【 0 0 5 1 】

スイッチ 5 1 がオンすると、抵抗 R23、R24 及びコンデンサ C2 により決定される時定数だけ遅延して、増幅回路 1 1、1 2 の端子 Tsh11 の印加電圧が立ち上がる。これによって、増幅回路 1 1、1 2 の起動が遅延することになる。このため、増幅回路 1 1、1 2 の起動を速くするために、スイッチ 5 1 がオンするときに、抵抗 R24 をバイパスするバイパス回路 5 2 を設けている。

30

【 0 0 5 2 】

バイパス回路 5 2 は、CMOS (complementary metal oxide semiconductor) 構造とされた MOS 電界効果トランジスタ Q1 及び Q2 並びに反転アンプ 6 1 により抵抗 R24 をバイパスする伝達経路を構成するトランスファゲートを構成している。MOS 電界効果トランジスタ Q1 及び Q2 は、ゲートに遅延回路 4 2 の出力が印加されており、遅延回路 4 2 の出力がローレベルのとき共にオンし、遅延回路 4 2 の出力が所定時間遅延してハイレベルになったとき、オフする。

40

【 0 0 5 3 】

このため、バイパス回路 5 2 は、シャットダウン信号が供給され、スイッチ 5 1 がオンすると、抵抗 R24 をバイパスする。抵抗 R24 がバイパス回路 5 2 によりバイパスされることにより、抵抗が小さくなるので、端子 Tc に接続されたコンデンサ C2 の充電電流が大きくなり、コンデンサ C2 が高速で充電される。よって、増幅回路 1 1、1 2 の端子 Tsh11 の印加電圧の立ち上がりが速くなり、増幅回路 1 1、1 2 を早く動作させることができる。

【 0 0 5 4 】

なお、遅延回路 4 2 は、ミュート機能を制御するための回路であり、シャットダウン信

50

号を所定に遅延時間だけ遅延させ、ミュート信号として出力する。所定の遅延時間は、シャットダウン信号に応じて増幅回路 11、12 が起動してから増幅回路 11、12 が確実に動作するまでに要する時間に設定されている。

【0055】

図3は遅延回路42のブロック構成図を示す。

【0056】

遅延回路42は、発振回路71、インバータ72、フリップフロップ73-1~73-nから構成されたロジックタイマから構成されている。

【0057】

発振回路71は、シャットダウン制御端子Tsdに供給されるシャットダウン信号がローレベルからハイレベルになると、起動して発振を開始し、発振出力をインバータ72及びフリップフロップ73-1に供給する。インバータ72は、発振回路71の発振出力を反転出力する。

10

【0058】

フリップフロップ73-1~73-nは、Dフリップフロップから構成されており、リセット端子Rには、シャットダウン信号が供給され、シャットダウン信号により出力Qがローレベルにリセットされる。フリップフロップ73-1は、クロック端子Cに発振回路71の発振出力が供給され、反転クロック端子NCにインバータ72により反転された反転発振出力が供給され、データ端子Dには、反転出力端子NQが接続されている。また、反転出力端子NCは次段のフリップフロップ73-2のクロック端子Cに接続され、非反転出力端子Qは反転クロック端子NCに接続されている。

20

【0059】

上記のようなフリップフロップ73-1とフリップフロップ73-2との接続を、n個のフリップフロップ73-1~73-nに対して行う。これにより、いわゆる、アップカウンタを構成している。最終段のフリップフロップ73-nの非反転出力端子Qから出力は、シャットダウン信号を発振回路71の発振出力をnの2剰回カウントアップした後に、ハイレベルに立ち上がる。これによって、シャットダウン信号を遅延した出力が得られる。

【0060】

このように、遅延回路42は、ロジックタイマを構成しており、ディジタル処理により遅延を行うため、コンデンサなどを用いて遅延時間を設定する場合に比べて、正確に遅延時間を設定できる。

30

【0061】

なお、本実施例では、遅延回路42をロジックタイマで構成したが、これに限定されるものではなく、ディジタル処理により遅延時間を設定できる構成であればよい。

【0062】

遅延回路42の遅延出力は、積分回路43に供給される。

【0063】

〔積分回路43〕

図4は機能制御回路13の要部のブロック構成図を示す。

40

【0064】

積分回路43は、抵抗R41、演算増幅器431、電圧源432、キャパシタC41から構成される。

【0065】

遅延回路42の遅延出力は、抵抗R41を介して演算増幅器431の反転入力端子に接続されている。演算増幅器431は出力端子と反転入力端子との間にキャパシタC41が接続され、非反転入力端子に電圧源432から基準電圧が印加された構成とされている。

【0066】

積分回路43は、遅延回路42からの遅延出力を積分した波形の信号を出力する。

【0067】

50

図 5 は積分回路 4 3 の動作説明図を示す。図 5 (A) はシャットダウン信号、図 5 (B) は遅延回路 4 2 の遅延出力、図 5 (C) は積分回路 4 3 の積分出力波形を示す。

【 0 0 6 8 】

図 5 (A) に示すように時刻 t_1 でシャットダウン信号が立ち上がると、図 5 (B) に示すように遅延回路 4 2 により所定の遅延時間 ΔT_1 だけ遅延した時刻 t_2 で遅延回路 4 2 の遅延出力が立ち上がる。遅延回路 4 2 の遅延出力は、図 5 (C) に示すように積分回路 4 3 により積分され、その立ち上がりが鈍った波形となる。この鈍った波形が増幅回路 1 1、1 2 の端子 Tcnt11 及び基準電圧生成回路 4 1 に供給され、機能の切換が行われる。

【 0 0 6 9 】

なお、積分回路 4 3 は、抵抗とキャパシタから構成される 1 次パッシブフィルタから構成するようにしてもよい。

【 0 0 7 0 】

積分回路 4 3 で積分された信号は、増幅回路 1 1 及び増幅回路 1 2 の端子 Tcnt11 並びに基準電圧生成回路 4 1 のバイパス回路 5 2 に供給される。

【 0 0 7 1 】

増幅回路 1 1、1 2 の端子 Tcnt11 に供給された積分回路 4 3 から積分出力は切換回路 1 1 3 に供給される。切換回路 1 1 3 は差動回路を構成しており、積分回路 4 3 からの積分出力により切換が行われた場合、第 1 の駆動電流 I_{11} と第 2 の駆動電流 I_{12} との切換が徐々に行われることになる。このため、差動回路部 1 1 1 のトランジスタ Q11 ~ Q14 から構成される差動回路とトランジスタ Q11、Q12、Q15、Q16 から構成されるミュート回路との切換がスムーズに行われ、ノイズなどの発生を抑制できる。

【 0 0 7 2 】

なお、本実施例では、切換回路 1 1 3 を差動回路として積分回路 4 3 の積分出力に応じた機能のスムーズな切換を実現しているが、一般のアナログスイッチなどにより機能の切り換えを行うことも可能である。

【 0 0 7 3 】

〔 バイパス回路 5 2 〕

バイパス回路 5 2 は、CMOS (complementary metal oxide semiconductor) 構造とされた MOS 電界効果トランジスタ Q1 及び Q2 並びに反転アンプ 6 1 により抵抗 R24 をバイパスする伝達経路を構成するトランスファゲートを構成している。反転アンプ 6 1 は、抵抗 R61、R62、演算増幅器 6 1 1 から構成された反転増幅回路から構成されており、積分回路 4 3 の積分出力を反転した信号を出力する。

【 0 0 7 4 】

反転アンプ 6 1 の出力信号は、MOS 電界効果トランジスタ Q1 のゲートに接続される。また、MOS 電界効果トランジスタ Q2 のゲートには、積分回路 4 3 の積分出力が直接印加されている。バイパス回路 5 2 は、積分回路 4 3 の積分出力がオンレベル以下となったときにオンし、オフレベル以上となったときにオフする。これによって、トランジスタ Q1、Q2 は、積分回路 4 3 の積分出力によりスイッチング動作が行われるので、急峻なスイッチングが行われず、生成させる基準電圧の変動を鈍く、よって、ノイズなどの発生を抑制できる。

【 0 0 7 5 】

〔 動作 〕

次に本実施例の動作を説明する。

【 0 0 7 6 】

図 6 は本発明の一実施例の動作説明図を示す。図 6 (A) はコントローラ 4 から端子 Tsd に供給されるシャットダウン信号、図 6 (B) はスイッチ 5 1 のスイッチング状態、図 6 (C) は基準電圧生成回路 4 1 の出力基準電圧、図 6 (D) は遅延回路 4 2 の出力、図 6 (E) は増幅回路 1 1、1 2 のミュートの状態を示す。

【 0 0 7 7 】

10

20

30

40

50

図 6 (A) に示すように時刻 t_0 でシャットダウン信号がローレベルからハイレベルになると、図 6 (B) に示すようにスイッチ 5 1 がオンする。このとき、バイパス回路 5 2 がオン状態であるため、外付けコンデンサ C_2 が急速に充電され、時刻 t_1 で増幅回路 1 1、1 2 の端子 T_{sh11} に所定の基準電圧が印加される。

【 0 0 7 8 】

その後、時刻 t_0 から所定の遅延時間 ΔT 経過した時刻 t_2 ($> t_1$) で、遅延回路 4 2 の出力がハイレベルに立ち上がり、増幅回路 1 1、1 2 のミュートが解除され、入力信号が増幅回路 1 1、1 2 で増幅され、スピーカ 3 に供給される。

【 0 0 7 9 】

本実施例によれば、端子 T_{sd} からシャットダウン信号を供給するだけで、シャットダウン状態の解除後、徐々にミュート状態を解除できるため、外部端子数を低減できる。また、コントローラ 4 はシャットダウン信号だけを生成すればよいので、コントローラ 4 の処理負担を低減できる。

【 0 0 8 0 】

また、シャットダウン信号を遅延させ、さらに、それを積分した波形によりミュート状態を制御するミュート信号を生成することにより、シャットダウン状態の解除が終了した後に、徐々にミュート状態を解除することができる。このため、増幅回路 1 1、1 2 の起動前は入力信号をミュート状態にすることができ、増幅回路 1 1、1 2 の起動時の出力の大幅な変動を防止でき、スムーズな起動が可能となる。

【 図面の簡単な説明 】

【 0 0 8 1 】

【 図 1 】 本発明の一実施例のブロック構成図である。

【 図 2 】 増幅回路 1 1 の回路構成図である。

【 図 3 】 遅延回路 4 2 のブロック構成図である。

【 図 4 】 機能制御回路 1 3 の要部のブロック構成図である。

【 図 5 】 積分回路 4 3 の動作説明図である。

【 図 6 】 本発明の一実施例の動作説明図である。

【 図 7 】 オーディオアンプ回路のブロック構成図である。

【 図 8 】 オーディオアンプ回路 1 0 1 の動作説明図である。

【 符号の説明 】

【 0 0 8 2 】

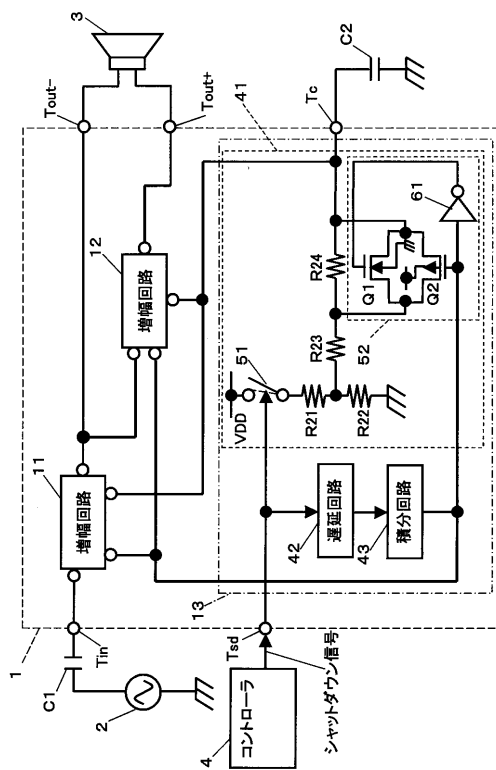
- 1 オーディオアンプ回路、 2 信号源、 3 スピーカ、 4 コントローラ
- 1 1、1 2 増幅回路、 1 3 機能制御回路
- 4 1 機能制御回路、 4 2 遅延回路、 4 3 積分回路
- 5 1 スイッチ、 5 2 バイパス回路
- 6 1 反転アンプ
- 7 1 発振回路、 7 2 インバータ、 7 3 - 1 ~ 7 3 - n フリップフロップ

10

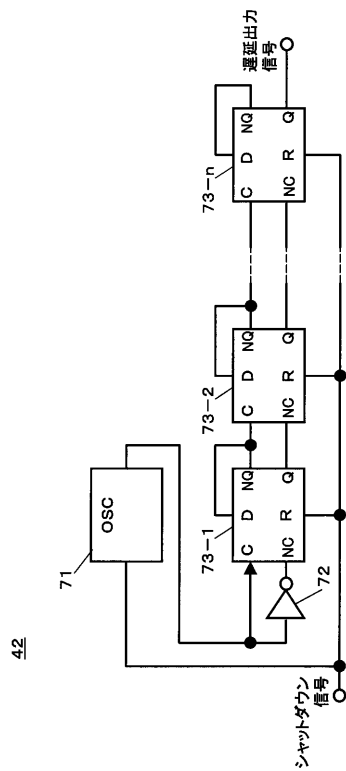
20

30

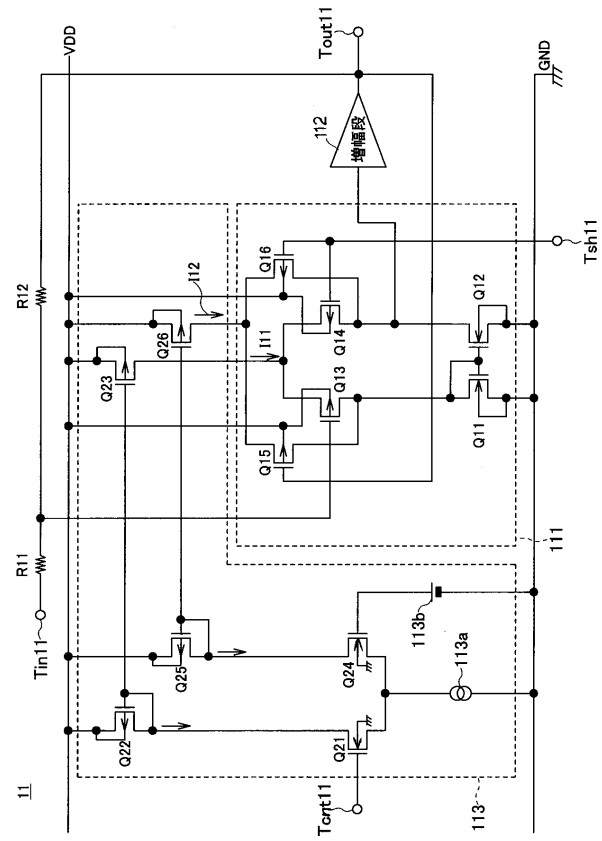
【図 1】



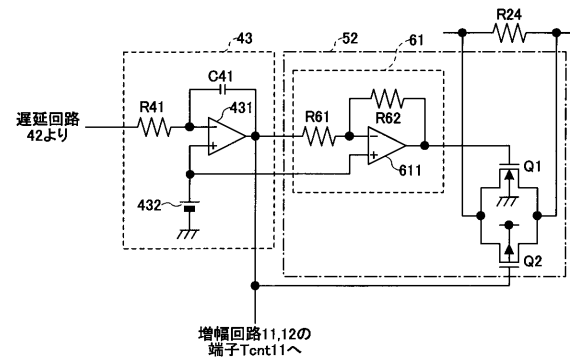
【図 3】



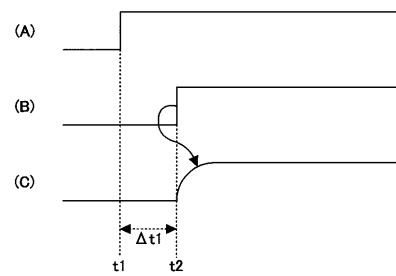
【図 2】



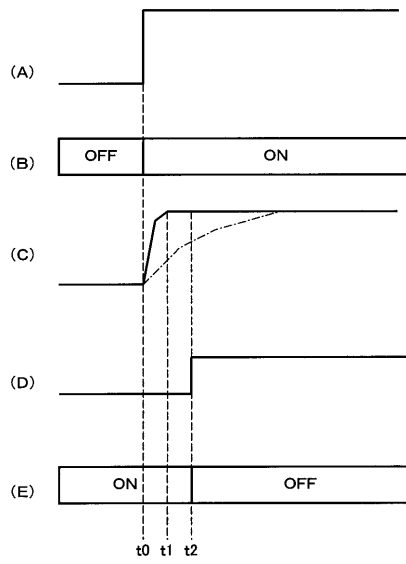
【図 4】



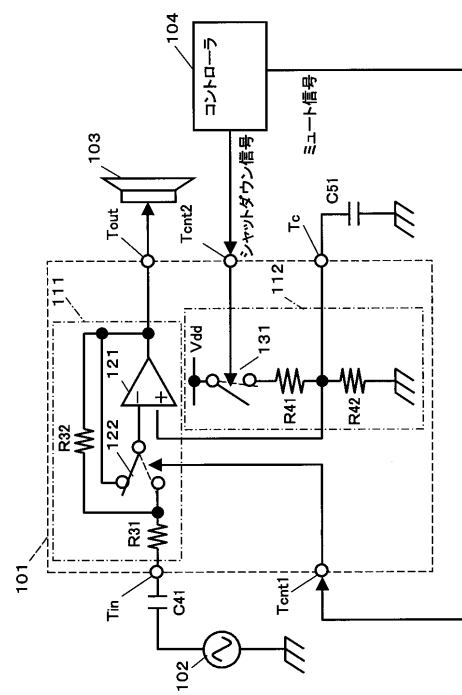
【図 5】



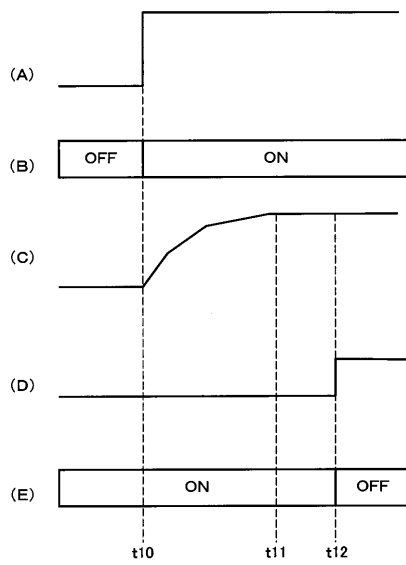
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 米国特許第05642074(US,A)
特開昭64-017510(JP,A)
特開平06-053746(JP,A)
特開昭57-129005(JP,A)
特開昭56-123110(JP,A)
特開昭55-165012(JP,A)
特開昭60-206307(JP,A)
特開昭61-048296(JP,A)
実開昭58-003610(JP,U)
実開昭59-177210(JP,U)
特開2003-188650(JP,A)
特開平05-325405(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F	1/00
H03K	5/135