(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年9 月25 日 (25.09.2008)

PCT

(10) 国際公開番号
WO 2008/114374 A1

(51) 国際特許分類:
H01L 25/04 (2006.01) *H01L 25/18* (2006.01)
H01L 23/50 (2006.01)

(21) 国際出願番号: PCT/JP2007/055474

(22) 国際出願日: 2007 年3 月19 日 (19.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 菊池 卓 (KIKUCHI, Takashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 金本 光一 (KANEMOTO, Koichi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP). 岩谷 昭彦 (IWAYA, Akihiko) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目４番１号 株式会社ルネサステクノロジ内 Tokyo (JP).

(74) 代理人: 高田 守, 外 (TAKADA, Mamoru et al.); 〒1600007 東京都新宿区荒木町２０番地 インテック８８ビル５階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

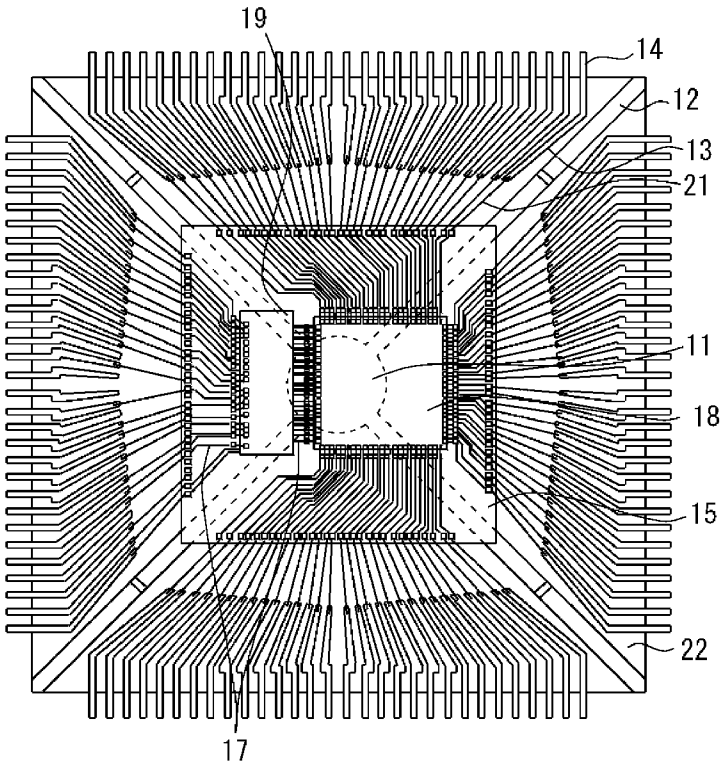
/続葉有/

WO 2008/114374 A1

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: A semiconductor device comprises a lead frame having a die pad and inner leads, a relay member which is mounted on the die pad and in which wirings are formed, first and second chips horizontally mounted on the relay member and connected to the wirings, metal wires for connecting the wirings and the inner leads to each other, and a resin for sealing them. The outline dimension of the die pad is smaller than that of the relay member. Consequently, the reflow resistance can be improved, and the manufacturing cost can be lowered.

(57) 要約: 本発明に係る半導体装置は、ダイパッドやインナーリードを有するリードフレームと、ダイパッド上に搭載され、複数の配線が形成された中継部材と、中継部材上に平置きに搭載され、複数の配線に接続された第１，第２チップと、複数の配線と複数のインナーリードとの間をそれぞれ接続する複数の金属ワイヤと、これらを封止する樹脂とを備える。そして、ダイパッドの外形寸法は、中継部材の外形寸法よりも小さい。これにより、耐リフロー性を向上させ、かつ製造コストを低減することができる。

HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、QFP(Quad Flat Package)タイプのSiP(System in Package)であってロジックチップとメモリチップを平置きに搭載した半導体装置及びその製造方法に関し、特に耐リフロー性を向上させ、かつ製造コストを低減することができる半導体装置及びその製造方法に関するものである。

背景技術

[0002] 図21は、従来の半導体装置を示す平面図である。また、図22は、従来の半導体装置のタブ部を拡大した平面図であり、図23は、従来の半導体装置のワイヤボンディング部を拡大した平面図である。

[0003] リードフレームは、枠タブ101と、枠タブ101に併設されたメモリ搭載用タブ102と、枠タブ101を支持する吊りリード12と、枠タブ101の周囲を取り囲むように配置された複数のインナーリード13と、複数のインナーリード13とそれぞれ一体に形成された複数のアウターリード14とを有する。

[0004] 枠タブ101上にロジックチップ18が搭載され、メモリ搭載用タブ102上にメモリチップ19が搭載されている。ロジックチップ18上に形成された複数のボンディングパッド24とメモリチップ19上に形成された複数のボンディングパッド25の間、残りの複数のボンディングパッド24，25と複数のインナーリード13との間は、それぞれ複数の金ワイヤ21により接続されている。枠タブ101、メモリ搭載用タブ102、吊りリード12、複数のインナーリード13、ロジックチップ18、メモリチップ19及び複数の金ワイヤ21は、モールド樹脂22により封止されている。

[0005] 従来の半導体装置では、メモリチップ19を飛び越してロジックチップ18とインナーリード13をワイヤ接続していたため、ワイヤが長く、組み立てが難しかった。そこで、ダイパッド上にブリッジチップを搭載し、このブリッジチップ上に複数のチップを載せた構成が提案されている(例えば、特許文献1，2参照)。この構成の場合、チップ間は、直接にワイヤ接続はされず、ブリッジチップ上のアルミ配線を介して接続される。こ

れによりワイヤが短くなるため、組み立てが容易になる。また、ブリッジチップを用いることでインナーリードの狭ピッチ化が不要となるため、リードフレームの加工が容易になる。

[0006] 特許文献1:日本特開平9－232500号公報

特許文献2:日本特開2003－23135号公報

発明の開示

発明が解決しようとする課題

[0007] 特許文献1，2では、ダイパッドの外形寸法がそれに搭載されるチップの外形寸法よりも大きい大タブ構造を採用していた。モールド樹脂とリードフレームの密着力は、モールド樹脂と半導体チップの密着力よりも低い。そのため、大タブ構造を使用した場合、モールド樹脂とタブとの接触領域が大きいため、リフロー工程の高温に起因する水分膨張により両者の界面に剥離が発生していた。即ち、耐リフロー性が低いという問題があった。

[0008] また、図21に示すような枠タブ構造や、特許文献1，2に示すような大タブ構造では、搭載されるチップの大きさに応じてリードフレームを設計しなければならなかった。即ち、使用するリードフレームに汎用性を持たせることが困難となるため、製造コストが大きくなるという問題がある。

[0009] 本発明は、上述のような課題を解決するためになされたもので、その目的は、耐リフロー性を向上させ、かつ製造コストを低減することができる半導体装置及びその製造方法を得るものである。

課題を解決するための手段

[0010] 本発明の一実施例に係る半導体装置は、ダイパッドやインナーリードを有するリードフレームと、ダイパッド上に搭載され、複数の配線が形成された中継部材と、中継部材上に平置きに搭載され、複数の配線に接続された第1，第2チップと、複数の配線と複数のインナーリードとの間をそれぞれ接続する複数の金属ワイヤと、これらを封止する樹脂とを備える。そして、ダイパッドの外形寸法は、中継部材の外形寸法よりも小さい。

発明の効果

[0011] この実施例によれば、耐リフロー性を向上させ、かつ製造コストを低減することができる。

図面の簡単な説明

[0012] [図1]本発明の実施例1に係る半導体装置を示す平面図である。

[図2]本発明の実施例1に係る半導体装置を示す断面図である。

[図3]本発明の実施例1に係る半導体装置のワイヤボンディング部を拡大した平面図である。

[図4]ブリッジチップを示す平面図である。

[図5]ブリッジチップを示す断面図である。

[図6]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図7]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図8]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図9]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図10]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図11]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図12]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図13]リードフレーム上にブリッジチップ、ロジックチップ及びメモリチップを搭載してワイヤボンドを行った状態を示す平面図である。

[図14]リードフレームを金型に入れた状態を示す図13のA－A´における断面図である。

[図15]リードフレームを金型に入れた状態を示す図13のB－B´における断面図である。

[図16]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図17]本発明の実施例1に係る半導体装置の製造工程を説明するための斜視図である。

[図18]本発明の実施例2に係る半導体装置を示す断面図である。

[図19]配線基板を示す平面図である。

[図20]配線基板を示す断面図である。

[図21]従来の半導体装置を示す平面図である。

[図22]従来の半導体装置のタブ部を拡大した平面図である。

[図23]従来の半導体装置のワイヤボンディング部を拡大した平面図である。

符号の説明

[0013] 11 ダイパッド

12 吊りリード

13 インナーリード

14 アウターリード

15 ブリッジチップ（中継部材）

17, 17a, 17b, 17c アルミ配線（配線）

18 ロジックチップ（第1チップ）

19 メモリチップ（第2チップ）

21 金ワイヤ（金属ワイヤ）

22 モールド樹脂

24, 25 ボンディングパッド

43 配線基板

発明を実施するための最良の形態

[0014] 図面を参照して本発明の実施例について説明する。図中、同一または相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

実施例 1

[0015] 本実施例に係る半導体装置は、LQFP(Low Profile Quad Flat Package)やTQFP(Thin Quad Flat Package) (EIAJ規格)などの厚さが1．4mm以下の薄型パッケージである。このような薄型パッケージでは、モールド樹脂とダイパッドの界面における剥離が問題となる。

[0016] 図1は、本発明の実施例1に係る半導体装置を示す平面図であり、図2は、その断面図である。リードフレームは、ダイパッド11と、ダイパッド11を支持する吊りリード12と、ダイパッド11の周囲を取り囲むように配置された複数のインナーリード13と、複数のインナーリード13とそれぞれ一体に形成された複数のアウターリード14とを有する。これらは42アロイや銅などの導電材料からなり、インナーリード13の先端には銀メッキが施されている。

[0017] ブリッジチップ15(中継部材)の裏面がダイパッド11上にダイボンド剤16により搭載されている。ブリッジチップ15の主面上には複数のアルミ配線17が形成されている。ロジックチップ18(第1半導体チップ)と、メモリチップ19(第2半導体チップ)が、ブリッジチップ15上にダイボンド剤16により搭載されている。ここで、ロジックチップ18は、例えばマイコンやASIC(Application Specific Integrated Circuit)などであり、データの処理機能を有する。メモリチップ19は、例えばSDRAM(Static Random Access Memory)などであり、ロジックチップ18が処理した又は処理すべきデータを記憶する。

[0018] ロジックチップ18と複数のアルミ配線17との間、メモリチップ19と複数のアルミ配線17との間、複数のアルミ配線17と複数のインナーリード13との間は、それぞれ複数の金ワイヤ21により電気的に接続されている。ダイパッド11、吊りリード12、複数のインナーリード13、ブリッジチップ15、ロジックチップ18、メモリチップ19及び複数の金ワイヤ21は、エポキシ系樹脂などのモールド樹脂(樹脂)22により封止されている。

[0019] 本実施例では、ダイパッド11の外形寸法がブリッジチップ15の外形寸法よりも小さい小タブ構造が採用されている。簡略すると、ダイパッド11はブリッジチップ15の周縁部の内側に位置する大きさであり、ブリッジチップ15の裏面の面積よりも小さい面積から成る。これにより、モールド樹脂22とダイパッド11との接触領域が相対的に小さくなり、シリコン製のブリッジチップ15の裏面の周辺部とモールド樹脂22が接触す

るため、モールド樹脂22とダイパッド11の接合強度が増大する。従って、リフロー工程を行っても両者の界面に剥離は発生しにくい。即ち、耐リフロー性を向上させることができる。

[0020] また、ダイパッド11の外形寸法を、その上に搭載される最も小さいチップの外形寸法よりも小さくしておけば、搭載されるチップの大きさに応じてダイパッド11の大きさを変える必要はない。これにより、リードフレームを標準化する(汎用性を持たせる)ことができるので、製造コストを低減することができる。

[0021] また、本実施の形態では、ブリッジチップ15を介してロジックチップ18とメモリチップ19をリードフレーム上に搭載しているが、この1つの理由としては、平面形状が四角形から成るロジックチップ18の長辺と、平面形状が四角形から成るメモリチップ19の長辺が同じ長さだからである。もし、一方の半導体チップの外形寸法が他方の半導体チップの外形寸法よりも大きければ、相対的に大きいサイズの半導体チップ上に、相対的に小さいサイズの半導体チップを積層し、ワイヤ接続を行えばよい。しかしながら、本実施の形態のように、それぞれの半導体チップの辺(長辺)の長さが同じ場合、一方の半導体チップ上に他方の半導体チップを積層すると、下段側の半導体チップのボンディングパッドが上段側の半導体チップによって覆われてしまい、下段側の半導体チップのワイヤ接続が困難となる。そのため、ロジックチップ18とメモリチップ19を積層する場合、ロジックチップ18とメモリチップ19の間にスペーサーが必要となるが、スペーサーの厚さ分だけパッケージが厚くなるという問題がある。これに対し、本実施の形態では、ロジックチップ18をブリッジチップ15の主面上に搭載し、メモリチップ19をブリッジチップ15の主面上においてロジックチップ18の隣に搭載している。これにより、パッケージの厚さの増加を抑制することができる。また、ロジックチップ18およびメモリチップ19のそれぞれは、ブリッジチップ15を介して、インナーリードと電気的に接続するため、複数のワイヤのそれぞれの長さを低減することができる。また、ワイヤの長さを低減することで、モールド樹脂22により封止体を形成する際に生じるモールド樹脂22の注入圧力に耐えることができる。更には、ワイヤの長さを低減することができるので、インダクタンス成分を低減することができ、半導体装置を高速化することができる。 図3は、本発明の実施例1に係る半導体装置のワイヤボンディング

部を拡大した平面図である。ブリッジチップ15の周辺部に複数のボンディングパッド(電極)23a、内側に複数のボンディングパッド(電極)23b、更に内側に複数のボンディングパッド(電極)23cが形成されている。ロジックチップ18上に複数のボンディングパッド(電極)24が形成され、メモリチップ19上に複数のボンディングパッド(電極)25が形成されている。ボンディングパッド23aとインナーリード13との間、ボンディングパッド23bとボンディングパッド25との間、ボンディングパッド23cとボンディングパッド24との間は、複数の金ワイヤ21によりそれぞれ電気的に接続されている。

[0022] ボンディングパッド23aとボンディングパッド23cはアルミ配線17aにより電気的に接続されている。ボンディングパッド23bとボンディングパッド23cはアルミ配線17bにより電気的に接続されている。アルミ配線17bは、ロジックチップ18とメモリチップ19を接続するアドレスピン、データピン及び機能ピンなどである。ボンディングパッド23aとボンディングパッド23bはアルミ配線17cにより電気的に接続されている。このアルミ配線17cは電源用の配線であり、他の信号用の配線に比べて太い。信号用の配線に比べて電源用の配線の幅を太くすることで、半導体チップの動作を安定させることができる。

[0023] このように、ロジックチップ18とメモリチップ19は、直接にワイヤ接続はされず、ブリッジチップ15上のアルミ配線17bを介して接続されている。これにより金ワイヤ21が短くなるため、組み立てが容易になる。また、ブリッジチップ15を用いることで、インナーリード13の狭ピッチ化が不要となるため、リードフレームの加工が容易になる。

[0024] また、メモリチップ19上において、ロジックチップ18と対向する辺とは反対側の辺にボンディングパッド25が形成されている。これにより、ロジックチップ18とメモリチップ19を接続するアルミ配線17bの引き回しのスペースを稼ぐことができる。

[0025] 図4は、ブリッジチップを示す平面図であり、図5は、その断面図である。シリコン基板26上にボンディングパッド23a, 23bが形成され、これらはアルミ配線17aにより電気的に接続されている。ボンディングボンディングパッド23a, 23bの形成領域以外は、パッシベーション膜27及びポリイミド膜28で覆われている。

[0026] 次に、本実施例に係る半導体装置の製造工程について説明する。まず、図6に示すように、シリコンウェハ31の裏面を所望の厚みまで砥石32で削る(バックグラインド)

。次に、図7に示すように、ダイシングブレード33を用いてシリコンウェハ31をチップごとに切り出してブリッジチップ15を作成する(ダイシング)。

[0027] 次に、図8に示すようなリードフレームを作成する。リードフレームの中央部には、円形のダイパッド11が形成されている。ダイパッド11の外形寸法は、ブリッジチップ15の外形寸法よりも小さい。ダイパッド11は、ダイパッド11と一体に形成された四本の吊りリード12により支持されている。ダイパッド11の周囲を取り囲むように複数のインナーリード13が配置されている。複数のアウターリード14が複数のインナーリード13にそれぞれ接続されている。各リードの支持とモールド時における樹脂の溢出防止とを兼ねたダムバー34が枠状に各リード間を連結するように形成されている。リードフレームの最外周部に外枠35が設けられている。

[0028] そして、インナーリード13の先端に銀メッキを施す。さらに、リードフレームのダイパッド11上にディスペンサ36を使ってダイボンド剤16を滴下する。ダイボンド剤16として、例えば、熱硬化性の樹脂にAg粉末を混入させたペーストタイプのものを用いる。

[0029] 次に、図9に示すように、ダイボンド剤16を塗布したダイパッド11上にブリッジチップ15を搭載する。そして、リードフレームをヒートステージ上で加熱してダイボンド剤16を硬化させる。ここで、ヒートステージの加熱温度は、例えば150℃である。

[0030] 次に、図10に示すように、ブリッジチップ15上に、ロジックチップ18とメモリチップ19をそれぞれ搭載する。ただし、ロジックチップ18とメモリチップ19として、ブリッジチップ15よりも外形寸法が小さいものを用いる。

[0031] 次に、図11に示すように、ブリッジチップ15とロジックチップ18との間、メモリチップ19とブリッジチップ15との間、ブリッジチップ15と複数のインナーリード13との間を複数の金ワイヤ21によりそれぞれ電気的に接続する。

[0032] 次に、図12に示すように、リードフレームをモールド金型に装着し、ブリッジチップ15、メモリチップ19、ロジックチップ18、ダイパッド11、インナーリード13及び金ワイヤ21をエポキシ樹脂などのモールド樹脂22で封止することによりパッケージ本体(封止体)37を成形する。

[0033] ここで、モールド工程について更に詳しく説明する。図13は、リードフレーム上にブリッジチップ、ロジックチップ及びメモリチップを搭載してワイヤボンドを行った状態を

示す平面図である。図14は、ブリッジチップ15、ロジックチップ18及びメモリチップ19を搭載したリードフレームを金型に入れた状態を示す図13のA－A´における断面図であり、図15は、図13のB－B´における断面図である。図示のように、上下のモールド金型38，39の間のキャビティ41内にリードフレームを収納する。この状態で、ゲート42からモールド樹脂22を注入する。

[0034] ここで、吊りリード12には、ブリッジチップ15をダイパッド11に搭載する前に、ダイパッド11がインナーリード13の先端よりも下方に位置するようにダウンセット加工（折り曲げ加工）を施している。このダウンセット加工の詳細としては、図13に示すように、吊りリード12における半導体チップから所定の距離だけ離れた位置（インナーリード13の間）Sに、ブリッジチップ15の主面がインナーリード13の先端よりも下方に位置するようにダウンセット加工（折り曲げ加工）が施されている。これにより、ロジックチップ18やメモリチップ19とキャビティ41の上面との隙間L1と、ブリッジチップ15とキャビティ41の下面との隙間L2とが同程度になっている。従って、キャビティ41内に樹脂を注入した際に、上下の隙間に回り込む樹脂の量が同程度になるため、モールド樹脂の注入圧力により吊りリード12が撓み、ダイパッド11が上方（キャビティ41の上面側）に押し上げられる（又は、下方に押し下げられる）問題を抑制することができる。すなわち、パッケージ本体37の反りを低減することができる。なお、ブリッジチップ15上にロジックチップ18やメモリチップ19を積層しているため、ダインセット加工の量はチップ2枚分である。

[0035] 次に、図16に示すように、パッケージ本体37の外部に露出したダムバー34、外枠35をプレスで切断除去する。そして、図17に示すように、パッケージ本体37の外部に露出したアウターリード14を所定の形状に成形する。以上の工程により、QFP形の表面実装型半導体装置が完成する。

実施例 2

[0036] 図18は、本発明の実施例2に係る半導体装置を示す断面図である。実施例1では、中継部材として、配線が1層に形成されたシリコンチップを用いた。これに対し、実施例2では、中継部材として、複数の配線が2層以上に形成された配線基板43を用いる。その他の構成は実施例1と同様である。

[0037] 図19は、配線基板を示す平面図であり、図20は、その断面図である。コア基板44は、ガラスクロスに絶縁性樹脂を含浸させて板状に固形化した層を含む。ここで、ガラスクロスは、長いガラス繊維からなる織布でも、短いガラス繊維からなる不織布でもよい。そして、ガラスクロスの代わりに、絶縁性樹脂に比べて剛性が高い他の絶縁材料、例えばカーボンファイバー等からなるクロスを用いることもできる。

[0038] また、絶縁性樹脂としては、例えばポリサルホン、ポリエーテルサルホン、ポリフェニルサルホン、ポリフタルアミド、ポリアミドイミド、ポリケトン、ポリアセタール、ポリイミド、ポリカーボネート、変性ポリフェニレンエーテル、ポリブチレンテレフタレート、ポリアリレート、ポリスルホン、ポリフェニレンスルフィド、ポリエーテルエーテルケトン、テトラフルオロエチレン、エポキシ、及びビスマレイミド系樹脂等を用いることができる。

[0039] また、コア基板44には、ドリルによりスルーホール45が形成されている。そして、スルーホール45の側壁にはCu等からなるスルーホールビア46がメッキ法等により形成されている。また、コア基板44の上面に、Cu等からなる配線47及びボンディングパッド48，49がめっき法及びフォトリソグラフィ等により形成されている。そして、コア基板44の下面に、Cu等からなる配線51が同様にして形成されている。この配線51は、スルーホールビア46を介して配線47に接続されている。

[0040] また、コア基板44の表面はソルダーレジスト52で覆われている。このソルダーレジスト52には開口が設けられ、ボンディングパッド48，49が露出している。ソルダーレジスト52としては、エポキシ系、ポリイミド系、アクリル系、BT系等の電気的及び熱的に優れている樹脂を用いることができる。

[0041] 上記のように中継部材として配線基板を用いることにより、実施例1と同様の効果を奏する他、配線がクロスする場合など1層の配線では引き回せない場合に有利となる。また、配線基板はシリコンチップよりも吸湿性が高いので、小タブ構造を用いる必要性が増す。

産業上の利用可能性

[0042] QFP(Quad Flat Package)タイプのSiP(System in Package)であってロジックチップとメモリチップを平置きに搭載した半導体装置に本発明を適用することで、耐リフロー性を向上させ、かつ製造コストを低減することができる。

請求の範囲

[1] ダイパッドと、前記ダイパッドを支持する吊りリードと、前記ダイパッドの周囲を取り囲むように配置された複数のインナーリードと、前記複数のインナーリードとそれぞれ一体に形成された複数のアウターリードとを有するリードフレームと、

前記ダイパッド上に搭載され、複数の配線が形成された主面を有する中継部材と、

前記中継部材の主面上に搭載され、前記複数の配線と電気的に接続された第1半導体チップと、

前記中継部材の主面上において前記第1半導体チップの隣に搭載され、前記複数の配線と電気的に接続された第2半導体チップと、

前記複数の配線と前記複数のインナーリードとの間をそれぞれ接続する複数の金属ワイヤと、

前記ダイパッド、前記吊りリード、前記複数のインナーリード、前記中継部材、前記第1，第2チップ及び前記複数の金属ワイヤを封止するモールド樹脂とを備え、

前記ダイパッドの外形寸法は、前記中継部材の外形寸法よりも小さいことを特徴とする半導体装置。

[2] 前記第1半導体チップおよび前記第2半導体チップのそれぞれの平面形状は四角形から成り、前記第1半導体チップの長辺と前記第2半導体チップの長辺は同じ長さであることを特徴とする請求項1に記載の半導体装置。

[3] 前記第1半導体および前記第2半導体チップ上のそれぞれに形成された複数のボンディングパッドと前記複数の配線は複数のワイヤを介してそれぞれ電気的に接続されていることを特徴とする請求項2に記載の半導体装置。

[4] 前記第2半導体チップの複数のボンディングパッドは、前記第2半導体チップ上において、前記第1半導体チップと対向する辺とは反対側の辺に形成されていることを特徴とする請求項3に記載の半導体装置。

[5] 前記吊りリードには、前記ダイパッドが前記インナーリードの先端よりも下方に位置するようにダウンセット加工が施されていることを特徴とする請求項1に記載の半導体装置。

[6] 前記吊りリードには、前記中継部材の主面が前記インナーリードの先端よりも下方

に位置するようにダウンセット加工が施されていることを特徴とする請求項5に記載の半導体装置。

[7] 前記中継部材は、前記複数の配線が2層以上に形成された配線基板であることを特徴とする請求項1に記載の半導体装置。

[8] ダイパッドと、前記ダイパッドを支持する吊りリードと、前記ダイパッドの周囲を取り囲むように配置された複数のインナーリードと、前記複数のインナーリードとそれぞれ一体に形成された複数のアウターリードとを有するリードフレームを作成する工程と、

複数の配線が形成された主面を有する中継部材を前記ダイパッド上に搭載する工程と、

第1半導体チップを前記中継部材上に搭載する工程と、

第2半導体チップを前記中継部材の主面上において前記第1半導体チップの隣に搭載する工程と、

前記第1半導体チップおよび前記第2半導体チップと前記中継部材の複数の配線をそれぞれ電気的に接続する工程と、

前記複数の配線と前記複数のインナーリードとの間を複数の金属ワイヤによりそれぞれ接続する工程と、

前記ダイパッド、前記吊りリード、前記複数のインナーリード、前記中継部材、前記第1，第2チップ及び前記複数の金属ワイヤをモールド樹脂で封止する工程とを備え、

前記ダイパッドの外形寸法を、前記中継部材の外形寸法よりも小さくすることを特徴とする半導体装置の製造方法。

[9] 前記第1半導体チップおよび前記第2半導体チップのそれぞれの平面形状は四角形から成り、前記第1半導体チップの長辺と前記第2半導体チップの長辺を同じ長さにすることを特徴とする請求項8に記載の半導体装置の製造方法。

[10] 前記第1半導体および第2半導体チップ上のそれぞれに形成された複数のボンディングパッドと前記複数の配線を複数のワイヤを介してそれぞれ電気的に接続することを特徴とする請求項9に記載の半導体装置の製造方法。

[11] 前記第2半導体チップの複数のボンディングパッドを、前記第2半導体チップ上に

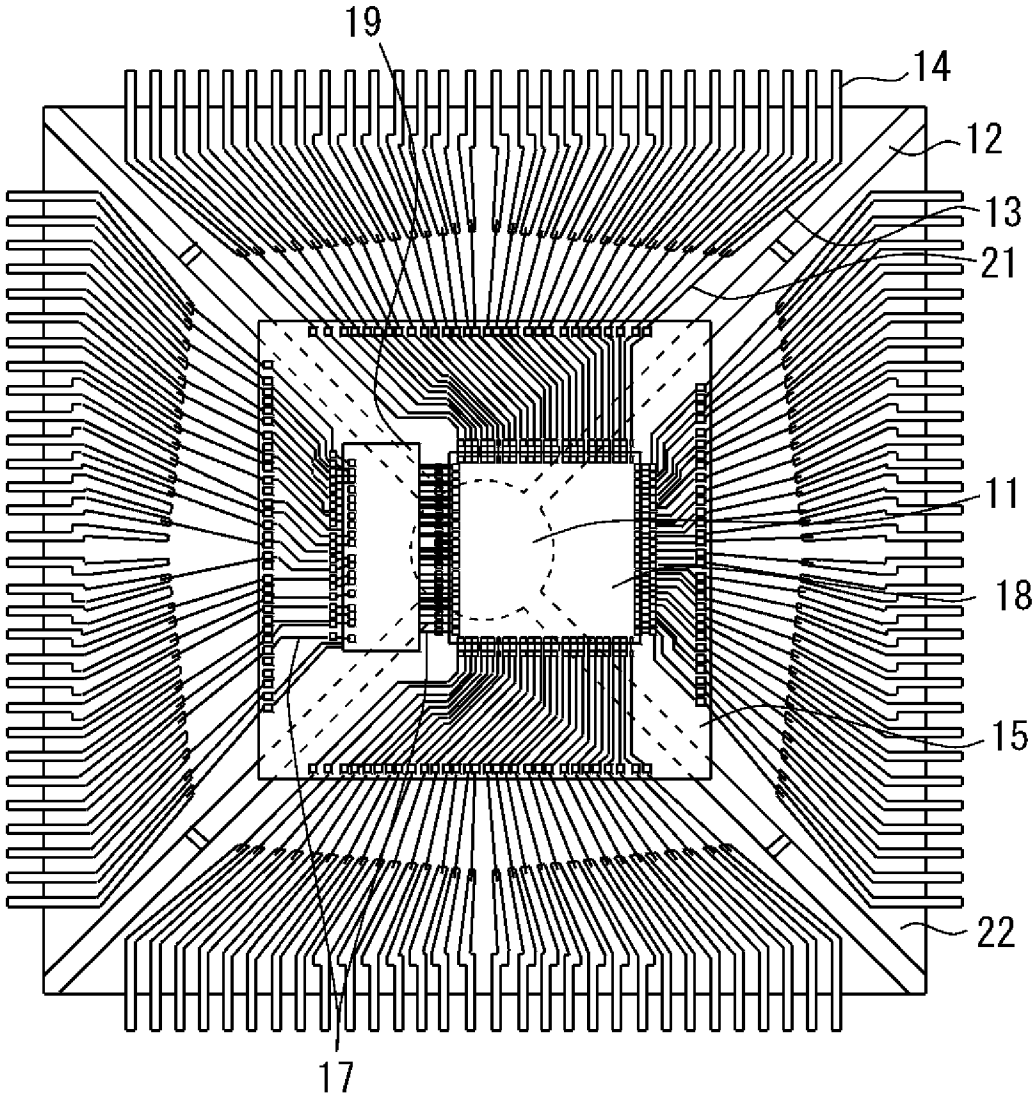
おいて、前記第1半導体チップと対向する辺とは反対側の辺に形成することを特徴とする請求項10に記載の半導体装置の製造方法。

[12] 前記吊りリードに、前記ダイパッドが前記インナーリードの先端よりも下方に位置するようにダウンセット加工を施すことを特徴とする請求項8に記載の半導体装置の製造方法。

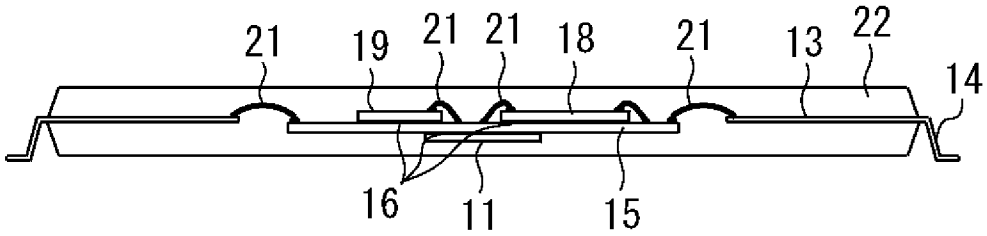
[13] 前記吊りリードに、前記中継部材の主面が前記インナーリードの先端よりも下方に位置するようにダウンセット加工を施すことを特徴とする請求項12に記載の半導体装置の製造方法。

[14] 前記中継部材として、前記複数の配線が2層以上に形成された配線基板を用いることを特徴とする請求項8に記載の半導体装置の製造方法。

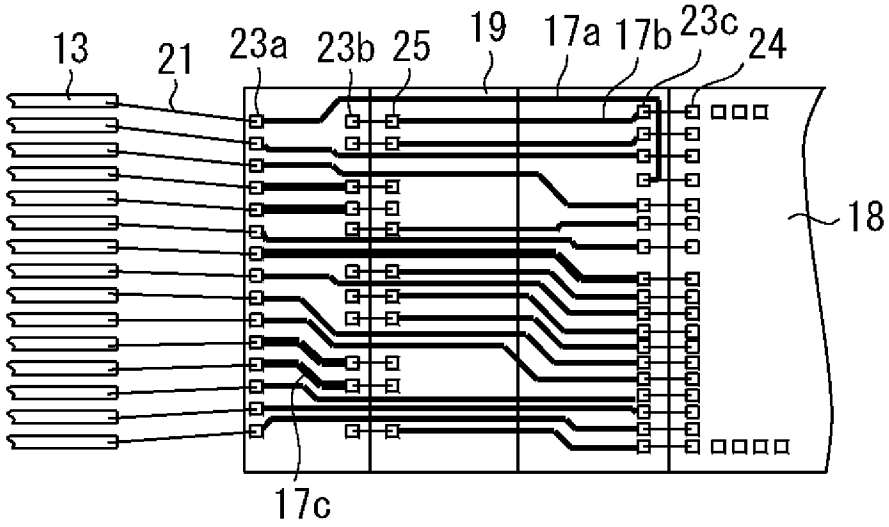
[図1]



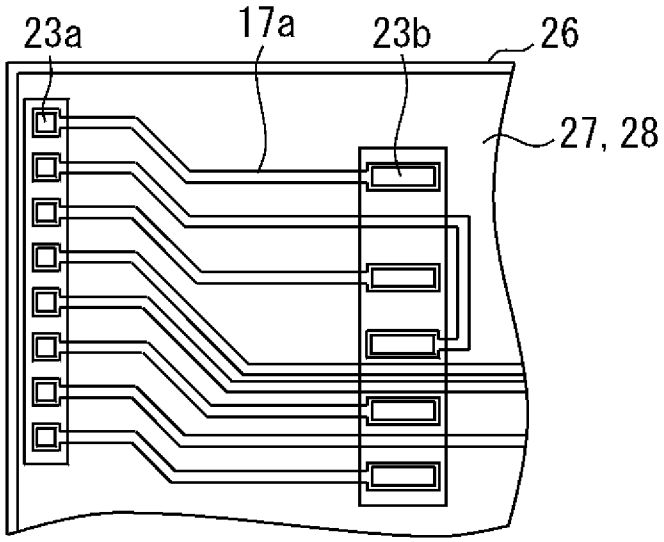
[図2]



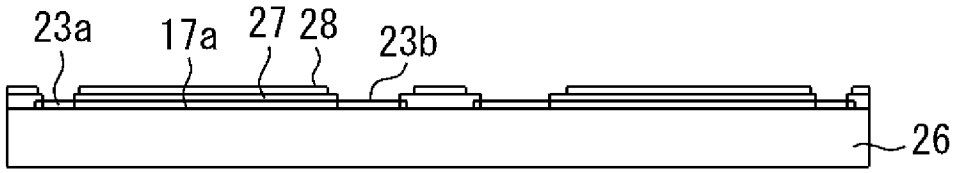
[図3]


13
21
23a
23b
25
19
17a
17b
23c
24
18
17c

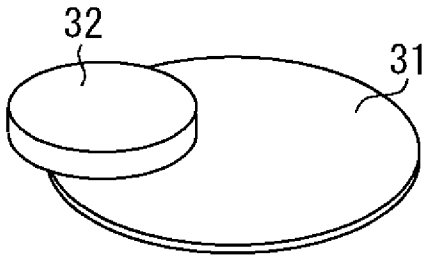
[図4]


23a
17a
23b
26
27, 28

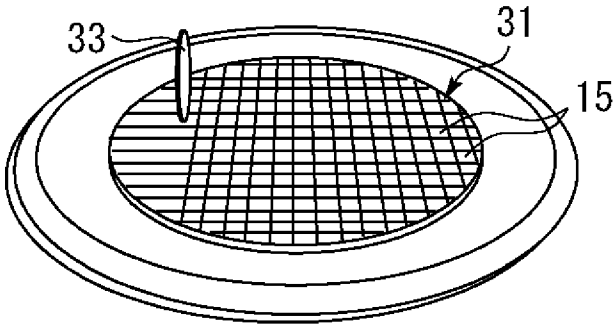
[図5]


23a
17a
27
28
23b
26

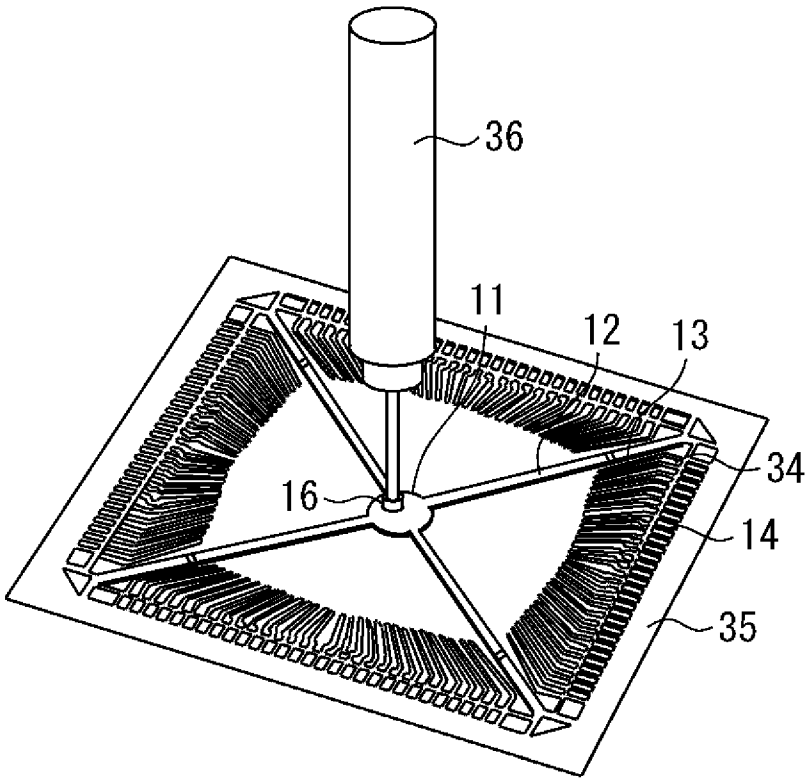
[図6]



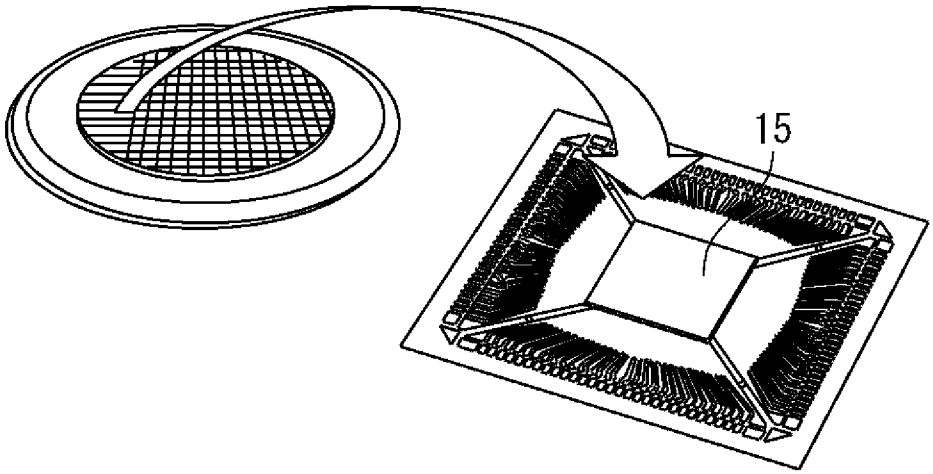
[図7]



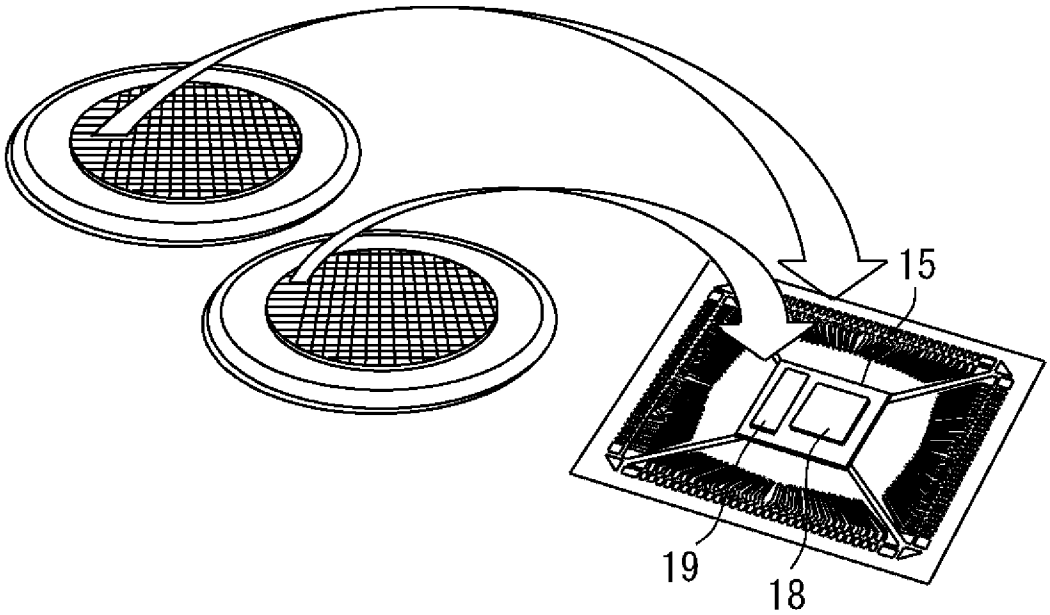
[図8]



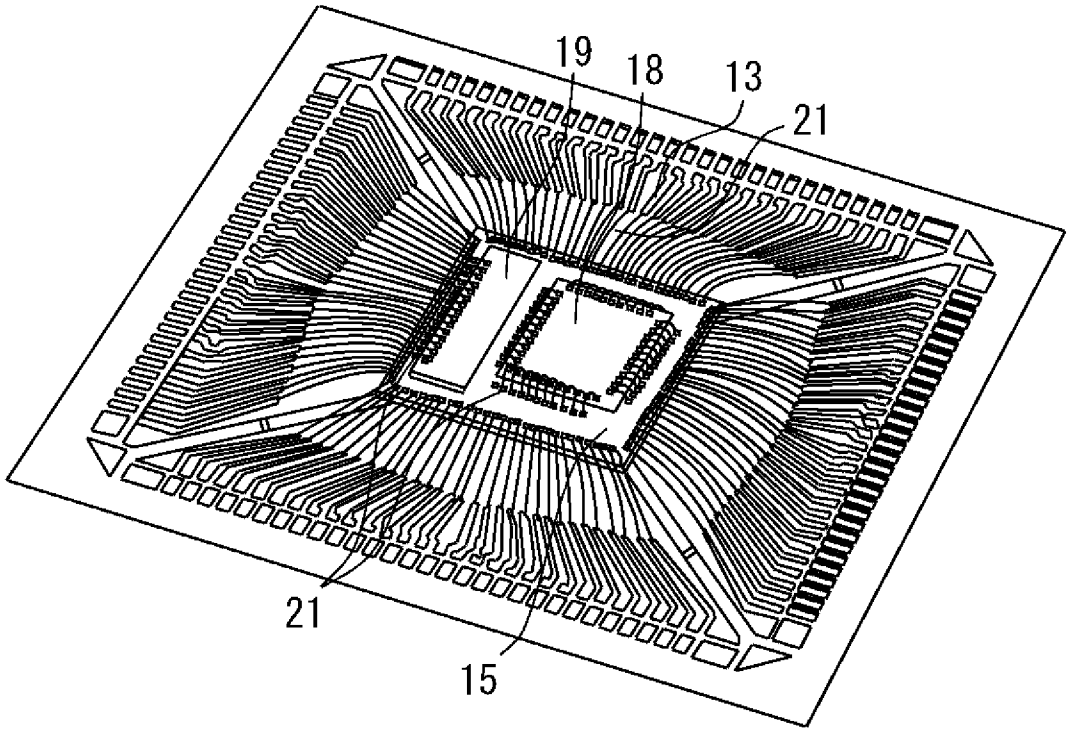
[図9]



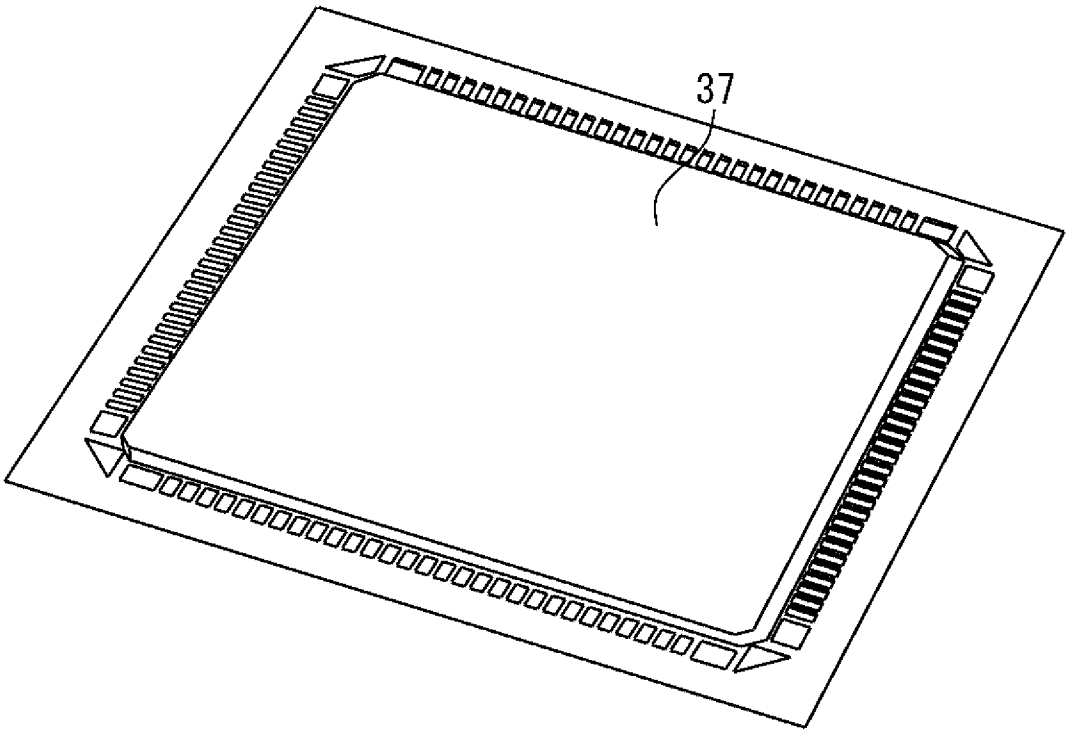
[図10]



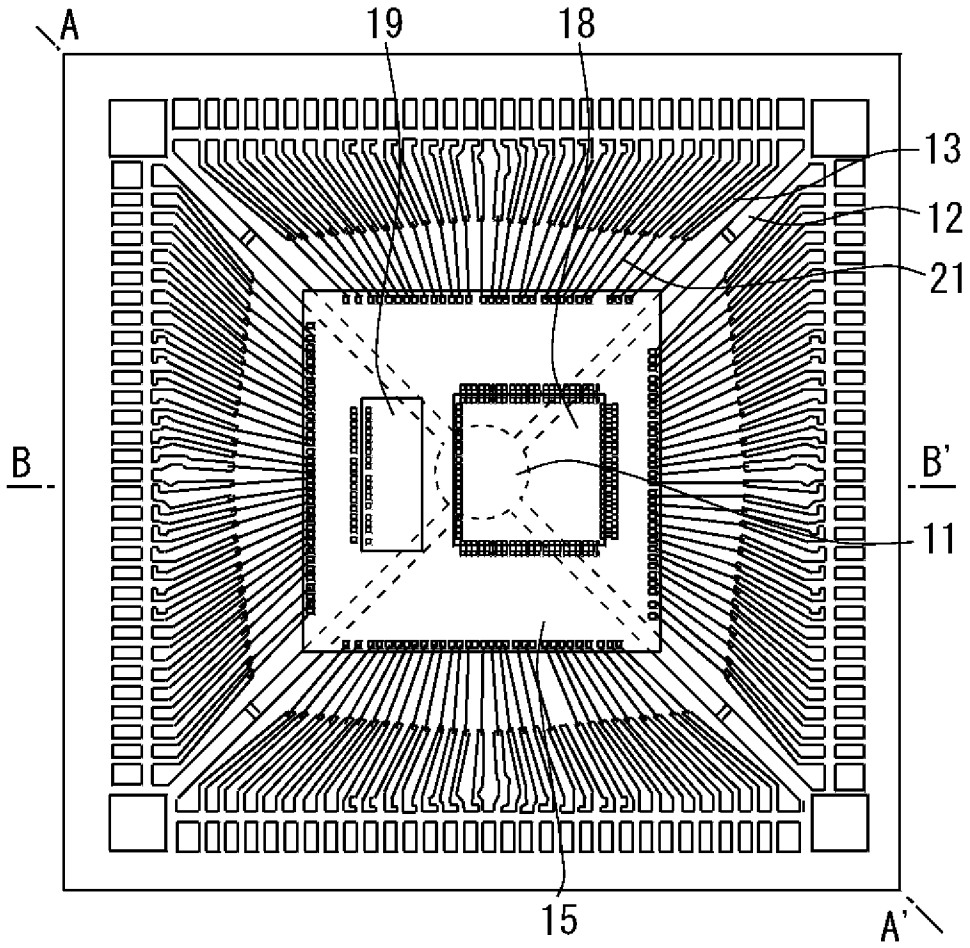
[図11]



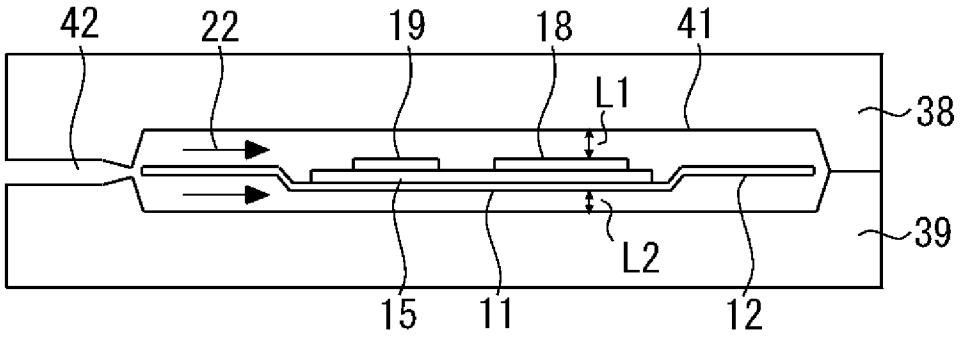
[図12]



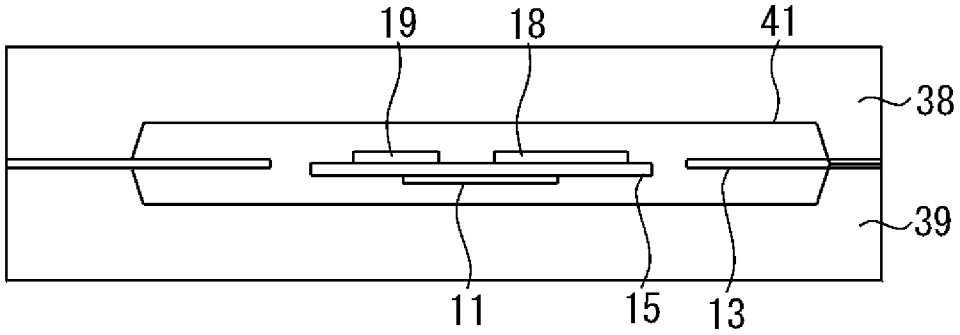
[図13]



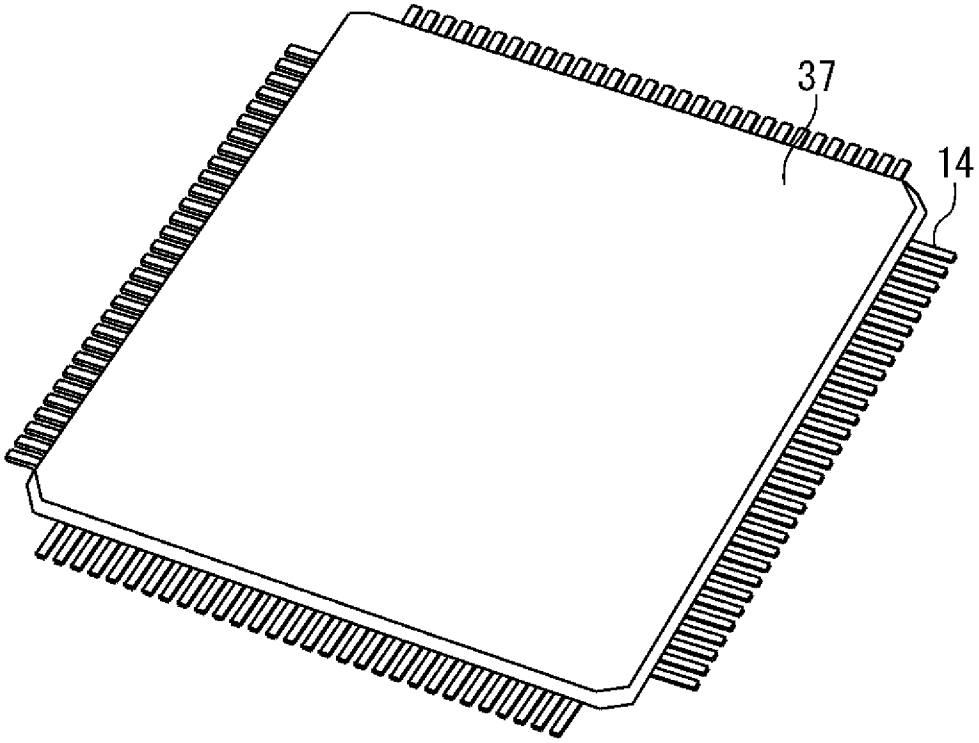
[図14]



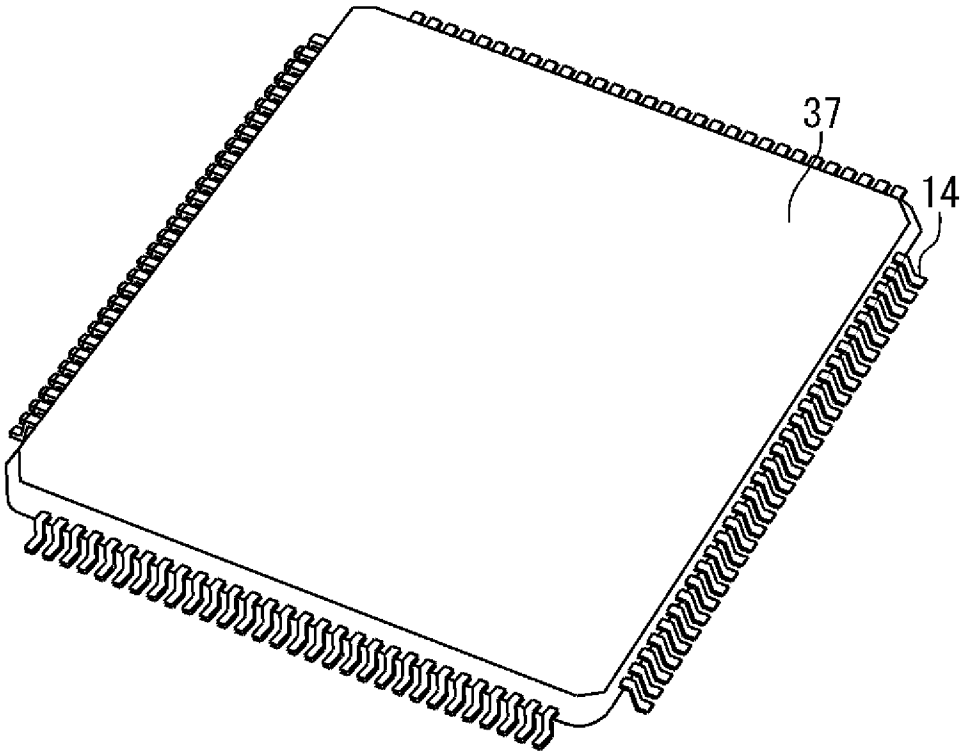
[図15]



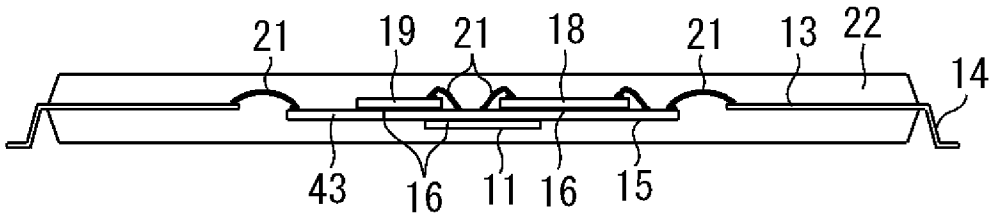
[図16]



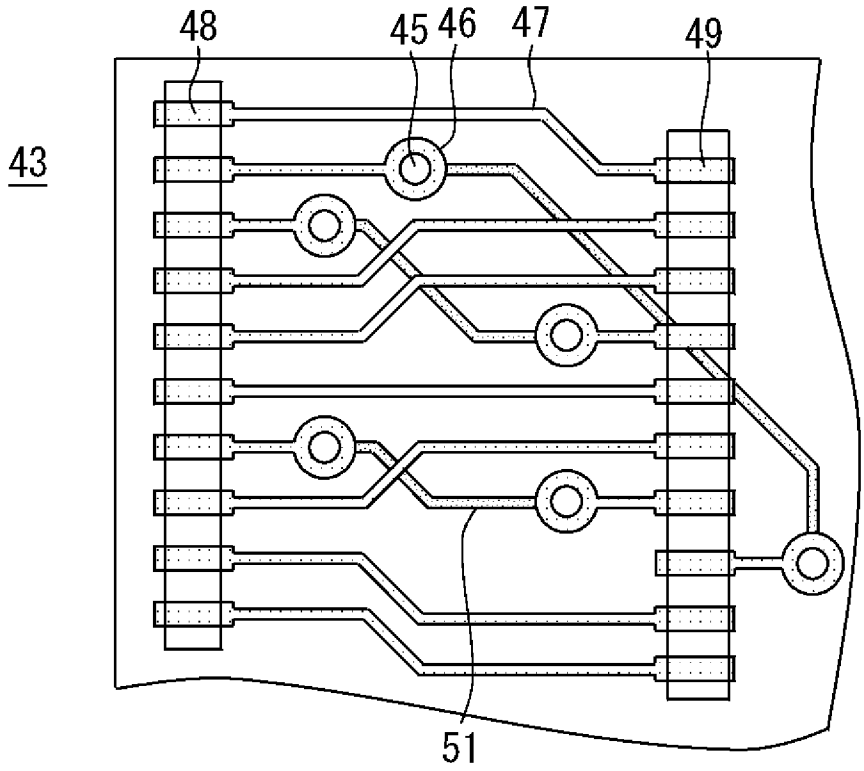
[図17]



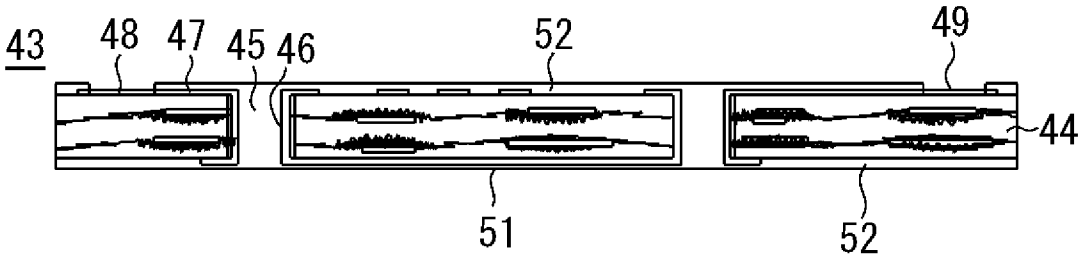
[図18]



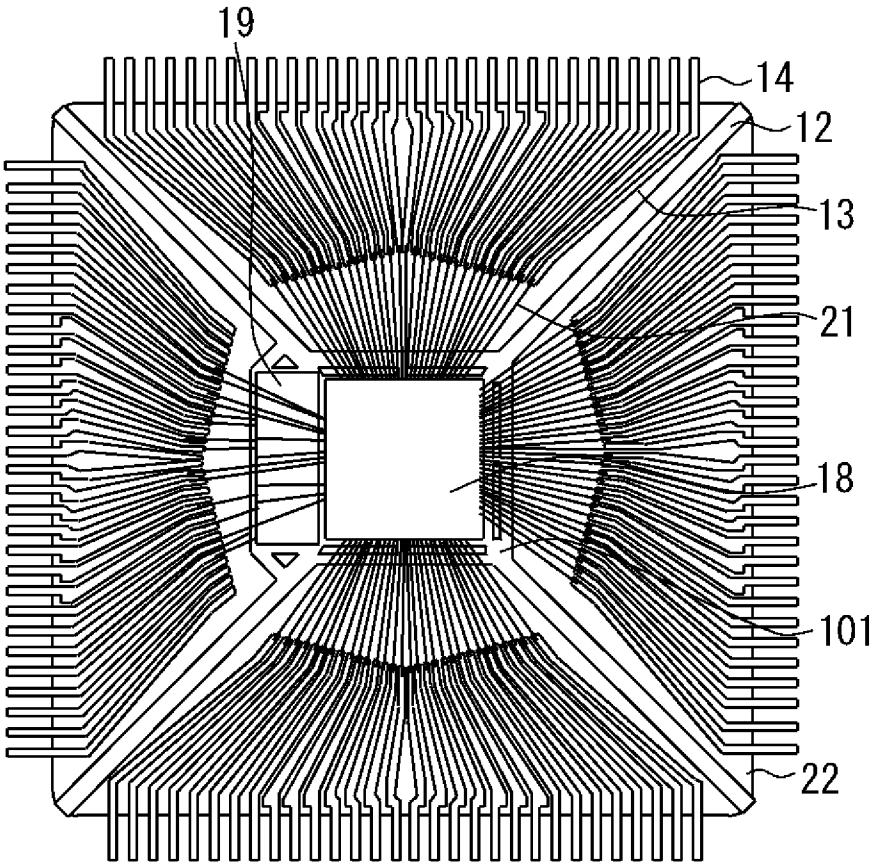
[図19]



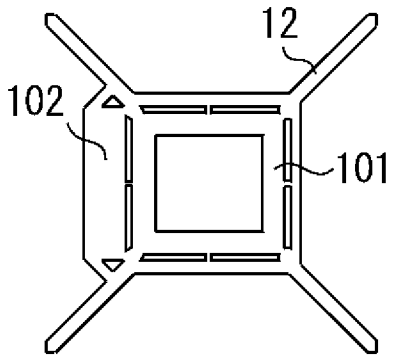
[図20]



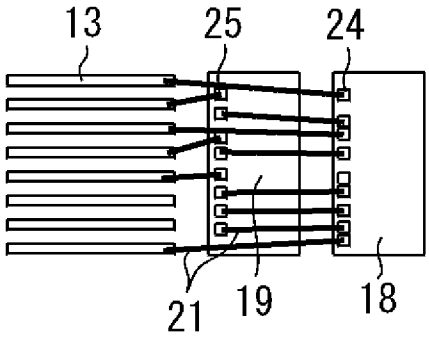
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/055474

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/04(2006.01)i, *H01L23/50*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/00-H01L25/18, H01L23/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-16162 A (Hitachi, Ltd.), 24 January, 1991 (24.01.91), Figs. 1 to 3; page 3, lower left column, line 4 to page 4, upper left column, line 7 (Family: none)	1-14
Y	JP 6-216303 A (Hitachi, Ltd.), 05 August, 1994 (05.08.94), Figs. 1 to 32; Par. Nos. [0024] to [0069] & US 5378656 A	1-14
Y	JP 50-56161 A (Hitachi, Ltd.), 16 May, 1975 (16.05.75), Fig. 3; page 2, lower left column, line 13 to lower right column, line 2 (Family: none)	6,13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 June, 2007 (13.06.07)	26 June, 2007 (26.06.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/055474

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 59-172755 A (Toshiba Corp.), 29 September, 1984 (29.09.84), Fig. 3; page 2, lower left column, line 20 to lower right column, line 14 (Family: none)	6,13
A	JP 6-132444 A (Hitachi, Ltd.), 13 May, 1994 (13.05.94), Figs. 1 to 6; Par. Nos. [0016] to [0029] (Family: none)	1-14
A	JP 9-260575 A (Mitsubishi Electric Corp.), 03 October, 1997 (03.10.97), Figs. 1 to 14; Par. Nos. [0030] to [0067] & DE 19708002 A1 & US 5753977 A	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５５４７４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/04(2006.01)i, H01L23/50(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/00-H01L25/18, H01L23/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 3-16162 A（株式会社日立製作所）1991.01.24, 第1-3図, 第3頁左下欄第4行－第4頁左上欄第7行（ファミリーなし）	1-14
Y	JP 6-216303 A（株式会社日立製作所）1994.08.05, 図1-32, [0024]-[0069] & US 5378656 A	1-14
Y	JP 50-56161 A（株式会社日立製作所）1975.05.16, 第3図, 第2頁左下欄第13行－右下欄第2行（ファミリーなし）	6, 13

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １３．０６．２００７	国際調査報告の発送日 ２６．０６．２００７
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｒ　９６３１ 酒井　英夫 電話番号　０３－３５８１－１１０１　内線　３４７１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 59-172755 A (株式会社東芝) 1984.09.29, 第3図, 第2頁左下欄第20行－右下欄第14行 (ファミリーなし)	6, 13
A	JP 6-132444 A (株式会社日立製作所) 1994.05.13, 図1-6, [0016]-[0029] (ファミリーなし)	1-14
A	JP 9-260575 A (三菱電機株式会社) 1997.10.03, 図1-14, [0030]-[0067] & DE 19708002 A1 & US 5753977 A	1-14