

# 發明專利說明書 200425245

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 93/09555

※ 申請日期： 93.4.7

※IPC 分類： H01G 2/00

## 一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

5-5, 2-chome, Keihan-Hondori Moriguchi-City, Osaka, Japan

國籍：(中文/英文) 日本國 / JAPAN

## 三、發明人：(共 3 人)

姓名：(中文/英文)

1. 野間崇 / NOMA, TAKASHI

2. 鈴木彰 / SUZUKI, AKIRA

3. 篠木裕之 / SHINOBI, HIROYUKI

國籍：(中文/英文) 1. 至 3. 日本國 / JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

日本國；2003年4月24日；特願2003-120228（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關半導體裝置及其製造方法，特別是有關半導體晶片之封裝技術。

### 【先前技術】

近年來，作為新的封裝技術，MCM(Multi Chip Module: 多晶片模組)受到矚目。所謂 MCM，係透過在一個封裝體中組裝複數個半導體晶片，而實現高功能模組之技術。MCM 中，根據半導體晶片之配置方法，具有複數個種類。其中，積層複數個半導體晶片之「積層型 MCM」最近特別受到矚目。

該種積層型 MCM 構造之一例，如第 14 圖所示。該積層型 MCM200，係將複數個半導體晶片 204 層積而成。透過雷射加工，形成貫通半導體晶片 204 之通孔(via hole)205，而在該通孔 205 的側面，以濺鍍法(sputter)、CVD(Chemical Vapor Deposition: 化學氣相沈積)法形成勢壘金屬(barrier metal)202。之後，透過銅鍍覆，在前述通孔 205 內填充導電材料，藉此形成連接上下鄰接配置之半導體晶片 204、204 之配線。

半導體晶片 204 間之絕緣，透過插入熱可塑膜 203 來加以確保。透過反復進行該種製程，可積層複數個半導體晶片 204。在最下方之半導體晶片 204，透過安裝導電端子 206，與外部電路進行連接。

使用以上之製程，可製造積層型 MCM200。前述之積層型 MCM，已揭示在專利文獻 1 中。

[專利文獻 1]

日本特開平 9—232503 號公報

### 【發明內容】

[發明所欲解決之課題]

為製造前述積層型 MCM200，需要形成具有數十微米左右直徑、深度之通孔，並向通孔內填埋導電材料。其結果，需要通孔加工用之雷射加工機、勢疊金屬成膜用之勢疊 CVD 裝置、用以進行通孔之填埋之銅鍍覆裝置等在以往之半導體封裝中未使用之昂貴裝置，這就造成了製造成本提高之問題。

[解決課題之方法]

本發明之半導體裝置，在半導體晶片之表面，隔著第 1 絕緣膜，形成有第 1 配線以及第 2 配線。在這些形成有第 1 及第 2 配線之半導體晶片之表面，黏接有具備露出 2 條配線之開口部之支持體。而第 3 配線，從半導體晶片之背面，透過第 2 絕緣膜，向半導體晶片之側面延伸，並與第 1 配線連接。

### 【實施方式】

接著，就有關本發明之實施形態的半導體裝置及其製造方法，參照第 1 圖至第 13 圖進行說明。

首先，如第 1 圖所示，準備半導體晶圓 1a。該半導體晶圓 1a，在後述製程中，被切斷而分割成複數個半導體晶

片 1。這些半導體晶片 1，係例如 CCD(charge coupled device：電荷耦合裝置)之影像感測器、半導體記憶體之晶片，係經由半導體之晶圓製程而形成。在該半導體晶圓 1a 之表面，透過絕緣膜 2，同時形成有複數條第 1 配線 3A、複數條第 2 配線 3B。第 1 配線 3A，夾持著用於將半導體晶圓 1a 切斷分離為複數個半導體晶片 1 之交界 S，在其兩側，形成有所預定之間隙。交界 S，係被稱為切割線(dicing line)或劃割線(scribe line)之區域。

在此，第 1 配線 3A，係從半導體晶片 1 之通常之焊墊(bonding pad)位置，擴張至交界 S 附近之襯墊(pad)。而複數條的第 2 配線 3B，係在以後製程中，為與半導體晶片 1 上所積層之其他半導體裝置之導電端子電性連接之導電襯墊。

然後，在形成有第 1 配線 3A 以及第 2 配線 3B 之半導體晶圓 1a 之表面，使用作為黏著劑之環氧樹脂層 5，黏接支持體之玻璃基板 4。在此，雖使用玻璃基板作為支持體、以及環氧樹脂層作為黏著劑，但也可使用矽基板、塑膠板等其他帶狀(tape)或片狀物作為支持體，而黏著劑則只要選擇適合該種支持體之合適黏著劑即可。

其次，如第 2 圖所示，在前述半導體晶圓 1a 之玻璃基板 4 之未黏接之面，即將其背面進行背部研磨(back grind)，對半導體晶圓 1a 之厚度進行減薄加工。經背部研磨之半導體晶圓 1a 之背面，會發生刮痕(scratch)，形成寬度、深度數微米左右之凹凸。為減小該凹凸，使用矽蝕刻

液進行濕式蝕刻，而該矽蝕刻液為對半導體晶圓 1a 材料的矽(以下稱 Si)要較絕緣膜 2 材料之氧化矽膜(以下稱  $\text{SiO}_2$ )，更具有高選擇比。作為該種矽蝕刻液，較為適合之液體有例如：氫氟酸 2.5%、硝酸 50%、醋酸 10%以及水 37.5%之混合溶液。

其次，如第 3 圖所示，對於前述半導體晶圓 1a 之背面，將沿著交界 S 設置有開口部之未圖示之抗蝕劑圖形(resist pattern)作為遮罩，進行各向同性之蝕刻。從而在交界 S 之部分形成溝槽，成為部分露出絕緣膜 2 之狀態。而該蝕刻，可以是乾式蝕刻，亦可為濕式蝕刻。透過該蝕刻，半導體晶圓 1a 被切斷為複數個半導體晶片 1，而由玻璃基板 4 支持，並維持半導體晶圓 1a 之形態。

在經蝕刻之半導體晶圓 1a 之背面，存在凹凸、殘渣、異物，並形成有如第 3 圖中以虛線圓 a、b 所示之角部。因此，如第 4 圖所示，為除去殘渣、異物，並使角部變圓，進行濕式蝕刻。從而使第 3 圖之以虛線圓 a、b 所標出之角部，成為如第 4 圖之虛線圓 a、b 所示之平滑形狀。

再者，如第 5 圖所示，在複數個半導體晶片 1 之背面以及該等經蝕刻之側面上，覆蓋絕緣膜 7。絕緣膜 7 係例如矽烷基(silane base)之氧化膜。

其次，如第 6 圖所示，在半導體晶片之背面，塗布未圖示之抗蝕劑(resist)，進行圖案成形(patterning)。以該抗蝕劑為遮罩，蝕刻絕緣膜 7、絕緣膜 2，使第 1 配線 3A 之端部露出。

再接著，在之後形成導電端子 11 之位置相重疊之位置，形成具有柔軟性之緩衝構件 8。而緩衝構件 8 吸收施加於導電端子 11 之力，係具有緩和導電端子 11 之接合時之壓力(stress)之功能者，但並非必需。然後形成覆蓋絕緣膜 7、緩衝構件 8、第 1 配線 3A 之露出部分之第 3 配線 9。藉此，電性連接第 1 配線 3A 與第 3 配線 9。

其次，如第 7 圖所示，在半導體晶片 1 之背面側，塗布未圖示之抗蝕劑，以沿著該抗蝕劑之交界 S 部分加以開口之方式進行圖形之形成。並且，以該抗蝕劑作為遮罩進行蝕刻，從而除去交界 S 附近之第 3 配線 9。又在圖中雖未標出，但在形成第 3 配線 9 後，可進行無電解電鍍處理，在第 3 配線 9 表面實施 Ni—Au 之電鍍。

之後，在半導體晶片 1 之背面側，形成保護膜 10。為形成保護膜 10，使半導體晶片 1 之背面側向上，使熱硬化性之有機系樹脂從上方滴下，而使具有複數個半導體晶片 1，並黏接在玻璃基板 4 之半導體晶圓 1a 旋轉。利用由該旋轉所產生之離心力，有機系樹脂在半導體晶圓 1a 之面上擴展。從而可在第 3 配線 9 之表面形成保護膜 10。

其次，如第 8 圖所示，透過利用抗蝕劑遮罩之蝕刻，選擇性除去形成導電端子 11 部分之保護膜 10，使第 3 配線 9 露出，從而形成在該露出之第 3 配線 9 上所接觸之導電端子 11。導電端子 11，例如可由焊錫突塊(solder bump)、金突塊等凸起電極端子形成。導電端子 11 之厚度，在使用焊錫突塊時，為 160 $\mu\text{m}$ ，使用金突塊時，可減少至數  $\mu\text{m}$

至數十  $\mu\text{m}$ 。導電端子 11，在半導體晶片 1 之背面，以同樣之構造，可構成設置複數個之球狀柵極陣列封裝體(Ball Grid Array)。

其次，透過切削玻璃基板 4 之表面，減薄其厚度。從而可短縮用以在後述之玻璃基板 4 上形成開口部之加工時間。玻璃基板之厚度，從  $50\mu\text{m}$  至  $100\mu\text{m}$  較為合適。作為減薄玻璃基板 4 之方法，有：(1)以背部研磨裝置研削玻璃基板 4 之方法、(2)以 CMP(chemical Mechanical Polishing：化學機械研磨)裝置研磨玻璃基板 4 之方法、(3)如同塗布抗蝕劑，在玻璃基板 4 上滴下蝕刻液，透過使玻璃基板 4 所黏接之半導體晶圓 1a 旋轉，使蝕刻液遍佈整個玻璃基板 4，從而進行玻璃基板 4 之蝕刻之方法、(4)使用乾式蝕刻，蝕刻玻璃基板 4 之方法。本發明中，雖具備減薄玻璃基板 4 之製程，但並不限制從最初起就使用由規定厚度之板材、帶狀或片狀物構成之支持體。

如第 10 圖所示，透過蝕刻等方法，除去部分第 2 配線 3B 上之玻璃基板 4 與樹脂層 5，形成露出第 2 配線 3B 表面之開口部 12。而相反地，亦可在形成開口部 12 後，研削玻璃基板 4，使之變薄，但用以形成開口部 12 之加工時間將會變長。接著，在由開口部 12 所露出之第 2 配線 3B 之表面上，形成鍍覆層 13。鍍覆層 13，構成第 2 配線 3B 之一部分。鍍覆層 13，係積層例如 Ni 鍍覆層、Au 鍍覆層而形成。

接著如第 12 圖所示，使用切割裝置，沿交界 S 切斷

半導體晶圓 1a，分離成複數個半導體晶片 1。此時，係沿著交界 S，切斷玻璃基板 4、樹脂層 5、以及保護膜 10。從而完成組裝有半導體晶片 1a 之 BGA 型半導體裝置 100。依照該 BGA 型半導體裝置 100，可使支撐半導體晶片 1 之僅一枚玻璃基板 4 黏接於半導體晶片 1 上，且由於該玻璃基板 4 受過減薄加工，因此能減薄整體封裝。在玻璃基板 4 上，由於形成有露出半導體晶片 1 之第 2 配線 3B 之開口部 12，因此可經由該開口部，取得與外部之電子電路之必要之電性連接。

第 13 圖，係顯示作為該種電性連接構造之一例的積層型 MCM 構造之剖面圖。該積層型 MCM，係由第 1 半導體裝置 100a 與第 2 半導體裝置 100b 積層而成。第 1 半導體裝置 100a 與第 2 半導體裝置 100b，具有與前述半導體裝置 100 同樣之構造。在第 1 半導體裝置 100a 之第 2 配線 3B 上，經由開口部 12，電性且機械地連接第 2 半導體裝置 100b 之導電端子 11B。在該連接強度不足之情況，亦可輔助性地使用底層填料(underfilling)等有機系之黏著劑。並且，所積層之半導體裝置之數量，可根據需要進行選擇。

#### [發明效果]

依照本發明，對積層型 MCM 可不使用昂貴設備裝置，而能以低廉製造成本進行製造。

#### 【圖式簡單說明】

第 1 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 2 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 3 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 4 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 5 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 6 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 7 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 8 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 9 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 10 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 11 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 12 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 13 圖係有關本發明之實施形態之半導體裝置之製造方法之剖面圖。

第 14 圖係有關以往之 MCM 半導體裝置之剖面之模式圖。

【主要元件符號說明】

1	半導體晶片	1a	半導體晶圓
2	絕緣膜	3A	第 1 配線
3B	第 2 配線	4	玻璃基板
5	樹脂層	7	絕緣膜
8	緩衝構件	9	第 3 配線
10	保護膜	11	導電端子
12	開口部	13	鍍覆層
100	BGA 型半導體裝置	100a	第 1 半導體裝置
100b	其他半導體裝置	200	半導體裝置
201	電極	202	勢壘金屬
203	熱可塑性膜	204	半導體晶片
205	通孔(via hole)	206	導電端子

## 五、中文發明摘要：

[課題] 在不使用昂貴設備之條件下，以低廉製造成本製造積層型 MCM。

[解決方法] 在第 1 半導體裝置 100a 之半導體晶片 1 之表面，隔著絕緣膜 2，形成第 1 配線 3A 以及第 2 配線 3B。在形成有這些第 1 配線 3A 以及第 2 配線 3B 之半導體晶片 1 之表面，黏接具有使第 2 配線 3B 露出之開口部 12 之玻璃基板 4。而第 3 配線 9，從半導體晶片 1 之背面，隔著絕緣膜 7，向半導體晶片 1 之側面延伸，連接於第 1 配線 3A 上。並且，在第 2 配線 3B 上，藉由開口部 12，連接其他半導體裝置 100b 之導電端子 11B。

## 六、英文發明摘要：

A semiconductor device and a method of manufacturing the same are provided for manufacturing laminated MCM in a low manufacturing cost without using any expensive device, wherein a first wiring 3A and a second wiring 3B are formed upon the surface of a semiconductor chip 1 of a first semiconductor device 100a with an insulative film 2 therebetween. The surface of the semiconductor chip 1 formed with the first wiring 3A and the second wiring 3B is attached with a glass substrate 4 having an opening 12 that exposes the second wiring 3B. Further, a third wiring 9 is extended towards a side face from the back face of the semiconductor chip 1 with an insulative film 7 therebetween and connected to the first wiring 3A. Furthermore, a conductive terminal 11B of the other semiconductor device 100b is connected to the second wiring 3B through the opening 12.

## 十、申請專利範圍：

### 1. 一種半導體裝置，具備：

在半導體晶片表面隔著第 1 絕緣膜所形成之第 1 配線以及第 2 配線；

黏接於形成有前述第 1 及第 2 配線之前述半導體晶片表面，具有露出前述第 2 配線之開口部之支持體；以及

從前述半導體晶片之背面，隔著第 2 絕緣膜向前述半導體晶片之側面延伸，並連接於前述第 1 配線之第 3 配線。

- ### 2. 一種半導體裝置，係具備：第 1 半導體裝置、以及配置於該第 1 半導體裝置上之第 2 半導體裝置；其中，前述第 1 半導體裝置具備：形成於第 1 半導體晶片表面之第 1 配線以及第 2 配線；黏接於形成有前述第 1 及第 2 配線之前述半導體晶片表面且具有露出前述第 2 配線之開口部之支持體；以及從前述半導體晶片之背面向前述半導體晶片之側面延伸，而連接於前述第 1 配線之第 3 配線；前述第 2 半導體裝置具備：第 2 半導體晶片；以及形成於該第 2 半導體晶片背面之導電端子；而前述第 2 半導體裝置之前述導電端子係透過前述第 1 半導體裝置之開口部，連接於前述第 2 配線上。

- ### 3. 如申請專利範圍第 1 項或第 2 項之半導體裝置，係具備形成於前述第 3 配線上之導電端子。

4. 如申請專利範圍第 3 項之半導體裝置，其中，前述導電端子為突出電極端子。

5. 如申請專利範圍第 4 項之半導體裝置，其中，前述突出電極端子係焊錫凸塊或金凸塊。

6. 一種半導體裝置之製造方法，係準備具有

隔著第 1 絕緣膜形成有第 1 配線及第 2 配線之複數個半導體晶片之半導體晶圓；並具備：

在形成有前述第 1 及第 2 配線之前述半導體晶片表面上，黏接支持體之製程；

形成從前述半導體晶片之背面隔著第 2 絕緣膜向前述半導體晶片之側面延伸，並連接於前述第 1 配線之第 3 配線之製程；以及

在前述支持體上，形成露出前述第 2 配線之開口部之製程。

7. 如申請專利範圍第 6 項之半導體裝置之製造方法，係具備研削前述支持體表面之製程。

8. 如申請專利範圍第 7 項之半導體裝置之製造方法，其中：

研削前述支持體表面之製程，係在前述支持體表面滴下蝕刻液，並使前述支持體旋轉之製程。

9. 如申請專利範圍第 6 項之半導體裝置之製造方法，係具備：

將前述半導體晶圓切斷分離成複數個半導體晶片之製程。

10.如申請專利範圍第6項之半導體裝置之製造方法，係具備：

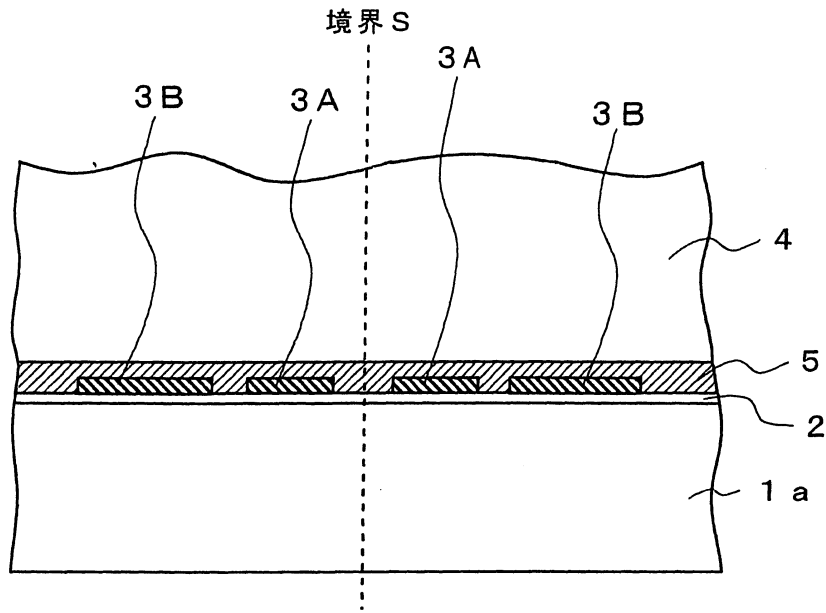
在前述第3配線上形成導電端子之製程。

11.如申請專利範圍第6項之半導體裝置之製造方法，係具備：

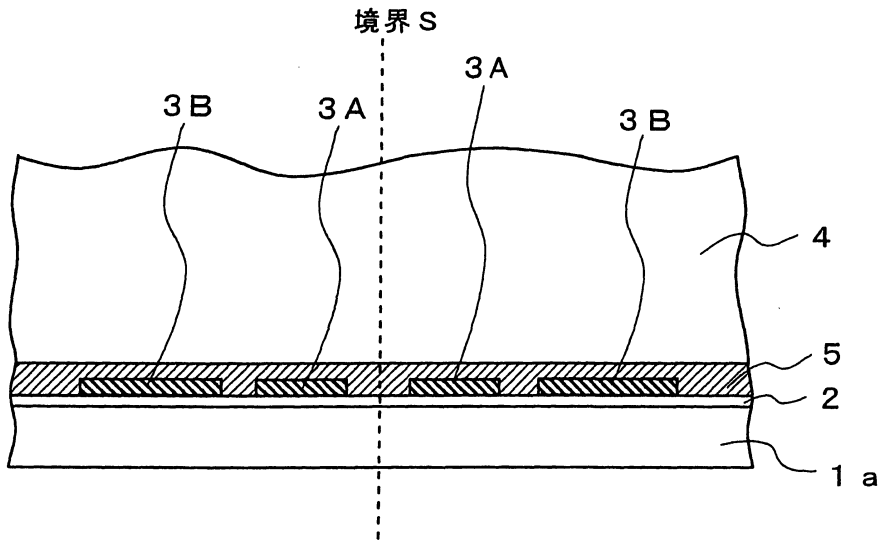
在前述支持體上形成露出第2配線之開口部之製程後，在前述第2配線上，形成鍍覆層之製程。

12.如申請專利範圍第9項之半導體裝置之製造方法，係具備：

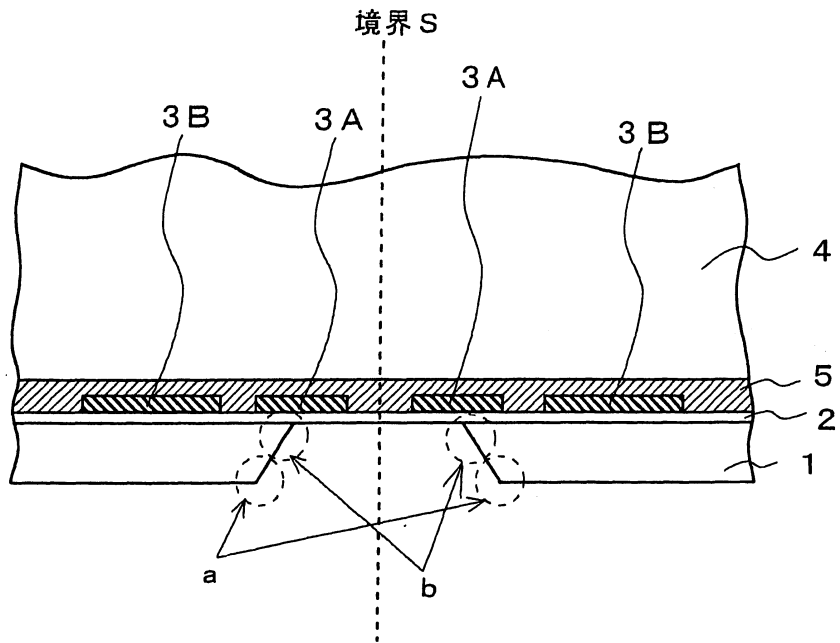
透過前述開口部將其他半導體裝置之導電端子連接在前述第2配線上之製程。



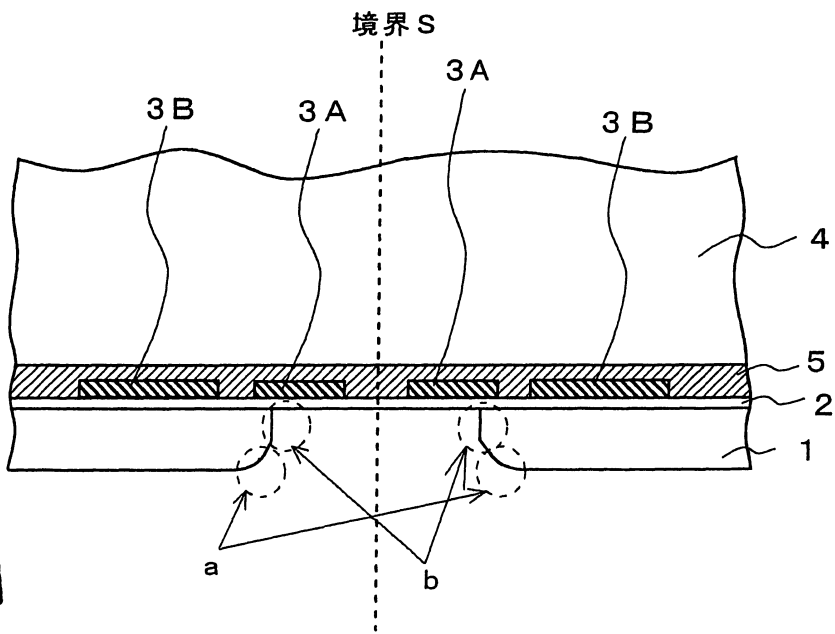
第 1 圖



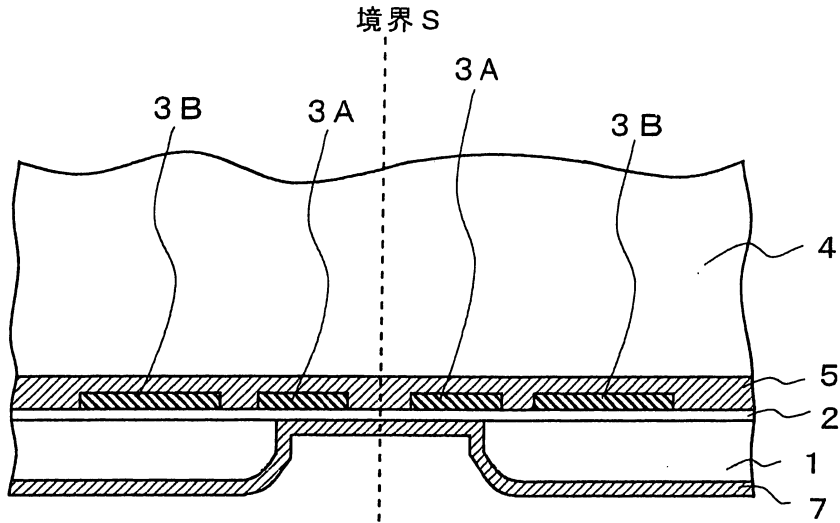
第 2 圖



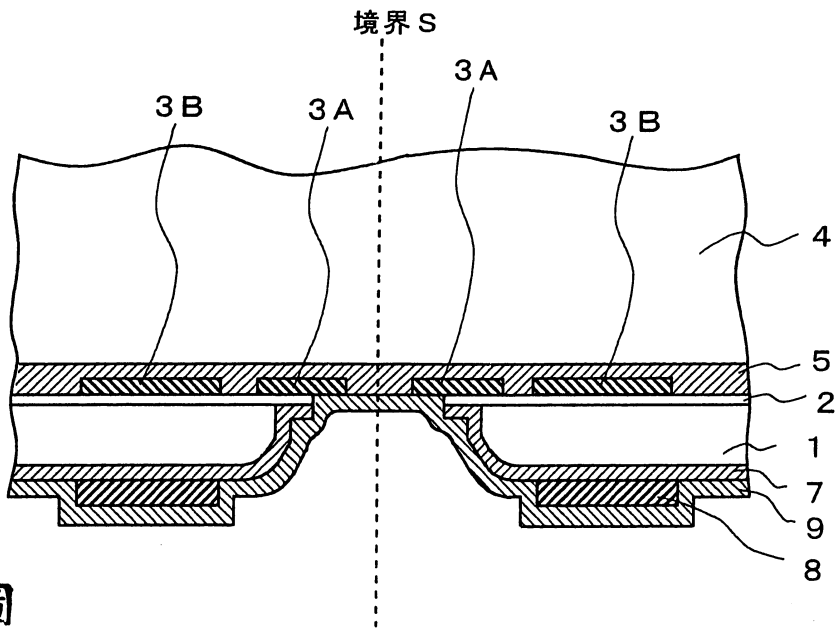
第 3 圖



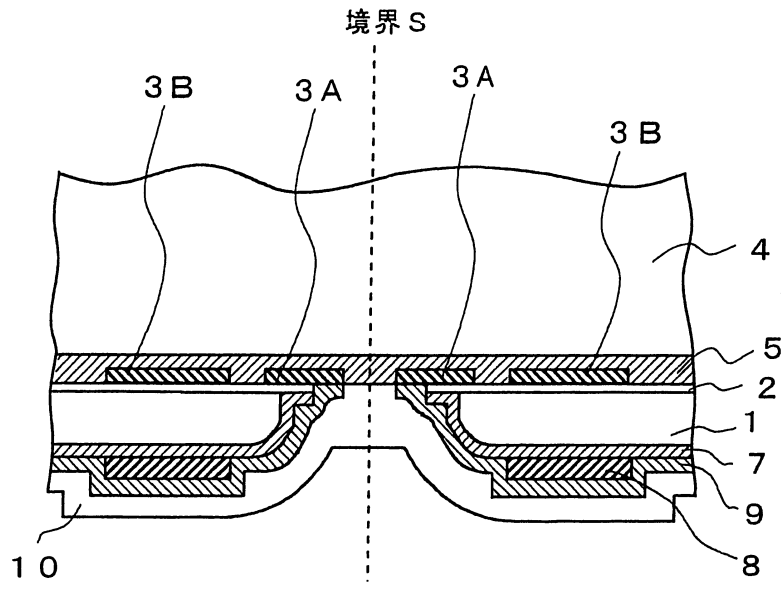
第 4 圖



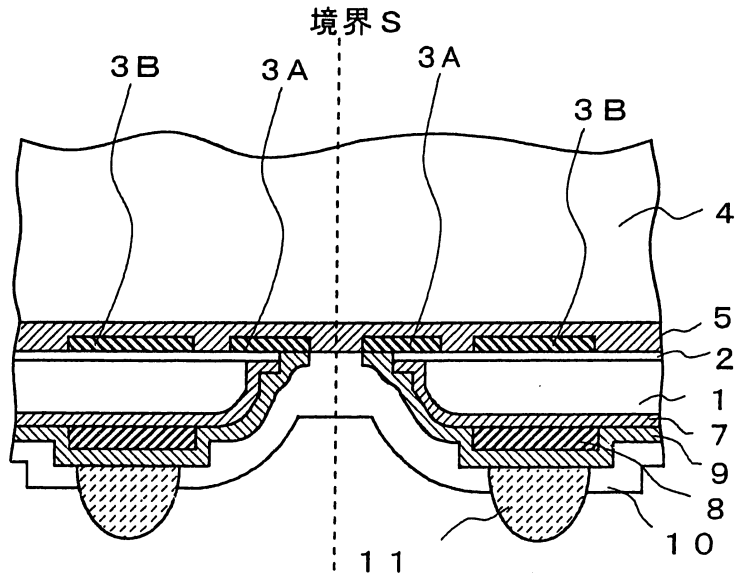
第 5 圖



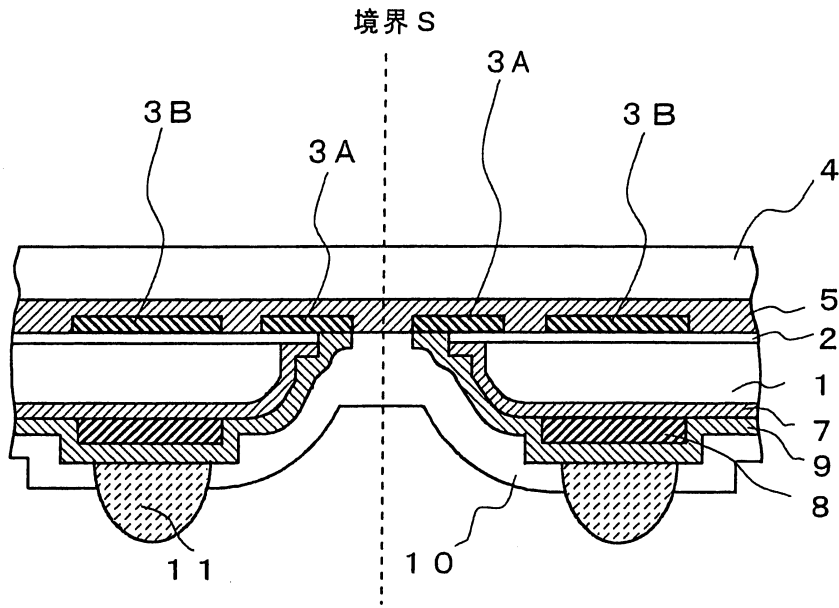
第 6 圖



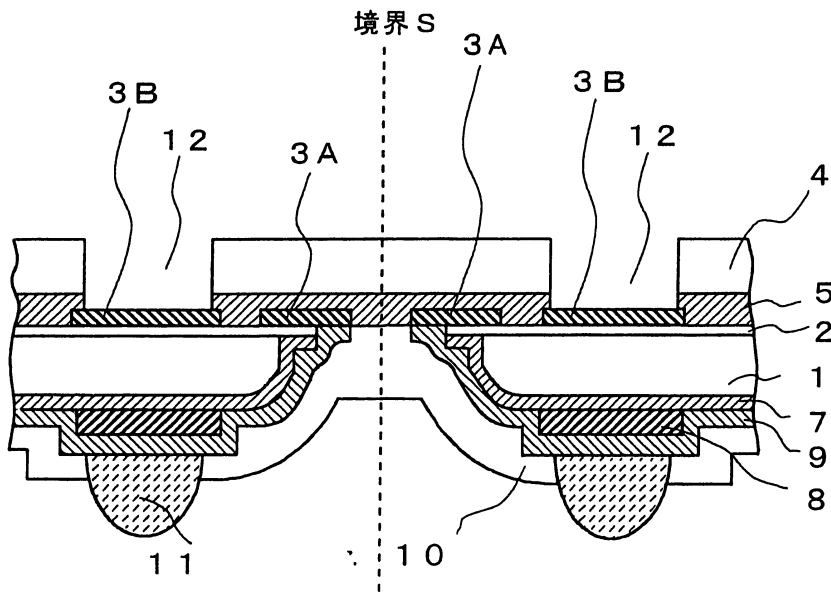
第 7 圖



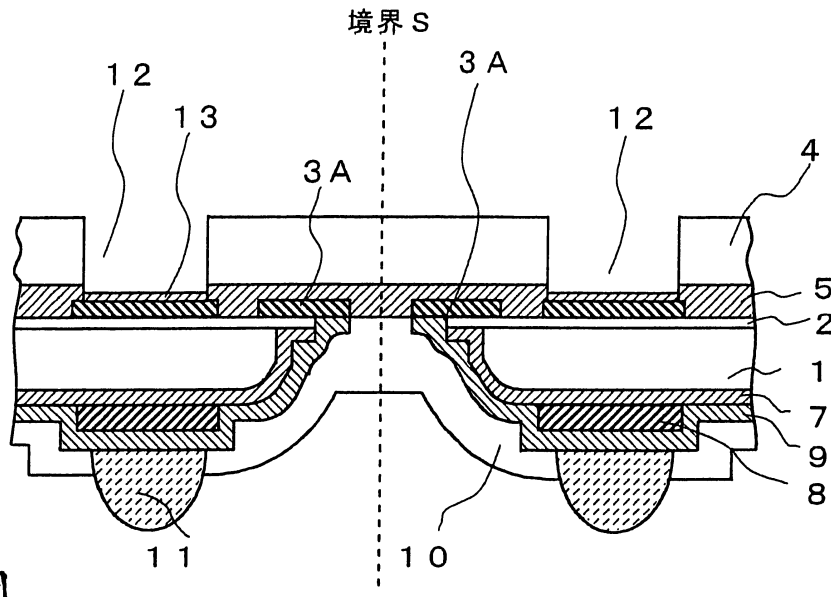
第 8 圖



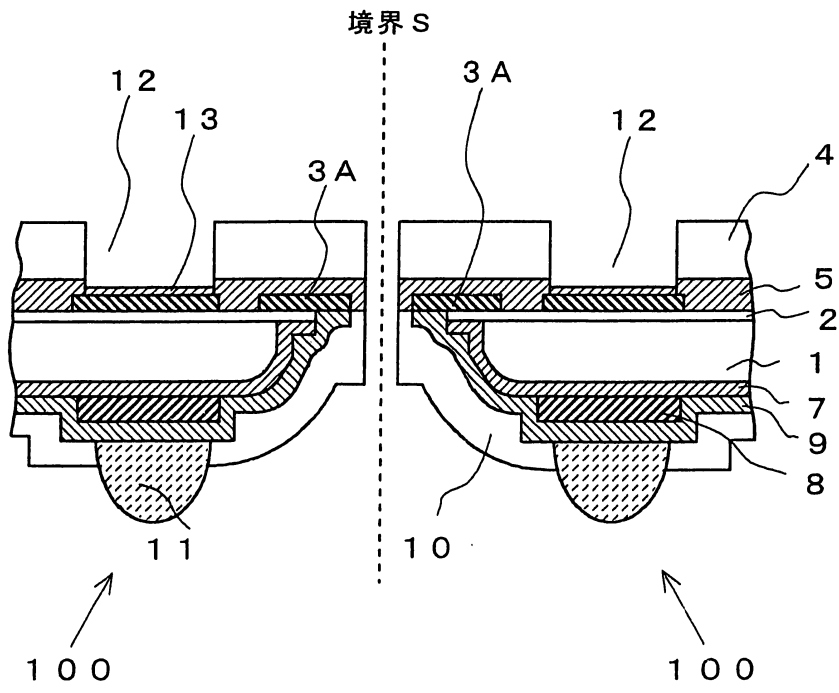
第 9 圖



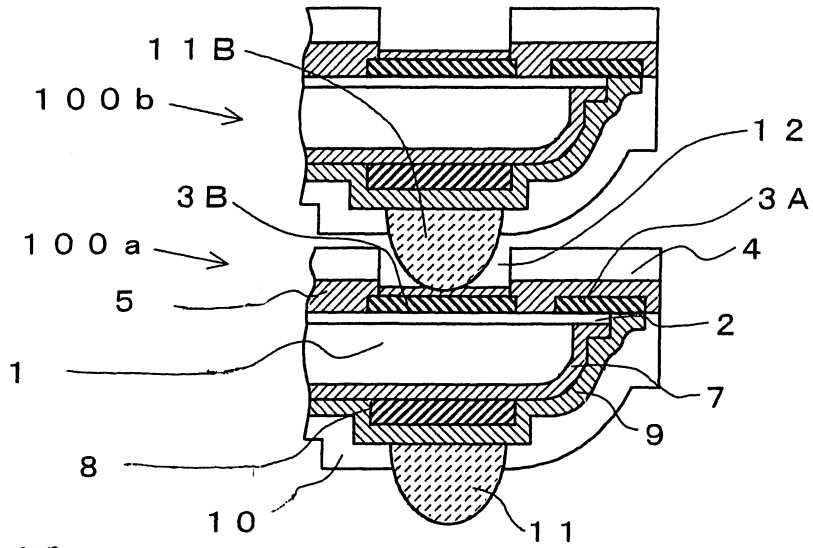
第 10 圖



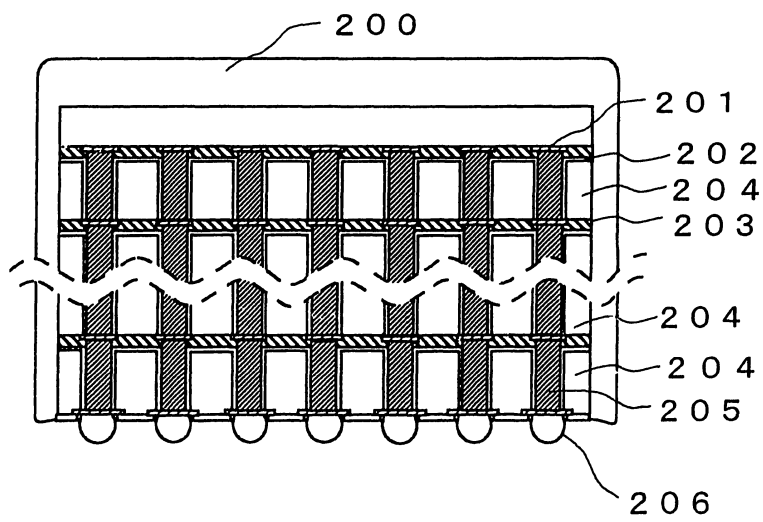
● 第11圖



● 第12圖



第13圖



第14圖

七、指定代表圖：

(一)本案指定代表圖為：第 ( 13 ) 圖。

(二)本代表圖之元件代表符號簡單說明：

1	半導體晶片	2	絕緣膜
3A	第1配線	3B	第2配線
4	玻璃基板	5	樹脂層
7	絕緣膜	8	緩衝構件
9	第3配線	10	保護膜
11	導電端子	11B	導電端子
12	開口部	100a	第1半導體裝置
100b	第2半導體裝置		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。