

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 15/16 (2006.01)
G06F 15/177 (2006.01)
G06F 11/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510121125.0

[45] 授权公告日 2009 年 3 月 25 日

[11] 授权公告号 CN 100472504C

[22] 申请日 2005. 12. 29

[21] 申请号 200510121125.0

[73] 专利权人 方大集团股份有限公司

地址 518055 广东省深圳市南山区西丽镇
龙井方大工业城

[72] 发明人 熊建明 朱卫平 彭海龙 苏武强
刘晓东 杨宇华

[56] 参考文献

US6173351B1 2001. 1. 9

JP9 - 69082A 1997. 3. 11

WO2004061666A2 2004. 7. 22

CN1159630A 1997. 9. 17

审查员 李楠

[74] 专利代理机构 深圳市顺天达专利商标代理有限公司
代理人 郭伟刚

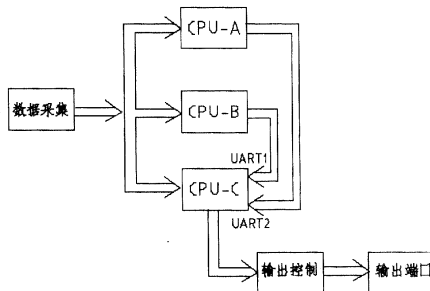
权利要求书 2 页 说明书 4 页 附图 1 页

[54] 发明名称

中央接口盘的冗余控制装置和方法

[57] 摘要

一种用于中央接口盘的冗余控制装置方法，由数据采集单元，第一 CPU、第二 CPU 和监控 CPU，以及与监控 CPU 的输出端口连接的输出控制单元以及与输出控制单元连接的输出端口等模块组成；监控 CPU 这样提供信号给所述输出控制单元：如果三个 CPU 的运算结果一致，则输出运算结果到所述输出控制单元；如果第一 CPU 与第二 CPU 运算结果不一致，则按照监控 CPU 的运算结果输出；如第一 CPU 与第二 CPU 的运算结果完全一致而不同于监控 CPU 的运算结果，则系统放弃监控 CPU 的运算结果，属于控制“无效状态”。实施本发明的上述冗余控制装置方法，可以保证控制信号不因为环境恶劣或器件不稳定而发生任何信号不稳定，控制不可靠的情况，同时，本发明的结构简单，实现成本也比较低廉。



1、一种用于中央接口盘的冗余控制装置，其特征在于，包括数据采集单元，输入端口分别与所述数据采集单元连接的第一 CPU、第二 CPU 和监控 CPU，第一 CPU 的运算结果通过串行通讯口与监控 CPU 的第一 UART 口连接，第二 CPU 的运算结果通过串行通讯口与监控 CPU 的第二 UART 口连接，还包括与所述监控 CPU 的输出端口连接的输出控制单元以及与输出控制单元连接的输出端口；所述监控 CPU 这样提供信号给所述输出控制单元：如果来自第一和第二 CPU 的运算结果与监控 CPU 的运算结果一致，则输出运算结果到所述输出控制单元；如果第一 CPU 与第二 CPU 运算结果不一致，则按照监控 CPU 的运算结果对第一 CPU 与第二 CPU 运算结果进行“强制纠错”后将运算结果输出到所述输出控制单元；如第一 CPU 与第二 CPU 的运算结果完全一致而不同于监控 CPU 的运算结果，则系统放弃监控 CPU 的运算结果，属于控制“无效状态”。

2、一种用于中央接口盘的冗余控制方法，其特征在于，包括数据采集单元，输入端口分别与所述数据采集单元连接的第一 CPU、第二 CPU 和监控 CPU，第一 CPU 的运算结果通过串行通讯口与监控 CPU 的第一 UART 连接，第二 CPU 的运算结果通过串行通讯口与监控 CPU 的第二 UART 连接，还包括与所述监控 CPU 的输出端口连接的输出控制单元以及与输出控制单元连接的输出端口；所述冗余控制方法包括以下步骤：由所述监控 CPU 判断来自第一和第二 CPU 的运算结果与监控 CPU 的运算结果是否一致，如果一致则输出运算结果到所述输出控制单元或；如果来自第一和第二 CPU 的运算结果与监控 CPU

的运算结果不一致，则判断第一 CPU 与第二 CPU 运算结果是否一致，如果不一致则按照监控 CPU 的运算结果对第一 CPU 与第二 CPU 运算结果进行“强制纠错”后将运算结果输出到所述输出控制单元；如果判断出第一 CPU 与第二 CPU 运算结果一致但不同于监控 CPU 的运算结果，则系统放弃监控 CPU 的运算结果，属于控制“无效状态”。

中央接口盘的冗余控制装置和方法

技术领域

本发明涉及计算机技术，具体涉及一种可应用于中央接口盘的 CPU 冗余控制装置和方法。

背景技术

PSC 是中央接口盘的简称，用于处理地铁屏蔽门系统的输入/输出信号的请求，在地铁屏蔽门 PSC（中央接口盘）的开发过程中，出于对系统运营安全及乘客负责的考虑，需要确保输入/输出信号之间的逻辑关系准确无误。按照如图 1 所示的现有技术的设计，采用一个 CPU 实现数据采集和输出控制，虽然用这种方式也可以处理输入/输出信号之间的逻辑关系，但却存在着隐患，因为若 CPU 死机或软件跑飞（这是单颗 CPU 系统不可避免的问题）等，中央接口盘将失去对输入/输出信号的运算处理，最终导致事故的发生。如果为增加可靠性，采用双 CPU 冗余，并令其“同时采集、同时运算、同时输出”，这样，一旦其中某颗 CPU 工作时出现问题，那么另一颗 CPU 可代替工作，系统不会出现死机现象，仍然可以正常工作。但如此双 CPU 设计又带来一个新的问题，因为这是基于我们假设两颗 CPU 在任何时刻，在任何恶劣的环境下的运算结果均完全一致的理想情况下而采取的措施，若万一这两颗 CPU 的运算结果不一致，那么输出控制模块将无法动作，仍然会存在安全隐患。

发明内容

本发明要解决的技术问题是提供一种可应用于 PSC 的多重 CPU 冗余控制方法，可以克服现有技术的上述缺点，保证在任何时候有可靠稳定的输出。

本发明上述技术问题这样解决，一种用于中央接口盘的冗余控制装置，其特征在于，包括数据采集单元，输入端口分别与所述数据采集单元连接的第一 CPU、第二 CPU 和监控 CPU，第一 CPU 的运算结果通过串行通讯口与监控 CPU 的第一 UART 连接，第二 CPU 的运算结果通过串行通讯口与监控 CPU 的第二 UART 连接，还包括与所述监控 CPU 的输出端口连接的输出控制单元以及与输出控制单元连接的输出端口；所述监控 CPU 这样提供信号给所述输出控制单元：如果来自第一和第二 CPU 的运算结果与监控 CPU 的运算结果一致，则输出运算结果到所述输出控制单元；如果第一 CPU 与第二 CPU 运算结果不一致，则按照监控 CPU 的运算结果对第一 CPU 与第二 CPU 运算结果进行“强制纠错”后将运算结果输出到所述输出控制单元；如第一 CPU 与第二 CPU 的运算结果完全一致而不同于监控 CPU 的运算结果，则系统放弃监控 CPU 的运算结果，属于控制“无效状态”。

本发明另一技术问题这样解决，构造一种用于中央接口盘的冗余控制方法，包括数据采集单元，输入端口分别与所述数据采集单元连接的第一 CPU、第二 CPU 和监控 CPU，第一 CPU 的运算结果通过串行通讯口与监控 CPU 的第一 UART 连接，第二 CPU 的运算结果通过串行通讯口与监控 CPU 的第二 UART 连接，还包括与所述监控 CPU 的输出端口连接的输出控制单元以及与输出控制单元连接的输出端口；所述冗余控制包括以下步骤：由所述监控 CPU 判断来自第一和第二 CPU 的运算结果与监控 CPU 的运算结果是否一致，如果一致

致则输出运算结果到所述输出控制单元；如果来自第一和第二 CPU 的运算结果与监控 CPU 的运算结果不一致，则判断第一 CPU 与第二 CPU 运算结果是否一致，如果不一致则按照监控 CPU 的运算结果对第一 CPU 与第二 CPU 运算结果进行“强制纠错”后将运算结果输出到所述输出控制单元；如果判断出第一 CPU 与第二 CPU 运算结果一致但不同于监控 CPU 的运算结果，则系统放弃 CPU-C 的运算结果，属于控制“无效状态”。

实施本发明的上述冗余控制装置方法和装置，可以保证控制信号不会因为环境恶劣或器件不稳定而发生任何信号不稳定，控制不可靠的情况，同时，本发明的结构简单，实现成本也比较低廉。

附图说明

图 1 是现有技术单一 CPU 控制的逻辑结构示意图；

图 2 是本发明采用三个 CPU 实现冗余控制的逻辑框图；

具体实施方式

如图 2 所示，本发明采用 3 颗 CPU “同时采集、同时运算、同时输出”的工作方式，CPU-A 与 CPU-B 两颗 CPU 进行运算，CPU-C 进行监控。输出结果有以下 3 种情况：

2.1 理想情况下，三颗 CPU 的运算结果完全一致，并令输出控制模块输出控制信号；

2.2 若 CPU-A 与 CPU-B 的运算结果不一致，那么根据 CPU-C 的运算结果，进行“强制纠错”，即此时的输出取决于 CPU-C 的运算结果；

2.3 若 CPU-A 与 CPU-B 的运算结果完全一致，而 CPU-C 的运算结果不同，则系统放弃 CPU-C 的运算结果，属于“无效状态”；

经过实际运行及测试，改进后的设计，达到了设计要求。

总之最终的输出控制信号，以3颗CPU同时运算后的结果进行“表决”而定。CPU-A、CPU-B与CPU-C之间的信号沟通是通过串口UART来实现的。为实现上述冗余控制，表决电路用于根据三颗CPU的输出形成自己输出的真值表及功能模块设计图如下所示：

CPU-A	CPU-B	CPU-C	输出控制信号	备注
0	0	0	0	理想情况“0”状态
0	0	1	0	无效状态
0	1	0	0	强制纠错
0	1	1	1	强制纠错
1	0	0	0	强制纠错
1	0	1	1	强制纠错
1	1	0	1	无效状态
1	1	1	1	理想情况“1”状态

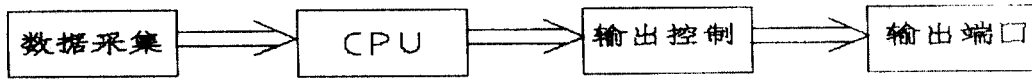


图 1

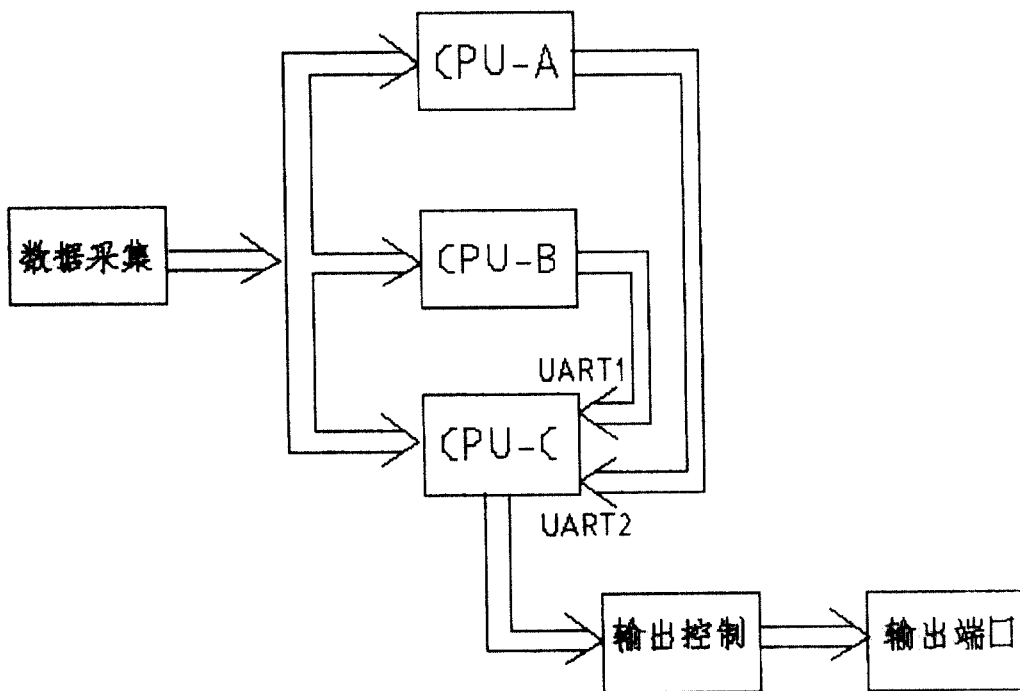


图 2