

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 22.03.10.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 23.09.11 Bulletin 11/38.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA
Société anonyme — FR et INTERNATIONAL BUSI-
NESS MACHINES CORPORATION — US.

72 Inventeur(s) : JEANNOT SIMON et TANNHOF PAS-
CAL.

73 Titulaire(s) : STMICROELECTRONICS SA Société
anonyme, INTERNATIONAL BUSINESS MACHINES
CORPORATION.

74 Mandataire(s) : CABINET BEAUMONT.

54 PROCEDE DE FORMATION D'UNE STRUCTURE DE TYPE METAL-ISOLANT-METAL TRIDIMENSIONNELLE.

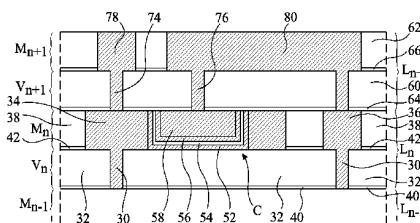
57 L'invention concerne un procédé de formation d'une
structure capacitive (C) dans un niveau métallique (M_n) d'un
empilement d'interconnexion comprenant une succession
de niveaux métalliques et de niveaux de vias, comprenant
les étapes suivantes:

(a) former, dans ledit niveau métallique, au moins une
piste conductrice (34) dans laquelle est définie une
tranchée;

(b) former, de façon conforme, une couche isolante (54)
sur la structure;

(c) former, dans la tranchée, un matériau conducteur
(58); et

(d) réaliser une planarisation de la structure.



**PROCÉDÉ DE FORMATION D'UNE STRUCTURE DE TYPE MÉTAL-ISOLANT-MÉTAL
TRIDIMENSIONNELLE**

Domaine de l'invention

La présente invention concerne un procédé de formation d'une structure capacitive métal-isolant-métal tridimensionnelle dans un empilement d'interconnexion, et la structure obtenue.

5 Exposé de l'art antérieur

De façon classique, pour obtenir des puces de circuit intégré, on forme des composants électroniques en surface d'un substrat semiconducteur. Pour connecter les composants électroniques les uns avec les autres, un empilement de niveaux d'interconnexion comprenant des pistes et des vias métalliques entourés d'un matériau diélectrique est formé au-dessus du substrat. Chaque niveau de l'empilement d'interconnexion comprend, de façon classique, un premier étage dans lequel sont formés des vias métalliques (appelé "niveau de vias" par la suite) et un
10 d'interconnexion comprenant des pistes et des vias métalliques entourés d'un matériau diélectrique est formé au-dessus du substrat. Chaque niveau de l'empilement d'interconnexion comprend, de façon classique, un premier étage dans lequel sont formés des vias métalliques (appelé "niveau de vias" par la suite) et un
15 second étage dans lequel sont formées des pistes métalliques (appelé "niveau métallique" par la suite).

Il est connu d'intégrer des structures capacitives métal-isolant-métal (plus connues sous l'acronyme "MIM") directement dans certaines portions des niveaux d'interconnexion. La
20 figure 1 illustre un exemple d'une telle structure telle que décrite par exemple dans "High performances 3D damascene MIM

capacitors integrated in copper back-end technologies" de S. Cremer, C. Richard, D. Benoit, C. Besset, J.R. Manceau, A. Farcy, C. Perrot, N. Segura, M. Marin, S. Becu, S. Boret, M. Thomas, S. Guillaumet, A. Bonnard, P. Delpech, S. Bruyere, 5 publié dans 2006 Bipolar/BiCMOS Circuits and Technology Meeting (IEEE Cat No. 06CH37813), 2006.

En figure 1, on a représenté partiellement trois niveaux d'interconnexion L_{n-1} , L_n et L_{n+1} , chaque niveau comprenant un niveau de vias, respectivement V_{n-1} , V_n et V_{n+1} et un 10 niveau métallique, respectivement M_{n-1} , M_n et M_{n+1} .

Dans chacun des niveaux métalliques M_{n-1} , M_n et M_{n+1} sont formées des pistes métalliques 10. Les pistes métalliques 10 sont par exemple en cuivre ou en aluminium. Dans chacun des niveaux de vias V_{n-1} , V_n et V_{n+1} sont prévus des vias conducteurs 12 permettant de connecter des pistes métalliques 10 de 15 niveaux d'interconnexion adjacents les uns avec les autres. Un matériau diélectrique 14 entoure les régions conductrices de l'empilement d'interconnexion et isole ces régions les unes des autres. Une couche isolante 16 est prévue en surface de chacun des niveaux métalliques M_{n-1} , M_n et M_{n+1} et des niveaux de vias 20 V_{n-1} , V_n et V_{n+1} . La couche 16, généralement en nitrure de silicium, a pour but d'éviter la diffusion du métal d'un niveau métallique ou de vias vers des niveaux adjacents.

Dans l'exemple de la figure 1, une structure capacitive C_V est prévue dans le niveau de vias V_n . La structure 25 capacitive C_V est formée au-dessus d'une piste métallique 10 du niveau métallique M_{n-1} , dans une tranchée aménagée dans le matériau diélectrique 14 du niveau de vias V_n . La structure capacitive C_V comprend une première couche conductrice 18 30 formant une première électrode qui s'étend sur les parois et le fond de la tranchée, en contact avec la piste 10. En surface de la première électrode 18 est formé un empilement d'une couche de matériau diélectrique 20 et d'une seconde couche conductrice 22 formant la seconde électrode de la structure capacitive. Le 35 reste de la tranchée est rempli d'un matériau conducteur.

Pour prendre un contact sur la première électrode 18, des vias sont prévus dans le niveau de vias V_n au-dessus de la piste métallique 10 du niveau métallique M_{n-1} . Pour former un contact avec la seconde électrode 22, une portion de piste
5 métallique est prévue, dans le niveau métallique M_n , au-dessus de la région conductrice 24. Un via est prévu dans le niveau de via V_{n+1} , au-dessus de cette portion de piste.

Pour obtenir la structure de la figure 1, des étapes supplémentaires par rapport aux procédés classiques de formation
10 d'un empilement d'interconnexion sont nécessaires. En effet, la structure capacitive C_V est formée dans le niveau de vias V_n avant de former le niveau métallique M_n et les pistes et vias du niveau d'interconnexion L_n . De plus, dans une structure telle que celle de la figure 1, la résistance série associée à la
15 capacité est importante et limite les performances haute fréquence du composant.

En effet, la capacité C_V est constituée de la mise en parallèle d'une capacité "horizontale", dans le fond de la tranchée formée dans le niveau de vias V_n , et d'une capacité
20 "verticale", formée au niveau des parois de la tranchée. L'épaisseur faible de la couche conductrice 18 implique une résistance d'accès importante au niveau des parois de la structure capacitive, ce qui limite la fréquence de coupure F_c du composant qui définit la limite d'utilisation du composant comme
25 capacité (en première approximation, $F_c = \pi \cdot R \cdot C / 2$, où R est la résistance série du composant et C sa capacité). Le composant n'est ainsi intéressant qu'à basse fréquence.

De plus, dans une structure telle que celle de la figure 1, le niveau de métallisation M_n ne peut être utilisé au-
30 dessus de la structure capacitive C_V . En effet, pour ne pas former de court-circuit, la piste métallique située au-dessus de la région conductrice 24 ne peut jouer en fait qu'un rôle de via d'accès et ne peut être connectée directement à d'autres pistes du même niveau. Ainsi, la surface au-dessus de la structure
35 capacitive ne peut être utilisée pour former d'autres pistes

conductrices. Deux niveaux d'interconnexion L_n et L_{n-1} sont donc nécessaires pour former la structure capacitive C_V .

Il est également connu de former des structures capacitatives tridimensionnelles telles que la structure capacitive C_V sur l'épaisseur totale d'un niveau d'interconnexion. Cependant, pour obtenir une telle structure, des procédés relativement complexes doivent être mis en oeuvre.

Ainsi, il existe un besoin d'un procédé de formation de structures capacitatives métal-isolant-métal dans l'empilement d'interconnexion d'un circuit intégré palliant tout ou partie des inconvénients susmentionnés.

Résumé

Un objet d'un mode de réalisation de la présente invention est de prévoir un procédé relativement simple de formation d'une structure capacitive métal-isolant-métal tridimensionnelle dans un niveau d'un empilement d'interconnexion.

Un autre objet d'un mode de réalisation de la présente invention est de prévoir un procédé de formation d'une structure capacitive métal-isolant-métal tridimensionnelle dans un empilement d'interconnexion occupant une surface limitée de cet empilement.

Un objet d'un mode de réalisation de la présente invention est de prévoir une structure capacitive métal-isolant-métal tridimensionnelle formée dans un seul niveau métallique d'un empilement d'interconnexion, cette structure capacitive présentant une capacité par unité de surface importante.

Ainsi, un mode de réalisation de la présente invention prévoit un procédé de formation d'une structure capacitive dans un niveau métallique d'un empilement d'interconnexion comprenant une succession de niveaux métalliques et de niveaux de vias, comprenant les étapes suivantes :

(a) former, dans ledit niveau métallique, au moins une piste conductrice dans laquelle est définie une tranchée ;

(b) former, de façon conforme, une couche isolante sur la structure ;

(c) former, dans la tranchée, un matériau conducteur ;
et

(d) réaliser une planarisation de la structure.

Selon un mode de réalisation de la présente invention,
5 l'étape (b) est précédée d'une étape de formation d'une couche
conductrice conforme.

Selon un mode de réalisation de la présente invention,
l'étape (a) consiste à former une piste conductrice dans le
niveau métallique puis à réaliser une gravure ionique réactive
10 de la piste conductrice pour former une tranchée traversante.

Selon un mode de réalisation de la présente invention,
la formation de la piste conductrice comprend une étape intermé-
diaire de formation d'une couche conductrice formant barrière
dans la piste conductrice, la gravure de la piste conductrice
15 étant sélective par rapport à ladite couche conductrice formant
barrière.

Selon un mode de réalisation de la présente invention,
l'étape (a) consiste à former des portions de pistes
conductrices entourant une région isolante puis à graver
20 sélectivement la région isolante.

Selon un mode de réalisation de la présente invention,
le procédé comprend en outre, après l'étape (d), une étape de
formation d'une couche formant barrière à la diffusion du
matériau de la piste conductrice.

25 Selon un mode de réalisation de la présente invention,
la tranchée a, en vue de dessus, une forme de peigne.

Selon un mode de réalisation de la présente invention,
le procédé comprend en outre, après l'étape (b), une étape de
formation d'une couche conductrice conforme.

30 Selon un mode de réalisation de la présente invention,
le procédé comprend en outre, après l'étape (d), une étape de
formation d'un niveau de vias sur le niveau métallique dans
lequel est prévu un via conducteur en regard du matériau conduc-
teur.

Un mode de réalisation de la présente invention prévoit un dispositif électronique comprenant un empilement de niveaux d'interconnexion, chaque niveau d'interconnexion comportant un niveau de vias surmonté d'un niveau métallique, comprenant en outre, dans au moins un niveau métallique, au moins une piste conductrice dans laquelle est définie au moins une tranchée, un élément capacitif tridimensionnel étant formé dans la tranchée, ledit élément capacitif comprenant au moins une couche isolante formée sur le fond et les parois de la tranchée, la tranchée étant remplie d'un matériau conducteur.

Brève description des dessins

Ces objets, caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, est une vue en coupe illustrant une portion d'un empilement d'interconnexion d'un circuit intégré comprenant une structure capacitive ;

les figures 2A à 2H sont des vues en coupe illustrant des étapes d'un premier procédé selon un mode de réalisation de la présente invention ;

la figure 3 est une vue de dessus illustrant une forme possible d'une structure capacitive selon un mode de réalisation de la présente invention ;

les figures 4A à 4D sont des vues en coupe illustrant des étapes d'un second procédé selon un mode de réalisation de la présente invention ; et

les figures 5A et 5B sont des vues en coupe illustrant des résultats d'étapes d'un troisième procédé selon un mode de réalisation de la présente invention.

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références aux différentes figures et, de plus, comme cela est habituel dans la représentation de niveaux d'interconnexion d'un circuit intégré, les diverses figures ne sont pas tracées à l'échelle.

Description détaillée

Pour résoudre les inconvénients des structures métal-isolant-métal (MIM) connues, les inventeurs prévoient de former une structure capacitive MIM tridimensionnelle uniquement dans un niveau métallique d'un empilement d'interconnexion. Ceci permet, entre autres, d'augmenter la capacité par unité de surface de la structure puisque, de façon générale, les niveaux métalliques présentent une épaisseur supérieure à l'épaisseur des niveaux de vias. Les capacités verticales des structures capacitatives tridimensionnelles sont donc plus importantes dans un niveau métallique que dans un niveau de vias.

De plus, pour tirer profit au maximum des portions capacitatives verticales des structures tridimensionnelles, la structure capacitive est intégrée directement dans une piste métallique, ce qui évite les problèmes de fortes résistances d'accès sur les parois fines des électrodes métalliques de la structure MIM.

Les figures 2A à 2H illustrent des résultats d'étapes d'un premier exemple de procédé permettant la formation d'une structure capacitive dans un niveau métallique d'un empilement d'interconnexion.

A l'étape illustrée en figure 2A, on part d'une structure comprenant un empilement d'un premier niveau d'interconnexion L_{n-1} et d'un second niveau d'interconnexion L_n , le premier niveau d'interconnexion L_{n-1} n'étant pas représenté en détail. Le niveau L_n comprend un niveau de vias V_n surmonté d'un niveau métallique M_n . Dans le niveau de vias V_n sont prévus deux vias 30 séparés par un matériau diélectrique 32 et, dans le niveau métallique M_n , sont formées deux pistes métalliques 34 et 36, par exemple en cuivre, chacune étant reliée à un via 30. Les pistes 34 et 36 sont entourées d'un matériau diélectrique 38. Des couches isolantes 40, 42 peuvent être prévues, respectivement, au-dessus du niveau métallique M_{n-1} et au-dessus du niveau de vias V_n . A titre d'exemple, les couches 40 et 42 peuvent être en nitrure de silicium.

Pour obtenir la structure de la figure 2A, on peut par exemple utiliser le procédé connu sous l'appellation double damascène (en anglais "Dual Damascene"). Ce procédé consiste à former l'empilement des couches isolantes 40, 32, 42 et 38 puis à réaliser une première gravure, à l'aide d'un masque adapté, dans le niveau métallique M_n et le niveau de vias V_n , pour définir l'emplacement des régions de vias 30. Une seconde gravure, réalisée à l'aide d'un second masque, permet de définir l'emplacement des pistes métalliques 34 et 36. Une fois ces gravures réalisées, un métal est déposé sur la structure de façon à remplir les emplacements gravés. Un polissage, par exemple un polissage mécano-chimique (CMP), est ensuite réalisé pour obtenir la structure de la figure 2A présentant une surface supérieure plane.

A l'étape illustrée en figure 2B, on a défini une tranchée 50 au sein même de la piste conductrice 34, s'étendant sur toute l'épaisseur de cette piste. La tranchée 50 peut être obtenue par différentes méthodes. Une première méthode consiste, à partir de la structure 2A, à graver directement le matériau métallique de la piste 34 pour obtenir la tranchée 50. Pour cela, une gravure particulière est nécessaire, par exemple une gravure ionique réactive (en anglais "Reactive Ion Etching", ou RIE).

On peut également prévoir de former la structure de la figure 2B par le procédé suivant. A l'étape de la figure 2A, l'emplacement de la tranchée 50 n'est pas rempli de matériau conducteur mais d'un matériau diélectrique (par exemple le même matériau que celui de la couche 38). Pour cela, le masque définissant l'emplacement des pistes métalliques 34 et 36 est modifié de façon qu'il n'y ait pas de gravure du matériau diélectrique 38 au niveau de la tranchée 50. Ensuite, à l'aide d'un masque adapté, le matériau diélectrique présent au niveau de la tranchée 50 est gravé. Dans ce cas, une gravure supplémentaire peut être prévue pour éliminer la portion de la couche de matériau isolant 42 formée en regard de la tranchée 50.

A l'étape illustrée en figure 2C, on a déposé, de façon conforme, une première couche conductrice 52, une couche de matériau diélectrique 54 et une seconde couche conductrice 56 sur la structure de la figure 2B. La première couche conductrice 52 forme la première électrode de la structure capacitive et la seconde couche conductrice 56 forme la seconde électrode de cette structure capacitive. A titre d'exemple, les couches conductrices 52 et 56 peuvent être en nitrure de titane, en nitrure de tantale, en tungstène ou encore en ruthénium. A titre de variante, comme nous le verrons par la suite, les première et seconde couches conductrices 52 et 56 peuvent ne pas être présentes.

A l'étape illustrée en figure 2D, un matériau conducteur 58 a été déposé sur l'ensemble de la structure de façon à remplir l'espace restant dans la tranchée 50. Le matériau 58 peut être du cuivre ou de l'aluminium déposé par électrochimie. La présence du matériau conducteur 58 remplissant la tranchée 50 rend la formation de la couche de matériau conducteur 56 optionnelle.

A l'étape illustrée en figure 2E, on a réalisé un polissage de la structure de façon à laisser apparaître les surfaces supérieures des pistes métalliques 34 et 36. Ce polissage peut être un polissage mécano-chimique (CMP). On obtient ainsi une structure capacitive C.

A l'étape illustrée en figure 2F, un niveau d'interconnexion supérieur, L_{n+1} , comprenant un empilement d'un niveau de vias V_{n+1} et d'un niveau métallique M_{n+1} est formé sur le dessus de la structure. Le niveau de vias V_{n+1} est constitué d'une couche de matériau diélectrique 60 et le niveau métallique M_{n+1} d'une couche de matériau diélectrique 62. Des couches intermédiaires 64 et 66, par exemple en nitrure de silicium, peuvent être prévues, respectivement, sur le niveau d'interconnexion L_n et sur la couche 60.

A l'étape illustrée en figure 2G, on a défini, par exemple à l'aide d'un procédé de type double damascène, des

emplacements de pistes métalliques du niveau métallique M_{n+1} et de vias du niveau de vias V_{n+1} .

A l'étape illustrée en figure 2H, les emplacements gravés des pistes métalliques du niveau M_{n+1} et des vias du niveau V_{n+1} ont été remplis d'un matériau conducteur. Pour cela, comme cela été décrit en relation avec la figure 2A, on peut remplir les ouvertures formées à l'étape de la figure 2G d'un matériau conducteur puis réaliser un polissage CMP de la structure pour obtenir une surface supérieure plane. On forme ainsi des vias 74 et 76 du niveau de vias V_{n+1} et des pistes métalliques 78 et 80 du niveau métallique M_{n+1} .

On obtient ainsi un dispositif dans lequel la structure capacitive C est complètement intégrée dans le niveau métallique M_n . Le procédé décrit ici permet ainsi de tirer profit de toute la surface du niveau métallique M_{n+1} du niveau d'interconnexion L_{n+1} .

La figure 3 est une vue de dessus du niveau L_n illustrant une structure particulière à la tranchée 50 et des éléments qui y sont formés. Dans cet exemple, la tranchée 50 a une forme de peigne comprenant une portion principale à partir de laquelle s'étendent des portions secondaires orthogonales à la portion principale.

Le ou les vias 76 destinés à être connectés à la seconde électrode de la structure capacitive (matériau 58) sont formés au niveau de la bande principale de la tranchée 50. Le ou les vias 74 connectés à la première électrode 52 de la structure capacitive, et donc à la piste métallique 34, sont formés sur des portions de la piste métallique 34.

Une structure en peigne telle que celle de la figure 3, ou encore toute autre structure de tranchée présentant un grand nombre de parois verticales, permet d'améliorer la capacité par unité de surface de la structure. En effet, les résistances d'accès au niveau des parois de l'élément capacitif sont faibles puisque la structure capacitive est intégrée directement dans une piste métallique. Ainsi, le procédé des figures

2A à 2H permet d'obtenir une structure capacitive présentant une capacité par unité de surface importante, typiquement de l'ordre de $11 \text{ fF}/\mu\text{m}^2$.

Les figures 4A à 4D illustrent des résultats d'étapes d'une variante de réalisation d'un procédé de formation d'une structure capacitive dans une piste métallique d'un empilement d'interconnexion.

A l'étape illustrée en figure 4A, on part d'une structure similaire à celle de la figure 2A dans laquelle, au niveau des pistes métalliques 34 et 36 et dans l'épaisseur de ces pistes, est prévue une couche conductrice intermédiaire 90. A titre d'exemple, la couche intermédiaire 90 peut être en nitrure de titane ou en nitrure de tantale. La couche intermédiaire 90 peut être formée lors d'une étape intermédiaire du dépôt du matériau conducteur des pistes 34 et 36, par exemple en interrompant ce dépôt puis en déposant la couche 90. Une couche isolante 92, par exemple en nitrure de silicium, peut ensuite être formée au-dessus de la structure.

A l'étape illustrée en figure 4B, on a réalisé, à l'aide d'un masque adapté, une tranchée 94 dans une portion supérieure de la piste métallique 34, la gravure permettant de définir la tranchée 94 étant sélective par rapport au matériau conducteur de la couche 90. Ainsi, la tranchée 94 s'étend dans la piste conductrice 34 jusqu'à la couche 90.

A l'étape illustrée en figure 4C, on a déposé, sur les parois et le fond de la tranchée 94, une couche isolante 96, puis un matériau conducteur 98. Un polissage, par exemple mécano-chimique, est ensuite réalisé avec arrêt sur la couche isolante 92. On obtient ainsi une structure capacitive C. Avantageusement, l'arrêt du polissage sur la couche isolante 92 évite la formation de court-circuit qui pourrait résulter d'un polissage s'arrêtant au niveau des pistes métalliques du niveau métallique M_n , par déplacement de portions métalliques en surface de la structure.

A l'étape illustrée en figure 4D, on a formé, de façon analogue au procédé des figures 2G et 2H, un niveau d'interconnexion supérieur L_{n+1} de l'empilement d'interconnexion, par un procédé de type double damascène.

5 Le procédé des figures 4A à 4D procure l'avantage de ne pas nécessiter de dépôt d'une électrode inférieure, comme cela a été décrit en relation avec la figure 2C. De plus, en fonction du positionnement de la couche de matériau conducteur 90 au sein de la piste métallique 34, on peut obtenir un bon
10 compromis entre une résistance d'accès à la portion horizontale de l'élément capacitif faible et une capacité par unité de surface élevée (de l'ordre de 11 fF).

Les figures 5A à 5D illustrent une autre variante de réalisation du procédé des figures 2A à 2H dans laquelle les
15 électrodes 52 et 56 sont absentes. La figure 5A correspond au résultat de l'étape de la figure 2D et la figure 5B au résultat de l'étape de la figure 2H.

A l'étape illustrée en figure 5A, on a déposé, dans la tranchée 50 du dispositif illustré en figure 2B, une couche 54
20 de matériau diélectrique et un matériau conducteur 58 remplissant la tranchée 50.

Ainsi, à une étape finale illustrée en figure 5B, on obtient une structure comprenant une structure capacitive C formée dans le niveau métallique M_n . Par rapport au résultat
25 obtenu à l'étape de la figure 2H, la capacité obtenue avec le procédé des figures 5A et 5B est légèrement plus faible (typiquement environ 30 % inférieur à celle de la structure de la figure 2H). En effet, la portion horizontale de la structure capacitive n'est pas présente dans le dispositif de la figure
30 5B. Cependant, le procédé des figures 5A et 5B est plus simple à réaliser puisqu'il ne nécessite pas de dépôt de la couche conductrice inférieure formant la première électrode de la structure capacitive.

Ainsi, la variante des figures 5A à 5B peut être
35 utilisée si l'on souhaite mettre en oeuvre un procédé tout

particulièrement simple. Du fait de la forme de la tranchée 50, un élément capacitif tel que celui de la figure 5B peut présenter une capacité par unité de surface de l'ordre de $9 \text{ fF}/\mu\text{m}^2$, ce qui correspond aux capacités actuellement obtenues avec des dispositifs tels que celui de la figure 1.

Ainsi, les procédés présentés ici permettent d'obtenir des capacités par unité de surface à tout le moins égales à celles obtenues par les dispositifs connus. De plus, ils permettent la formation d'une structure capacitive dans un unique niveau métallique, ce qui réduit fortement l'encombrement de cette structure capacitive. Ainsi, un niveau métallique situé au-dessus de la structure capacitive peut être utilisé à 100 % de sa surface.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, on notera que les éléments décrits ici pourront être en tout matériau adapté à leur fonction. Notamment, les pistes et vias conducteurs pourront être en cuivre ou en aluminium et les couches isolantes en oxyde de silicium, ou en tout autre matériau isolant adapté.

De plus, on a décrit ici des niveaux métalliques dans lesquels sont formées des pistes métalliques. On notera que les matériaux de ces pistes ne sont pas limités aux métaux et que tous autres matériaux conducteurs adaptés pourront être utilisés pour former ces pistes.

REVENDICATIONS

1. Procédé de formation d'une structure capacitive (C) dans un niveau métallique (M_n) d'un empilement d'interconnexion comprenant une succession de niveaux métalliques et de niveaux de vias, comprenant les étapes suivantes :

5 (a) former, dans ledit niveau métallique, au moins une piste conductrice (34) dans laquelle est définie une tranchée (50) ;

(b) former, de façon conforme, une couche isolante (54, 96) sur la structure ;

10 (c) former, dans la tranchée, un matériau conducteur (58, 98) ; et

(d) réaliser une planarisation de la structure.

2. Procédé selon la revendication 1, dans lequel l'étape (b) est précédée d'une étape de formation d'une couche conductrice conforme (52).

3. Procédé selon la revendication 1 ou 2, dans lequel l'étape (a) consiste à former une piste conductrice (34) dans le niveau métallique (M_n) puis à réaliser une gravure ionique réactive de la piste conductrice pour former une tranchée traversante (50).

4. Procédé selon la revendication 3, dans lequel la formation de la piste conductrice (34) comprend une étape intermédiaire de formation d'une couche conductrice formant barrière (90) dans la piste conductrice (34), la gravure de la piste conductrice étant sélective par rapport à ladite couche conductrice formant barrière.

5. Procédé selon la revendication 1 ou 2, dans lequel l'étape (a) consiste à former des portions de pistes conductrices (34) entourant une région isolante puis à graver sélectivement la région isolante.

6. Procédé selon l'une quelconque des revendications 1 à 5, comprenant en outre, après l'étape (d), une étape de formation d'une couche formant barrière (64) à la diffusion du matériau de la piste conductrice (34).

7. Procédé selon l'une quelconque des revendications 1 à 6, dans lequel la tranchée (50) a, en vue de dessus, une forme de peigne.

5 8. Procédé selon l'une quelconque des revendications 1 à 7, comprenant en outre, après l'étape (b), une étape de formation d'une couche conductrice conforme (56).

9. Procédé selon l'une quelconque des revendications 1 à 8, comprenant en outre, après l'étape (d), une étape de formation d'un niveau de vias (V_{n+1}) sur le niveau métallique (M_n)
10 dans lequel est prévu un via conducteur (76) en regard du matériau conducteur (58, 98).

10. Dispositif électronique comprenant un empilement de niveaux d'interconnexion (L_n, L_{n+1}), chaque niveau d'interconnexion comportant un niveau de vias (V_n, V_{n+1}) surmonté d'un
15 niveau métallique (M_n, M_{n+1}), comprenant en outre, dans au moins un niveau métallique (M_n), au moins une piste conductrice (34) dans laquelle est définie au moins une tranchée (50), un élément capacitif tridimensionnel (C) étant formé dans la tranchée, ledit élément capacitif comprenant au moins une couche isolante
20 (54, 96) formée sur le fond et les parois de la tranchée, la tranchée étant remplie d'un matériau conducteur (58, 98).

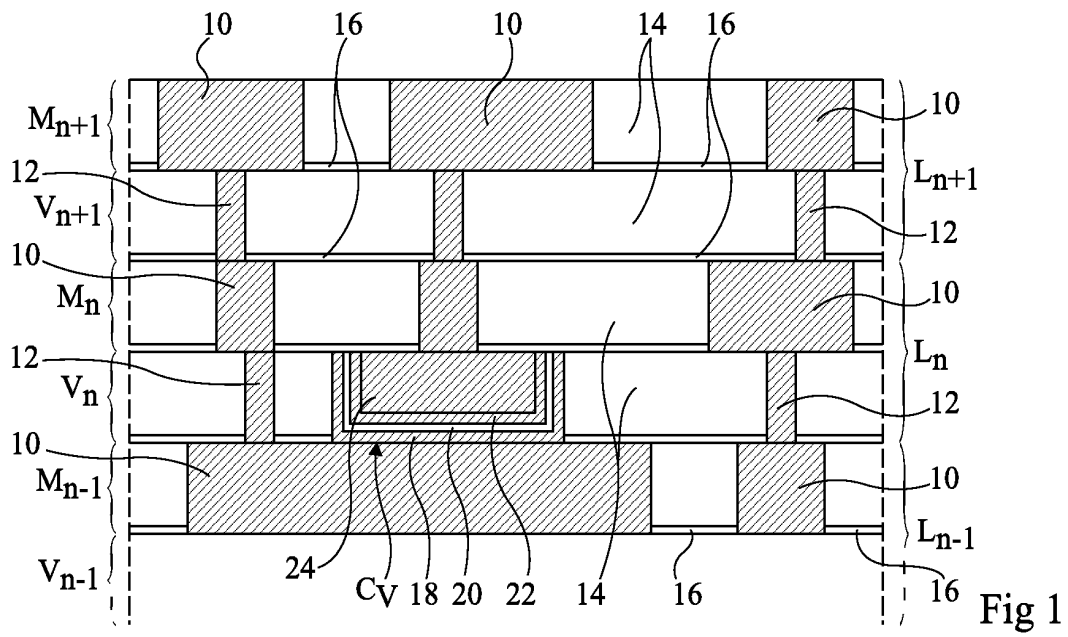


Fig 1

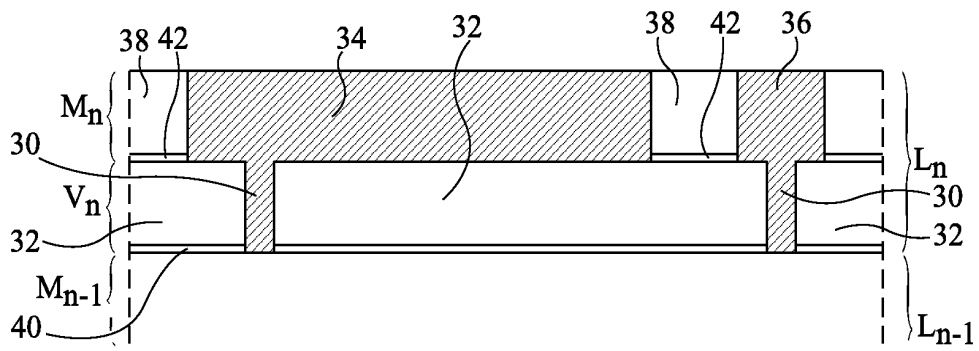


Fig 2A

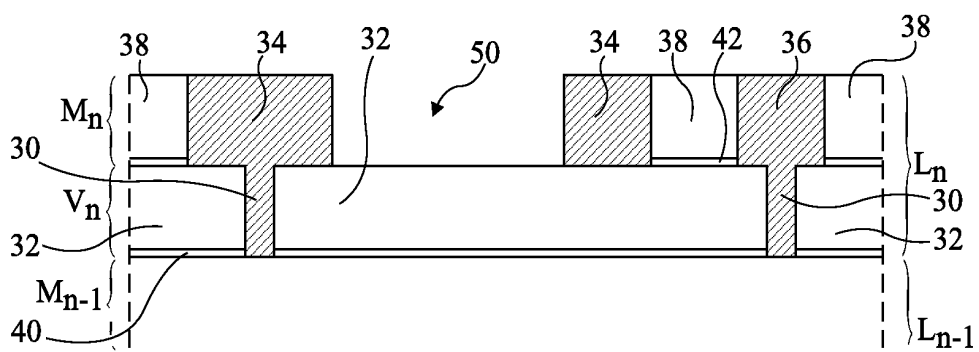


Fig 2B

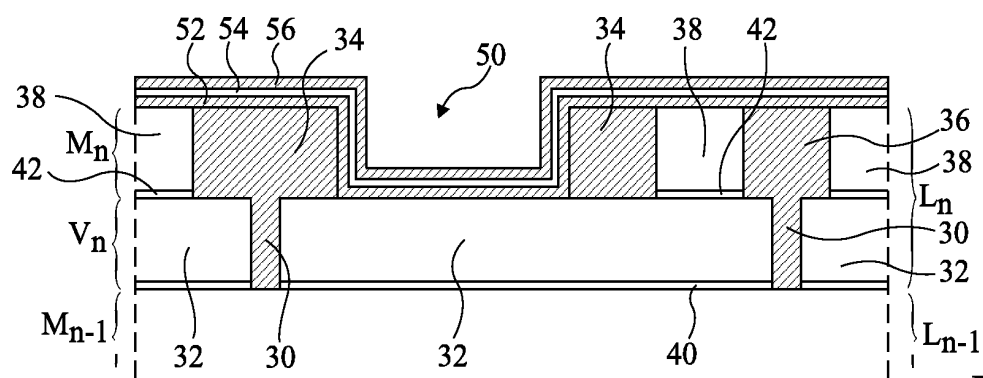


Fig 2C

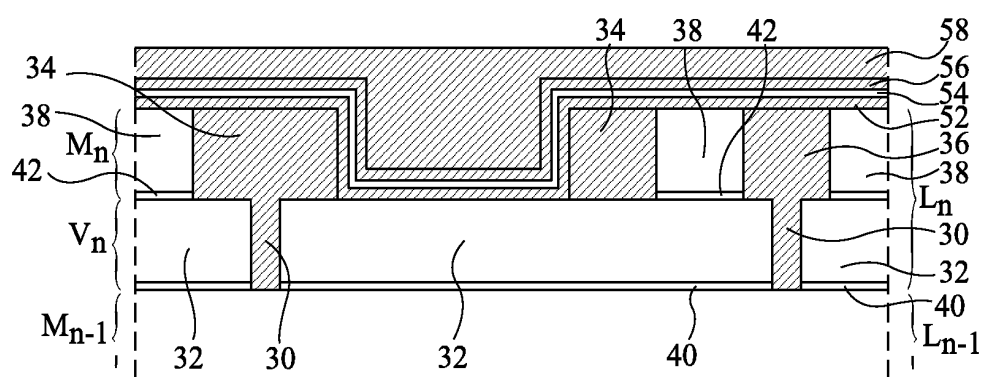


Fig 2D

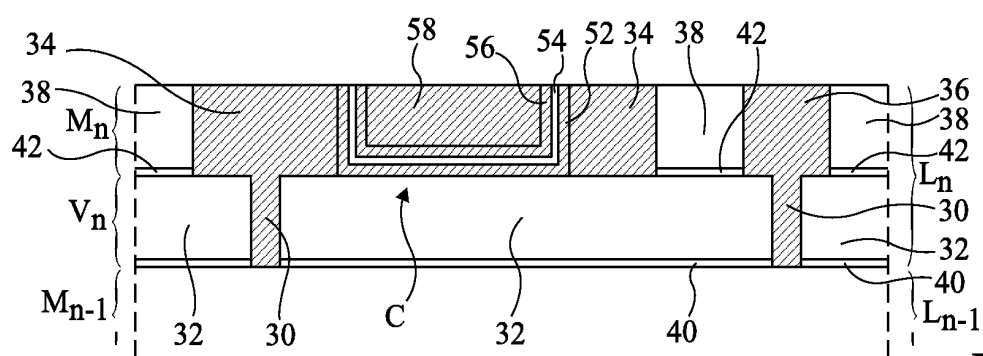


Fig 2E

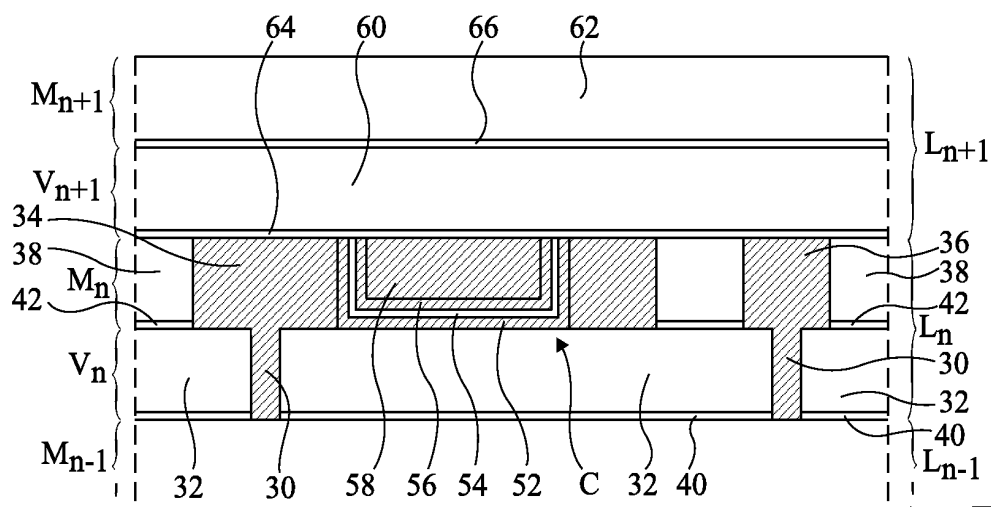


Fig 2F

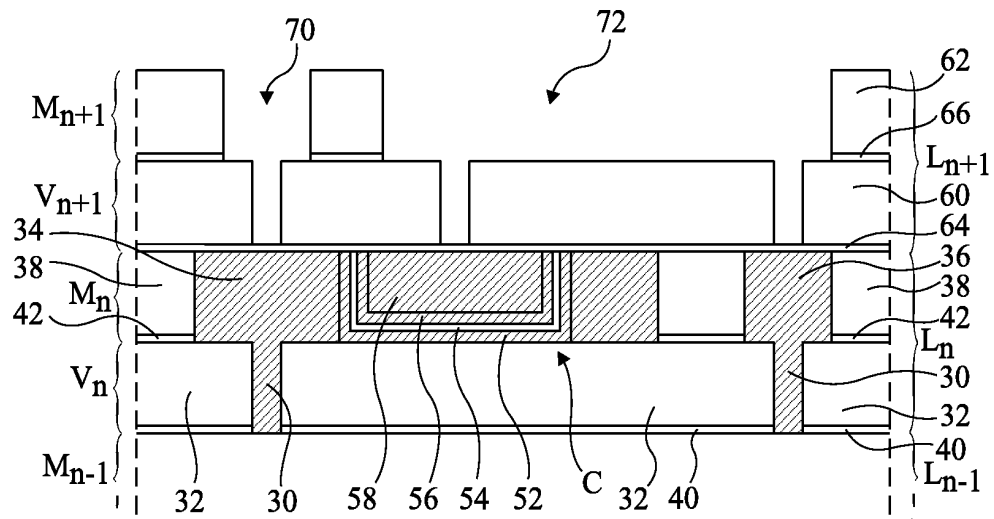


Fig 2G

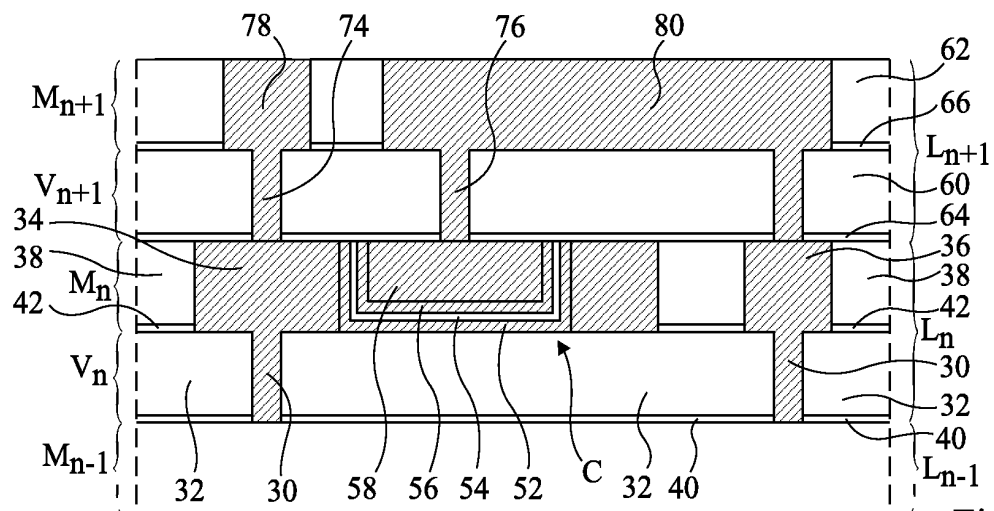


Fig 2H

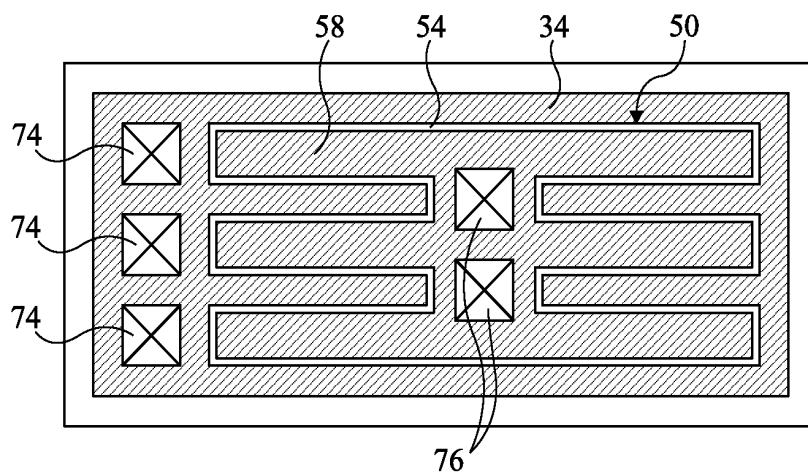
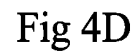
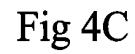
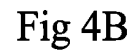
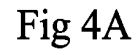
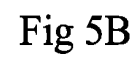
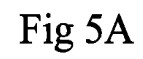


Fig 3







RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 733699
FR 1052034

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 6 384 468 B1 (BERNSTEIN KERRY [US] ET AL) 7 mai 2002 (2002-05-07) * colonne 4, ligne 8 - colonne 5, ligne 22; figures 1-6,8 *	1,2,5, 8-10	H01L21/768 H01L21/762 H01L23/535
X	GB 2 390 223 A (AGERE SYSTEMS INC [US]) 31 décembre 2003 (2003-12-31) * page 5, ligne 7 - page 7, ligne 26; figures 2-6 *	1,2,5,6, 8-10	
X	DE 10 2004 039803 A1 (INFINEON TECHNOLOGIES AG [DE]) 16 mars 2006 (2006-03-16) * alinéas [0032] - [0042]; figures 1A-1F *	1,9,10	
X	WO 00/79573 A1 (PHILIPS SEMICONDUCTORS INC [US]) 28 décembre 2000 (2000-12-28) * revendication 1; figures 1a-1e,2 *	1,5,7,10	
X	US 2007/273005 A1 (HWANG SANG-IL [KR]) 29 novembre 2007 (2007-11-29) * alinéas [0012] - [0021]; revendications 1,2; figures 1A-1E *	1,3,4	
A		10	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
2 novembre 2010		Zeisler, Peter	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1052034 FA 733699**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 02-11-2010

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6384468	B1	07-05-2002	CN 1308376 A	15-08-2001
			JP 3566658 B2	15-09-2004
			JP 2001223340 A	17-08-2001
			KR 20010078043 A	20-08-2001
			TW 512480 B	01-12-2002
			US 2002151150 A1	17-10-2002

GB 2390223	A	31-12-2003	JP 4386680 B2	16-12-2009
			JP 2004031965 A	29-01-2004
			JP 2009267435 A	12-11-2009
			KR 20040002674 A	07-01-2004
			TW 279888 B	21-04-2007
			US 2003234416 A1	25-12-2003

DE 102004039803	A1	16-03-2006	CN 1738025 A	22-02-2006
			US 2007042542 A1	22-02-2007

WO 0079573	A1	28-12-2000	AU 5497900 A	09-01-2001
			EP 1112589 A1	04-07-2001
			JP 2003526904 T	09-09-2003
			US 6228707 B1	08-05-2001
			US 2001021562 A1	13-09-2001

US 2007273005	A1	29-11-2007	AUCUN	
