

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年6月8日 (08.06.2017)



(10) 国际公布号
WO 2017/092173 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2016/072873
- (22) 国际申请日: 2016年1月29日 (29.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510882240.3 2015年12月3日 (03.12.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 周星宇 (ZHOU, Xingyu); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: TFT BACKPLANE STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: TFT 背板结构及其制作方法

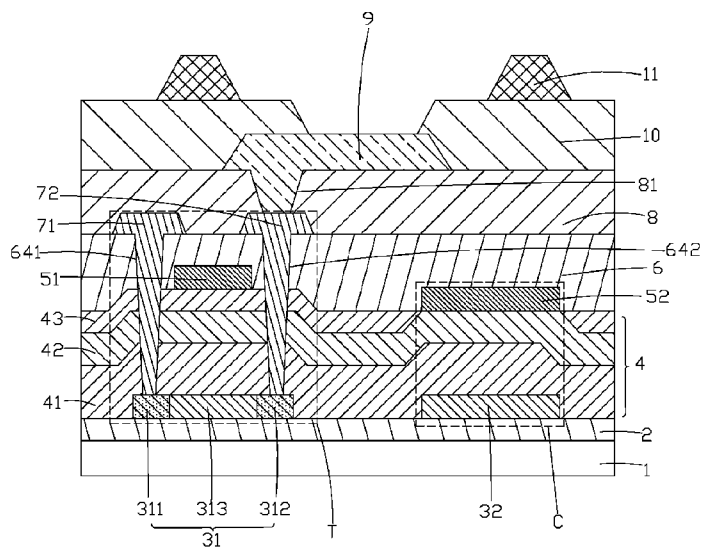


图1

(57) Abstract: A TFT backplane structure and a manufacturing method therefor. The TFT backplane structure is provided as a three-layered structure at an area where a gate insulating layer (4) corresponds to where a TFT (T) is located, namely a dielectric layer (41), a silicon nitride layer (42), and a silicon dioxide layer (43) in an ascending sequence, and is capable of strengthening the reliability of the TFT (T), is provided as a two-layered structure at an area where the gate insulating layer (4) corresponds to where a storage capacitor (C) is located, namely a dielectric layer (41) and an at least partly a silicon nitride layer (42) in an ascending sequence, or is a single-layered structure at the area where the gate insulating layer (4) corresponds to where the storage capacitor (C) is located, comprising only the dielectric layer (41), increases a dielectric constant, and reduces the distance between two electrode plates of the storage capacitor (C), thus increasing capacitor surface area and increasing aperture ratio under the premise that the performance of the storage capacitor (C) is ensured.

(57) 摘要:

[见续页]



一种 TFT 背板结构及其制作方法。该 TFT 背板结构设置栅极绝缘层(4)对应于 TFT(T)所在的区域为三层结构，自下至上依次为介电层(41)、氮化硅层(42)与二氧化硅层(43)，能够增强 TFT(T)的可靠性；设置栅极绝缘层(4)对应于存储电容(C)所在的区域为双层结构，自下至上依次为介电层(41)、与至少部分氮化硅层(42)，或者所述栅极绝缘层(4)对应于存储电容(C)所在的区域为单层结构，仅包括介电层(41)，能够增大介电常数，减小存储电容(C)两电极板之间的距离，从而能够在保证存储电容(C)性能的前提下，减少电容面积，提高开口率。

TFT 背板结构及其制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种 TFT 背板结构及其制作方法。

5

背景技术

在显示技术领域，液晶显示器（Liquid Crystal Display，LCD）与有机发光二极管显示器（Organic Light Emitting Diode，OLED）等平板显示技术已经逐步取代 CRT 显示器。其中，OLED 具有自发光、驱动电压低、发光效率高、响应时间短、清晰度与对比度高、近 180° 视角、使用温度范围宽，可实现柔性显示与大面积全色显示等诸多优点，被业界公认为是最有发展潜力的显示装置。

10

OLED 按照驱动类型可分为无源 OLED(PMOLED)和有源 OLED(AMOLED)。低温多晶硅（Low Temperature Poly-Silicon，LTPS）薄膜晶体管（Thin Film Transistor，TFT）在高分辨 AMOLED 技术中得到了业界的重视，有很大的应用价值和潜力。与非晶硅（a-Si）相比，LTPS TFT 具有较高的载流子迁移率，器件反应速度快，稳定性好，可以满足高分辨率 AMOLED 显示器的要求。

15

现有技术中常见的适用于 AMOLED 的低温多晶硅 TFT 背板中的栅极绝缘层（Gate Insulation，GI）通常采用二氧化硅/氮化硅（SiO₂/SiN_x）的双层结构，其中 SiO₂ 层接触多晶硅有源层，SiN_x 层接触栅极（Gate）。SiN_x 层相比 SiO₂ 层，有较好的阻挡钠离子（Na⁺）、钾离子（K⁺）等可移动离子的能力，并且介电常数更大，相同的绝缘能力下可以比 SiO₂ 层做得更薄，且 SiN_x 层氢（H）含量较多，可以对多晶硅中的悬空键起到钝化作用。但是 SiN_x 层与多晶硅有源层的接触由于应力原因，界面性质不好，所以通常需要先沉积一层 SiO₂ 层，再加一层 SiN_x 层构成栅极绝缘层。

20

25

SiN_x 层越厚，阻挡可移动离子以及钝化的效果越好，但随之而来的是 TFT 器件的可靠性下降，这是因为栅极不断地将载流子注入 SiN_x 层，从而会破坏 SiN_x 层，使得 SiN_x 层的品质变差，导致 TFT 器件的可靠性降低，所以一般情况下，SiN_x 层都不会做的太厚；另外，在蚀刻制作栅极的过程中往往会对 SiN_x 层造成过蚀刻。若为了保护 SiN_x 层而单纯在 SiN_x 层上叠加保护层则会使得存储电容区对应的栅极绝缘层的厚度同时增大，造成电容存储性能下降，只能以增大电容面积、牺牲开口率的方式来保证电容的

30

存储性能。

发明内容

5 本发明的目的在于提供一种 TFT 背板结构，既能够增强 TFT 的可靠性，又能够在保证存储电容性能的前提下，减少电容面积，提高开口率。

本发明的另一目的在于提供一种 TFT 背板的制作方法，通过该方法制作的 TFT 背板既具有较强的可靠性，又能够在保证存储电容性能的前提下，减少电容面积，提高开口率。

10 为实现上述目的，本发明首先提供一种 TFT 背板结构，包括基板、覆盖所述基板的缓冲层、设于所述缓冲层上相互间隔开的多晶硅有源层与多晶硅电极板、覆盖所述多晶硅有源层、多晶硅电极板、与缓冲层的栅极绝缘层、于所述多晶硅有源层上方设于栅极绝缘层上的栅极、于所述多晶硅电极板上方设于栅极绝缘层上的金属电极板、覆盖所述栅极、金属电极板、与栅极绝缘层的层间绝缘层、及设于所述层间绝缘层上的源极与漏极；

15 所述多晶硅有源层、栅极、源极、与漏极构成 TFT，所述多晶硅电极板与金属电极板构成存储电容；

所述栅极绝缘层对应于 TFT 所在的区域为三层结构，自下至上依次为介电层、氮化硅层、与二氧化硅层；所述栅极绝缘层对应于存储电容所在的区域为双层结构，自下至上依次为介电层、与至少部分氮化硅层；或者
20 所述栅极绝缘层对应于存储电容所在的区域为单层结构，仅包括介电层。

所述多晶硅有源层的两侧均植入掺杂离子，分别构成源极接触区与漏极接触区，所述源极接触区与漏极接触区之间构成沟道区；所述源极与漏极分别经由贯穿层间绝缘层和栅极绝缘层的第一过孔与第二过孔接触所述源极接触区与漏极接触区。

25 所述 TFT 背板结构还包括覆盖所述源极、漏极、与层间绝缘层的平坦层、设于所述平坦层上的像素电极、设于所述像素电极与平坦层上的像素定义层、及设于所述像素定义层上的光阻间隔物；

所述像素电极经由贯穿所述平坦层的第三过孔接触所述漏极。

所述介电层为二氧化硅层。

30 所述介电层为三氧化二铝层、二氧化钛层、二氧化锆层、或二氧化铪层。

本发明还提供一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一经过清洗和预烘烤的基板；

步骤 2、在所述基板上依次沉积形成缓冲层、与非晶硅层；

步骤 3、通过准分子激光退火制程或固相晶化制程使非晶硅层结晶转变为多晶硅层，并对多晶硅层进行图案化处理，定义出多晶硅有源层、与多晶硅电极板；

5 步骤 4、于所述缓冲层、多晶硅有源层、与多晶硅电极板上自下至上依次沉积介电层、氮化硅层、与二氧化硅层，形成栅极绝缘层；

步骤 5、通过光刻制程对欲形成存储电容所在区域对应的栅极绝缘层进行蚀刻，蚀刻掉该区域内全部的二氧化硅层以及部分氮化硅层或者蚀刻掉该区域内全部的二氧化硅层以及全部的氮化硅层；

10 步骤 6、于所述栅极绝缘层上沉积并图案化第一金属层，形成栅极、与金属电极板，所述栅极位于所述多晶硅有源层上方，所述金属电极板位于多晶硅电极板上；

所述多晶硅电极板与金属电极板构成存储电容；

15 步骤 7、以栅极、与金属电极板为遮蔽层对多晶硅有源层的两侧植入掺杂离子，分别形源极接触区与漏极接触区，所述源极接触区与漏极接触区之间构成沟道区；

步骤 8、于所述栅极绝缘层、栅极、与金属电极板上沉积并图案化层间绝缘层，形成分别暴露出所述源极接触区与漏极接触区部分表面的第一过孔与第二过孔；

20 步骤 9、于所述层间绝缘层上沉积并图案化第二金属层，形成源极与漏极，所述源极与漏极分别经由第一过孔与第二过孔接触所述源极接触区与漏极接触区；

所述多晶硅有源层、栅极、源极、与漏极构成 TFT。

25 所述 TFT 背板的制作方法还包括步骤 10、于所述层间绝缘层、源极、与漏极上由下至上依次制作平坦层、像素电极、像素定义层、及光阻间隔物；

所述像素电极经由贯穿所述平坦层的第三过孔接触所述漏极。

所述步骤 4 中沉积的介电层为二氧化硅层。

所述步骤 4 中沉积的介电层为三氧化二铝层、二氧化钛层、二氧化锆层、或二氧化铪层。

30 所述步骤 7 中植入的掺杂离子为磷离子、或硼离子。

本发明还提供一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一经过清洗和预烘烤的基板；

步骤 2、在所述基板上依次沉积形成缓冲层、与非晶硅层；

步骤 3、通过准分子激光退火制程或固相晶化制程使非晶硅层结晶转变

为多晶硅层，并对多晶硅层进行图案化处理，定义出多晶硅有源层、与多晶硅电极板；

步骤 4、于所述缓冲层、多晶硅有源层、与多晶硅电极板上自下至上依次沉积介电层、氮化硅层、与二氧化硅层，形成栅极绝缘层；

5 步骤 5、通过光刻制程对欲形成存储电容所在区域对应的栅极绝缘层进行蚀刻，蚀刻掉该区域内全部的二氧化硅层以及部分氮化硅层，或者蚀刻掉该区域内全部的二氧化硅层以及全部的氮化硅层；

步骤 6、于所述栅极绝缘层上沉积并图案化第一金属层，形成栅极、与金属电极板，所述栅极位于所述多晶硅有源层上方，所述金属电极板位于
10 多晶硅电极板上方；

所述多晶硅电极板与金属电极板构成存储电容；

步骤 7、以栅极、与金属电极板为遮蔽层对多晶硅有源层的两侧植入掺杂离子，分别形源极接触区与漏极接触区，所述源极接触区与漏极接触区之间构成沟道区；

15 步骤 8、于所述栅极绝缘层、栅极、与金属电极板上沉积并图案化层间绝缘层，形成分别暴露出所述源极接触区与漏极接触区部分表面的第一过孔与第二过孔；

步骤 9、于所述层间绝缘层上沉积并图案化第二金属层，形成源极与漏极，所述源极与漏极分别经由第一过孔与第二过孔接触所述源极接触区与
20 漏极接触区；

所述多晶硅有源层、栅极、源极、与漏极构成 TFT；

还包括步骤 10、于所述层间绝缘层、源极、与漏极上由下至上依次制作平坦层、像素电极、像素定义层、及光阻间隔物；

所述像素电极经由贯穿所述平坦层的第三过孔接触所述漏极；

25 其中，所述步骤 4 中沉积的介电层为二氧化硅层；

其中，所述步骤 7 中植入的掺杂离子为磷离子、或硼离子。

本发明的有益效果：本发明提供的一种 TFT 背板结构，通过设置栅极绝缘层对应于 TFT 所在的区域为三层结构，自下至上依次为介电层、氮化硅层、与二氧化硅层，由所述二氧化硅层来阻止栅极向氮化硅层注入载流子，保护氮化硅层不受破坏，并且所述二氧化硅层还可以防止对氮化硅层造成过蚀刻，从而能够增强 TFT 的可靠性；设置栅极绝缘层对应于存储电容所在的区域为双层结构，自下至上依次为介电层、与至少部分氮化硅层，或者所述栅极绝缘层对应于存储电容所在的区域为单层结构，仅包括介电层，能够增大介电常数，减小存储电容两电极板之间的距离，从而能够在
30

保证存储电容性能的前提下，减少电容面积，提高开口率。本发明提供一种 TFT 背板的制作方法，通过光刻制程对欲形成存储电容所在区域对应的栅极绝缘层进行蚀刻，蚀刻掉该区域内全部的二氧化硅层以及部分氮化硅层，或者蚀刻掉该区域内全部的二氧化硅层以及全部的氮化硅层，使得由该方法制作的 TFT 背板中栅极绝缘层对应于 TFT 所在的区域为三层结构，而栅极绝缘层对应于存储电容所在的区域为双层结构或单层结构，从而使得 TFT 背板既具有较强的可靠性，又能够在保证存储电容性能的前提下，减少电容面积，提高开口率。

10 附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

15 图 1 为本发明的 TFT 背板结构第一实施例的剖面示意图；

图 2 为本发明的 TFT 背板结构第二实施例的剖面示意图；

图 3 为本发明的 TFT 背板的制作方法的流程图。

具体实施方式

20 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

本发明首先提供一种 TFT 背板结构。请参阅图 1，为本发明的 TFT 背板结构的第一实施例，包括基板 1、覆盖所述基板 1 的缓冲层 2、设于所述缓冲层 2 上相互间隔开的多晶硅有源层 31 与多晶硅电极板 32、覆盖所述多晶硅有源层 31、多晶硅电极板 32、与缓冲层 2 的栅极绝缘层 4、于所述多晶硅有源层 31 上方设于栅极绝缘层 4 上的栅极 51、于所述多晶硅电极板 32 上方设于栅极绝缘层 4 上的金属电极板 52、覆盖所述栅极 51、金属电极板 52、与栅极绝缘层 4 的层间绝缘层 6、及设于所述层间绝缘层 6 上的源极 71 与漏极 72，还包括覆盖所述源极 71、漏极 72、与层间绝缘层 6 的平坦层 8、设于所述平坦层 8 上的像素电极 9、设于所述像素电极 9 与平坦层 8 上的像素定义层 10、及设于所述像素定义层 10 上的光阻间隔物 11。

所述多晶硅有源层 31 的两侧均植入掺杂离子，分别构成源极接触区 311 与漏极接触区 312，所述源极接触区 311 与漏极接触区 312 之间构成沟道区 313。所述源极 71 与漏极 72 分别经由贯穿层间绝缘层 6 和栅极绝缘层 4 的

第一过孔 641 与第二过孔 642 接触所述源极接触区 311 与漏极接触区 312。所述像素电极 9 经由贯穿所述平坦层 8 的第三过孔 81 接触所述漏极 72。

所述多晶硅有源层 31、栅极 51、源极 71、与漏极 72 构成 TFT T，所述多晶硅电极板 32 与金属电极板 52 构成存储电容 C。

5 重点需要说明的是，在该第一实施例中，所述栅极绝缘层 4 对应于 TFT 所在的区域为三层结构，自下至上依次为由介电层 41、氮化硅（ SiN_x ）层 42、与二氧化硅（ SiO_2 ）层 43；所述栅极绝缘层 4 对应于存储电容 C 所在的区域为双层结构，自下至上依次为介电层 41、与至少部分氮化硅层 42。进一步地，在该第一实施例中，所述介电层 41 为二氧化硅层。这样设置的
10 益处在于：对应于 TFT 所在的区域，位于所述栅极绝缘层 4 最上层的二氧化硅层 43 能够有效阻止栅极 51 向氮化硅层 42 注入载流子，保护氮化硅层 42 不受破坏，而二氧化硅层 43 的可靠性优于氮化硅层 42，受载流子的影响较小，栅极绝缘层 4 的品质得以保证，并且所述二氧化硅层 43 还可以防止在蚀刻栅极 51 时对氮化硅层 42 造成过蚀刻，从而能够增强 TFT 的可靠性；对应于存储电容 C 所在的区域，栅极绝缘层 4 的厚度得以减薄，二氧
15 化硅成分减少，增大了介电常数，减小了存储电容 C 的多晶硅电极板 32 与金属电极板 52 之间的距离，从而能够在保证存储电容性能（主要是电容存储容量）的前提下，减少电容 C 的面积，提高开口率。

具体地，所述基板 1 优选为玻璃基板。

20 所述缓冲层 2 的厚度为 500~2000Å，可为单层氮化硅层、单层氧化硅（ SiO_x ）层、或氮化硅层与氧化硅层的叠加。

所述多晶硅有源层 31 与多晶硅电极板 32 的厚度均为 500~2000Å。

所述由二氧化硅层充当的介电层 41 的厚度为 500~1000Å，氮化硅层 42 的厚度为 200~500Å，二氧化硅层 43 的厚度为 500~1000Å。

25 所述栅极 51 与金属电极板 52 均为钼/铝/钼（Mo/Al/ Mo）层叠结构，或钼/铝（Mo/Al）层叠结构，厚度均为 1500~2000Å。

所述多晶硅有源层 31 的两侧均植入的掺杂离子为磷离子（ P^+ ）、或硼离子（ B^+ ），相应的，所述 TFT T 为 N 型 TFT、或 P 型 TFT。

30 所述层间绝缘层 6 的厚度为 2000~6000Å，可为单层氮化硅层、单层氧化硅层、或氮化硅层与氧化硅层的叠加。

所述源极 71 与漏极 72 均为 Mo/Al/ Mo 层叠结构，或 Mo/Al 层叠结构，厚度均为 1500~2000Å。

所述像素电极 9 的材料为氧化铟锡（Indium Tin Oxid, ITO）。

请参阅图 2，为本发明的 TFT 背板结构的第二实施例，其与上述第一

实施例的区别在于：所述栅极绝缘层 4 对应于 TFT T 所在的区域为三层结构，自下至上依次为介电层 41、氮化硅层 42、与二氧化硅层 43；所述栅极绝缘层 4 对应于存储电容 C 所在的区域为单层结构，仅包括介电层 41。进一步地，在该第二实施例中，所述介电层 41 为三氧化二铝（ Al_2O_3 ）层、二氧化钛（ TiO_2 ）层、二氧化锆（ ZrO_2 ）层、或二氧化铪（ HfO_2 ）层等高介电常数层。该实施例二采用高介电常数层来取代二氧化硅层充当介电层 41，相比于实施例一能够进一步减薄所述栅极绝缘层 4 对应于存储电容 C 所在的区域的厚度，仅保留高介电常数层充当的介电层 41，从而能够进一步减少电容 C 的面积，提高开口率。

10 请参阅图 3 结合图 1 或图 2 本发明还提供一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一经过清洗和预烘烤的基板 1。

所述基板 1 优选为玻璃基板。

步骤 2、在所述基板 1 上依次沉积形成缓冲层 2、与非晶硅层。

15 具体地，所述缓冲层 2 的厚度为 500~2000Å，可为单层氮化硅层、单层氧化硅层、或氮化硅层与氧化硅层的叠加。

所述非晶硅层的厚度均为 500~2000Å。

步骤 3、通过准分子激光退火（Excimer Laser Annealing, ELA）制程或固相晶化（Solid Phase Crystallization, SPC）制程使非晶硅层结晶转变为多晶硅层，并对多晶硅层进行图案化处理，定义出相互间隔开的多晶硅有源层 31、与多晶硅电极板 32。

步骤 4、于所述缓冲层 2、多晶硅有源层 31、与多晶硅电极板 32 上自下至上依次沉积介电层 41、氮化硅层 42、与二氧化硅层 43，形成栅极绝缘层 4。

25 具体地，所述介电层 41 的厚度为 500~1000Å，氮化硅层 42 的厚度为 200~500Å，二氧化硅层 43 的厚度为 500~1000Å。

可选地，如图 1 所示，所述介电层 41 为二氧化硅层。

可选地，如图 2 所示，所述介电层 41 为三氧化二铝层、二氧化钛层、二氧化锆层、或二氧化铪层等高介电常数层。

30 步骤 5、通过光刻制程对欲形成存储电容所在区域对应的栅极绝缘层 4 进行蚀刻，如图 1 所示，蚀刻掉该区域内全部的二氧化硅层 43 以及部分氮化硅层 42，或者如图 2 所示，蚀刻掉该区域内全部的二氧化硅层 43 以及全部的氮化硅层 42。

通过该步骤 5 对欲形成存储电容所在区域对应的栅极绝缘层 4 的厚度

进行了减薄。

步骤 6、于所述栅极绝缘层 4 上沉积并图案化第一金属层，形成栅极 51、与金属电极板 52，所述栅极 51 位于所述多晶硅有源层 31 上方，所述金属电极板 52 位于多晶硅电极板 32 上方。

5 所述多晶硅电极板 32 与金属电极板 52 构成存储电容 C。

具体地，所述第一金属层为 Mo/Al/Mo 层叠结构，或 Mo/Al 层叠结构，厚度为 1500~2000Å。

步骤 7、以栅极 51、与金属电极板 52 为遮蔽层对多晶硅有源层 31 的两侧植入掺杂离子，分别形成源极接触区 311 与漏极接触区 312，所述源极接触区 311 与漏极接触区 312 之间构成沟道区 313。

具体地，该步骤 7 可选择磷化氢 (PH₃) 气源植入 P⁺离子，或选择乙硼烷 (B₂H₆) 气源植入 B⁺离子。

步骤 8、于所述栅极绝缘层 4、栅极 51、与金属电极板 52 上沉积并图案化层间绝缘层 6，形成分别暴露出所述源极接触区 311 与漏极接触区 312 部分表面的第一过孔 641 与第二过孔 642。

具体地，所述层间绝缘层 6 的厚度为 2000~6000Å，可为单层氮化硅层、单层氧化硅层、或氮化硅层与氧化硅层的叠加。

步骤 9、于所述层间绝缘层 6 上沉积并图案化第二金属层，形成源极 71 与漏极 72，所述源极 71 与漏极 72 分别经由第一过孔 641 与第二过孔 642 接触所述源极接触区 311 与漏极接触区 312。

所述多晶硅有源层 31、栅极 51、源极 71、与漏极 72 构成 TFT T。若上述步骤 7 植入的是 P⁺离子，则所述 TFT T 为 N 型 TFT；若上述步骤 7 植入的是 B⁺离子，则所述 TFT T 为 P 型 TFT。

具体地，所述第二金属层为 Mo/Al/Mo 层叠结构，或 Mo/Al 层叠结构，厚度为 1500~2000Å。

以及步骤 10、于所述层间绝缘层 6、源极 71、与漏极 72 上由下至上依次制作平坦层 8、像素电极 9、像素定义层 10、及光阻间隔物 11。

具体地，所述像素电极 9 经由贯穿所述平坦层 8 的第三过孔 81 接触所述漏极 72。所述像素电极 9 的材料为 ITO。

30 由上述方法制作的 TFT 背板的结构如图 1 或图 2 所示，对应于 TFT 所在的区域，所述栅极绝缘层 4 为三层结构，自下至上依次为由介电层 41、氮化硅层 42、与二氧化硅层 43，位于所述栅极绝缘层 4 最上层的二氧化硅层 43 能够有效阻止栅极 51 向氮化硅层 42 注入载流子，保护氮化硅层 42 不受破坏，而二氧化硅层 43 的可靠性优于氮化硅层 42，受载流子的影响较

小，栅极绝缘层 4 的品质得以保证，并且所述二氧化硅层 43 还可以防止在蚀刻栅极 51 时对氮化硅层 42 造成过蚀刻，从而能够增强 TFT 的可靠性。对应于存储电容 C 所在的区域，所述栅极绝缘层 4 为双层结构，自下至上依次为由二氧化硅层充当的介电层 41、与至少部分氮化硅层 42；或者所述

5 栅极绝缘层 4 为单层结构，仅包括由 Al_2O_3 层、 TiO_2 层、 ZrO_2 层、或 HfO_2 层等高介电常数层充当的介电层 41，栅极绝缘层 4 的厚度得以减薄，二氧化硅成分减少，增大了介电常数，减小了存储电容 C 的多晶硅电极板 32 与金属电极板 52 之间的距离，从而能够在保证存储电容性能（主要是电容存储容量）的前提下，减少电容 C 的面积，提高开口率。

10 综上所述，本发明的 TFT 背板结构，通过设置栅极绝缘层对应于 TFT 所在的区域为三层结构，自下至上依次为介电层、氮化硅层、与二氧化硅层，由所述二氧化硅层来阻止栅极向氮化硅层注入载流子，保护氮化硅层不受破坏，并且所述二氧化硅层还可以防止对氮化硅层造成过蚀刻，从而能够增强 TFT 的可靠性；设置栅极绝缘层对应于存储电容所在的区域为双

15 层结构，自下至上依次为介电层、与至少部分氮化硅层，或者所述栅极绝缘层对应于存储电容所在的区域为单层结构，仅包括介电层，能够增大介电常数，减小存储电容两电极板之间的距离，从而能够在保证存储电容性能的前提下，减少电容面积，提高开口率。本发明的 TFT 背板的制作方法，通过光刻制程对欲形成存储电容所在区域对应的栅极绝缘层进行蚀刻，蚀

20 刻掉该区域内全部的二氧化硅层以及部分氮化硅层，或者蚀刻掉该区域内全部的二氧化硅层以及全部的氮化硅层，使得由该方法制作的 TFT 背板中栅极绝缘层对应于 TFT 所在的区域为三层结构，而栅极绝缘层对应于存储电容所在的区域为双层结构或单层结构，从而使得 TFT 背板既具有较强的可靠性，又能够在保证存储电容性能的前提下，减少电容面积，提高开口

25 率。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种 TFT 背板结构，包括基板、覆盖所述基板的缓冲层、设于所述缓冲层上相互间隔开的多晶硅有源层与多晶硅电极板、覆盖所述多晶硅有源层、多晶硅电极板、与缓冲层的栅极绝缘层、于所述多晶硅有源层上方
5 设于栅极绝缘层上的栅极、于所述多晶硅电极板上方设于栅极绝缘层上的金属电极板、覆盖所述栅极、金属电极板、与栅极绝缘层的层间绝缘层、及设于所述层间绝缘层上的源极与漏极；

所述多晶硅有源层、栅极、源极、与漏极构成 TFT，所述多晶硅电极板与金属电极板构成存储电容；
10

所述栅极绝缘层对应于 TFT 所在的区域为三层结构，自下至上依次为介电层、氮化硅层、与二氧化硅层；所述栅极绝缘层对应于存储电容所在的区域为双层结构，自下至上依次为介电层、与至少部分氮化硅层；或者所述栅极绝缘层对应于存储电容所在的区域为单层结构，仅包括介电层。

15 2、如权利要求 1 所述的 TFT 背板结构，其中，所述多晶硅有源层的两侧均植入掺杂离子，分别构成源极接触区与漏极接触区，所述源极接触区与漏极接触区之间构成沟道区；所述源极与漏极分别经由贯穿层间绝缘层和栅极绝缘层的第一过孔与第二过孔接触所述源极接触区与漏极接触区。

20 3、如权利要求 1 所述的 TFT 背板结构，还包括覆盖所述源极、漏极、与层间绝缘层的平坦层、设于所述平坦层上的像素电极、设于所述像素电极与平坦层上的像素定义层、及设于所述像素定义层上的光阻间隔物；

所述像素电极经由贯穿所述平坦层的第三过孔接触所述漏极。

4、如权利要求 2 所述的 TFT 背板结构，还包括覆盖所述源极、漏极、
25 与层间绝缘层的平坦层、设于所述平坦层上的像素电极、设于所述像素电极与平坦层上的像素定义层、及设于所述像素定义层上的光阻间隔物；

所述像素电极经由贯穿所述平坦层的第三过孔接触所述漏极。

5、如权利要求 1 所述的 TFT 背板结构，其中，所述介电层为二氧化硅层。

30 6、如权利要求 1 所述的 TFT 背板结构，其中，所述介电层为三氧化二铝层、二氧化钛层、二氧化锆层、或二氧化铪层。

7、一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一经过清洗和预烘烤的基板；

步骤 2、在所述基板上依次沉积形成缓冲层、与非晶硅层；

步骤 3、通过准分子激光退火制程或固相晶化制程使非晶硅层结晶转变为多晶硅层，并对多晶硅层进行图案化处理，定义出多晶硅有源层、与多晶硅电极板；

5 步骤 4、于所述缓冲层、多晶硅有源层、与多晶硅电极板上自下至上依次沉积介电层、氮化硅层、与二氧化硅层，形成栅极绝缘层；

步骤 5、通过光刻制程对欲形成存储电容所在区域对应的栅极绝缘层进行蚀刻，蚀刻掉该区域内全部的二氧化硅层以及部分氮化硅层，或者蚀刻掉该区域内全部的二氧化硅层以及全部的氮化硅层；

10 步骤 6、于所述栅极绝缘层上沉积并图案化第一金属层，形成栅极、与金属电极板，所述栅极位于所述多晶硅有源层上方，所述金属电极板位于多晶硅电极板上方；

所述多晶硅电极板与金属电极板构成存储电容；

15 步骤 7、以栅极、与金属电极板为遮蔽层对多晶硅有源层的两侧植入掺杂离子，分别形成源极接触区与漏极接触区，所述源极接触区与漏极接触区之间构成沟道区；

步骤 8、于所述栅极绝缘层、栅极、与金属电极板上沉积并图案化层间绝缘层，形成分别暴露出所述源极接触区与漏极接触区部分表面的第一过孔与第二过孔；

20 步骤 9、于所述层间绝缘层上沉积并图案化第二金属层，形成源极与漏极，所述源极与漏极分别经由第一过孔与第二过孔接触所述源极接触区与漏极接触区；

所述多晶硅有源层、栅极、源极、与漏极构成 TFT。

25 8、如权利要求 7 所述的 TFT 背板的制作方法，还包括步骤 10、于所述层间绝缘层、源极、与漏极上由下至上依次制作平坦层、像素电极、像素定义层、及光阻间隔物；

所述像素电极经由贯穿所述平坦层的第三过孔接触所述漏极。

9、如权利要求 7 所述的 TFT 背板的制作方法，其中，所述步骤 4 中沉积的介电层为二氧化硅层。

30 10、如权利要求 7 所述的 TFT 背板的制作方法，其中，所述步骤 4 中沉积的介电层为三氧化二铝层、二氧化钛层、二氧化锆层、或二氧化铪层。

11、如权利要求 7 所述的 TFT 背板的制作方法，其中，所述步骤 7 中植入的掺杂离子为磷离子、或硼离子。

12、一种 TFT 背板的制作方法，包括如下步骤：

步骤 1、提供一经过清洗和预烘烤的基板；

步骤 2、在所述基板上依次沉积形成缓冲层、与非晶硅层；

步骤 3、通过准分子激光退火制程或固相晶化制程使非晶硅层结晶转变为多晶硅层，并对多晶硅层进行图案化处理，定义出多晶硅有源层、与多晶硅电极板；

步骤 4、于所述缓冲层、多晶硅有源层、与多晶硅电极板上自下至上依次沉积介电层、氮化硅层、与二氧化硅层，形成栅极绝缘层；

步骤 5、通过光刻制程对欲形成存储电容所在区域对应的栅极绝缘层进行蚀刻，蚀刻掉该区域内全部的二氧化硅层以及部分氮化硅层，或者蚀刻掉该区域内全部的二氧化硅层以及全部的氮化硅层；

步骤 6、于所述栅极绝缘层上沉积并图案化第一金属层，形成栅极、与金属电极板，所述栅极位于所述多晶硅有源层上方，所述金属电极板位于多晶硅电极板上方；

所述多晶硅电极板与金属电极板构成存储电容；

步骤 7、以栅极、与金属电极板为遮蔽层对多晶硅有源层的两侧植入掺杂离子，分别形源极接触区与漏极接触区，所述源极接触区与漏极接触区之间构成沟道区；

步骤 8、于所述栅极绝缘层、栅极、与金属电极板上沉积并图案化层间绝缘层，形成分别暴露出所述源极接触区与漏极接触区部分表面的第一过孔与第二过孔；

步骤 9、于所述层间绝缘层上沉积并图案化第二金属层，形成源极与漏极，所述源极与漏极分别经由第一过孔与第二过孔接触所述源极接触区与漏极接触区；

所述多晶硅有源层、栅极、源极、与漏极构成 TFT；

还包括步骤 10、于所述层间绝缘层、源极、与漏极上由下至上依次制作平坦层、像素电极、像素定义层、及光阻间隔物；

所述像素电极经由贯穿所述平坦层的第三过孔接触所述漏极；

其中，所述步骤 4 中沉积的介电层为二氧化硅层；

其中，所述步骤 7 中植入的掺杂离子为磷离子、或硼离子。

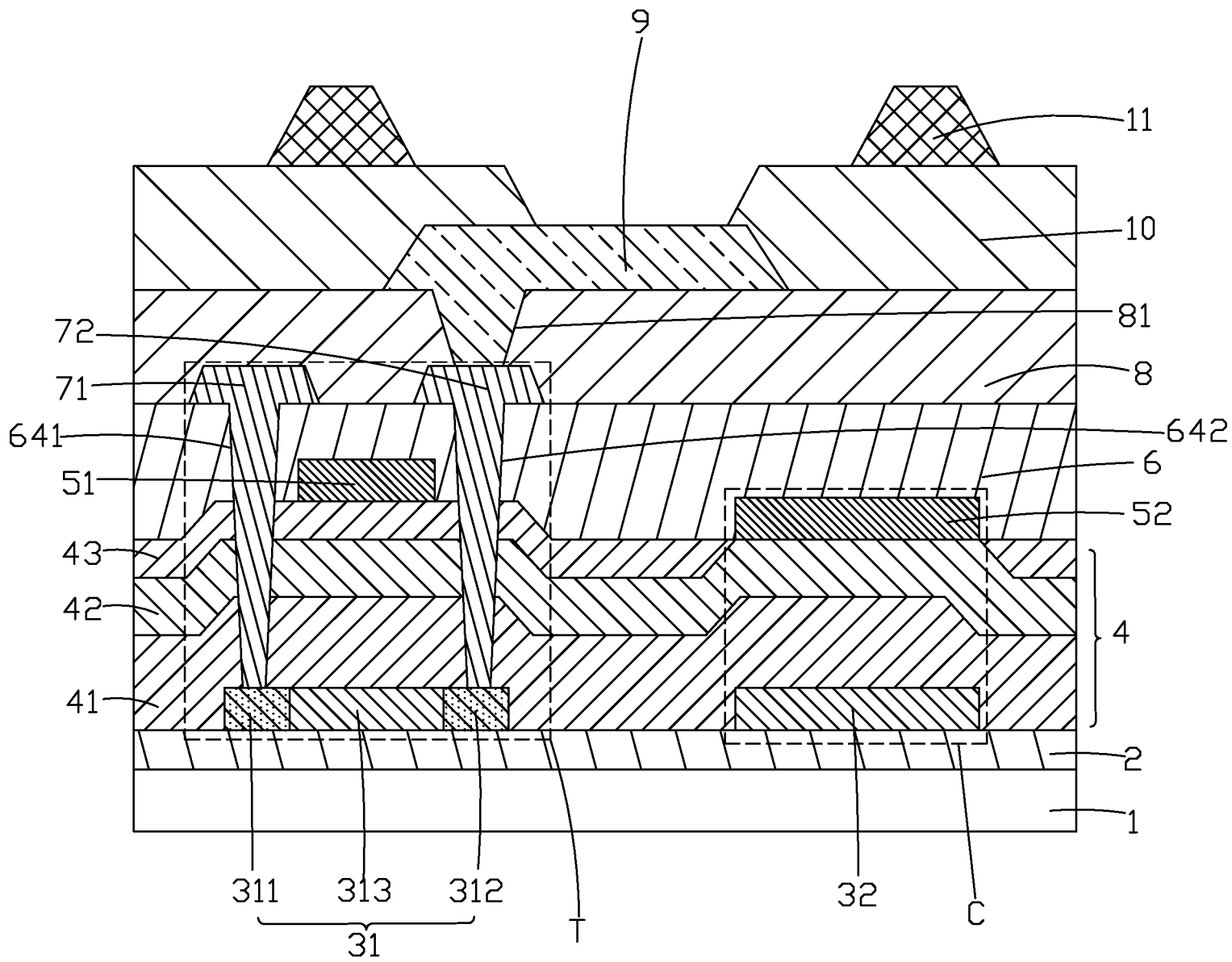


图1

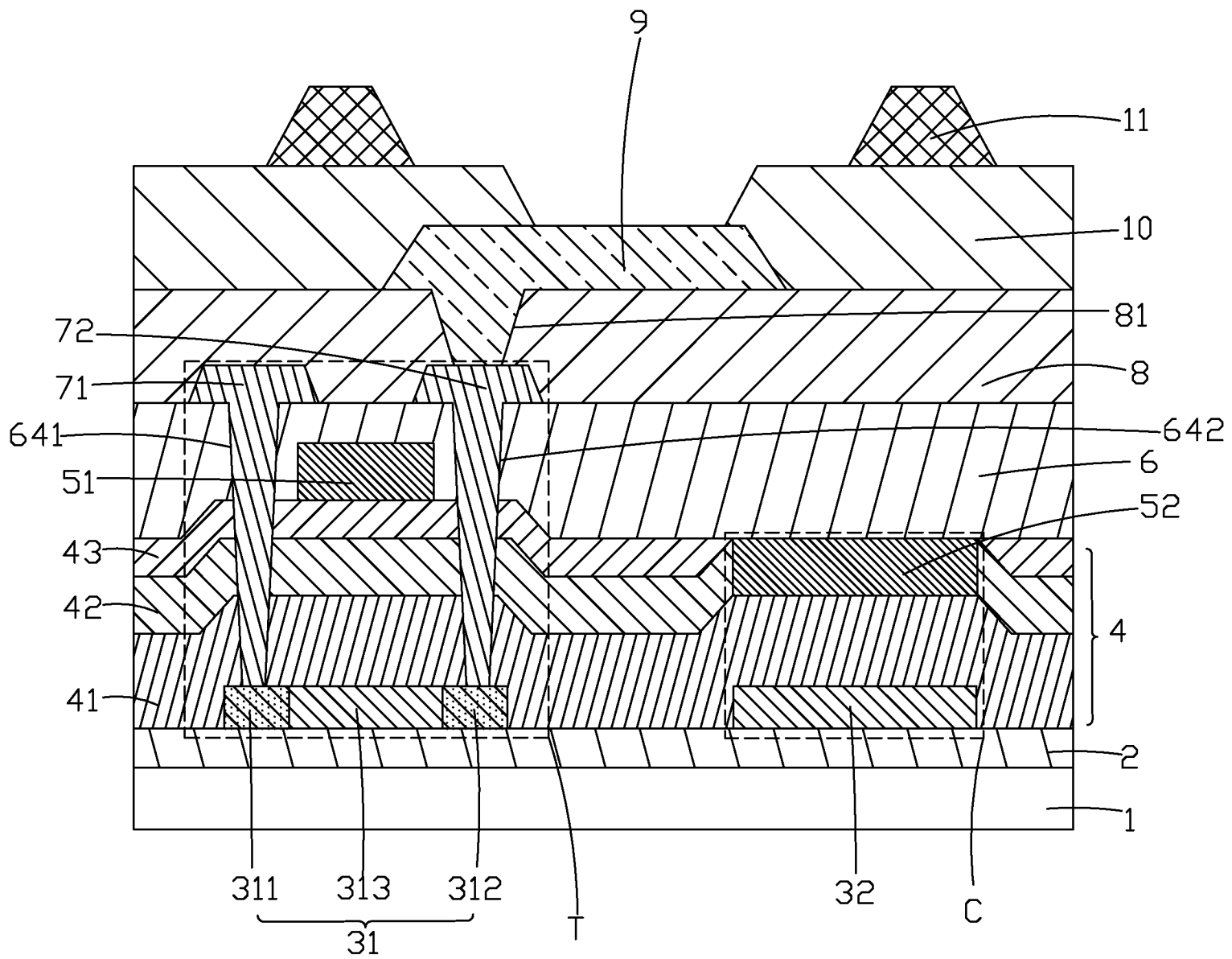


图2

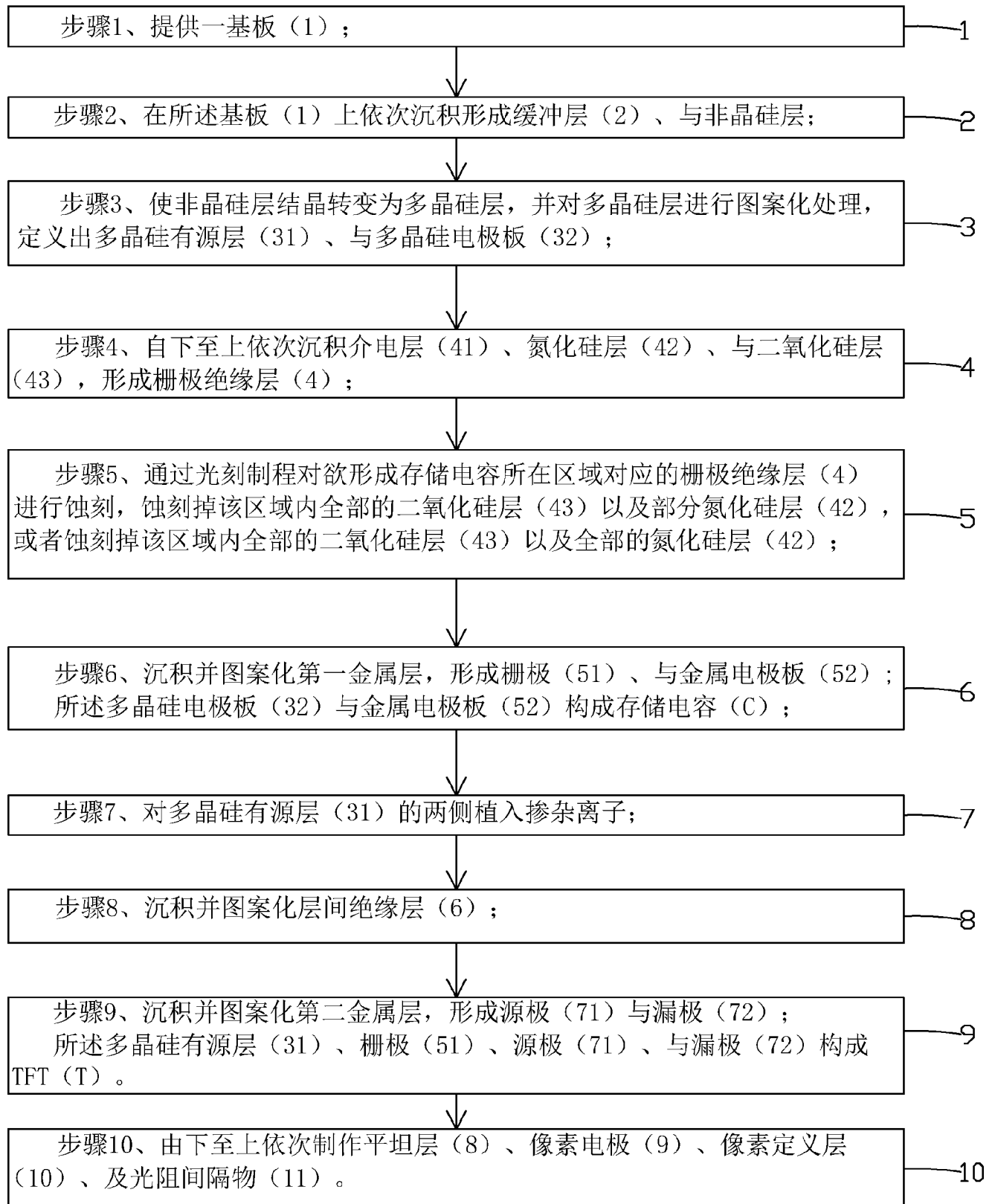


图3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/072873

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: TFT, thin w film w transistor, tft, gate, silicon w oxide, silicon w nitride, storage w capacitor, high w k

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103296034 A (BOE TECHNOLOGY GROUP CO., LTD.) 11 September 2013 (11.09.2013) description, paragraphs [0070]-[0107], and figures 2-4	1-12
X	CN 104538403 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 22 April 2015 (22.04.2015) description, paragraphs [0018]-[0042], and figures 2-4	1-12
A	US 2008128719 A1 (AU OPTRONICS CORP.) 05 June 2008 (05.06.2008) the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 June 2016	Date of mailing of the international search report 26 July 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Jing Telephone No. (86-10) 62413952

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/072873

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103296034 A	11 September 2013	WO 2014190669 A1	04 December 2014
CN 104538403 A	22 April 2015	None	
US 2008128719 A1	05 June 2008	TW I316763 B	01 November 2009
		US 7768012 B2	03 August 2010
		TW 200826294 A	16 June 2008
		US 2010072479 A1	25 March 2010
		US 7645623 B2	12 January 2010

A. 主题的分类		
H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i		
按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献 (标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))		
CNPAT, CNKI: 薄膜晶体管, TFT, 栅, 绝缘层, 氧化硅, 氮化硅, 存储电容, 高k, 三氧化二铝, 氧化钛, 氧化锆, 氧化铪 WPI, EPDOC: thin w film w transistor, tft, gate, silicon w oxide, silicon w nitride, storage w capacitor, high w k		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103296034 A (京东方科技集团股份有限公司) 2013年 9月 11日 (2013 - 09 - 11) 说明书第[0070]-[0107]段, 附图2-4	1-12
X	CN 104538403 A (厦门天马微电子有限公司 等) 2015年 4月 22日 (2015 - 04 - 22) 说明书第[0018]-[0042]段, 附图2-4	1-12
A	US 2008128719 A1 (AU OPTRONICS CORP.) 2008年 6月 5日 (2008 - 06 - 05) 全文	1-12
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 6月 20日		2016年 7月 26日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		刘婧
传真号 (86-10) 62019451		电话号码 (86-10) 62413952

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/072873

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103296034	A	2013年 9月 11日	WO	2014190669	A1	2014年 12月 4日
CN	104538403	A	2015年 4月 22日	无			
US	2008128719	A1	2008年 6月 5日	TW	I316763	B	2009年 11月 1日
				US	7768012	B2	2010年 8月 3日
				TW	200826294	A	2008年 6月 16日
				US	2010072479	A1	2010年 3月 25日
				US	7645623	B2	2010年 1月 12日

表 PCT/ISA/210 (同族专利附件) (2009年7月)