



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

201415
(11) (B1)

(51) Int. Cl.³
G 11 C 19/28

(22) Přihlášeno 10 10 78
(21) (PV 6569-78)

(40) Zveřejněno 29 02 80

(45) Vydáno 31 05 82

(75)
Autor vynálezu

KRISTEN JIŘÍ, PRAHA

(54) Zapojení řízeného programovacího řadiče

Předmětem vynálezu je zapojení řízeného programovacího řadiče, který řídí programovací cyklus podle zadaných logických stavů v jednotlivých, předem určených dobách cyklu.

Dosud užívaná zapojení využívala monostabilních obvodů spouštěných z příslušných výstupů děliče kmitočtu nebo monostabilních obvodů spouštěných pomocí multiplexorů. To znamenalo složitý logický výběr z děliče a současně velké množství diskretních součástek (odporů a kondenzátorů) pro nastavení příslušných časových konstant.

Uvedené nedostatky odstraňuje zapojení řízeného programovacího řadiče podle vynálezu, řídicí programovací cyklus, jehož délka může být volena vhodnými vstupními signály. Řídicí programovací cyklus je trvalý sled řídicích signálů v širokém rozmezí uvnitř volené základní frekvence.

Podstata zapojení řízeného programovacího řadiče, sestávajícího z paměti, stavového dekodéru, výstupního dekodéru, které jsou vzájemně propojeny alespoň třemi vodiči pro přenos signálů stavu a dále z řízeného generátoru hodinových impulsů, podle vynálezu spočívá v tom, že první vstupní špička řadiče je připojena na vstup X stavového dekodéru, druhá vstupní špička řadiče je připojena na vstup Y stavového dekodéru a třetí

vstupní špička je připojena na vstup Z stavového dekodéru, kdežto nulování čtvrtou vstupní špičkou řadiče je připojeno na vstup R paměti a současně další vstup C je připojen na výstup generátoru, přičemž vstup VA paměti je připojen na vstup XA výstupního dekodéru a na výstup YA stavového dekodéru, vstup VB paměti je připojen na vstup XB výstupního dekodéru a na vstup YB stavového dekodéru, vstup VC paměti je připojen na vstup XC výstupního dekodéru a na výstup YC stavového dekodéru, zatímco výstup WA paměti je spojen se vstupem A stavového dekodéru, výstup WB paměti je spojen se vstupem B stavového dekodéru a výstup WC paměti je spojen se vstupem C stavového dekodéru, ze kterého je výstup YM spojen se vstupem M generátoru, výstup YO stavového dekodéru je spojen se vstupem O generátoru, výstup YN stavového dekodéru je spojen se vstupem N generátoru, zatímco výstup S výstupního dekodéru je spojen s první výstupní špičkou řadiče, výstup T výstupního dekodéru je spojen s druhou výstupní špičkou řadiče a výstup U výstupního dekodéru je spojen s třetí výstupní špičkou řadiče.

Takto zapojený řízený programovací řadič usnadňuje přepínání mezi jednotlivými časovými režimy, na základě změn kombinací vstupních řídicích signálů.

Na přiloženém výkrese je znázorněn příklad zapojení řízeného programovacího řadiče.

Zapojení řízeného programovacího řadiče sestává z paměti 80, stavového dekodéru 20, výstupního dekodéru 60, které jsou vzájemně propojeny alespoň třemi vodiči pro přenos signálů stavu a dále z řízeného generátoru 40 hodinových impulsů. Podstata spočívá v tom, že první vstupní špička 1 řadiče je spojena se vstupem X 11 stavového dekodéru 20, druhá vstupní špička 2 řadiče je spojena se vstupem Y 12 stavového dekodéru 20 a třetí vstupní špička 3 řadiče je spojena se vstupem Z 13 stavového dekodéru 20, kdežto nulování čtvrtou vstupní špičkou 7 řadiče je spojeno se vstupem R 77 paměti 80 a současně další vstup C 78 je spojen s výstupem 48 generátoru 40, přičemž vstup VA 74 paměti 80 je spojen se vstupem XA 54 výstupního dekodéru 60 a s výstupem YA 24 stavového dekodéru 20, vstup VB 75 paměti 80 je spojen se vstupem XB 55 výstupního dekodéru 60 a s výstupem YB 25 stavového dekodéru 20, vstup VC 76 paměti 80 je spojen se vstupem XC 56 výstupního dekodéru 60 a s výstupem YC 26 stavového dekodéru 20, zatímco výstup WA 84 paměti 80 je spojen se vstupem A 14 stavového dekodéru 20, výstup WB 85 paměti 80 je spojen se vstupem B 15 stavového dekodéru 20 a výstup WC 86 paměti 80 je spojen se vstupem C 16 stavového dekodéru 20, ze kterého je výstup YM 21 spojen se vstupem M 31 generátoru 40, výstup YN 22 stavového dekodéru 20 je spojen se vstupem N 32 generátoru 40, výstup YO 23 stavového dekodéru 20 je spojen se vstupem O 33 generátoru 40, zatímco výstup S 64 výstupního dekodéru 60 je spojen s první výstupní špičkou 4 řadiče, výstup T 65 výstupního dekodéru 60 je spojen s druhou výstupní špičkou 5 řadiče a výstup U 66 výstupního dekodéru 60 je spojen s třetí výstupní špičkou 6 řadiče.

Pro uchování informace stavu slouží paměť 80, která je nulována signálem R ze vstupní špičky 7 řadiče, přivedeného na vstup R 77

paměti 80. Nulováním se paměť uvede do výchozího stavu, ze kterého je nahrávána do následných stavů přes vstupy VA 74, VB 75, VC 76, které jsou připojeny k výstupům YA 24, YB 25, YC 26 stavového dekodéru 20. Tento stavový dekodér 20 na těchto výstupech vydává kombinaci hodnot následujícího stavu podle stavu, ve kterém je paměť 80. Tato informace se do stavového dekodéru 20 dostává jednak z výstupů WA 84, WB 85, WC 86 paměti 80 a to na vstupy A 14, B 15, C 16 a jednak kombinací logických úrovní na vstupních špičkách 1, 2, 3 řadiče, kterými jsou ovládány vstupy X 11, Y 12, Z 13 stavového dekodéru 20. Tak je získán řetěz stavů, kterými řadič prochází a může být vstupy X, Y, Z větven, případně zkracován na příslušnou délku. Z výstupů YM 21, YN 22, YO 23 stavového dekodéru 20 je ovládán řízený generátor 40 hodinových impulsů pomocí vstupů M 31, N 32, O 33. Podle kombinace signálů na těchto vstupech dává generátor 40 hodinových impulsů impulsy různé frekvence. Ty jsou přivedeny z výstupu 48 generátoru 40 na hodinový vstup C 78 paměti 80 a tak je dána doba přechodu mezi stavy řadiče. Řídící signály, kterými řadič ovládá následně zapojené zařízení jsou odebírány z výstupních špiček 4, 5, 6, na které jsou přivedeny výstupy S 64, T 65, U 66 výstupního dekodéru 60. Tento je ovládán ze stavového dekodéru 20 přes vstupy XA 54, XB 55, XC 56, napojené na výstupy YA 24, YB 25, YC 26 stavového dekodéru 20. V popisovaném zapojení jsou znázorněny pouze tři vstupy a tři výstupy pro 8 stavů řadiče, počet vstupů a výstupů může být však libovolně rozšířen.

Popsané zapojení řízeného programovacího řadiče se využívá pro řízení cyklu programovače pevných polovodičových pamětí typu PROM a také pro řízení cyklu složitějších zkoušecích a testovacích zařízení. Výměnou stavového, popřípadě výstupního dekodéru v popisovaném zapojení, tvořeného například pevnou pamětí, je možno libovolně měnit řídicí cyklus řadiče.

PŘEDMĚT VYNÁLEZU

Zapojení řízeného programovacího řadiče, sestávajícího z paměti stavového dekodéru, výstupního dekodéru, které jsou vzájemně propojeny alespoň třemi vodiči pro přenos signálů stavu, dále z řízeného generátoru hodinových impulsů, vyznačené tím, že první vstupní špička (1) řadiče je spojena se vstupem X (11) stavového dekodéru (20), druhá vstupní špička (2) řadiče je spojena se vstupem Y (12) stavového dekodéru (20) a třetí vstupní špička (3) řadiče je spojena se vstupem Z (13) stavového dekodéru (20), kdežto nulování čtvrtou vstupní špičkou (7) řadiče je spojeno se vstupem R (77) paměti (80) a současně další vstup C (78) je spojen s výstupem (48) generátoru (40), přičemž vstup VA (74) paměti (80) je spojen se vstupem XA (54) výstupního dekodéru (60) a s výstupem YA (24) stavového dekodéru (20), vstup VB (75) paměti (80) je spojen se vstupem XB (55) výstupního dekodéru (60) a s výstupem YB (25)

stavového dekodéru (20), vstup VC (76) paměti (80) je spojen se vstupem XC (56) výstupního dekodéru (60) a s výstupem YC (26) stavového dekodéru (20), zatímco výstup WA (84) paměti (80) je spojen se vstupem A (14) stavového dekodéru (20), výstup WB (85) paměti (80) je spojen se vstupem B (15) stavového dekodéru (20) a výstup WC (86) paměti (80) je spojen se vstupem C (16) stavového dekodéru (20), ze kterého je výstup YM (21) spojen se vstupem M (31) generátoru (40), výstup YN (22) stavového dekodéru (20) je spojen se vstupem N (32) generátoru (40), výstup YO (23) stavového dekodéru (20) je spojen se vstupem O (33) generátoru (40), zatímco výstup S (64) výstupního dekodéru (60) je spojen s první výstupní špičkou (4) řadiče, výstup T (65) výstupního dekodéru (60) je spojen s druhou výstupní špičkou (5) řadiče a výstup U (66) výstupního dekodéru (60) je spojen s třetí výstupní špičkou (6) řadiče.

1 výkres

