

發明專利說明書 200426902

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93112517

※申請日期：93年05月04日

※IPC分類：H01L 21/00

壹、發明名稱：

(中) 部件及部件製造方法

(外) Member and member manufacturing method

貳、申請人：(共 1 人)

1. 姓名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 御手洗富士夫

(英)

地址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 3 人)

1. 姓名：(中) 池田一

(英) IKEDA, HAJIME

地址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

2. 姓名：(中) 佐藤信彦

(英) SATO, NOBUHIKO

地址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

3. 姓名：(中) 坂口清文

(英) SAKAGUCHI, KIYOFUMI

地址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

發明專利說明書 200426902

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93112517

※申請日期：93年05月04日

※IPC分類：H01L 21/00

壹、發明名稱：

(中) 部件及部件製造方法

(外) Member and member manufacturing method

貳、申請人：(共 1 人)

1. 姓名：(中) 佳能股份有限公司

(英) CANON KABUSHIKI KAISHA

代表人：(中) 1. 御手洗富士夫

(英)

地址：(中) 日本國東京都大田區下丸子三丁目三〇番二號

(英)

國籍：(中英) 日本 JAPAN

參、發明人：(共 3 人)

1. 姓名：(中) 池田一

(英) IKEDA, HAJIME

地址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

2. 姓名：(中) 佐藤信彦

(英) SATO, NOBUHIKO

地址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

3. 姓名：(中) 坂口清文

(英) SAKAGUCHI, KIYOFUMI

地址：(中) 日本國東京都大田區下丸子三-三〇-二 佳能股份有限公司內

(英) 日本国東京都大田区下丸子3-30-2 キヤノン株式会社内

肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.日本 ; 2003/05/06 ; 2003-128229 ☒有主張優先權

(1)

玖、發明說明**【發明所屬之技術領域】**

本發明係關於一種包括一多孔區之部件，和在最終階段或中間階段形成一多孔區之部件製造方法。

【先前技術】

當成多孔部件之多孔矽之應用領域包括如 SOI 基材(矽在絕緣體上，或半導體在絕緣體上)之製造。例如，日本專利公開案第 5-21338 號揭示使用多孔矽之 SOI 基材之製造方法。在日本專利公開案第 5-21338 號所揭示之 SOI 基材之製造方法中，非多孔矽層(依需要當成 SOI 層之層)形成在一多孔矽層上，和包括此非多孔矽層之第一基材結合至第二基材，因此一絕緣體位在非多孔矽層上。而後，從第一基材之背表面至多孔矽之部份從結合基材堆疊移除，藉以獲得在掩埋絕緣層上具有非多孔矽層之 SOI 基材。

日本專利公開案第 5-21338 號並未考量形成在多孔矽層形成步驟中，在多孔矽層表面附近區域(如從表面至 100nm 深之區域)之多孔構造。

近來，對於更薄 SOI 層當成 SOI 基材之主動層之需求上升。本發明人發現用以當成 SOI 層底層之多孔矽層表面附近區域之構造在使 SOI 層薄化上極為重要。如後將詳細說明的，本發明人亦發現形成有多孔矽層上之基材表面層如果具有氫濃度高於其餘部份時，會影響所欲形成之多孔矽之構造。

(2)

關於屬於由擴散氫在矽基材而不在多孔矽區，即一般矽基材，所產生之負面效果之習知技藝和其對策方面，有日本專利公開案第 7-45573 號和 5-21371 號。但是，日本專利公開案第 7-45573 號和 5-21371 號與多孔矽之應用技術無關，且更特別的，與用以處理一材料基材以形成薄高品質非多孔層在一多孔矽層上之技術無關。

【發明內容】

本發明乃根據上述由本發明人之發現而完成，且其目的乃在提供一種多孔構造，其即使以不超過數 nm 或數十 nm 之高解析度評估(高評估標準)時仍可展現高均勻性，和提供使用該多孔構造之高品質部件(如 SOI 基材)之製造技術。

本發明具有各種觀點。本發明之部份觀點將說明如下。

依照本發明之第一觀點，於此提供一種包括一多孔區之部件，其特徵在於在以矽製成之多孔區表面起在 5 至 100nm 範圍內之深度區中，介於孔間之多孔壁厚度、孔之密度、和多孔性實質是均勻的。

依照本發明之第二觀點，於此提供一種包括一多孔區之部件，其特徵在於在以矽製成之多孔區表面起在 5 至 100nm 範圍內之深度區中，介於孔間之多孔壁厚度、孔之密度、和多孔性改變成對應參考值之一半至二倍值。

依照本發明之第三觀點，於此提供一種包括一多孔區

(3)

之部件，其特徵在於如果在多孔區表面起在 5 至 100nm 範圍內之任意深度上執行評估時，在該範圍內之預定深度上之孔間之多孔壁之厚度平均為從多孔區表面起不小於 100nm 深度上之孔間之多孔壁之厚度平均之一半至兩倍。

依照本發明之第四觀點，於此提供一種包括一多孔區之部件，其特徵在於如果在多孔區表面起在 5 至 100nm 範圍內之任意深度上執行評估時，在該範圍內之預定深度上之多孔性為從多孔區表面起不小於 100nm 深度上之多孔性之一半至兩倍。

依照本發明之第五觀點，於此提供一種包括一多孔區之部件，其特徵在於如果在多孔區表面起在 5 至 100nm 範圍內之任意深度上執行評估時，在該範圍內之預定深度上之孔之密度為從多孔區表面起不小於 100nm 深度上之孔之密度之一半至兩倍。

依照本發明之第六觀點，於此提供一種包括一多孔區之部件，其特徵在於該部件乃藉由使從材料表面至 100nm 深度的區域的電阻率在深度方向實質為均勻的，而後陽極化該部件而獲得。

依照本發明之第七觀點，於此提供一種包括一多孔區之部件，其特徵在於該部件乃藉由使在材料表面附近之電阻率在深度方向實質為均勻的，而後陽極化該部件而獲得。

如上述第一至第七觀點所述之特性部件即使以迄今未曾考量過的不超過數 nm 或數十 nm 之高解析度評估(高評

(4)

估標準)時仍可提供具有高均勻性之多孔區。

本發明，其以第一至第五觀點當成範例，在含矽之多孔區之應用中特別有利。

本發明，其以第六和第七觀點當成範例，在使用含矽之材料部件當成材料部件之應用中特別有利。

依照本發明之第八觀點，於此提供一種部件製造方法，其特徵在於包含一調整步驟，用以調整在一材料表面附近之電阻率，和一多孔化步驟，用以藉由陽極化以使從該材料表面至一深部份多孔化，以形成一多孔區。在調整在材料表面附近之電阻率之後形成多孔區之方式可藉由例如控制所欲形成之多孔區之構造。

依照本發明之較佳實施例，其中該調整步驟可執行以使從材料表面至 100nm 深度的區域的電阻率在深度方向實質為均勻的。

替代的，該調整步驟可執行以使在材料表面附近之電阻率在深度方向實質為均勻的。

替代的，該調整步驟可執行以使在材料表面附近之電阻率降低。

替代的，該調整步驟可包含使該材料退火的步驟。該退火步驟最好包含在含氧氣體中以不小於 50℃ 之溫度使材料退火之步驟。替代的，該退火步驟最好包含在稀有氣體中以 50℃ 至不小於 1100℃ 之溫度使材料退火之步驟。替代的，該退火步驟最好包含在清潔空氣中使材料退火之步驟。

(5)

依照本發明之第八觀點之製造方法在下述應用中特別有利。亦即，依照本發明之第八觀點之製造方法最好進一步包含一成長步驟，用以成長至少包括一半導體層之層在該多孔區上。該製造方法最好在成長步驟後進一步包含，一結合步驟，用以結合第二部件至其上形成至少一層之一部件之表面，以形成一結合部件堆疊。該製造方法最好在結合步驟後進一步包含一移除步驟，用以移除從在結合部件堆疊中之部件之曝露表面至該多孔區之部份。

至少一層最好包括一絕緣層，該絕緣層在半導體層形成後形成。替代的，第二部件之至少一表面可以絕緣體製成。在這些例中，經由上述之製造方法可獲得在一掩埋絕緣層上具有一半導體層之 SOI 基材。將此方法應用至 SOI 基材之製造可提供具有如 100nm 或更小，且特別的，數十 nm 或更小厚度的 SOI 層，和具有更少缺陷的 SOI 層。

由下述之說明伴隨附圖之解說，其中本發明之較佳實施例以說明例顯示，可更加明瞭本發明之上述和其它目的，特徵，和優點。

【實施方式】

下面參考附圖說明依照本發明的較佳實施例。

以下參考圖 1A 至 1F 說明依照本發明當成多孔構造之較佳應用之 SOI 基材之製造方法。

在圖 1A 所示之退火步驟中，當成材料基材之矽基材，如 p 型單晶矽基材(種基材)11 受到退火。此退火使矽基

(6)

材 11 之表面附近(如從表面至約 100nm 深之區域)之電阻率實質與深部份(如從表面起在 100nm 或更深的部份)之電阻率一致。一般 p 型單晶矽基材在表面附近比在深部份上具有較高的電阻率。此乃因為如氬 1 之不想要的擴散雜質會呈現在表面附近。可執行退火以使在表面附近的氬 1 脫離矽基材 11 外。以下詳細說明此步驟。

在圖 1B 所示之陽極化步驟中，矽基材 11 表面製成多孔以形成多孔矽層 12。陽極化步驟包括，如以例如含 HF(氫氟酸)溶液之陽極化溶液填充介於一對電極間之空間，安排欲受處理之基材(即，矽基材 11)在該對電極間，和在該電極間供應電流。

如上所述，在陽極化步驟前使矽基材 11 退火可使在所欲形成之多孔矽層 12 表面附近(從表面起 10nm 至 100nm 深的區域)之多孔構造實質與較深部份(如從表面起超過 100nm 深之區域)之多孔構造一致，或者在表面附近和在較深部份上同時獲得可容許的多孔構造。所謂可容許的多孔構造意即可依需要獲得所需厚度之 SOI 層之構造。在表面附近的多孔構造會影響欲形成在其上之非多孔矽層(依需要當成 SOI 層)之構造和平坦性。

在圖 1C 所示之成長步驟中，如非多孔單晶矽層(SOI 層)13 之非多孔半導體層成長在多孔矽層 12 上。此非多孔單晶矽層 13 典型的以磊晶成長形成。在非多孔單晶矽層 13 形成後，最好形成如氧化矽絕緣層(掩埋絕緣層)之絕緣層 14 在非多孔單晶矽層 13 上。此氧化矽絕緣層 14

(7)

可藉由如氧化非多孔單晶矽層 13 表面之熱氧化而形成。

在圖 1D 之結合步驟中，第二基材(操控基材)20 結合至在如圖 1C 所示之成長步驟中形成之第一基材 10 側之氧化矽絕緣層 14，以形成一結合基材堆疊 30。關於第二基材 20，例如矽基材，可採用表面具有絕緣層之矽基材或如玻璃基材之絕緣基材。如果氧化矽絕緣層 14 未在成長步驟中形成時，可採用至少在表面具有絕緣體之基材當成第二基材 20。

在圖 1E 所示之分割步驟中，結合基材堆疊 30 在多孔矽層 30 上分成兩基材。此時，結合基材堆疊 30 可在多孔矽層 12 週邊或在介於多孔矽層 12 和兩相鄰層間之一間之介面上分割。以此操作，從背表面至多孔矽層 12 之部份從構成結合基材堆疊 30 之部份之第一基材 10 移除。此分割步驟可藉由將一流體注入多孔矽層 12 或其附近而同時轉動結合基材堆疊 30 而執行。此一方法為晶圓噴射法之一應用。替代分割步驟，從背表面至多孔矽層 12 之部份亦可藉由蝕刻、或拋光等從構成結合基材堆疊 30 之部份之第一基材 10 移除。

在圖 1F 所示之後處理步驟中，已進行圖 1E 所示之分割步驟之第二基材表面受到蝕刻步驟和/或表面平坦化步驟(如拋光步驟或退火步驟)，藉以獲得具有所需厚度和所需表面平坦度之非多孔單晶矽層 13 之 SOI 基材 40。非多孔單晶矽層 13 為安排在氧化矽絕緣層 14 上之 SOI 層。

以下說明圖 1A 所示之退火步驟和其優點。

(8)

多孔矽層形成在商用 p 型單晶矽基材上而未受到退火 (圖 1B)。而後，此基材受到成長步驟 (圖 1C)，結合步驟 (圖 1D)，和分割步驟或移除步驟 (圖 1E)。在後處理步驟中 (圖 1F)，殘留多孔矽層 12b 受移除以獲得一 SOI 基材。SOI 基材表面可具有突起和凹陷，其具有如 30nm 至 50nm 之高度差異。

這些凹陷當成 SOI 層之凹陷缺陷。如果凹陷足夠深以達到第二基材 (操控基材) 20 時，它們會變成針孔以在 SOI 層 13 中造成 HF 缺陷。HF 缺陷可由以 HF (氫氟酸) 溶液處理 SOI 基材而造成。

本發明人發現形成在多孔矽層 12 附近之低多孔層會引起如上所述之如針孔之凹陷。以下參考圖 2A 至 2C 說明形成在多孔矽層表面附近之低多孔層和因為低多孔層而形成過多的突起和凹陷在 SOI 基材表面之處理。

圖 2A、2B、和 2C 分別為在圖 1B、1C、和 1F 中所示之部份基駢之示意截面圖。於此發現陽極化一商用 p 型矽基材而未退火可能引起表面附近具有如圖 2A 所示構造。更特別而言，如果多孔矽層 12 藉由陽極化而未退火形成時，其變成一層 (以下視為一粗糙層) 101，其中從表面至深約 10nm 的區域具有大量凹陷。從表面起約 10 至 35nm 深度上之區域變成一層 (以下視為低多孔層) 102，其具有少量的孔和低多孔性。從表面起超過 35nm 深之區域變成一層 (以下視為標準多孔層) 103，其具有比低多孔層 102 更多的孔和實質均勻的多孔性。標準多孔層 103 之多

(9)

孔性可以例如陽極化溶液之組成(如含 HF 溶液)、或介於電極間所施加電流之電流量而控制。再者，標準多孔層 103 之多孔性亦可決定以使多孔矽層 12 在分割步驟前不會崩裂，而在分割時可藉由如流體之力而輕易的崩解。

如果非多孔單晶矽層 13 磊晶成長在具有粗糙層 101 和低多孔層 102 之基材上時，如圖 2B 所示，在粗糙層 101 中之凹陷可被充填滿。在低多孔層 102 中之孔亦可部份的充填，亦即，從低多孔層 102 表面(與粗糙層 101 之介面)至約數十 nm 深，但是並未完全填滿。氧化矽絕緣層 14 形成在此基材上(圖 1C)，而後結合至第二基材(操控基材)20 以形成結合基材堆疊 30(圖 1D)。結合基材堆疊 30 分割成兩個(圖 1E)，和在表面上之殘留多孔矽層 12b 以蝕刻溶解和移除。如圖 1C 所示，凹陷缺陷(其部份為針孔)110 留在表面和它們的深度決定於低多孔層 102 之厚度。以下將提供一實驗結果例。如果形成有厚度為 20nm 之 SOI 層 13 時，在直徑 200mm 之晶圓上可觀察到約 20000 個凹陷缺陷(包括針孔)。

如上所述，在 SOI 層中凹陷缺陷(包括針孔)之產生極相關於低多孔層之存在。形成超薄(如 30nm 或 20nm 或更小厚度)SOI 層並抑制凹陷缺陷落在一容限內之方案為降低，更特別而言是，消除在當成使用於 SOI 層中之半導體層(單晶矽層)之底層之多孔矽層 12 附近之低多孔層 102。注意，陽極化以增加對應於低多孔層 102 之部份之多孔性會過度增加在該部份下方之標準多孔層之多孔性。此意即

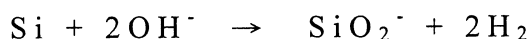
(10)

在分割前，低多孔層 102 可能會崩解。

在從表面至約 5 nm 深之區域中，孔乃由非多孔單晶矽層 13 之磊晶成長步驟(圖 1C)所充填。因此，此區域之低多孔性不會感應凹陷缺陷。

在控制多孔層 12 表面附近之構造中，低多孔層之產生機構之調查是相當重要的。由於本發明人的密集研究而得以成功的決定低多孔層產生機構。

矽基材在陽極化前典型的受到拋光和鹼清洗。在下式中，一鹼性溶液和矽互相反應以產生氫。



在清洗時，氫已知會在矽基材中擴散至約 3 μm 深。擴散氫使一摻雜劑(如當成 p^+ 受體之硼)不作用且因此增加在矽基材附近之電阻率。如果具有不同電阻率之兩層區域之基材以固定電流陽極化時，從介於具有不同電阻率之兩區間之介面至較高電阻側(亦即，基材表面側)，在厚度約數十 nm 的區域會形成一低多孔層。此現象亦會因為下列之原因而發生。在陽極化時，多數孔成長在高電阻區。當其中部份的孔在其它孔之前達低電阻區時，電流會集中在這些領先孔上。結果，只有領先孔成長，而其它孔停止成長。此種現象亦由其他研究者所報導出(S. Frohnhoff 等人, Thin Solid Films, 1995, 255, 59-62)。

因為上述之原因，有鑒於在形成多孔矽表面附近之深

(11)

度(如從表面至約 100nm 深之區域)而無低多孔層，在使矽基材之電阻率實質均勻後，執行陽極化是相當重要的。不只在 SOI 基材之製造上，且在其它應用領域上，具有降低低多孔層之多孔矽是相當有利的。

本發明人已確認在清潔空氣中在 200℃ 下退火 20 分鐘可使 p 型矽基底之電阻率在深度方向實質均勻，且在所獲得之多孔層中不會形成低多孔層。

關於在晶圓中由擴散氫所產生之負面效果和其對策方面，已提出數個方案。這些方案並非旨在於形成具有均勻構造之多孔層。日本專利公開案第 7-45573 號揭示藉由在清潔空氣中在 50 至 200℃ 下退火 15 分鐘至 24 小時，以向外擴散由蝕刻所擴散之氫之方法。日本專利公開案第 5-21371 號揭示藉由在惰性氣體或真空下在 350 至 500℃ 下退火，以向外擴散由電漿所擴散之氫之方法。

在深度方向中之矽基材之電阻率可藉由上述之退火而均勻。退火最好在非還原氣體下進行以防止摻雜劑之向外擴散。例如，除了氫、氮、氬等通常使用在半導體製造步驟中當成惰性氣體外，亦可採用清潔空氣或氧氣。特別的，如果矽基材在含氧之氣體中退火時，在基材表面上會形成氧化膜，其可防止摻雜劑之向外擴散。日本專利公開案第 8-306682 號揭示防止向外擴散。由於在含不充足氧氣之氣體中之退火會引起摻雜劑之向外擴散，退火溫度最好小於 1100℃。

如上所述，在陽極化之前，在氧氣中在 50℃ 或更高

(12)

的溫度下，或在稀有氣體中在 50 至 1100℃ 下使矽基材 11 退火可抑制在多孔矽層中產生低多孔層，且可製造具有少量凹陷缺陷(包括針孔)之 SOI 基材。圖 11 為在退火後由陽極化矽基材所獲得之多孔矽層 12 表面附近之構造之示意圖。如上所述，日本專利公開案第 7-45573 號揭示在 50℃ 或更高的溫度下退火。

降低在多孔矽層中之低多孔層有助於使欲形成之 SOI 層厚度均勻。如圖 2A 至 2C 所示，低多孔層 102 在形成非多孔單晶矽層 13 在多孔矽層 12 上時會構成一部份的非多孔單晶矽層 13。因此，低多孔層之厚度之平面上變異或介於基材間之變異會導致非多孔單晶矽層 13 之厚度變異，且可能導致 SOI 層之厚度變異。如果從晶圓製造商等購買之矽基材直接陽極化而未退火時，平面上變異或介於基材間之變異會根據晶圓製造或處理狀態而發生在表面電阻率上。如此會導致在所形成之多孔層中之低多孔層之厚度變異，而進一步導致 SOI 層之厚度變異。因此，使矽基材 11 之電阻率實質均勻或藉由退火等調整在深度方向之電阻率有助於降低不只凹陷缺陷，且亦有助於降低 SOI 層之厚度變異，

其上形成有多孔層之材料基材並不限於 p 型基材。例如，在 n 型基材中，所形成之多孔層構造亦可藉由退火等調整或控制表面電阻率而形成。再者，此材料基材並不限於單晶矽基材。本發明可應用至例如，非矽材料製成之基材，多晶矽基材，以及非晶矽基材。在執行退火以調整或

(13)

控制在材料基材深度方向之電阻率分佈時，所使用之氣體並不限於惰性氣體或氧氣。

[範例]

(範例 1)

15 mΩ · cm 之 p 型矽晶圓在氧氣中在 400℃ 下退火 1 小時，而後陽極化。圖 3 為以 SR 測量評估當執行退火和不執行退火時所獲得之電阻率和深度之關係圖。退火使矽晶圓表面附近(深度 0 至 100 nm 之區域)的電阻率下降，且使在 0 至 300 nm 之區域之電阻率實質均勻。在 300 nm 或更深區域亦受到評估而具有相似的電阻率。圖 4A、4B、5A、5B、6A、6B、9 和 10 為當執行退火和不執行退火時多孔矽構造和深度之關係圖和表。這些資料乃藉由以 0.5 之角度對角的拋光形成在矽晶圓上之多孔矽表面，而後從表面執行 SEM 觀察而獲得的。在退火後的陽極化使介於孔間之多孔壁之厚度(圖 4A、4B、9 和 10)、多孔性(圖 5A、5B、9 和 10)、孔之密度(圖 6A、6B、9 和 10)、和孔尺寸之平均值相關於深度方向更均勻。它們會落在比現在所需容限更窄的範圍內。

在圖 4A、4B、5A、5B、6A、6B、9 和 10 中，孔尺寸為在平行於矽晶圓表面之平面上，藉由轉換孔之截面積所獲得之圓直徑。在獲得這些資料之測量中，在深度方向之解析度(準確度)決定於拋光角度準確度和測量準確度等，且難以以充分高的準確度測量。除了上述測量外，在深

(14)

度方向之準確度可藉由從截面執行 SEM 觀察而確保。在深度方向所獲得之實際準確度約為 2 nm。多孔壁厚度和孔尺寸決定於 SEM 的解析度，且這些值可以約 1 nm 之準確度測量。當執行測量多次以獲得一平均值時，約 0.1 nm 為顯著差異。孔之密度表示在預定可見領域中之孔的數目，且其可以充分高的準確度測量。多孔性表示每單位面積之孔之整體截面積，且多孔性之準確度亦決定於 SEM 之解析度。多孔性藉由測量大量的孔而獲得，且可以相當高的準確度測量。

如圖 4A、4B、5A、5B、6A、6B、9 和 10 所示，在多孔層中之多孔壁之厚度、孔之密度、和多孔性至少在從表面至 0 至 150 nm 深之區域中為實質均勻的。在從表面至此區域外深 5 nm 之區域，在多孔矽層中的孔受到充填以在多孔矽層上形成非多孔矽層。由於可能發生在 SOI 層中的凹陷缺陷降低，在從表面至深 5 nm 區域中的多孔構造無需考量。從表面起深 100 nm 或更深之區域(亦即，不會受到表面附近高電阻率影響之區域)為不會變成低多孔層之區域，除非在陽極化時之陽極化條例改變。此區域具有和目標構造一致的多孔構造且是均勻的。在這些實驗結果中最值得注意的事實是在從表面起深 5 至 100 nm 之區域中之多孔構造(於此量化為如在多孔層中之多孔壁厚度和/或孔之密度和/或多孔性之參數)實質是均勻的，且在此區域之多孔構造實質等於從多孔矽層表面起在深 100 nm 或更深處之多孔構造。

(15)

上述之實驗結果乃藉由使在矽基材表面附近之電阻率均勻而獲得的，其中多孔層以高準確度形成在深度方向，如圖 3 所示。但是，在多孔矽層之多孔構造中之均勻性只需要在滿足使用於多孔矽層之應用需求之範圍內獲得。

如果在從表面起深 5 至 100nm 區域中之每一參數如 在 多 孔 層 中 之 多 孔 壁 厚 度 和 / 或 孔 之 密 度 和 / 或 多 孔 性 為 參 考 值 之 一 半 至 兩 倍 時，則多孔矽層展現比藉由陽極化矽基材而未退火所獲得之多孔矽層更好的效果。使用以說明多孔構造之均勻性，多孔壁厚度，孔之密度，和多孔性等之所謂”實質”意即每一參考值之一半至兩倍的值。純就技術效果而不論生產率或成本效益，此值在均勻性是符合所要求的高。例如，由於在 SOI 層表面平坦度增加及厚度降低需求成長下，多孔構造之均勻性必須增加。在未來，均勻性可能界定更窄的容限，如 0.75 至 1.25 倍，0.8 至 1.2 倍，或 0.9 至 1.1 倍時，每一參考值皆可採用。

上述的參考值可設定成等於從多孔矽層表面起在 100nm 或更深之任意深度上(如 100nm 深，150nm 深等)如 多 孔 層 之 多 孔 壁 厚 度 和 孔 之 密 度 之 參 考 值。

圖 8 為在分割步驟後，藉由蝕刻而進行移除殘留多孔層之 SOI 基材之粗糙度之表。在形成多孔矽層前，藉由退火當成材料基材之矽基材，Rms 值和 P-V 值降低至約一半。在製造具有厚度約 20nm 之 SOI 層之 SOI 基材時，在陽極化前，矽基材受到退火。因此，相較於未退火之例，包括針孔之凹陷缺陷之數目降低至十分之一至百分之一。

(16)

圖 7A 和 7B 為當執行退火和不執行退火時，以 X 射線反射 (XXR) 測量評估和比較多孔矽之密度 (g/cc) 之結果。當不執行退火時，在 5 至 30nm 的深度上觀察到一高密度區，即，一低多孔層。當執行退火時，低多孔層只出現在從表面起深約 7.7Å 處。

(範例 2)

15 mΩ · cm 之 p 型矽晶圓在氮氣中在 150°C 下退火 30 分鐘，而後陽極化。藉由執行退火，低多孔層之厚度降低至未退火情況之一半。在製造 SOI 基材時之包括針孔之缺陷數目降低至約一半。

(範例 3)

15 mΩ · cm 之 p 型矽晶圓在氧氣中在 900°C 下退火 1 小時，而後陽極化。藉由執行退火，低多孔層之厚度變成 1nm 或更小，且在製造 SOI 基材時之包括針孔之缺陷數目降低至約未退火情況之十分之一至百分之一。

(範例 4)

習知的製造方法通常會引起缺陷。更特別而言，由於從晶圓製造商購買之晶圓附近之電阻率的變異，在 SOI 厚度上可能發生 10nm 或更大的平面變異。藉由在氧氣中在 400°C 下使晶圓退火 1 小時後陽極化，所獲得之 SOI 層之厚度變異變成 2nm 或更小。

(17)

(範例 5)

使用無低多孔層之多孔矽可製造一氣體吸收感測器。當矽晶圓受到陽極化而在矽晶圓附近之電阻率不均勻時，在低多孔層中的每一孔收斂，和電導降低。依照本發明，藉由使矽晶圓表面附近之電阻率均勻，而後陽極化矽晶圓，有利於氣體相對於孔之進出，且因此可增加電導。

(範例 6)

使用無低多孔層之多孔矽可製造一生物基材。當矽晶圓受到陽極化而在矽晶圓附近之電阻率不均勻時，在低表面的每一孔收斂，藉以導致多孔性的不充分使用。再者，其難以執行清潔，且從陽極化溶液而來之氫氟酸仍存在，如此會破壞蛋白質和 DNA。依照本發明，藉由使矽晶圓表面附近之電阻率均勻，而後陽極化矽晶圓，可防止孔之收斂。再者，氫氟酸亦難以存留，因此所獲得之基材可以迅速利用當成生物基材。

(範例 7)

使用無低多孔層之多孔矽可製造一 MENS。當矽晶圓受到陽極化而在矽晶圓附近之電阻率不均勻時，一薄膜形成在表面，且因此矽晶圓當成一材料時並不均勻。例如，只有低多孔層在蝕刻時可剝離並當成一外物。如此會造成操作錯誤。依照本發明，藉由使矽晶圓表面附近之電阻率

(18)

均勻，而後陽極化矽晶圓，可提供厚度均勻的 MENS 材料。

(範例 8)

使用無低多孔層之多孔矽可製造一液體接面太陽能電池 (Graetzel cell)。當矽晶圓受到陽極化而在矽晶圓附近之電阻率不均勻時，在低多孔層中的每一孔收斂。因此，溶液置換效率，光吸收效率，和色劑導入效率相當低。依照本發明，藉由使矽晶圓表面附近之電阻率均勻，而後陽極化矽晶圓，有利於光或色劑相對於孔之進出。

由上述之說明可知，本說明書專注於在深度方向之多孔構造之均勻性或改變，其可以例如不超過數 nm 或數十 nm 之高解析度 (高評估標準) 評估。本說明書之觀點完全不同於屬於數或數十 μm 或更大均勻性之技術。更特別而言，在相當低解析度上評估均勻性並無法指示出如本說明書所揭示之技術中之均勻性。

依照本發明之一觀點，即使在以數或數十 nm 或更高的高解析度 (高評估標準) 評估時，亦可獲得具有高均勻性之多孔構造。

依照本發明之另一觀點，藉由使用具有高均勻性之多孔構造，可製造高品質部件 (如 SOI 基材)。

本發明並不限於上述之實施例，且於此仍可達成各種改變和修飾，但其仍屬本發明之精神和範疇。因此，本發明之精神和範疇應由下述申請專利範圍界定之。

(19)

【圖式簡單說明】

圖 1A 至 1F 為依照本發明之較佳實施例之 SOI 基材之製造方法；

圖 2A 至 2C 為形成在多孔矽層表面附近之低多孔層，和突起和凹陷形成在介於多孔矽層和由於低多孔層而形成在上之非多孔矽層間之介面上之處理；

圖 3 為當執行退火和不執行退火時，以 SR 測量評估結果所獲得電阻率對深度之關係圖；

圖 4A 和 4B 為當執行退火和不執行退火時，所獲得之多孔矽之多孔壁之厚度和深度之關係圖；

圖 5A 和 5B 為當執行退火和不執行退火時，所獲得之多孔矽之多孔性和深度之關係圖；

圖 6A 和 6B 為當執行退火和不執行退火時，所獲得之多孔矽之孔之密度和深度之關係圖；

圖 7A 和 7B 為當執行退火和不執行退火時，所獲得之多孔矽之密度和深度之關係圖；

圖 8 為當執行退火和不執行退火時，所獲得之 SOI 基材之表面粗糙度之表，其在分割步驟後已進行蝕刻移除殘留多孔矽；

圖 9 為當執行退火時，多孔矽構造之深度關係表；

圖 10 為當不執行退火時，多孔矽構造之深部關係表；和

圖 11 為藉由退火和陽極化一矽晶圓而獲得之多孔矽

(20)

層表面附近之構造示意圖。

主要元件對照表

1	氫
11	矽基材
12	多孔矽層
13	非多孔單晶矽層
14	氧化矽絕緣層
20	第二基材
30	結合基材堆置
40	SOI 基材
101	粗糙層
102	低多孔層
103	標準多孔層
110	凹陷缺陷

伍、中文發明摘要

發明之名稱：部件及部件製造方法

本發明提供一種即使以數或數十 nm 或更小的高解析度(高評估標準)評估時仍具有高均勻性之多孔構造。藉由應用此多孔構造至 SOI 基材之製造時，可提供具有少數缺陷之 SOI 層之 SOI 基材。在從多孔矽層表面起 5 至 10NM 深之區中，參數值，如表示多孔構造之多孔性等，是均勻的。使用此多孔矽層之 SOI 構造可降低在 SOI 層中之凹陷缺陷。

陸、英文發明摘要

發明之名稱：MEMBER AND MEMBER MANUFACTURING METHOD

A porous structure with high uniformity is provided even when evaluated at a high resolution (high evaluation standard) of several or several ten nm or less. By applying this porous structure to the manufacture of an SOI substrate, an SOI substrate which has an SOI layer with a small number of defects is provided. In a region at a depth of 5 to 10 nm from the surface of a porous Si layer, values of parameters such as porosity and the like which represent a porous structure are uniformed. The manufacture of an SOI substrate using this porous Si layer reduces recessed defects in an SOI layer.

(1)

拾、申請專利範圍

1.一種部件，包括一多孔區，

其中在以矽製成之多孔區表面起在 5 至 100nm 範圍內之深度區中，介於孔間之多孔壁厚度、孔之密度、和多孔性實質是均勻的。

2.一種部件，包括一多孔區，

其中在以矽製成之多孔區表面起在 5 至 100nm 範圍內之深度區中，介於孔間之多孔壁厚度、孔之密度、和多孔性改變成對應參考值之一半至二倍值。

3.一種部件，包括一多孔區，

其中如果在多孔區表面起在 5 至 100nm 範圍內之任意深度上執行評估時，在該範圍內之預定深度上之孔間之多孔壁之厚度平均為從多孔區表面起不小於 100nm 深度上之孔間之多孔壁之厚度平均之一半至兩倍。

4.一種部件，包括一多孔區，

其中如果在多孔區表面起在 5 至 100nm 範圍內之任意深度上執行評估時，在該範圍內之預定深度上之多孔性為從多孔區表面起不小於 100nm 深度上之多孔性之一半至兩倍。

5.一種部件，包括一多孔區，

其中如果在多孔區表面起在 5 至 100nm 範圍內之任意深度上執行評估時，在該範圍內之預定深度上之孔之密度為從多孔區表面起不小於 100nm 深度上之孔之密度之一半至兩倍。

(2)

6.如申請專利範圍第 1 至 5 項中任一項之部件，其中該多孔區包含矽。

7.一種部件製造方法，包含：

一調整步驟，用以調整在一材料表面附近之電阻率；
和

一多孔化步驟，用以藉由陽極化以使從該材料表面至一深部份多孔化，以形成一多孔區。

8.如申請專利範圍第 7 項之方法，其中該調整步驟執行以使從材料表面至 100nm 深度的區域的電阻率在深度方向實質為均勻的。

9.如申請專利範圍第 7 項之方法，其中該調整步驟執行以使在材料表面附近之電阻率在深度方向實質為均勻的。

10.如申請專利範圍第 7 項之方法，其中該調整步驟執行以使在材料表面附近之電阻率降低。

11.如申請專利範圍第 7 項之方法，其中該調整步驟包含使該材料退火的步驟。

12.如申請專利範圍第 11 項之方法，其中該退火步驟包含在含氧氣體中以不小於 50℃ 之溫度使材料退火之步驟。

13.如申請專利範圍第 11 項之方法，其中該退火步驟包含在稀有氣體中以 50℃ 至不小於 1100℃ 之溫度使材料退火之步驟。

14.如申請專利範圍第 11 項之方法，其中該退火步驟

(3)

包含在清潔空氣中使材料退火之步驟。

15.如申請專利範圍第 7 項之方法，進一步包含一成長步驟，用以成長至少包括一半導體層之層在該多孔區上。

16.如申請專利範圍第 15 項之方法，進一步包含一結合步驟，用以結合第二部件至其上形成至少一層之一部件之表面，以形成一結合部件堆疊。

17.如申請專利範圍第 16 項之方法，進一步包含一移除步驟，用以移除從在結合部件堆疊中之部件之曝露表面至該多孔區之部份。

18.如申請專利範圍第 15 項之方法，其中至少一層包括一絕緣層，該絕緣層在半導體層形成後形成。

19.如申請專利範圍第 16 項之方法，其中第二部件之至少一表面以絕緣體製成。

圖 1A

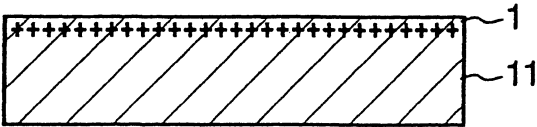


圖 1B

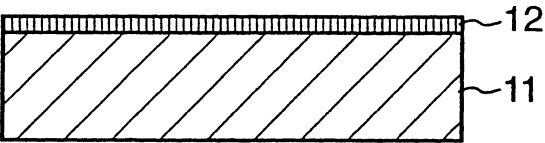


圖 1C

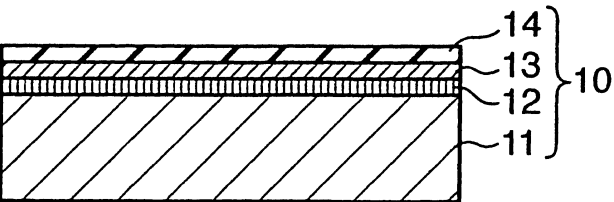


圖 1D

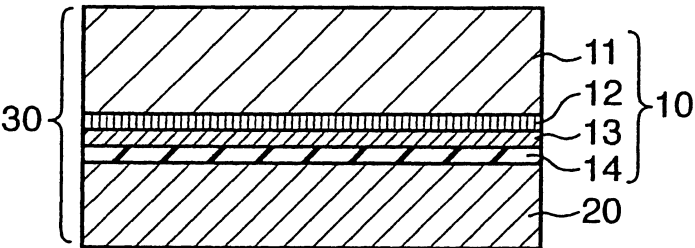


圖 1E

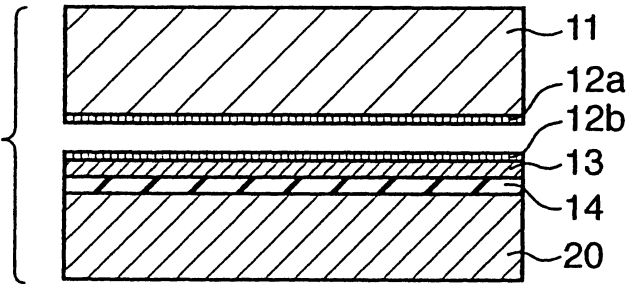


圖 1F

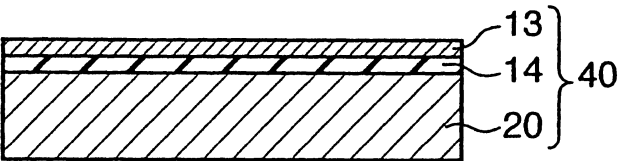


圖2A

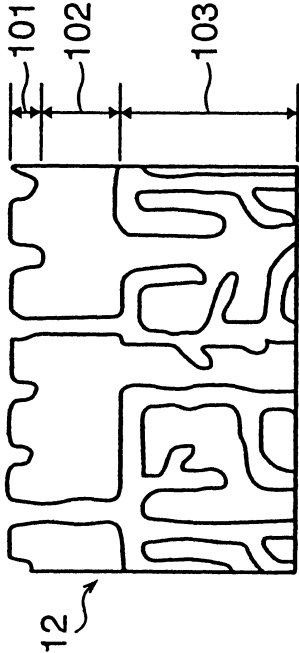


圖2B

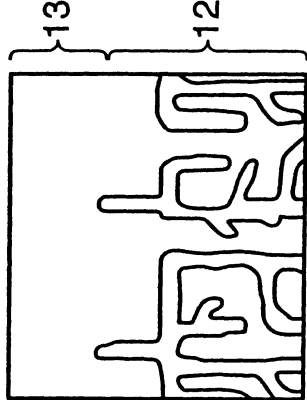


圖2C

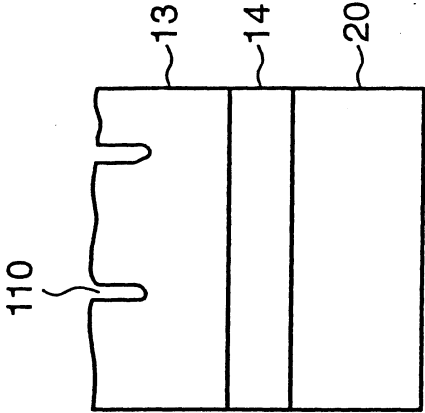


圖3

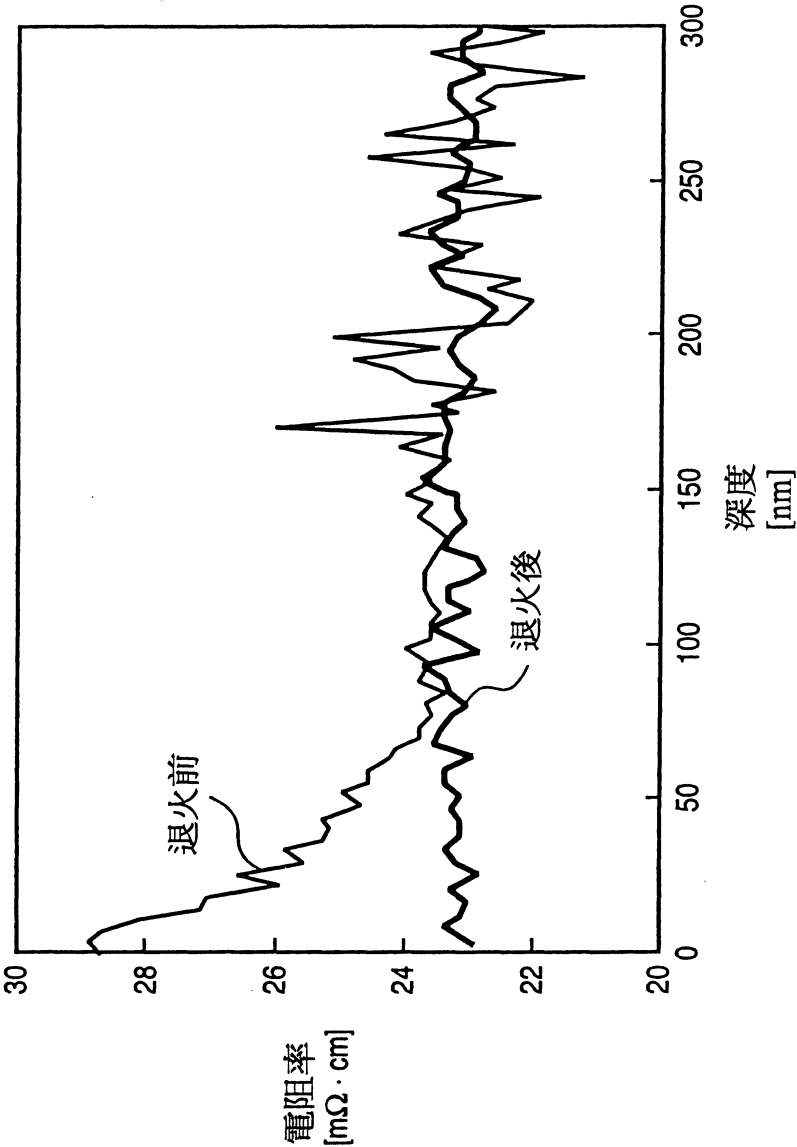


圖 4A

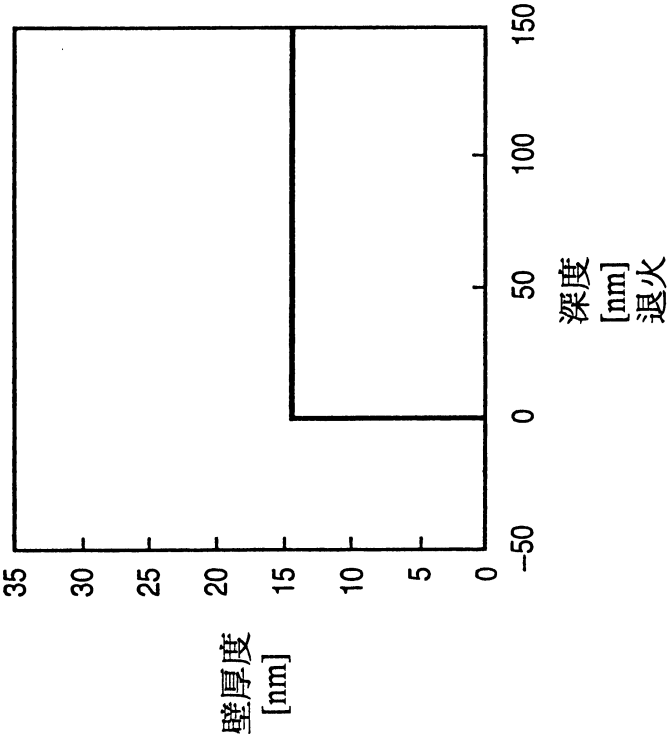


圖 4B

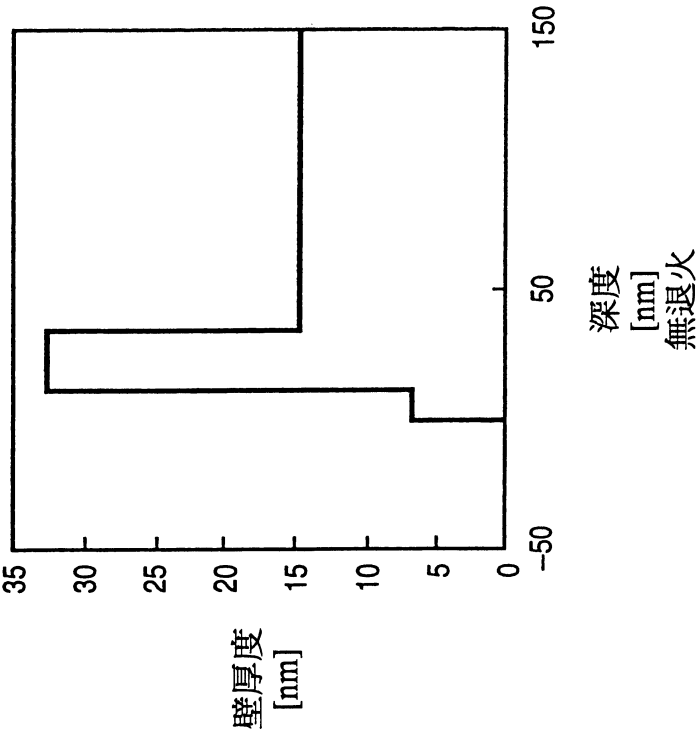


圖5A

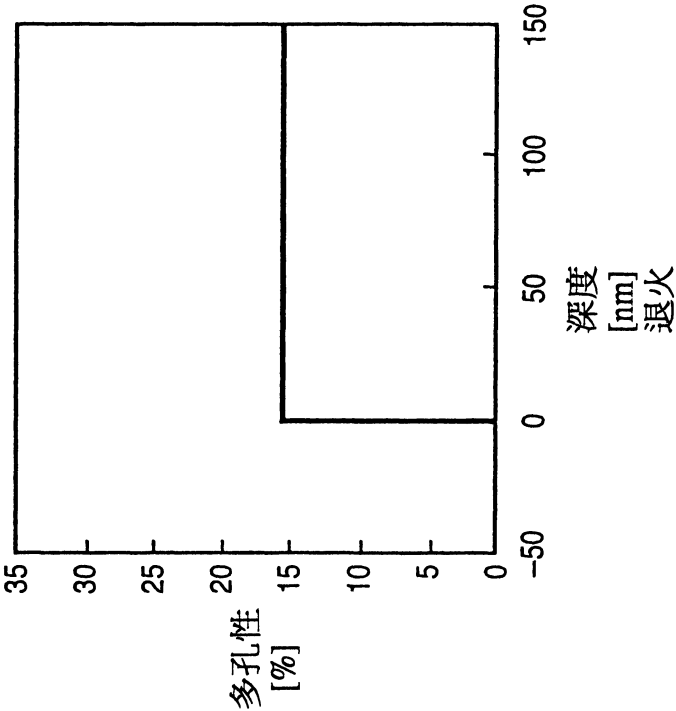


圖5B

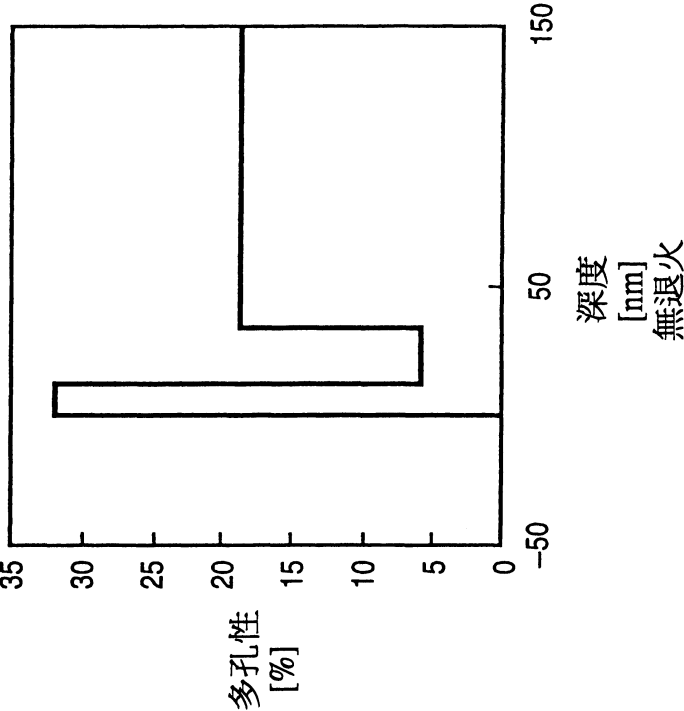


圖6A

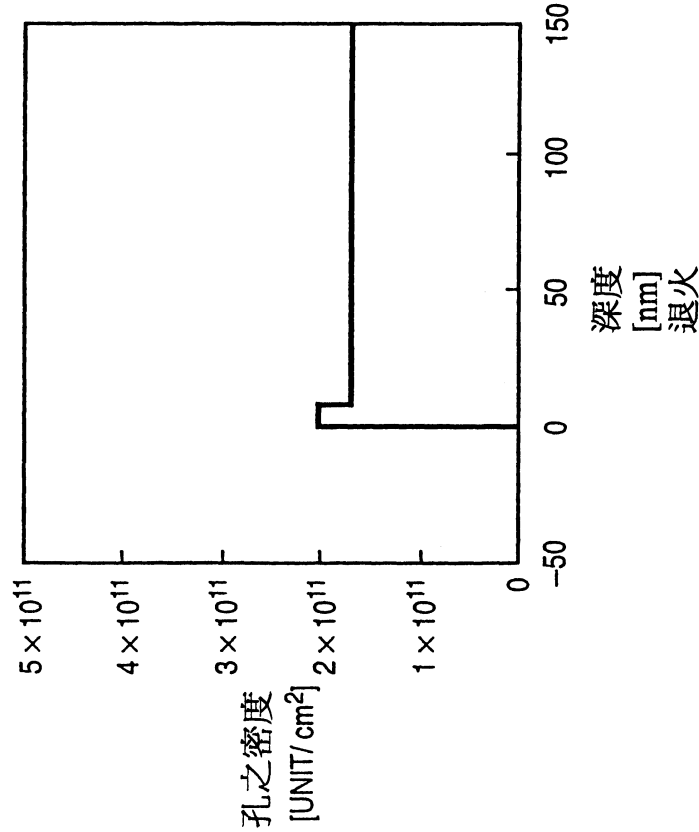


圖6B

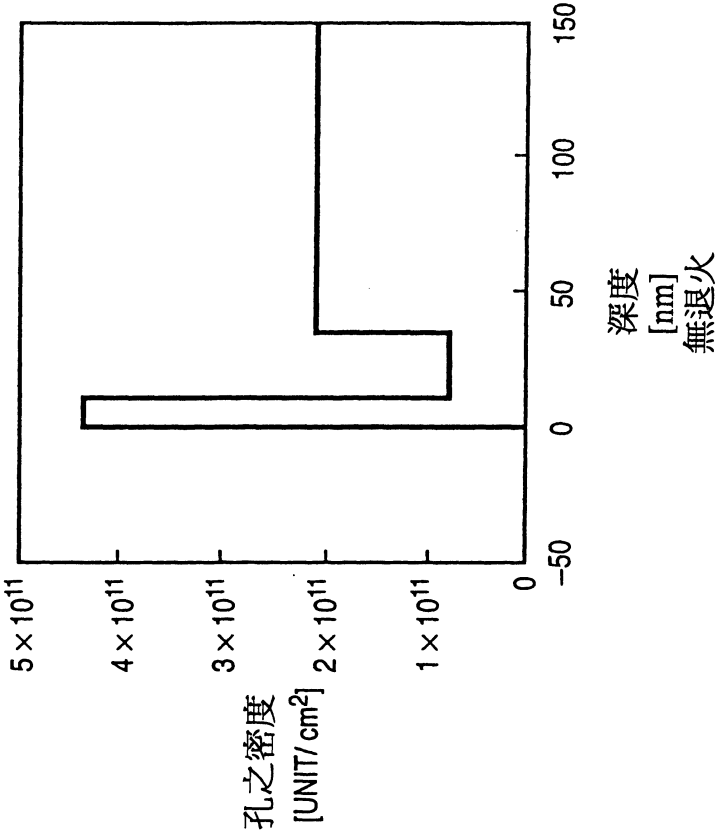


圖 7A

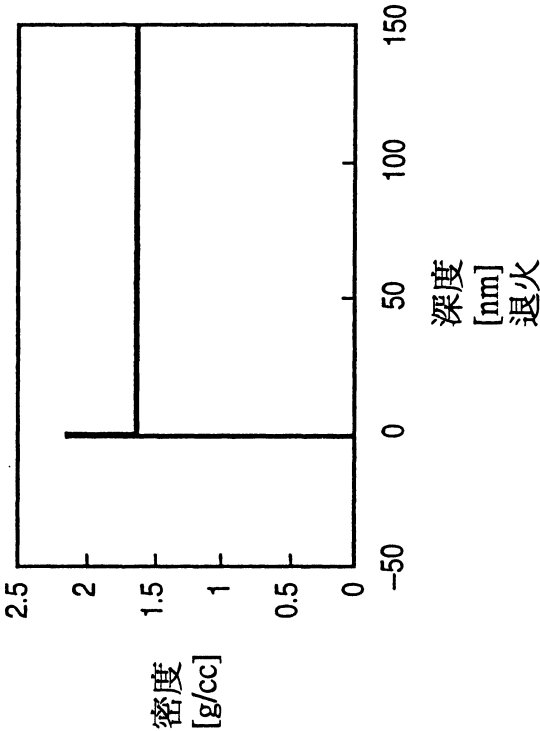


圖 7B

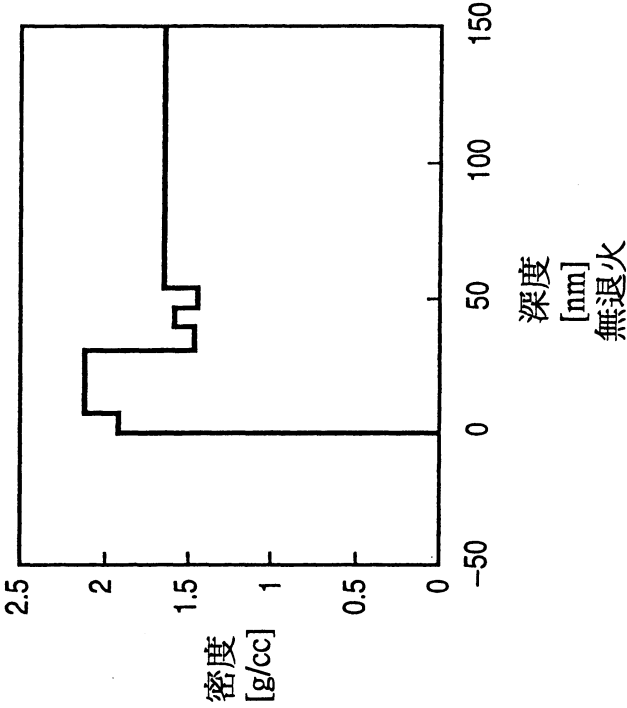


圖 8

	Rms[nm]	P-V[nm]	缺陷數目
退火	5.66	26.50	10000~20000
無退火	11.89	50.50	200~1000

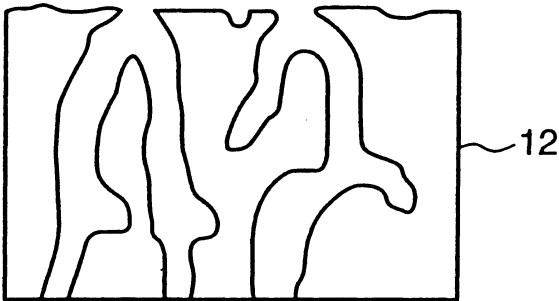
圖9

名稱	深度 [nm]	孔之密度 [UNIT/cm ²]	多孔性 [%]	平均尺寸 [nm]	壁厚度 [nm]
低多孔層	0~8	2.0×10^{11}	15.4	9.5	14.3
標準多孔層	8~	1.7×10^{11}	15.4	9.8	14.3

圖10

名稱	深度 [nm]	孔之密度 [UNIT/cm ²]	多孔性 [%]	平均尺寸 [nm]	壁厚度 [nm]
粗糙層	0~12	4.4×10^{11}	31.8	8.8	6.7
低多孔層	12~35	7.6×10^{10}	5.8	9.5	32.6
標準多孔層	35~	2.1×10^{11}	18.7	9.3	14.6
低多孔層/標準多孔層		0.37	0.31	1.02	2.24

圖 11



- 柒、（一）、本案指定代表圖為：第 5A 圖
（二）、本代表圖之元件代表符號簡單說明：

無

- 捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：