



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월17일
(11) 등록번호 10-1736457
(24) 등록일자 2017년05월10일

(51) 국제특허분류(Int. Cl.)
G11C 16/14 (2006.01) *G11C 16/30* (2006.01)
G11C 16/34 (2006.01)

(21) 출원번호 10-2011-0068825
(22) 출원일자 2011년07월12일
심사청구일자 2016년06월30일
(65) 공개번호 10-2013-0008219
(43) 공개일자 2013년01월22일
(56) 선행기술조사문헌

KR1019990086841 A

(뒷면에 계속)

전체 청구항 수 : 총 20 항

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
남상완
경기도 화성시 동탄문화센터로 39 317동 1401호
(반송동, 시범다은마을포스코더샵아파트)
(74) 대리인
특허법인 고려

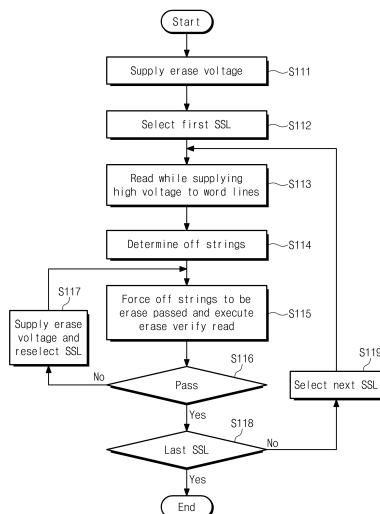
심사관 : 한선경

(54) 발명의 명칭 불휘발성 메모리 장치, 불휘발성 메모리 장치의 소거 방법, 불휘발성 메모리 장치의 동작 방법, 불휘발성 메모리 장치를 포함하는 메모리 시스템, 메모리 시스템의 동작 방법, 불휘발성 메모리 장치를 포함하는 메모리 카드 및 솔리드 스테이트 드라이브

(57) 요 약

본 발명은 불휘발성 메모리 장치의 소거 방법에 관한 것이다. 본 발명의 소거 방법은 복수의 스트링들의 메모리 셀들에 소거 전압을 공급하는 단계, 복수의 스트링들의 메모리 셀들에 연결된 워드 라인들에 고전압을 인가하여 읽기를 수행하는 단계, 그리고 워드 라인들에 고전압보다 낮은 전압을 인가하여 소거 검증을 수행하는 단계로 구성된다.

대 표 도 - 도8



(56) 선행기술조사문현
KR1020010011482 A
KR1020030061877 A
KR100811274 B1
JP2006079695 A
US9240249 B1
US8305807 B2

명세서

청구범위

청구항 1

불휘발성 메모리 장치의 소거 방법에 있어서:

복수의 메모리 셀들에 소거 전압을 공급하는 단계;

상기 복수의 메모리 셀들의 워드 라인들에 읽기 전압을 인가하여 읽기 동작을 수행하는 단계; 그리고

상기 복수의 메모리 셀들의 상기 워드 라인들 중 적어도 하나의 워드 라인에 소거 검증 전압을 인가하여 소거 검증 동작을 수행하는 단계를 포함하고,

상기 소거 검증 전압은 상기 읽기 전압보다 낮고,

상기 복수의 메모리 셀들은 적어도 하나의 더미 셀 및 하나 또는 그보다 많은 메모리 셀들을 포함하고, 상기 적어도 하나의 더미 셀은 상기 읽기 동작 및 상기 소거 검증 동작 시에 상기 메모리 셀들에 공급되는 동작 전압과 다른 전압을 공급받는 소거 방법.

청구항 2

제1 항에 있어서,

상기 읽기 전압은 상기 워드 라인들에 각각 인가되는 하나 또는 그보다 많은 레벨들의 전압들을 포함하는 소거 방법.

청구항 3

제1 항에 있어서,

상기 읽기 전압은 상기 워드 라인들에 인가되는 단일 레벨의 전압을 포함하는 소거 방법.

청구항 4

제1 항에 있어서,

상기 소거 검증 동작은 상기 복수의 메모리 셀들의 상기 워드 라인들 중 대응하는 워드 라인에 따라 가변되고,

상기 소거 검증 전압의 가변되는 레벨들은 상기 읽기 전압보다 낮은 소거 방법.

청구항 5

제1 항에 있어서,

상기 읽기 전압은 상기 복수의 메모리 셀들의 프로그램 상태의 문턱 전압보다 높은 소거 방법.

청구항 6

불휘발성 메모리 장치의 소거 방법에 있어서:

소거 전압을 각각 복수의 메모리 셀들을 포함하는 복수의 스트링들에 공급하는 단계;

상기 복수의 메모리 셀들의 워드 라인들에 읽기 전압을 인가하여 읽기 동작을 수행하는 단계;

상기 읽기 동작의 수행 결과에 따라 하나 또는 그보다 많은 스트링들을 오프 스트링들로 판별하는 단계;

상기 오프 스트링들을 소거 검증 패스로 처리하는 단계; 그리고

상기 복수의 메모리 셀들의 상기 워드 라인들에 소거 검증 전압을 인가하여 소거 검증 동작을 수행하는 단계를 포함하는 소거 방법.

청구항 7

제6 항에 있어서,

상기 소거 검증 동작의 수행 결과에 따라 상기 복수의 스트링들에 수정된 소거 전압을 공급하는 단계를 더 포함하는 소거 방법.

청구항 8

제7 항에 있어서,

상기 복수의 스트링들은 상기 읽기 동작의 결과에 따라 오프 스트링 및 정상 스트링으로 판별되고,

상기 소거 검증 동작은 상기 오프 스트링에서 비트 라인 프리차지 동작이 수행되는 것을 금지하는 것을 포함하는 소거 방법.

청구항 9

제6 항에 있어서,

상기 오프 스트링 및 정상 스트링의 비트 라인들에 프리차지 전압으로서 상이한 전압들을 공급하는 단계; 그리고

상기 소거 검증 동작 시에 상기 복수의 메모리 셀들의 상기 워드 라인들에 소거 검증 전압을 공급하는 단계를 포함하는 소거 방법.

청구항 10

제6 항에 있어서,

상기 복수의 메모리 셀들은 적어도 하나의 더미 셀 및 하나 또는 그보다 많은 메모리 셀들을 포함하고,

상기 적어도 하나의 더미 셀은 상기 읽기 동작 및 상기 소거 검증 동작 시에 상기 메모리 셀들에 공급되는 동작 전압과 다른 전압을 공급받는 소거 방법.

청구항 11

기판 위에서 상기 기판과 수직한 방향을 따라 형성되는 복수의 스트링들을 포함하는 메모리 셀 어레이를 포함하되, 상기 복수의 스트링들 각각은 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치; 그리고

상기 불휘발성 메모리 장치에서 소거 동작을 수행되게 하는 커맨드를 생성하는 컨트롤러를 포함하고,

상기 소거 동작 시에 상기 불휘발성 메모리 장치는,

상기 복수의 스트링들을 소거하고;

상기 복수의 메모리 셀들의 워드 라인들에 읽기 전압을 인가하여 읽기 동작을 수행하고;

상기 읽기 동작의 수행 결과에 따라 하나 또는 그보다 많은 오프 스트링들을 판별하고;

상기 오프 스트링들을 소거 검증 패스로 처리하고; 그리고

상기 복수의 메모리 셀들의 상기 워드 라인들에 소거 검증 전압을 인가하여 소거 검증 동작을 수행하는 메모리 시스템.

청구항 12

제11 항에 있어서,

상기 복수의 스트링들은 상기 복수의 스트링들의 상기 복수의 메모리 셀들을 연결하는 채널막을 포함하고,

상기 오프 스트링들에서 상기 채널막은 결합을 갖는 메모리 시스템.

청구항 13

제11 항에 있어서,

상기 불휘발성 메모리 장치는 상기 복수의 스트링들의 상기 복수의 메모리 셀들을 연결하는 채널막을 포함하고, 상기 오프 스트링들에서 상기 채널막은 상기 기판과 전기적으로 접촉하지 않는 메모리 시스템.

청구항 14

제11 항에 있어서,

상기 불휘발성 메모리 장치는 상기 오프 스트링들에서 상기 소거 검증 동작이 수행되는 것을 금지하는 메모리 시스템.

청구항 15

복수의 메모리 블록들 및 기판을 포함하되, 상기 복수의 메모리 블록들 각각은 상기 기판 위에서 상기 기판과 수직한 방향으로 형성되는 복수의 스트링들을 포함하고, 상기 복수의 스트링들 각각은 복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 복수의 메모리 셀들의 워드 라인들에 읽기 전압을 인가하여 읽기 동작을 수행하는 제어부;

상기 읽기 동작에 의해 판별되는 상기 복수의 스트링들 중 하나 또는 그보다 많은 오프 스트링들의 정보를 저장하는 페이지 버퍼를 포함하고,

상기 제어부는 상기 복수의 메모리 셀들의 상기 워드 라인들 중 적어도 하나의 워드 라인에 소거 검증 전압을 인가하여 소거 검증 동작을 수행하고,

상기 소거 검증 전압은 상기 읽기 전압보다 낮은 불휘발성 메모리 장치.

청구항 16

메모리 시스템의 동작 방법에 있어서:

기판 및 상기 기판 위에서 상기 기판과 수직한 방향으로 형성되는 복수의 스트링들을 포함하되, 각 스트링은 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 소거 동작을 유발하는 커맨드를 컨트롤러가 생성하는 단계; 그리고

상기 생성된 커맨드에 응답하여 상기 불휘발성 메모리 장치에서 상기 소거 동작을 수행하는 단계를 포함하되;

상기 소거 동작은,

상기 복수의 스트링들에서 소거 동작을 수행하는 단계;

상기 복수의 메모리 셀들의 워드 라인들에 읽기 전압을 인가하여 읽기 동작을 수행하는 단계;

상기 읽기 동작의 수행 결과에 따라 하나 또는 그보다 많은 스트링들을 오프 스트링들로 판별하는 단계;

상기 오프 스트링들을 소거 검증 패스로 처리하는 단계; 그리고

상기 복수의 메모리 셀들의 상기 워드 라인들에 소거 검증 전압을 인가하여 소거 검증 동작을 수행하는 단계를 포함하고,

상기 소거 검증 전압은 상기 읽기 전압보다 낮은 동작 방법.

청구항 17

제16 항에 있어서,

상기 오프 스트링들을 소거 검증 패스로 처리하는 단계는,

상기 오프 스트링들에서 상기 소거 검증 동작이 수행되는 것을 금지하는 것을 포함하는 동작 방법.

청구항 18

제16 항에 있어서,

상기 오프 스트링들의 수가 기준값보다 클 때 상기 불휘발성 메모리 장치가 상기 컨트롤러로 응답 신호를 전달하는 단계; 그리고

상기 응답 신호에 응답하여, 상기 컨트롤러가 상기 오프 스트링들이 속한 메모리 블록을 배드 블록으로 판별하는 단계를 더 포함하는 동작 방법.

청구항 19

제16 항에 있어서,

상기 복수의 셀 스트링들이 소거 패스된 후에, 상기 불휘발성 메모리 장치가 상기 오프 스트링들에 대한 정보를 상기 컨트롤러로 전달하는 단계를 더 포함하는 동작 방법.

청구항 20

제16 항에 있어서,

상기 불휘발성 메모리 장치에서 상기 오프 스트링들을 판별하는 상기 읽기 동작을 유발하는 제2 커맨드를 상기 컨트롤러가 상기 불휘발성 메모리 장치로 전달하는 단계; 그리고

상기 불휘발성 메모리 장치가 상기 제2 커맨드에 응답하여 상기 읽기 동작을 수행하고, 그리고 상기 오프 스트링들의 정보를 상기 컨트롤러로 전달하는 단계를 더 포함하는 동작 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

발명의 설명

기술 분야

본 발명은 반도체 메모리에 관한 것으로, 더 상세하게는 불휘발성 메모리 장치, 불휘발성 메모리 장치의 소거 방법, 불휘발성 메모리 장치의 동작 방법, 불휘발성 메모리 장치를 포함하는 메모리 시스템, 그리고 메모리 시스템의 동작 방법에 관한 것이다.

배경 기술

반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리 장치는 크게 노어 타입과 낸드 타입으로 구분된다.

최근에, 반도체 메모리 장치의 집적도를 향상시키기 위하여, 3차원 구조를 갖는 반도체 메모리 장치가 연구되고 있다.

발명의 내용

해결하려는 과제

본 발명의 목적은 향상된 신뢰성을 갖는 불휘발성 메모리 장치, 불휘발성 메모리 장치의 소거 방법, 불휘발성 메모리 장치의 동작 방법, 불휘발성 메모리 장치를 포함하는 메모리 시스템, 메모리 시스템의 동작 방법을 제공하는 데에 있다.

과제의 해결 수단

복수의 스트링들을 포함하고, 각 스트링은 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 소거 방법은, 상기 복수의 스트링들의 메모리 셀들에 소거 전압을 공급하는 단계; 상기 복수의 스트링들의 메모리 셀들에 연결된 워드 라인들에 고전압을 인가하여 읽기를 수행하는 단계; 그리고 상기 워드 라인들에 상기 고전압보다 낮은 전압을 인가하여 소거 검증을 수행하는 단계를 포함한다.

실시 예로서, 상기 소거 검증이 수행될 때, 상기 읽기 시에 오프된 것으로 읽히는 오프 스트링들의 메모리 셀들이 소거 패스된 것으로 처리된다.

실시 예로서, 상기 소거 검증이 수행될 때, 상기 오프 스트링들에 연결된 비트 라인들에 대해, 상기 소거 검증을 위한 프리차지가 금지된다.

실시 예로서, 상기 소거 검증을 수행하는 단계는, 상기 읽기 시에 오프된 것으로 읽히는 오프 스트링들을 제외한 나머지 스트링들에 연결된 비트 라인들에 프리차지 전압을 공급하고, 상기 오프 스트링들에 상기 프리차지 전압보다 낮은 전압을 공급하는 단계; 상기 워드 라인들에 검증 전압을 공급하는 단계; 상기 복수의 스트링들에 연결된 비트 라인들 중 기준 전압보다 높은 전압을 갖는 비트 라인이 존재하면, 소거 폐일로 판별하는 단계; 그리고 상기 비트 라인들의 전압이 상기 기준 전압보다 낮으면, 소거 패스로 판별하는 단계를 포함한다.

실시 예로서, 상기 고전압은 상기 복수의 스트링들의 메모리 셀들이 프로그램된 때의 최상위 문턱 전압을 갖는 프로그램 스테이트에 대응하는 프로그램 검증 전압보다 높은 레벨을 갖는다.

실시 예로서, 상기 고전압은 읽기 동작 시에 비선택된 워드 라인들에 공급되는 비선택 읽기 전압이다.

실시 예로서, 상기 소거 검증 읽기 결과가 소거 폐일이면, 상기 소거 전압을 공급하는 단계 및 상기 소거 검증을 수행하는 단계가 다시 수행된다.

실시 예로서, 상기 복수의 스트링들은 복수의 그룹들로 나뉘어 복수의 스트링 선택 라인들에 각각 연결되고, 상기 소거 방법은 상기 복수의 스트링 선택 라인들 중 첫 번째 스트링 선택 라인을 선택하는 단계를 더 포함하고, 상기 읽기를 수행하는 단계 및 상기 소거 검증을 수행하는 단계는, 상기 선택된 스트링 선택 라인에 연결된 스트링들에 대해 수행된다.

실시 예로서, 상기 소거 검증 읽기 결과가 소거 패스이고, 상기 선택된 스트링 선택 라인이 마지막 스트링 선택 라인이 아니면, 상기 복수의 스트링 선택 라인들 중 다음 스트링 선택 라인이 선택되고 상기 읽기를 수행하는 단계 및 상기 소거 검증을 수행하는 단계가 다시 수행된다.

실시 예로서, 상기 소거 검증 읽기 결과가 소거 패스이고, 상기 선택된 스트링 선택 라인이 마지막 스트링 선택 라인이면, 소거가 종료된다.

실시 예로서, 상기 오프 스트링들의 수가 제 1 값 이상이면, 에러 메시지가 발생되고 소거가 종료된다.

실시 예로서, 상기 복수의 스트링들의 더미 메모리 셀들은 적어도 하나의 더미 워드 라인에 연결되고, 상기 고전압은 상기 복수의 스트링들에 연결된 모든 워드 라인들에 인가되고, 상기 읽기를 수행하는 단계에서, 상기 적어도 하나의 더미 워드 라인에 상기 고전압과 다른 레벨을 갖는 제 2 고전압이 인가된다.

실시 예로서, 상기 읽기의 결과에서 오프로 읽어진 오프 스트링들을 판별하는 단계를 더 포함하고, 상기 소거 검증을 수행하는 단계는, 상기 복수의 스트링들 중 상기 오프 스트링들로 판별된 스트링들에 연결된 비트 라인들에 프리차지를 금지하는 단계; 그리고 상기 복수의 스트링들 중 나머지 스트링들에 프리차지를 수행하는 단계를 포함한다.

복수의 스트링들을 포함하고, 각 스트링은 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 동작 방법은, 커맨드를 수신하는 단계; 상기 커맨드에 응답하여, 상기 복수의 스트링들의 메모리 셀들에 연결된 모든 워드 라인들에 고전압을 인가하여 읽기를 수행하는 단계; 그리고 상기 읽기 시에 오프로 읽히는 오프 스트링들에 대한 정보를 출력하는 단계를 포함하고, 상기 고전압은 상기 복수의 스트링들의 메모리 셀들이 프로그램된 때의 최상위 문턱 전압을 갖는 프로그램 스테이트에 대응하는 프로그램 검증 전압 보다 높은 레벨을 갖는다.

실시 예로서, 상기 오프 스트링들에 대한 정보를 출력하는 단계는 상기 오프 스트링들의 수를 출력하는 단계를 포함한다.

실시 예로서, 상기 오프 스트링들에 대한 정보를 출력하는 단계는 상기 읽기의 결과를 출력하는 단계를 포함한다.

실시 예로서, 상기 복수의 스트링들은 복수의 그룹들로 나뉘어 복수의 스트링 선택 라인들에 각각 연결되고, 상기 동작 방법은 상기 복수의 스트링 선택 라인들 중 첫 번째 스트링 선택 라인을 선택하는 단계를 더 포함하고, 상기 읽기를 수행하는 단계는 상기 선택된 스트링 선택 라인에 연결된 스트링들에 대해 수행된다.

실시 예로서, 상기 출력하는 단계 이후에, 상기 선택된 스트링 선택 라인이 마지막 스트링 선택 라인이 아니면, 상기 복수의 스트링 선택 라인들 중 다음 스트링 선택 라인을 선택하고, 상기 읽기를 수행하는 단계 및 상기 오프 스트링들에 대한 정보를 출력하는 단계가 다시 수행된다.

실시 예로서, 상기 출력하는 단계 이후에, 상기 선택된 스트링 선택 라인이 마지막 스트링 선택 라인이면, 동작이 종료된다.

실시 예로서, 상기 복수의 스트링들의 더미 메모리 셀들은 적어도 하나의 더미 워드 라인에 연결되고, 상기 고전압은 상기 복수의 스트링들에 연결된 모든 워드 라인들에 인가되고, 상기 읽기를 수행하는 단계에서, 상기 적어도 하나의 더미 워드 라인에 상기 고전압과 다른 레벨을 갖는 제 2 고전압이 인가된다.

기판 상에 제공되는 복수의 스트링들을 포함하고, 상기 복수의 스트링들 각각은 상기 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 동작 방법은, 상기 복수의 스트링들에 연결된 복수의 스트링 선택 라인들 중 첫 번째 스트링 선택 라인을 선택하는 단계; 상기 복수의 스트링들에 연결된 워드 라인들에 고전압을 인가하여 읽기를 수행하는 단계; 상기 읽기가 수행될 때 오프로 읽어진 오프 스트링들을 검출하는 단계; 그리고 상기 복수의 스트링 선택 라인들 중 마지막 스트링 선택 라인이 선택될 때까지 상기 복수의 스트링 선택 라인들을 순차적으로 선택하며, 상기 읽기를 수행하는 단계 및 상기 오프 스트링들을 검출하는 단계를 반복하는 단계를 포함하고, 상기 고전압은 상기 복수의 스트링들의 메모리 셀들이 프로그램된 때의 최상위 문턱 전압을 갖는 프로그램 스테이트에 대응하는 프로그램 검증 전압 보다 높은 레벨을 갖는다.

실시 예로서, 상기 오프 스트링들에 대한 정보를 출력하는 단계를 더 포함하고, 상기 복수의 스트링 선택 라인들 중 마지막 스트링 선택 라인이 선택될 때까지 상기 복수의 스트링 선택 라인들을 순차적으로 선택하며, 상기 읽기를 수행하는 단계 및 상기 오프 스트링들을 검출하는 단계가 반복될 때, 상기 오프 스트링들에 대한 정보를 출력하는 단계가 함께 반복된다.

불휘발성 메모리 장치 및 상기 불휘발성 메모리 장치를 제어하도록 구성되는 컨트롤러를 포함하고, 상기 불휘발성 메모리 장치는 복수의 스트링들을 포함하고, 상기 복수의 스트링들 각각은 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법은, 상기 컨트롤러가 상기 불휘발성 메모리 장치에 커맨드를 전송하는 단계; 상기 커맨드에 응답하여, 상기 불휘발성 메모리 장치가 상기 복수의 스트링들에 연결된 모든 워드 라인들에 동일 레벨의 고전압을 인가하여 읽기를 수행하는 단계; 상기 불휘발성 메모리 장치가 상기 읽기

시에 오프로 읽힌 오프 스트링들에 대한 정보를 상기 컨트롤러로 전송하는 단계; 그리고 상기 컨트롤러가 상기 전송된 정보를 저장하는 단계를 포함한다.

실시 예로서, 상기 고전압은 상기 복수의 스트링들의 메모리 셀들이 프로그램된 때의 최상위 문턱 전압을 갖는 프로그램 스테이트에 대응하는 프로그램 검증 전압보다 높은 레벨을 갖는다.

실시 예로서, 상기 읽기의 결과는 오프를 가리키는 제 1 논리값들 및 온을 가리키는 제 2 논리값들을 포함하고, 상기 오프 스트링 데이터는 상기 제 1 논리값들의 수를 포함한다.

실시 예로서, 상기 오프 스트링 데이터는 상기 읽기의 결과를 포함한다.

실시 예로서, 상기 컨트롤러가 상기 저장된 오프 스트링 데이터 및 소거 커맨드를 상기 불휘발성 메모리 장치로 전송하는 단계; 그리고 상기 불휘발성 메모리 장치가 상기 전송된 오프 스트링 데이터 및 상기 소거 커맨드에 응답하여 소거를 수행하는 단계를 더 포함한다.

실시 예로서, 상기 소거의 결과가 소거 폐일이면, 상기 커맨드를 전송하는 단계, 상기 읽기를 수행하는 단계, 상기 정보를 전송하는 단계, 그리고 상기 전송된 정보를 저장하는 단계가 다시 수행된다.

실시 예로서, 상기 컨트롤러가 상기 불휘발성 메모리 장치로 읽기 커맨드를 전송하는 단계; 상기 불휘발성 메모리 장치가 상기 컨트롤러로 상기 읽기 커맨드에 따른 읽기 결과를 전송하는 단계; 그리고 상기 컨트롤러가 상기 저장된 오프 스트링 데이터를 이용하여 상기 전송된 읽기 결과의 에러를 정정하는 단계를 더 포함한다.

실시 예로서, 상기 컨트롤러가 쓰기 데이터 및 상기 저장된 오프 스트링 데이터를 이용하여 코드 워드를 생성하는 단계; 상기 컨트롤러가 상기 불휘발성 메모리 장치로 상기 생성된 코드 워드 및 쓰기 커맨드를 전송하는 단계; 그리고 상기 쓰기 커맨드에 응답하여 상기 불휘발성 메모리 장치가 상기 전송된 코드 워드를 쓰는 단계를 더 포함한다.

실시 예로서, 상기 컨트롤러가 상기 저장된 오프 스트링 데이터 및 제 2 커맨드를 상기 불휘발성 메모리 장치로 전송하는 단계; 그리고 상기 제 2 커맨드에 응답하여 상기 불휘발성 메모리 장치가 상기 컨트롤러로부터 전송된 오프 스트링 데이터를 쓰는 단계를 더 포함한다.

실시 예로서, 상기 복수의 스트링들은 베퍼 영역 및 사용자 데이터가 쓰여지는 데이터 영역으로 구분되고, 상기 컨트롤러로부터 전송된 오프 스트링 데이터는 상기 베퍼 영역에 쓰여진다.

실시 예로서, 상기 컨트롤러가 상기 불휘발성 메모리 장치에 제 3 커맨드를 전송하는 단계; 상기 제 3 커맨드에 응답하여, 상기 불휘발성 메모리 장치가 상기 베퍼 영역으로부터 상기 쓰여진 오프 스트링 데이터를 읽고, 상기 베퍼 영역으로부터 읽어진 오프 스트링 데이터를 상기 컨트롤러로 전송하는 단계를 더 포함한다.

실시 예로서, 상기 컨트롤러가 상기 제 3 커맨드에 응답하여 전송된 오프 스트링 데이터를 저장하는 단계를 더 포함한다.

본 발명의 실시 예에 따른 메모리 시스템은, 불휘발성 메모리 장치; 그리고 상기 불휘발성 메모리 장치를 제어하도록 구성되는 컨트롤러를 포함하고, 상기 불휘발성 메모리 장치는 복수의 스트링들을 포함하고, 상기 복수의 스트링들 각각은 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 상기 컨트롤러로부터 전송되는 커맨드에 응답하여, 상기 복수의 스트링들에 연결된 워드 라인들에 고전압을 인가하여 읽기를 수행하고 읽기 결과를 출력하도록 구성되는 읽기 및 쓰기부; 상기 출력된 읽기 결과를 수신하고, 상기 읽기 시에 오프로 읽어진 오프 스트링들의 수를 카운트하고 카운트 결과를 출력하도록 구성되는 카운팅부; 그리고 상기 출력된 읽기 결과 또는 상기 출력된 카운트 결과를 오프 스트링에 대한 정보로서 출력하도록 구성되는 데이터 입출력 회로를 포함하고, 상기 컨트롤러는 상기 컨트롤러는 상기 출력된 오프 스트링에 대한 정보에 기반하여 상기 불휘발성 메모리 장치를 제어하도록 구성된다.

실시 예로서, 상기 컨트롤러는 쓰기 커맨드 및 상기 오프 스트링에 대한 정보를 상기 불휘발성 메모리 장치로 전송하도록 더 구성되고, 상기 읽기 및 쓰기부는 상기 쓰기 커맨드에 응답하여 상기 오프 스트링에 대한 정보를 상기 메모리 셀 어레이에 쓰도록 더 구성된다.

실시 예로서, 상기 복수의 스트링들은 기판 상에 제공되고, 상기 복수의 스트링들 각각의 메모리 셀들은 상기 기판과 수직한 방향으로 적층된다.

실시 예로서, 상기 메모리 셀 어레이는, 상기 기판과 수직한 방향으로 교대로 적층된 도전 물질들 및 절연 물질

들을 포함하는 복수의 구조물들; 그리고 상기 기판과 수직한 방향으로 상기 복수의 구조물들을 관통하여 상기 기판과 접촉하는 복수의 필라들을 더 포함하고, 상기 복수의 구조물들 및 상기 복수의 필라들은 상기 복수의 스트링들을 구성한다.

실시 예로서, 상기 메모리 셀 어레이는 상기 기판 중 상기 복수의 구조물들 사이의 부분에 제공되는 복수의 도핑 영역들을 더 포함하고, 상기 복수의 도핑 영역들은 상기 복수의 스트링들에 공통으로 연결되는 공통 소스 라인을 구성한다.

실시 예로서, 상기 메모리 셀 어레이는, 상기 기판 상의 제 1 방향 및 제 3 방향을 따라 신장되고, 그리고 상기 기판과 교차하는 제 2 방향을 따라 교대로 적층된 도전 물질들 및 절연 물질들을 포함하는 구조물; 그리고 상기 제 1 방향 및 제 3 방향을 따라 서로 이격되고 상기 제 2 방향을 따라 상기 구조물을 관통하여 상기 기판에 접촉하는 필라들을 더 포함하고, 상기 기판 상에서 상기 제 1 방향은 상기 제 3 방향과 교차하고, 상기 구조물 및 상기 필라들은 상기 복수의 스트링들을 구성한다.

실시 예로서, 상기 메모리 셀 어레이는, 상기 기판 상의 제 1 방향을 따라 신장되고, 상기 기판 상의 제 3 방향을 따라 서로 이격되고, 그리고 상기 기판과 교차하는 제 2 방향을 따라 교대로 적층되는 도전 물질들 및 절연 물질들을 포함하는 구조물들; 그리고 상기 제 2 방향을 따라서 상기 구조물을 관통하여 상기 기판에 접촉하고, 상기 제 3 방향을 따라 서로 이격되는 필라들을 더 포함하고, 제 1 구조물을 관통하는 하나의 필라는 상기 기판에서 상기 제 3 방향을 따라 신장되어 제 2 구조물을 관통하는 다른 하나의 필라와 서로 연결되고, 상기 구조물들 및 상기 필라 쌍들은 상기 복수의 스트링들을 구성한다.

복수의 스트링들을 포함하고, 각 스트링은 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 소거 방법은, 상기 복수의 스트링들의 메모리 셀들에 소거 전압을 공급하는 단계; 상기 복수의 스트링들의 메모리 셀들에 연결된 워드 라인들에 고전압을 인가하여 읽기를 수행하는 단계; 그리고 상기 읽기의 결과에 기반하여, 오프로 읽어지는 오프 스트링들을 판별하는 단계; 상기 오프 스트링들에 프리 차지를 금지하고, 나머지 스트링들에 프리차지를 수행하고, 상기 워드 라인들에 상기 고전압보다 낮은 전압을 인가하여 소거 검증을 수행하는 단계를 포함한다.

본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 복수의 스트링들을 포함하고, 각 스트링은 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 워드 라인들을 통해 상기 복수의 스트링들의 메모리 셀들과 연결되고, 프리 (pre) 읽기 시에 상기 워드 라인들에 고전압을 공급하고 소거 검증 시에 상기 워드 라인들에 소거 검증 전압을 공급하도록 구성되는 어드레스 디코딩부; 비트 라인들을 통해 상기 복수의 스트링들과 연결되고, 상기 프리 읽기 시에 상기 비트 라인들에 프리차지 전압을 공급하고 프리 읽기 결과를 저장하고, 상기 소거 검증 시에 상기 비트 라인들 중 일부에 저전압을 공급하고 나머지 일부에 상기 프리차지 전압을 공급하고 소거 검증 읽기 결과를 저장도록 구성되는 페이지 베퍼부; 그리고 상기 소거 검증 시에 상기 페이지 베퍼부로부터 상기 소거 검증 읽기 결과를 수신하고, 상기 소거 검증 읽기 결과 중 상기 제 1 논리값이 존재하면 페일 신호를 발생하고, 상기 제 1 논리값이 존재하지 않으면 패스 신호를 발생하는 패스/페일 체킹부를 포함하고, 상기 소거 검증 시에, 상기 페이지 베퍼부는 상기 프리 읽기 시에 상기 제 1 논리값으로 읽어지는 비트 라인들에 상기 저전압을 공급하고, 상기 프리 읽기 시에 상기 제 1 논리값과 다른 제 2 논리값으로 읽어지는 비트 라인들에 상기 프리차지 전압을 공급하도록 더 구성된다.

실시 예로서, 소거 커맨드가 수신될 때, 상기 메모리 셀 어레이에 소거 전압이 공급되고, 상기 프리 읽기가 수행된 후 상기 소거 검증이 수행된다.

실시 예로서, 상기 프리 읽기 시에 상기 페이지 베퍼부로부터 상기 프리 읽기 결과를 수신하고, 상기 프리 읽기 결과 중 소거 페일을 가리키는 제 1 논리값의 수를 카운트하는 카운팅부를 더 포함하고, 상기 카운트 결과가 제 1 값 보다 크면, 에러 메시지가 발생되고 소거가 중지된다.

실시 예로서, 상기 복수의 스트링들은 복수의 그룹들로 나뉘어 각각 복수의 스트링 선택 라인들을 통해 상기 어드레스 디코딩부에 연결되고, 상기 소거 커맨드가 수신될 때, 상기 어드레스 디코딩부는 상기 복수의 스트링 선택 라인들 중 첫 번째 스트링 선택 라인에 연결된 스트링들이 상기 비트 라인들에 연결되도록 상기 첫 번째 스트링 선택 라인을 선택한다.

본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 복수의 스트링들을 포함하고, 각 스트링은 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 워드 라인들을 통해 상기 복수의 스트링들의 메모리 셀들과 연결되고, 프리(pre) 읽기 시에 상기 워드 라인들에 고전압을 공급하도록 구성되는 어드레스

디코딩부; 그리고 비트 라인들을 통해 상기 복수의 스트링들과 연결되고, 상기 프리 읽기 시에 상기 비트 라인들에 프리차지 전압을 공급하고, 프리 읽기 결과를 저장하도록 구성되는 페이지 버퍼부를 포함하고, 상기 고전압은 상기 복수의 스트링들의 메모리 셀들이 프로그램된 때의 최상위 문턱 전압을 갖는 프로그램 스테이트에 대응하는 프로그램 검증 전압 보다 높은 레벨을 갖는다.

실시 예로서, 각 스트링은 적어도 하나의 더미 메모리 셀을 더 포함하고, 상기 복수의 스트링들의 더미 메모리 셀들은 적어도 하나의 더미 워드 라인을 통해 상기 어드레스 디코딩부에 연결되고, 상기 프리 읽기 시에, 상기 고전압은 모든 워드 라인들에 공급되고, 상기 프리 읽기 시에, 상기 적어도 하나의 더미 워드 라인에 상기 고전압과 다른 레벨을 갖는 제 2 고전압이 공급된다.

본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 복수의 스트링들을 포함하고, 각 스트링은 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 워드 라인들을 통해 상기 복수의 스트링들의 메모리 셀들과 연결되고, 소거 검증 시에 상기 워드 라인들에 소거 검증 전압을 공급하도록 구성되는 어드레스 디코딩부; 비트 라인들을 통해 상기 복수의 스트링들과 연결되고, 상기 소거 검증 시에 소거 검증 읽기 결과를 저장하도록 구성되는 페이지 버퍼부; 상기 페이지 버퍼부로부터 상기 소거 검증 읽기 결과를 수신하고, 상기 읽기 결과 중 소거 폐일을 가리키는 제 1 논리값의 수를 카운트하는 카운팅부; 그리고 상기 카운팅부로부터 카운트 결과를 수신하고, 상기 카운트 결과가 제 2 값 이하이면 패스 신호를 출력하고, 상기 카운트 결과가 상기 제 2 값보다 크면 폐일 신호를 출력하도록 구성되는 패스/폐일 체킹부를 포함한다.

본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 복수의 스트링들을 포함하고, 각 스트링은 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 워드 라인들을 통해 상기 복수의 스트링들의 메모리 셀들과 연결되고, 소거 검증 시에 상기 워드 라인들에 소거 검증 전압을 공급하도록 구성되는 어드레스 디코딩부; 비트 라인들을 통해 상기 복수의 스트링들과 연결되고, 상기 소거 검증 시에 소거 검증 읽기 결과를 저장하고, 상기 소거 검증 읽기 결과에 따라 합 신호 및 캐리 신호를 발생하도록 구성되는 페이지 버퍼부; 상기 페이지 버퍼부로부터 상기 합 신호를 수신하고, 상기 합 신호가 활성화되는 수를 카운트하도록 구성되는 카운팅부; 그리고 상기 페이지 버퍼부로부터 상기 캐리 신호를 수신하고, 상기 카운팅부로부터 카운트 값을 수신하고, 상기 캐리 신호가 활성화되면 폐일 신호를 출력하고, 상기 카운트 값이 제 3 값 이하이면 패스 신호를 출력하고, 상기 카운트 값이 상기 제 3 값보다 크면 상기 폐일 신호를 출력하도록 구성되는 패스/폐일 체킹부를 포함한다.

복수의 스트링들을 포함하고, 각 스트링은 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 소거 방법은, 상기 복수의 스트링들의 메모리 셀들에 소거 전압을 공급하는 단계; 상기 복수의 스트링들의 메모리 셀들을 소거 검증하는 단계; 그리고 상기 소거 검증 시에 소거 폐일된 폐일 스트링들의 수를 카운트하는 단계를 포함하고, 상기 폐일 스트링들의 수가 제 2 값 보다 크면, 상기 소거 전압을 공급하는 단계, 상기 소거 검증하는 단계, 그리고 상기 폐일 스트링들의 수를 카운트하는 단계가 다시 수행된다.

복수의 스트링들을 포함하고, 각 스트링은 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 소거 방법은, 상기 복수의 스트링들의 메모리 셀들에 소거 전압을 공급하는 단계; 상기 복수의 스트링들의 메모리 셀들을 소거 검증하는 단계; 그리고 상기 소거 검증 시에 소거 폐일된 폐일 스트링들의 수를 카운트하는 단계를 포함하고, 소거 검증 읽기 결과는 복수의 그룹들로 분할되고, 상기 복수의 그룹들 중 적어도 하나의 그룹의 카운트 결과가 제 3 값 이상이면, 상기 소거 전압을 공급하는 단계, 상기 소거 검증하는 단계, 그리고 상기 카운트하는 단계가 다시 수행되고, 상기 복수의 그룹들 각각의 카운트 결과가 상기 제 3 값 보다 작고, 상기 복수의 그룹들의 카운트 결과가 제 4 값 보다 크면, 상기 소거 전압을 공급하는 단계, 상기 소거 검증하는 단계, 그리고 상기 카운트하는 단계가 다시 수행되고, 상기 복수의 그룹들 각각의 카운트 결과가 상기 제 3 값 보다 작고, 상기 복수의 그룹들의 카운트 결과가 상기 제 4 값 이하이면, 상기 소거가 종료된다.

본 발명의 실시 예에 따른 메모리 카드는, 불휘발성 메모리 장치; 그리고 상기 불휘발성 메모리 장치를 제어하도록 구성되는 컨트롤러를 포함하고, 상기 불휘발성 메모리 장치는, 복수의 스트링들을 포함하고, 각 스트링은 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 워드 라인들을 통해 상기 복수의 스트링들의 메모리 셀들과 연결되고, 프리(pre) 읽기 시에 상기 워드 라인들에 고전압을 공급하도록 구성되는 어드레스 디코딩부; 그리고 비트 라인들을 통해 상기 복수의 스트링들과 연결되고, 상기 프리 읽기 시에 상기 비트 라인들에 프리차지 전압을 공급하고, 프리 읽기 결과를 저장하도록 구성되는 페이지 버퍼부를 포함하

고, 상기 고전압은 상기 복수의 스트링들의 메모리 셀들이 프로그램된 때의 최상위 문턱 전압을 갖는 프로그램 스테이트에 대응하는 프로그램 검증 전압 보다 높은 레벨을 갖는다.

본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD, Solid State Drive)는, 불휘발성 메모리 장치; 그리고 상기 불휘발성 메모리 장치를 제어하도록 구성되는 컨트롤러를 포함하고, 상기 불휘발성 메모리 장치는, 복수의 스트링들을 포함하고, 각 스트링은 기판과 수직한 방향으로 적층된 복수의 메모리 셀들을 포함하는 메모리 셀 어레이; 워드 라인들을 통해 상기 복수의 스트링들의 메모리 셀들과 연결되고, 프리(pre) 읽기 시에 상기 워드 라인들에 고전압을 공급하도록 구성되는 어드레스 디코딩부; 그리고 비트 라인들을 통해 상기 복수의 스트링들과 연결되고, 상기 프리 읽기 시에 상기 비트 라인들에 프리차지 전압을 공급하고, 프리 읽기 결과를 저장하도록 구성되는 페이지 버퍼부를 포함하고, 상기 고전압은 상기 복수의 스트링들의 메모리 셀들이 프로그램된 때의 최상위 문턱 전압을 갖는 프로그램 스테이트에 대응하는 프로그램 검증 전압 보다 높은 레벨을 갖는다.

발명의 효과

본 발명에 따르면, 공정 상의 오류로 인해 오프된 스트링들이 존재해도, 정상적으로 동작하는 불휘발성 메모리 장치, 불휘발성 메모리 장치의 소거 방법, 불휘발성 메모리 장치의 동작 방법, 불휘발성 메모리 장치를 포함하는 메모리 시스템, 그리고 메모리 시스템의 동작 방법이 제공된다. 따라서, 향상된 신뢰성을 갖는 불휘발성 메모리 장치, 불휘발성 메모리 장치의 소거 방법, 불휘발성 메모리 장치의 동작 방법, 불휘발성 메모리 장치를 포함하는 메모리 시스템, 그리고 메모리 시스템의 동작 방법

도면의 간단한 설명

도 1은 본 발명의 제 1 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 2는 도 1의 메모리 셀 어레이를 보여주는 블록도이다.

도 3은 도 2의 메모리 블록들 중 하나의 메모리 블록의 일부를 보여주는 제 1 예에 따른 평면도이다.

도 4는 도 3의 IV-IV' 선에 따른 사시단면도의 제 1 예를 보여준다.

도 5는 도 4의 IV-IV' 선에 따른 단면도의 제 1 예를 보여준다.

도 6은 도 5의 셀 트랜지스터들 중 하나를 보여주는 확대도이다.

도 7은 도 3의 평면도의 일 부분의 제 1 예에 따른 등가 회로를 보여주는 회로도이다.

도 8은 본 발명의 제 1 실시 예에 따른 소거 방법을 보여주는 순서도이다.

도 9는 도 8의 소거 방법에 따른 전압 조건들을 보여주는 테이블이다.

도 10은 기판, 채널막들, 그리고 워드 라인들의 전압 변화를 보여주는 타이밍도이다.

도 11은 S113 단계 및 S114 단계가 수행될 때, 메모리 셀 어레이의 전압 변화를 보여주는 타이밍도이다.

도 12는 S115 단계 및 S116 단계가 수행될 때, 메모리 셀 어레이의 전압 변화를 보여주는 타이밍도이다.

도 13a는 도 8의 소거 시에 수행되는 오프 스트링 처리 방법의 예를 보여주는 순서도이다.

도 13b는 본 발명의 제 2 실시 예에 따른 소거 방법을 보여주는 순서도이다.

도 14는 도 1의 페이지 버퍼부의 예를 보여주는 블록도이다.

도 15는 본 발명의 제 2 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 16은 본 발명의 제 1 실시 예에 따른 프리 읽기 방법을 보여주는 순서도이다.

도 17은 본 발명의 제 2 실시 예에 따른 프리 읽기 방법을 보여주는 순서도이다.

도 18은 본 발명의 제 3 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 19는 본 발명의 제 4 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 20은 본 발명의 제 3 실시 예에 따른 소거 방법을 보여주는 순서도이다.

도 21은 도 20의 소거 방법에 따른 전압 조건들을 보여주는 테이블이다.

도 22는 본 발명의 제 5 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 23은 본 발명의 제 4 실시 예에 따른 소거 방법을 보여주는 순서도이다.

도 24는 도 23의 합 신호 및 캐리 신호를 발생하는 방법을 보여주는 순서도이다.

도 25는 리플 및 캐리 계산기를 보여주는 블록도이다.

도 26은 도 3의 평면도의 일 부분의 제 2 예에 따른 등가 회로를 보여주는 회로도이다.

도 27은 도 3의 평면도의 일 부분의 제 3 예에 따른 등가 회로를 보여주는 회로도이다.

도 28은 도 3의 평면도의 일 부분의 제 4 예에 따른 등가 회로를 보여주는 회로도이다.

도 29는 메모리 셀들이 도 8 내지 도 13을 참조하여 설명된 방법에 따라 소거될 때, 메모리 블록에 공급되는 전압들을 보여주는 테이블이다.

도 30은 메모리 셀들이 도 20 및 도 21을 참조하여 설명된 방법에 따라 소거될 때, 메모리 블록에 공급되는 전압들을 보여주는 테이블이다.

도 31은 도 3의 평면도의 일 부분의 제 5 예에 따른 등가 회로를 보여주는 회로도이다.

도 32는 도 3의 평면도의 일 부분의 제 6 예에 따른 등가 회로를 보여주는 회로도이다.

도 33은 도 3의 평면도의 일 부분의 제 7 예에 따른 등가 회로를 보여주는 회로도이다.

도 34는 도 3의 IV-IV' 선에 따른 사시단면도의 제 2 예를 보여준다.

도 35는 도 3의 IV-IV' 선에 따른 단면도의 제 2 예를 보여준다.

도 36은 도 2의 메모리 블록들 중 하나의 메모리 블록의 일부를 보여주는 제 2 예에 따른 평면도이다.

도 37은 도 36의 X X X VII-X X X VII' 선에 따른 사시단면도를 보여준다.

도 38은 도 36의 X X X VII-X X X VII' 선에 따른 단면도를 보여준다.

도 39는 도 2의 메모리 블록들 중 하나의 메모리 블록의 일부를 보여주는 제 3 예에 따른 평면도이다.

도 40은 도 39의 X X X X-X X X X' 선에 따른 사시단면도를 보여준다.

도 41은 도 39의 X X X X-X X X X' 선에 따른 단면도를 보여준다.

도 42는 도 2의 메모리 블록들 중 하나의 메모리 블록의 일부를 보여주는 제 4 예에 따른 평면도이다.

도 43은 도 42의 X X X X III-X X X X III' 선에 따른 사시단면도를 보여준다.

도 44는 도 2의 메모리 블록들 중 하나의 메모리 블록의 일부를 보여주는 제 5 예에 따른 평면도이다.

도 45는 도 44의 X X X X V-X X X X V' 선에 따른 사시단면도를 보여준다.

도 46은 도 44의 X X X X V-X X X X V' 선에 따른 단면도를 보여준다.

도 47은 도 2의 메모리 블록들 중 하나의 메모리 블록의 일부를 보여주는 제 6 예에 따른 평면도이다.

도 48은 도 47의 X X X X VII-X X X X VII' 선에 따른 사시단면도의 제 1 예를 보여준다.

도 49는 도 47의 X X X X VII-X X X X VII' 선에 따른 단면도의 제 1 예를 보여준다.

도 50은 도 47의 평면도의 일 부분의 제 1 예에 따른 등가 회로를 보여주는 회로도이다.

도 51은 도 47의 X X X X VIII-X X X X VIII' 선에 따른 사시단면도의 제 2 예를 보여준다.

도 52는 도 47의 X X X X VIII-X X X X VIII' 선에 따른 단면도의 제 2 예를 보여준다.

도 53은 도 47의 평면도의 일 부분의 제 2 예에 따른 등가 회로를 보여주는 회로도이다.

도 54는 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.

도 55는 본 발명의 제 1 실시 예에 따른 메모리 시스템의 동작 방법을 보여주는 순서도이다.

도 56은 본 발명의 제 2 실시 예에 따른 메모리 시스템의 동작 방법을 보여주는 순서도이다.

도 57은 컨트롤러가 오프 스트링 정보를 이용하는 방법의 제 1 예를 보여주는 순서도이다.

도 58은 컨트롤러가 오프 스트링 정보를 이용하는 방법의 제 2 예를 보여주는 순서도이다.

도 59는 컨트롤러가 오프 스트링 정보를 이용하는 방법의 제 3 예를 보여주는 순서도이다.

도 60은 본 발명의 제 3 실시 예에 따른 메모리 시스템의 동작 방법을 보여주는 순서도이다.

도 61은 본 발명의 제 4 실시 예에 따른 메모리 시스템의 동작 방법을 보여주는 순서도이다.

도 62는 도 54의 메모리 시스템의 응용 예를 보여주는 블록도이다.

도 63은 본 발명의 실시 예에 따른 메모리 카드를 보여준다.

도 64는 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브를 보여준다.

도 65는 본 발명의 실시 예에 따른 컴퓨팅 시스템을 보여주는 블록도이다.

도 66은 본 발명의 실시 예에 따른 테스트 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

'선택된 비트 라인' 또는 '선택된 비트 라인들'은 복수의 비트 라인들 중 프로그램 또는 읽기의 대상이 되는 셀 트랜지스터에 연결된 비트 라인 또는 비트 라인들을 가리킨다. '비선택된 비트 라인' 또는 '비선택된 비트 라인들'은 복수의 비트 라인들 중 프로그램 금지 또는 읽기 금지의 대상이 되는 셀 트랜지스터에 연결된 비트 라인 또는 비트 라인들을 가리킨다.

'선택된 스트링 선택 라인'은 복수의 스트링 선택 라인들 중 프로그램 또는 읽기의 대상이 되는 셀 트랜지스터를 포함하는 셀 스트링에 연결된 스트링 선택 라인을 가리킨다. '비선택된 스트링 선택 라인' 또는 '비선택된 스트링 선택 라인들'은 복수의 스트링 선택 라인들 중 선택된 스트링 선택 라인을 제외한 나머지 스트링 선택 라인 또는 나머지 스트링 선택 라인들을 가리킨다. '선택된 스트링 선택 트랜지스터들'은 선택된 스트링 선택 라인에 연결된 스트링 선택 트랜지스터들을 가리킨다. '비선택된 스트링 선택 트랜지스터들'은 비선택된 스트링 선택 라인 또는 비선택된 스트링 선택 라인들에 연결된 스트링 선택 트랜지스터들을 가리킨다.

'선택된 접지 선택 라인'은 복수의 접지 선택 라인들 중 프로그램 또는 읽기의 대상이 되는 셀 트랜지스터를 포함하는 셀 스트링에 연결된 접지 선택 라인을 가리킨다. '비선택된 접지 선택 라인'은 복수의 접지 선택 라인들 중 선택된 접지 선택 라인을 제외한 나머지 접지 선택 라인 또는 나머지 접지 선택 라인들을 가리킨다. '선택된 접지 선택 트랜지스터들'은 선택된 접지 선택 라인에 연결된 접지 선택 트랜지스터들을 가리킨다. '비선택된 접지 선택 트랜지스터들'은 비선택된 접지 선택 라인 또는 비선택된 접지 선택 라인들에 연결된 접지 선택 트랜지스터들을 가리킨다.

'선택된 워드 라인'은 복수의 워드 라인들 중 프로그램 또는 읽기의 대상이 되는 셀 트랜지스터에 연결된 워드 라인을 가리킨다. '비선택된 워드 라인' 또는 '비선택된 워드 라인들'은 복수의 워드 라인들 중 선택된 워드 라인을 제외한 나머지 워드 라인 또는 나머지 워드 라인들을 가리킨다.

'선택된 메모리 셀' 또는 '선택된 메모리 셀들'은 복수의 메모리 셀들 중 프로그램 또는 읽기의 대상이 되는 메모리 셀들을 가리킨다. '비선택된 메모리 셀' 또는 '비선택된 메모리 셀들'은 복수의 메모리 셀들 중 선택된 메모리 셀 또는 선택된 메모리 셀들을 제외한 나머지 메모리 셀 또는 나머지 메모리 셀들을 가리킨다.

예시적으로, 낸드 플래시 메모리를 참조하여 본 발명의 실시 예들이 설명될 수 있다. 그러나, 본 발명의 기술적 사상은 낸드 플래시 메모리에 한정되지 않는다. 본 발명의 기술적 사상은 EEPROM (Electrically Erasable and Programmable ROM), 노어 플래시 메모리 장치, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등과 같은 다양한 불휘발성 메모리 장치들에 적용될 수 있다.

도 1은 본 발명의 제 1 실시 예에 따른 불휘발성 메모리 장치(100)를 보여주는 블록도이다. 도 1을 참조하면, 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코딩부(120), 페이지 버퍼부(130), 데이터 입

출력부(140), 카운팅부(150), 패스/페일 체킹부(160), 그리고 제어 로직(170)을 포함한다.

메모리 셀 어레이(110)는 기판 상에 행 및 열 방향을 따라 배치된 복수의 셀 스트링들을 포함한다. 각 셀 스트링은 기판과 수직한 방향을 따라 적층된 복수의 메모리 셀들을 포함한다. 즉, 메모리 셀들은 기판 상에서 행 및 열을 따라 제공되며, 기판과 수직한 방향으로 적층되어 3차원 구조를 형성한다. 예시적으로, 메모리 셀 어레이(110)는 셀 당 하나 또는 그 이상의 비트를 저장할 수 있는 복수의 메모리 셀들을 포함한다.

어드레스 디코딩부(120)는 워드 라인들(WL), 스트링 선택 라인들(SSL), 그리고 접지 선택 라인들(GSL)을 통해 메모리 셀 어레이(110)에 연결된다. 어드레스 디코딩부(120)는 제어 로직(170)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코딩부(120)는 외부로부터 어드레스(ADDR)를 수신한다.

어드레스 디코딩부(120)는 수신된 어드레스(ADDR) 중 행 어드레스를 디코딩하도록 구성된다. 어드레스 디코딩부(120)는 워드 라인들(WL) 중 디코딩된 행 어드레스에 대응하는 워드 라인을 선택하도록 구성된다. 어드레스 디코딩부(120)는 스트링 선택 라인들(SSL) 및 접지 선택 라인들(GSL) 중 디코딩된 행 어드레스에 대응하는 스트링 선택 라인 및 접지 선택 라인을 선택하도록 구성된다.

어드레스 디코딩부(120)는 수신된 어드레스(ADDR) 중 열 어드레스를 디코딩하도록 구성된다. 어드레스 디코딩부(120)는 디코딩된 열 어드레스(DCA)를 페이지 버퍼부(130)에 전달한다.

어드레스 디코딩부(120)는 제어 로직(170)으로부터 프리 읽기 신호(PRS)를 수신하도록 구성된다. 프리 읽기 신호(PRS)가 활성화될 때, 어드레스 디코딩부(120)는 프리(pre) 읽기를 수행하는 전압들을 스트링 선택 라인들(SSL), 워드 라인들(WL), 그리고 접지 선택 라인들(GSL)에 공급할 수 있다.

어드레스 디코딩부(120)는 제어 로직(170)의 제어에 따라 소거, 쓰기, 그리고 읽기를 수행하는 전압들을 스트링 선택 라인들(SSL), 워드 라인들(WL), 그리고 접지 선택 라인들(GSL)에 공급할 수 있다.

예시적으로, 어드레스 디코딩부(120)는 행 어드레스를 디코딩하는 행 디코더(미도시), 열 어드레스를 디코딩하는 열 디코더(미도시), 수신된 어드레스(ADDR)를 저장하는 어드레스 버퍼(미도시)를 포함할 수 있다.

페이지 버퍼부(130)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결된다. 페이지 버퍼부(130)는 데이터 라인들(DL)을 통해 데이터 입출력부(140)와 연결된다. 페이지 버퍼부(130)는 제어 로직(170)의 제어에 응답하여 동작한다. 페이지 버퍼부(130)는 어드레스 디코딩부(120)로부터 디코딩된 열 어드레스(DCA)를 수신한다. 디코딩된 열 어드레스(DCA)에 응답하여, 페이지 버퍼부(130)는 비트 라인들(BL)을 선택한다.

페이지 버퍼부(130)는 어드레스 디코딩부(120)와 함께 읽기 및 쓰기 동작을 수행할 수 있다. 어드레스 디코딩부(120)가 스트링 선택 라인들(SSL), 워드 라인들(WL), 그리고 접지 선택 라인들(GSL)을 제어하고, 페이지 버퍼부(130)가 비트 라인들(BL)을 제어함으로써, 메모리 셀 어레이(110)에서 읽기 및 쓰기가 수행될 수 있다.

페이지 버퍼부(130)는 비트 라인들(BL)에 각각 대응하는 래치들(미도시)을 포함할 수 있다. 메모리 셀 어레이(110)에 쓰여질 데이터는 페이지 버퍼부(130)의 래치들(미도시)에 로딩될 수 있다. 메모리 셀 어레이(110)로부터 읽어진 데이터는 페이지 버퍼부(130)의 래치들(미도시)에 저장될 수 있다.

페이지 버퍼부(130)는 데이터 라인들(DL)을 통해 데이터(DATA)를 수신할 수 있다. 페이지 버퍼부(130)에 수신된 데이터는 메모리 셀 어레이(110)에 쓰여질 수 있다. 페이지 버퍼부(130)는 메모리 셀 어레이(110)로부터 읽어진 데이터를 데이터 라인들(DL)을 통해 출력할 수 있다. 페이지 버퍼부(130)는 메모리 셀 어레이(110)의 제 1 저장 영역으로부터 읽어진 데이터를 저장할 수 있다. 페이지 버퍼부(130)에 저장된 데이터는 메모리 셀 어레이(110)의 제 2 저장 영역에 쓰여질 수 있다. 즉, 카피-백(copy-back) 동작이 수행될 수 있다.

페이지 버퍼부(130)는 읽어진 데이터를 읽기 결과(RR)로 출력할 수 있다. 예를 들어, 페이지 버퍼부(130)는 소거 검증 시의 읽기 결과 또는 쓰기 검증 시의 읽기 결과를 읽기 결과(RR)로 출력할 수 있다.

페이지 버퍼부(130)는 제어 로직(170)으로부터 프리 읽기 신호(PRS)를 수신하도록 구성된다. 프리 읽기 신호(PRS)가 활성화될 때, 페이지 버퍼부(130)는 어드레스 디코딩부(120)와 함께 프리 읽기를 수행할 수 있다. 프리 읽기 시에 읽어진 데이터는 읽기 결과(RR)로 출력될 수 있다.

데이터 입출력부(140)는 데이터 라인들(DL)을 통해 페이지 버퍼부(130)와 연결된다. 데이터 입출력부(140)는 외부와 데이터(DATA)를 교환하도록 구성된다. 데이터 입출력부(140)는 페이지 버퍼부(130)로부터 데이터 라인들(DL)을 통해 수신되는 데이터를 외부로 출력할 수 있다. 데이터 입출력부(140)는 외부로부터 수신되는 데이터를 데이터 라인들(DL)을 통해 페이지 버퍼부(130)로 전송할 수 있다.

카운팅부(150)는 페이지 버퍼부(130)로부터 읽기 결과(RR)를 수신하고, 제어 로직(170)으로부터 프리 읽기 신호(PRS)를 수신하도록 구성된다. 프리 읽기 신호(PRS)가 활성화될 때, 카운팅부(150)는 읽기 결과(RR)에 기반하여 카운트를 수행하도록 구성된다. 카운트 값(CV)은 제어 로직(170)으로 전달될 수 있다.

패스/페일 체킹부(160)는 페이지 버퍼부(130)로부터 읽기 결과(RR)를 수신하도록 구성된다. 소거 검증 또는 쓰기 검증이 수행될 때, 패스/페일 체킹부(160)는 읽기 결과(RR)에 기반하여 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력하도록 구성된다.

제어 로직(170)은 불휘발성 메모리 장치(100)의 제반 동작을 제어하도록 구성된다. 제어 로직(170)은 프리 읽기 신호(PRS)를 발생할 수 있다. 제어 로직(170)은 카운팅부(150)로부터 카운트 값(CV)을 수신하고, 패스/페일 체킹부(160)로부터 패스 신호(PASS) 또는 페일 신호(FAIL)를 수신할 수 있다. 제어 로직(170)은 카운트 값(CV)을 레지스터(REG1)에 저장된 값과 비교하고, 비교 결과에 따라 소거 동작을 제어할 수 있다. 패스/페일 체킹부(160)로부터 수신되는 패스 신호(PASS) 또는 페일 신호(FAIL)에 응답하여, 제어 로직(170)은 소거 동작을 제어할 수 있다.

제어 로직(170)은 외부로부터 수신되는 제어 신호들(CTRL) 및 커맨드(CMD)에 응답하여 동작할 수 있다.

도 2는 도 1의 메모리 셀 어레이(110)를 보여주는 블록도이다. 도 1 및 도 2를 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록(BLK)은 3차원 구조(또는 수직 구조)를 갖는다. 예를 들면, 각 메모리 블록(BLK)은 제 1 내지 제 3 방향들을 따라 신장된 구조물들을 포함할 수 있다. 각 메모리 블록(BLK)은 제 2 방향을 따라 신장된 복수의 셀 스트링들(미도시)을 포함할 수 있다. 복수의 셀 스트링들(미도시)은 제 1 및 제 3 방향들을 따라 서로 이격될 수 있다.

하나의 메모리 블록의 셀 스트링들(미도시)은 복수의 비트 라인들(BL), 복수의 스트링 선택 라인들(SSL), 복수의 워드 라인들(WL), 하나의 접지 선택 라인 또는 복수의 접지 선택 라인들(GSL), 그리고 공통 소스 라인(미도시)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz)의 셀 스트링들(미도시)은 복수의 비트 라인들(BL)을 공유할 수 있다. 예를 들어, 복수의 비트 라인들(BL)은 제 2 방향을 따라 신장되어, 복수의 메모리 블록들(BLK1~BLKz)에서 공유될 수 있다.

메모리 블록들(BLK1~BLKz)은 도 1에 도시된 어드레스 디코딩부(120)에 의해 선택될 수 있다. 예를 들면, 어드레스 디코딩부(120)는 메모리 블록들(BLK1~BLKz) 중 수신된 어드레스(ADDR)에 대응하는 메모리 블록을 선택하도록 구성된다. 프로그램, 읽기, 그리고 소거는 선택된 메모리 블록에서 수행된다. 메모리 블록들(BLK1~BLKz)은 도 3 내지 도 6을 참조하여 더 상세하게 설명된다.

도 3은 도 2의 메모리 블록들(BLK1~BLKz) 중 하나의 메모리 블록(BLKa)의 일부를 보여주는 제 1 예에 따른 평면도이다. 도 4는 도 3의 IV-IV' 선에 따른 사시단면도의 제 1 예를 보여준다. 도 5는 도 4의 IV-IV' 선에 따른 단면도의 제 1 예를 보여준다.

도 3 내지 도 5를 참조하면, 제 1 내지 제 3 방향들을 따라 신장된 3차원 구조물들이 제공된다.

기판(111)이 제공된다. 예시적으로, 기판(111)은 제 1 도전형(conductive type)을 갖는 웰(well) 일 수 있다. 예를 들면, 기판(111)은 봉소(B, Boron)와 같은 3족 원소가 주입되어 형성된 P 웰 일 수 있다. 예를 들면, 기판(111)은 N 웰 내에 제공되는 포켓 P 웰 일 수 있다. 이하에서, 기판(111)은 P 웰(또는 포켓 P 웰)인 것으로 가정한다. 그러나, 기판(111)은 P 도전형을 갖는 것으로 한정되지 않는다.

기판(111) 상에, 제 1 방향을 따라 신장되고, 제 2 방향을 따라 서로 이격된 복수의 공통 소스 영역들(CSR)이 제공된다. 복수의 공통 소스 영역들(CSR)은 공통으로 연결되어, 공통 소스 라인을 구성할 수 있다.

복수의 공통 소스 영역들(CSR)은 기판(111)과 상이한 제 2 도전형(conductive type)을 갖는다. 예를 들면, 복수의 공통 소스 영역들(CSR)은 N 도전형을 가질 수 있다. 이하에서, 복수의 공통 소스 영역들(CSR)은 N 도전형을 갖는 것으로 가정한다. 그러나, 복수의 공통 소스 영역들(CSR)은 N 도전형을 갖는 것으로 한정되지 않는다.

복수의 공통 소스 영역들(CSR) 중 인접한 두 개의 공통 소스 영역들 사이에서, 복수의 절연 물질들(112, 112a)이 제 3 방향(즉, 기판과 수직한 방향)을 따라 기판(111) 상에 순차적으로 제공된다. 복수의 절연 물질들(112, 112a)은 제 3 방향을 따라 서로 이격될 수 있다. 복수의 절연 물질들(112, 112a)은 제 1 방향을 따라 신장된다. 예시적으로, 복수의 절연 물질들(112, 112a)은 반도체 산화막과 같은 절연 물질을 포함할 수 있다. 예시적으로, 복수의 절연 물질들(112, 112a) 중 기판(111)과 접촉하는 절연 물질(112a)의 두께는 다른 절연 물질들(112)의

두께보다 얇을 수 있다.

인접한 두 개의 공통 소스 영역들 사이에서, 제 1 방향을 따라 순차적으로 배치되며 제 2 방향을 따라 복수의 절연 물질들(112, 112a)을 관통하는 복수의 필라들(PL)이 제공된다. 예시적으로, 복수의 필라들(PL)은 절연 물질들(112, 112a)을 관통하여 기판(111)과 접촉할 수 있다.

예시적으로, 인접한 두 개의 공통 소스 영역들 사이에서, 필라들은 제 1 방향을 따라 서로 이격될 수 있다. 필라들은 제 1 방향을 따라 한 줄로 배치될 수 있다.

예시적으로, 복수의 필라들(PL)은 복수의 물질들을 포함할 수 있다. 예를 들면, 필라들(PL)은 채널막들(114) 및 채널막들(114) 내부의 내부 물질들(115)을 포함할 수 있다.

채널막들(114)은 제 1 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 채널막들(114)은 기판(111)과 동일한 도전형 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 채널막들(114)은 도전형을 갖지 않는 진성 반도체(intrinsic semiconductor)를 포함할 수 있다.

내부 물질들(115)은 절연 물질을 포함한다. 예를 들면, 내부 물질들(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 수 있다. 예를 들면, 내부 물질들(115)은 에어 갭(air gap)을 포함할 수 있다.

인접한 두 개의 공통 소스 영역들 사이에서, 절연 물질들(112, 112a) 및 필라들(PL)의 노출된 표면들에 정보 저장막들(116)이 제공된다. 정보 저장막들(116)은 전하를 포획 또는 유출함으로써 정보를 저장할 수 있다.

인접한 두 개의 공통 소스 영역들 사이에서 그리고 절연 물질들(112, 112a) 사이에서, 정보 저장막들(116)의 노출된 표면들에 도전 물질들(CM1~CM8)이 제공된다. 도전 물질들(CM1~CM8)은 제 1 방향을 따라 신장될 수 있다. 공통 소스 영역들(CSR) 상에서, 도전 물질들(CM1~CM8)은 워드 라인 컷들(WL cut)에 의해 분리될 수 있다. 워드 라인 컷들(WL Cut)은 공통 소스 영역들(CSR)을 노출할 수 있다. 워드 라인 컷들(WL cut)은 제 1 방향을 따라 신장될 수 있다.

예시적으로, 도전 물질들(CM1~CM8)은 금속성 도전 물질을 포함할 수 있다. 도전 물질들(CM1~CM8)은 폴리 실리콘 등과 같은 비금속성 도전 물질을 포함할 수 있다.

예시적으로, 절연 물질들(112, 112a) 중 최상부에 위치한 절연 물질의 상부면에 제공되는 정보 저장막들(116)은 제거될 수 있다. 예시적으로, 절연 물질들(112, 112a)의 측면들 중 필라들(PL)과 대향하는 측면에 제공되는 정보 저장막들(116)은 제거될 수 있다.

복수의 필라들(PL) 상에 복수의 드레인들(320)이 제공된다. 예시적으로, 드레인들(320)은 제 2 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 예를 들면, 드레인들(320)은 N 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 이하에서, 드레인들(320)은 N 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 드레인들(320)은 N 타입 실리콘을 포함하는 것으로 한정되지 않는다. 예시적으로, 드레인들(320)은 필라들(PL)의 채널막들(114)의 상부들로 확장될 수 있다.

드레인들(320) 상에, 제 2 방향으로 신장되고, 제 1 방향을 따라 서로 이격된 비트 라인들(BL)이 제공된다. 비트 라인들(BL)은 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 비트 라인들(BL)은 콘택 플리그들(미도시)을 통해 연결될 수 있다. 예시적으로, 비트 라인들(BL1, BL2)은 금속성 도전 물질들을 포함할 수 있다. 예시적으로, 비트 라인들(BL1, BL2)은 폴리 실리콘과 같은 비금속성 도전 물질들을 포함할 수 있다.

도전 물질들(CM1~CM8)은 기판(111)으로부터의 순서에 따라 제 1 내지 제 8 높이를 가질 수 있다.

복수의 필라들(PL)은 정보 저장막들(116) 및 복수의 도전 물질들(CM1~CM8)과 함께 복수의 셀 스트링들을 형성한다. 복수의 필라들(PL) 각각은 정보 저장막들(116), 그리고 인접한 도전 물질들(CM1~CM8)과 함께 하나의 셀 스트링을 구성한다.

기판(111) 상에서, 필라들(PL)은 행 방향 및 열 방향을 따라 제공된다. 제 8 도전 물질들(CM8)은 행들을 구성할 수 있다. 동일한 제 8 도전 물질에 연결된 필라들은 하나의 행을 구성할 수 있다. 비트 라인들(BL)은 열들을 구성할 수 있다. 동일한 비트 라인에 연결된 필라들은 하나의 열을 구성할 수 있다. 필라들(PL)은 정보 저장막들(116) 및 복수의 도전 물질들(CM1~CM8)과 함께 행 및 열 방향을 따라 배치되는 복수의 셀 스트링들을 구성한다. 셀 스트링들 각각은 기판과 수직한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 포함한다.

도 6은 도 5의 셀 트랜지스터들(CT) 중 하나를 보여주는 확대도이다. 도 3 내지 도 6을 참조하면, 셀 트랜지스

터들(CT)은 도전 물질들(CM1~CM8), 필라들(PL), 그리고 도전 물질들(CM1~CM8)과 필라들(PL) 사이에 제공되는 정보 저장막들(116)로 구성된다.

정보 저장막들(116)은 도전 물질들(CM1~CM8) 및 필라들(PL)의 사이로부터 도전 물질들(CM1~CM8)의 상면들 및 하면들로 신장된다. 정보 저장막들(116)은 제 1 내지 제 3 서브 절연막들(117, 118, 119)을 포함한다.

셀 트랜지스터들(CT)에서, 필라들(PL)의 채널막들(114)은 기판(111)과 동일한 P 타입 실리콘을 포함할 수 있다. 채널막들(114)은 셀 트랜지스터들(CT)의 바디(body)로 동작한다. 채널막들(114)은 기판(111)과 수직한 방향으로 형성된다. 즉, 채널막들(114)은 수직 바디로 동작할 수 있다. 채널막들(114)에 수직 채널들이 형성될 수 있다.

필라들(PL)에 인접한 제 1 서브 절연막들(117)은 셀 트랜지스터들(CT)의 터널링 절연막으로 동작한다. 예를 들면, 제 1 서브 절연막들(117)은 열산화막을 포함할 수 있다. 제 1 서브 절연막들(117)은 실리콘 산화막을 포함할 수 있다.

제 2 서브 절연막들(118)은 셀 트랜지스터들(CT)의 전하 저장막들로 동작한다. 예를 들면, 제 2 서브 절연막들(118)은 전하 포획막들로 동작할 수 있다. 예를 들면, 제 2 서브 절연막들(118)은 질화막 또는 금속 산화막을 포함할 수 있다.

도전 물질들(CM1~CM8)에 인접한 제 3 서브 절연막들(119)은 셀 트랜지스터들(CT)의 블로킹 절연막들로 동작한다. 예시적으로, 제 3 서브 절연막들(119)은 단일층 또는 다층으로 형성될 수 있다. 제 3 서브 절연막들(119)은 제 1 및 제 2 서브 절연막들(117, 118) 보다 높은 유전상수를 갖는 고유전막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)일 수 있다. 제 3 서브 절연막들(119)은 실리콘 산화막을 포함할 수 있다.

예시적으로, 제 1 내지 제 3 서브 절연막들(117~119)은 ONA (oxide-nitride-aluminium oxide) 또는 ONO (oxide-nitride-oxide)를 구성할 수 있다.

복수의 도전 물질들(CM1~CM8)은 셀 트랜지스터들(CT)의 게이트들(또는 제어 게이트들)로 동작한다.

즉, 게이트들(또는 제어 게이트들)로 동작하는 복수의 도전 물질들(CM1~CM8), 블로킹 절연막들로 동작하는 제 3 서브 절연막들(119), 전하 저장막들로 동작하는 제 2 서브 절연막들(118), 터널링 절연막들로 동작하는 제 1 서브 절연막들(117), 그리고 수직 바디로 동작하는 채널막들(114)은 기판과 수직한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 구성한다. 예시적으로, 셀 트랜지스터들(CT)은 전하 포획형 셀 트랜지스터들일 수 있다.

셀 트랜지스터들(CT)은 높이에 따라 상이한 용도로 사용될 수 있다. 예를 들면, 셀 트랜지스터들(CT) 중 상부에 제공되는 적어도 하나의 높이의 셀 트랜지스터들은 스트링 선택 트랜지스터들로 사용될 수 있다. 스트링 선택 트랜지스터들은 셀 스트링들과 비트 라인들 사이의 스위칭을 수행할 수 있다. 셀 트랜지스터들(CT) 중 하부에 제공되는 적어도 하나의 높이의 셀 트랜지스터들은 접지 선택 트랜지스터들로 사용될 수 있다. 접지 선택 트랜지스터들은 셀 스트링들 및 공통 소스 영역들(CSR)로 구성되는 공통 소스 라인 사이의 스위칭을 수행할 수 있다. 스트링 선택 트랜지스터들 및 접지 선택 트랜지스터들로 사용되는 셀 트랜지스터들 사이의 셀 트랜지스터들은 메모리 셀들 및 더미 메모리 셀들로 사용될 수 있다.

도전 물질들(CM1~CM8)은 제 1 방향을 따라 신장되어 복수의 필라들(PL)에 결합된다. 도전 물질들(CM1~CM8)은 필라들(PL)의 셀 트랜지스터들(CT)을 서로 연결하는 도전 라인들을 구성할 수 있다. 예시적으로, 도전 물질들(CM1~CM8)은 높이에 따라 스트링 선택 라인, 접지 선택 라인, 워드 라인, 또는 더미 워드 라인으로 사용될 수 있다.

스트링 선택 트랜지스터들로 사용되는 셀 트랜지스터들을 서로 연결하는 도전 물질들은 스트링 선택 라인들로 사용될 수 있다. 접지 선택 트랜지스터들로 사용되는 셀 트랜지스터들을 서로 연결하는 도전 물질들은 접지 선택 라인들로 사용될 수 있다. 메모리 셀들로 사용되는 셀 트랜지스터들을 서로 연결하는 도전 물질들은 워드 라인들로 사용될 수 있다. 더미 메모리 셀들로 사용되는 셀 트랜지스터들을 서로 연결하는 도전 물질들은 더미 워드 라인들로 사용될 수 있다.

예시적으로, 도 3의 평면도의 일 부분(EC)의 제 1 예에 따른 등가 회로(BLK1)가 도 7에 도시되어 있다. 도 3 내지 도 7을 참조하면, 비트 라인들(BL1, BL2) 및 공통 소스 라인(CSL) 사이에 셀 스트링들(CS11, CS12, CS21, CS22)이 제공된다. 제 1 비트 라인(BL1)과 공통 소스 라인(CSL) 사이에 셀 스트링들(CS11, CS21)이 연결된다. 제 2 비트 라인(BL2)과 공통 소스 라인(CSL) 사이에 셀 스트링들(CS12, CS22)이 연결된다.

공통 소스 영역들(CSR)이 공통으로 연결되어, 공통 소스 라인(CSL)을 구성할 수 있다.

셀 스트링들(CS11, CS12, CS21, CS22)은 도 3의 평면도의 일 부분(EC)의 네 개의 필라들에 대응한다. 네 개의 필라들은 도전 물질들(CM1~CM8) 및 정보 저장막들(116)과 함께 네 개의 셀 스트링들(CS11, CS12, CS21, CS22)을 구성한다.

예시적으로, 제 1 도전 물질들(CM1)은 정보 저장막들(116) 및 필라들(PL)과 함께 접지 선택 트랜지스터들(GST)을 구성할 수 있다. 제 1 도전 물질들(CM1)은 접지 선택 라인(GSL)을 구성할 수 있다. 제 1 도전 물질들(CM1)은 서로 연결되어, 공통으로 연결된 하나의 접지 선택 라인(GSL)을 구성할 수 있다.

제 2 내지 제 7 도전 물질들(CM2~CM7)은 정보 저장막들(116) 및 필라들(PL)과 함께 제 1 내지 제 6 메모리 셀들(MC1~MC6)을 구성할 수 있다. 제 2 내지 제 7 도전 물질들(CM2~CM7)은 제 2 내지 제 6 워드 라인들(WL2~WL6)을 구성할 수 있다.

제 2 도전 물질들(CM2)은 서로 연결되어, 공통으로 연결된 제 1 워드 라인(WL1)을 구성할 수 있다. 제 3 도전 물질들(CM3)은 서로 연결되어, 공통으로 연결된 제 2 워드 라인(WL2)을 구성할 수 있다. 제 4 도전 물질들(CM4)은 서로 연결되어, 공통으로 연결된 제 3 워드 라인(WL3)을 구성할 수 있다. 제 5 도전 물질들(CM5)은 서로 연결되어, 공통으로 연결된 제 4 워드 라인(WL4)을 구성할 수 있다. 제 6 도전 물질들(CM6)은 서로 연결되어, 공통으로 연결된 제 5 워드 라인(WL5)을 구성할 수 있다. 제 7 도전 물질들(CM7)은 서로 연결되어, 공통으로 연결된 제 6 워드 라인(WL6)을 구성할 수 있다.

제 8 도전 물질들(CM8)은 정보 저장막들(116) 및 필라들(PL)과 함께 스트링 선택 트랜지스터들(SST)을 구성할 수 있다. 제 8 도전 물질들(CM8)은 스트링 선택 라인들(SSL1, SSL2)을 구성할 수 있다.

동일한 높이의 메모리 셀들은 하나의 워드 라인에 공통으로 연결되어 있다. 따라서, 특정 높이의 워드 라인에 전압이 공급될 때, 모든 셀 스트링들(CS11, CS12, CS21, CS22)에 전압이 공급된다.

상이한 행의 셀 스트링들은 상이한 스트링 선택 라인들(SSL1, SSL2)에 각각 연결된다. 제 1 및 제 2 스트링 선택 라인들(SSL1, SSL2)을 선택 및 비선택함으로써, 셀 스트링들(CS11, CS12, CS21, CS22)이 행 단위로 선택 및 비선택될 수 있다. 예를 들면, 비선택된 스트링 선택 라인(SSL1 또는 SSL2)에 연결된 셀 스트링들(CS11 및 CS12, 또는 CS21 및 CS22)은 비트 라인들(BL1, BL2)로부터 전기적으로 분리될 수 있다. 선택된 스트링 선택 라인(SSL2 또는 SSL1)에 연결된 셀 스트링들(CS21 및 CS22, 또는 CS11 및 CS12)은 비트 라인들(BL1, BL2)에 전기적으로 연결될 수 있다.

셀 스트링들(CS11, CS12, CS21, CS22)은 열 단위로 비트 라인들(BL1, BL2)에 연결된다. 제 1 비트 라인(BL1)에 셀 스트링들(CS11, CS21)이 연결되고, 제 2 비트 라인(BL2)에 셀 스트링들(CS12, CS22)이 연결된다. 비트 라인들(BL1, BL2)을 선택 및 비선택함으로써, 셀 스트링들(CS11, CS12, CS21, CS22)이 열 단위로 선택 및 비선택될 수 있다.

필라들(PL)이 형성될 때, 공정 상의 오차로 인해 필라들(PL)이 형성될 홀(hole)이 기판(111)과 접촉하지 않을 수 있다. 즉, 필라들(PL)이 형성될 홀이 충분히 깊게 형성되지 않을 수 있다. 이때, 채널막들(114)은 기판(111)과 접촉하지 않을 수 있다. 즉, 셀 스트링들(CS) 중 오프된(off) 스트링들이 존재할 수 있다.

드레인들(320)이 형성될 때, 공정상의 오차로 인해 드레인들(320)이 필라들(PL)의 채널막들(114)과 접촉하지 않을 수 있다. 즉, 셀 스트링들(CS) 중 오프된(off) 스트링들이 존재할 수 있다.

오프된 셀 스트링(이하에서, 오프 스트링이라 칭함)이 존재하면, 메모리 블록(BLKa1)의 쓰기, 읽기, 그리고 소거 시에 오동작이 발생할 수 있다. 본 발명의 실시 예들에 따르면, 에러 정정 코드(Error Correcting Code)에 의해 지원되는 에러 정정 능력을 이용하여, 오프 스트링들에 따른 오동작이 방지될 수 있다.

도 8은 본 발명의 제 1 실시 예에 따른 소거 방법을 보여주는 순서도이다. 도 9는 도 8의 소거 방법에 따른 전압 조건들을 보여주는 테이블이다. 도 1, 도 7 내지 도 9를 참조하면, S111 단계에서 소거 전압이 공급된다.

비트 라인들(BL1, BL2)은 플로팅되고, 스트링 선택 라인들(SSL1, SSL2)은 플로팅되거나 제 1 스트링 선택 라인 전압(VSSL1)을 공급받을 수 있다. 워드 라인들(WL1~WL6)에 제 1 워드 라인 소거 전압(Vwe1)이 공급될 수 있다. 제 1 워드 라인 소거 전압(Vwe1)은 접지 전압(VSS) 또는 접지 전압(VSS)과 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다. 접지 선택 라인(GSL)은 플로팅되거나 제 1 접지 선택 라인 전압(VGSL1)을 공급받을 수 있다. 공통 소스 라인(CSL)은 플로팅될 수 있다. 기판(111)에 제 1 소거 전압(Vers1)이 공급될 수 있다. 제 1 소거 전압(Vers1)은 고전압일 수 있다. 제 1 스트링 선택 라인 전압(VSSL1) 및 제 1 접지 선택 라인 전압(VGSL1)은 제 1 소거 전압(Vers1)과 접지 전압(VSS) 사이의 레벨을 갖는 전압일 수 있다. 이때, 기판(111),

채널막들(114), 그리고 워드 라인들(WL1~WL6)의 전압 변화가 도 10에 도시되어 있다.

제 1 시간(T1)에 기판(111)에 공급된 제 1 소거 전압(Vers1)은 채널막들(114)에 공급된다. 채널막들(114)은 제 1 소거 전압(Vers1)으로 충전될 수 있다. 워드 라인들(WL1~WL6)에 공급된 제 1 워드 라인 소거 전압(Vwe1)과 채널막들(114)에 공급된 제 1 소거 전압(Vers1)의 전압 차이로 인해, 메모리 셀들(MC1~MC6)에 포획된 전하들이 유출될 수 있다. 즉, 메모리 셀들(MC1~MC6)의 문턱 전압들이 낮아질 수 있다.

S112 단계에서, 첫 번째 스트링 선택 라인(SSL1)이 선택된다. 선택된 스트링 선택 라인(SSL1)에 턴-온 전압이 공급되고, 비선택된 스트링 선택 라인(SSL2)에 턴-오프 전압이 공급될 수 있다.

S113 단계에서, 워드 라인들(WL1~WL6)에 제 1 고전압(VH1)을 공급하여 읽기가 수행된다.

비트 라인들(BL1, BL2)에 제 1 비트 라인 전압(VBL1)이 공급된다. 제 1 비트 라인 전압(VBL1)은 전원 전압(VC C)일 수 있다.

선택된 스트링 선택 라인(예를 들어, SSL1)에 제 2 스트링 선택 라인 전압(VSSL2)이 공급된다. 제 2 스트링 선택 라인 전압(VSSL2)은 제 1 스트링 선택 트랜지스터들(SST1, 제 1 스트링 선택 라인(SSL1)에 연결된 스트링 선택 트랜지스터들)을 턴-온 하는 전압일 수 있다. 제 2 스트링 선택 라인 전압(VSSL2)은 전원 전압(VCC) 또는 비선택 읽기 전압(Vread)일 수 있다. 비선택 읽기 전압(Vread)은 읽기 시에 비선택된 워드 라인들에 공급되는 전압일 수 있다.

비선택된 스트링 선택 라인(예를 들어, SSL2)에 제 3 스트링 선택 라인 전압(VSSL3)이 공급된다. 제 3 스트링 선택 라인 전압(VSSL3)은 제 2 스트링 선택 트랜지스터들(SST2, 제 2 스트링 선택 라인(SSL2)에 연결된 스트링 선택 트랜지스터들)을 턴-오프 하는 전압일 수 있다. 제 3 스트링 선택 라인 전압(VSSL3)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

워드 라인들(WL1~WL6)에 제 1 고전압(VH1)이 공급된다. 제 1 고전압(VH1)은 메모리 셀들(MC1~MC6)이 어떤 논리 상태를 가지더라도, 메모리 셀들(MC1~MC6)을 턴-온 하는 전입일 수 있다. 제 1 고전압(VH1)은 비선택 읽기 전압(Vread)일 수 있다.

접지 선택 라인(GSL)에 제 2 접지 선택 라인 전압(VGSL2)이 공급된다. 제 2 접지 선택 라인 전압(VGSL2)은 접지 선택 트랜지스터들(GST)을 턴-온 하는 전압일 수 있다. 제 2 접지 선택 라인 전압(VGSL2)은 전원 전압(VCC) 또는 비선택 읽기 전압(Vread)일 수 있다.

공통 소스 라인(CSL)에 제 1 공통 소스 라인 전압(VCSL1)이 공급된다. 제 1 공통 소스 라인 전압(VCSL1)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

기판(111)에 제 1 기판 전압(VSUB1)이 공급된다. 제 1 기판 전압(VSUB1)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

S113 단계가 수행될 때, 메모리 셀 어레이(110)의 전압 변화가 도 11에 도시되어 있다.

제 1 시간(T1)에, 비트 라인들(BL)에 제 1 비트 라인 전압(VBL1)이 프리차지된다. 제 2 시간(T2)에, 스트링 선택 라인들(SSL1, SSL2), 워드 라인들(WL1~WL6), 접지 선택 라인(GSL), 그리고 공통 소스 라인(VSL)에 각각 전압이 공급된다.

선택된 스트링 선택 라인(SSL1)에 제 2 스트링 선택 라인(VSSL2)이 공급되어, 선택된 스트링 선택 트랜지스터들(SST1)은 턴-온 된다. 워드 라인들(WL1~WL6)에 제 1 고전압(VH1)이 공급되어, 메모리 셀들(MC1~MC6)이 턴-온 된다. 접지 선택 라인(GSL)에 제 2 접지 선택 라인 전압(VGSL2)이 공급되어, 접지 선택 트랜지스터들(GST)이 턴-온 된다.

선택된 스트링 선택 라인(SSL1)에 연결된 셀 스트링들(CS11, CS12) 중 오프 스트링이 아닌 셀 스트링에서, 비트 라인에 충전된 제 1 비트 라인 전압(VBL1)이 공통 소스 라인(CSL)으로 방전되어 비트 라인의 전압이 낮아진다. 선택된 스트링 선택 라인(SSL1)에 연결된 셀 스트링들(CS11, CS12) 중 오프 스트링에서, 비트 라인과 공통 소스 라인(CSL)이 전기적으로 분리되므로 비트 라인의 전압은 제 1 비트 라인 전압(VBL1)을 유지한다.

특정 비트 라인의 전압이 기준 전압(Vref)보다 높을 때, 페이지 버퍼부(130)는 특정 비트 라인에 대응하는 래치(미도시)에 제 1 논리값(예를 들어, 로직 하이)를 저장할 수 있다. 특정 비트 라인의 전압이 기준 전압(Vref)보다 낮을 때, 페이지 버퍼부(130)는 특정 비트 라인에 대응하는 래치(미도시)에 제 2 논리값(예를 들어, 로직 로

우)를 저장할 수 있다.

정상 스트링들에 대응하는 래치(미도시)에 제 2 논리값이 저장된다. 오프 스트링들에 대응하는 래치(미도시)에 제 1 논리값이 저장된다. 즉, 제 1 고전압(VH1)을 이용하여 읽기를 수행함으로써, 오프 스트링들이 검출될 수 있다. 오프 스트링들을 검출하는 읽기는 프리(pre) 읽기일 수 있다.

프리 읽기는 프리 읽기 신호(PRS)에 응답하여 수행될 수 있다. 어드레스 디코딩부(120) 및 페이지 버퍼부(130)는 프리 읽기 신호(PRS)에 응답하여 메모리 셀 어레이(110)에 전압들을 공급할 수 있다. 페이지 버퍼부(130)는 프리 읽기 신호(PRS)에 응답하여, 래치들(미도시)에 프리 읽기 결과를 저장할 수 있다.

S114 단계에서, 오프 스트링들이 판별된다. 예를 들어, 제 1 논리값을 저장하는 래치(미도시)에 대응하는 스트링이 오프 스트링으로 판별될 수 있다.

S115 단계에서, 오프 스트링들이 소거 패스된 것으로 처리되고, 소거 검증이 수행될 수 있다.

프리 읽기 시에 정상 스트링들로 검출된 셀 스트링들에 제 2 비트 라인 전압(VBL2)이 공급된다. 제 2 비트 라인 전압(VBL2)은 전원 전압(VCC) 또는 그와 유사한 레벨을 갖는 전압일 수 있다. 프리 읽기 시에 오프 스트링들로 검출된 셀 스트링들에 제 3 비트 라인 전압(VBL3)이 공급된다. 제 3 비트 라인 전압(VBL3)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 전압(양의 전압과 음의 전압을 포함)일 수 있다.

예시적으로, 프리 읽기 시에 페이지 버퍼부(130)의 래치들(미도시)에 저장된 프리 읽기 결과에 따라, 페이지 버퍼부(130)는 오프 스트링들에 연결된 비트 라인들에 제 3 비트 라인 전압(VBL3)을 공급할 수 있다. 다른 예로서, 프리 읽기 결과(RR)가 제어 로직(170)에 공급되고, 제어 로직(170)은 프리 읽기 결과(RR)에 따라 오프 스트링들에 연결된 비트 라인들에 제 3 비트 라인 전압(VBL3)이 공급되도록 페이지 버퍼부(130)를 제어할 수 있다. 프리 읽기 결과(RR)를 제어 로직(170)으로 전송하는 신호선(미도시)이 페이지 버퍼부(130)와 제어 로직(170) 사이에 제공될 수 있다.

선택된 스트링 선택 라인(SSL1)에 제 4 스트링 선택 라인 전압(VSSL4)이 공급된다. 제 4 스트링 선택 라인 전압(VSSL4)은 선택된 스트링 선택 트랜지스터들(SST1)을 턴-온 하는 전압일 수 있다. 제 4 스트링 선택 라인 전압(VSSL4)은 비선택 읽기 전압(Vread) 또는 전원 전압(VCC)일 수 있다.

비선택된 스트링 선택 라인(SSL2)에 제 5 스트링 선택 라인 전압(VSSL5)이 공급된다. 제 5 스트링 선택 라인 전압(VSSL5)은 비선택된 스트링 선택 트랜지스터들(SST2)을 턴-오프 하는 전압일 수 있다. 제 5 스트링 선택 라인 전압(VSSL5)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

워드 라인들(WL1~WL6)에 제 1 검증 전압(VFY1)이 공급된다. 제 1 검증 전압(VFY1)은 소거된 메모리 셀들이 갖는 문턱 전압의 상한일 수 있다. 제 1 검증 전압(VFY1)은 접지 전압(VSS) 또는 음의 전압일 수 있다.

접지 선택 라인(GSL)에 제 3 접지 선택 라인 전압(VGSL3)이 공급된다. 제 3 접지 선택 라인 전압(VGSL3)은 접지 선택 트랜지스터들(GST)을 턴-온 하는 전압일 수 있다. 제 3 접지 선택 라인 전압(VGSL3)은 비선택 읽기 전압(Vread) 또는 전원 전압(VCC)일 수 있다.

공통 소스 라인(VSL)에 제 2 공통 소스 라인 전압(VCSL2)이 공급된다. 제 2 공통 소스 라인 전압(VCSL2)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

기판(111)에 제 2 기판 전압(VSUB2)이 공급된다. 제 2 기판 전압(VSUB2)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

S115 단계가 수행될 때, 메모리 셀 어레이(110)의 전압 변화가 도 12에 도시되어 있다.

제 1 시간(T1)에, 정상 스트링들에 연결된 정상 비트 라인들에 제 2 비트 라인 전압(VBL2)이 프리차지된다. 오프 스트링들에 연결된 비트 라인들에 제 3 비트 라인 전압(VBL3)이 공급된다.

제 2 시간(T2)에, 스트링 선택 라인들(SSL1, SSL2), 워드 라인들(WL1~WL6), 접지 선택 라인(GSL), 그리고 공통 소스 라인(CSL)에 각각 전압들이 공급된다.

선택된 스트링 선택 트랜지스터들(SST1)은 턴-온 되고, 비선택된 스트링 선택 트랜지스터들(SST2)은 턴-오프 된다. 접지 선택 트랜지스터들(GST)은 턴-온 된다.

메모리 셀들(MC1~MC6) 중 검증 전압(VFY1)보다 높은 문턱 전압을 갖는 메모리 셀들은 턴-오프 되고, 검증 전압

(VFY1)보다 낮은 문턱 전압을 갖는 메모리 셀들은 턴-온 된다. 특정 셀 스트링의 메모리 셀들(MC1~MC6)이 턴-온 되면, 비트 라인과 공통 소스 라인(CSL)이 전기적으로 연결된다. 특정 셀 스트링에 연결된 비트 라인의 전압은 제 2 비트 라인 전압(VBL2)으로부터 낮아질 수 있다.

특정 셀 스트링의 메모리 셀들(MC1~MC6) 중 적어도 하나가 턴-오프 되면, 비트 라인과 공통 소스 라인(CSL)이 전기적으로 분리된다. 따라서, 특정 셀 스트링에 연결된 비트 라인의 전압은 제 2 비트 라인 전압(VBL2)을 유지할 수 있다.

특정 비트 라인의 전압이 기준 전압(Vref)보다 높을 때, 페이지 버퍼부(130)는 특정 비트 라인에 대응하는 래치(미도시)에 제 1 논리값을 저장할 수 있다. 특정 비트 라인의 전압이 기준 전압(Vref)보다 낮을 때, 페이지 버퍼부(130)는 특정 비트 라인에 대응하는 래치(미도시)에 제 2 논리값을 저장할 수 있다.

즉, 정상 스트링들 중 소거 패스된 셀 스트링에 대응하는 래치(미도시)에 제 2 논리값이 저장된다. 정상 스트링들 중 소거 폐일된 셀 스트링에 대응하는 래치(미도시)에 제 1 논리값이 저장된다. 오프 스트링들에 제 3 비트 라인 전압(VBL3)이 공급되므로, 오프 스트링들에 대응하는 래치(미도시)에 제 2 논리값이 저장된다.

페이지 버퍼부(130)의 래치들(미도시)에 저장된 데이터는 소거 검증 읽기 결과(RR)일 수 있다. 소거 검증 읽기 결과(RR)는 패스/폐일 채킹부(160)로 전달될 수 있다.

패스/폐일 채킹부(160)는 페이지 버퍼부(130)로부터 소거 검증 읽기 결과(RR)를 수신한다. 패스/폐일 채킹부(160)는 제 2 논리값을 가리키는 읽기 결과는 소거 패스된 것으로 판별하고, 제 1 논리값을 가리키는 읽기 결과는 소거 폐일된 것으로 판별한다. 오프 스트링들의 소거 검증 읽기 결과는 제 2 논리값이므로, 오프 스트링들은 소거 패스된 것으로 판별될 수 있다. 즉, 정상 스트링들이 소거 패스되면, 소거 검증 읽기 결과(RR)에 제 1 논리값이 존재하지 않을 수 있다. 소거 검증 읽기 결과(RR)에 제 1 논리값이 존재하지 않으면, 패스/폐일 채킹부(160)는 패스 신호(PASS)를 발생할 수 있다. 소거 검증 읽기 결과(RR)에 제 1 논리값이 존재하면, 패스/폐일 채킹부(160)는 폐일 신호(FAIL)를 발생할 수 있다.

S116 단계에서, 패스 신호(PASS)가 활성화되는지 판별된다. 패스 신호(PASS)가 활성화되지 않으면, 즉 폐일 신호(FAIL)가 활성화되면, S117 단계에서 소거 전압이 공급되고, 이전에 선택되었던 스트링 선택 라인(SS11)이 다시 선택된다. 이후에 S115 단계부터 다시 수행된다. 패스 신호(PASS)가 활성화되면, S118 단계가 수행된다.

S118 단계에서, 선택된 스트링 선택 라인(SS11)이 마지막 스트링 선택 라인인지 판별된다. 선택된 스트링 선택 라인(SS11)이 마지막 스트링 선택 라인이 아니면, S119 단계에서 다음 스트링 선택 라인(예를 들어, SSL2)이 선택된다. 그리고, S113 단계부터 다시 수행된다. 선택된 스트링 선택 라인(예를 들어, SSL2)이 마지막 스트링 선택 라인이면, 소거는 종료된다.

상술된 바와 같이, 셀 스트링들(CS11, CS12, CS21, CS22)의 메모리 셀들(MC1~MC6)이 소거 패스될 때까지, 소거가 수행된다. 소거 검증 시에, 오프 스트링들은 소거 패스된 것으로 처리된다. 따라서, 오프 스트링들로 인해 소거 검증 시에 소거 폐일이 발생하는 것이 방지된다.

오프 스트링들로 인해 유발되는 데이터 에러는 불휘발성 메모리 장치(100)의 내부 또는 외부에 제공되는 에러 정정부(미도시)에 의해 정정될 수 있다. 따라서, 메모리 셀 어레이(110)에 오프 스트링들이 존재하여도, 리페어(repair)와 같은 별도의 처리 없이 불휘발성 메모리 장치(100)가 정상적으로 동작할 수 있다.

예시적으로, S116 단계에서 소거 패스로 판별될 때, S117 단계에서 소거 전압이 공급되고 S115 단계에서 소거 검증이 수행되는 것으로 설명되었다. 그러나, S116 단계에서 소거 패스로 판별될 때, S117 단계가 수행되는 대신 S112 단계에서 소거 전압이 공급되고, S113 단계에서 프리 읽기가 수행되고, 그리고 S114 단계에서 오프 스트링들이 판별되고, S115 단계에서 오프 스트링들을 소거 패스로 처리하고 소거 검증이 수행될 수 있다.

도 13a는 도 8의 소거 시에 수행되는 오프 스트링 처리 방법의 예를 보여주는 순서도이다. 도 1, 도 8, 그리고 도 13a를 참조하면, S121 단계에서 오프 스트링들의 수가 카운트된다. 예를 들어, 카운팅부(150)는 페이지 버퍼부(130)로부터 프리 읽기 결과(RR)를 수신하여 카운트할 수 있다. 카운팅부(150)는 프리 읽기 결과(RR) 중 제 1 논리값의 수, 즉 오프 스트링들의 수를 카운트할 수 있다. 카운트 값(CV)은 제어 로직(170)에 제공될 수 있다.

S122 단계에서, 오프 스트링들의 수가 제 1 값(V1) 이하인지 판별된다. 오프 스트링들의 수가 제 1 값(V1) 이하이면, S123 단계에서 소거가 계속 수행된다. 오프 스트링들의 수가 제 1 값(V1) 보다 크면, S124 단계에서 에러 메시지가 발생되고 소거가 중지된다.

예를 들어, 제어 로직(170)은 제 1 레지스터(REG1)에 저장된 제 1 값(V1)과 카운트 값(CV)을 비교할 수 있다. 비교 결과에 따라, 제어 로직(170)은 소거를 지속하거나 중지하도록 불휘발성 메모리 장치(100)를 제어할 수 있다.

예시적으로, 제 1 값(V1)은 불휘발성 메모리 장치(100)로부터 읽어지는 데이터의 어려를 정정하는 어려 정정부(미도시)의 어려 정정 비트수일 수 있다. 제 1 값(V1)은 어려 정정부(미도시)의 어려 정정 비트수 보다 작을 수 있고, 어려 정정 비트수에 따라 결정될 수 있다. 예를 들어, 제 1 값(V1)은 어려 정정 비트 수에 대한 특정 비율에 따라 결정될 수 있다.

오프 스트링들의 수가 어려 정정 비트수보다 클 때, 해당 메모리 블록으로부터 읽어지는 데이터는 정정 불가능한 어려를 포함할 수 있다. 따라서, S121 단계 내지 S124 단계가 수행되면, 정정 불가능한 어려를 유발하는 메모리 블록이 검출될 수 있다. 예시적으로, 어려 메시지에 대응하는 메모리 블록은 배드(bad) 블록으로 처리될 수 있다.

S121 단계 내지 S124 단계는 S113 단계의 끌리 읽기 후에 수행될 수 있다. S121 단계 내지 S124 단계는 특정 메모리 블록의 소거 시에, 첫 번째 끌리 읽기가 수행된 후 한 번만 수행될 수 있다.

도 13b는 본 발명의 제 2 실시 예에 따른 소거 방법을 보여주는 순서도이다. 도 8b를 참조하면, S113a 단계에서 첫 번째 스트링 선택 라인이 선택된다. S113b 단계에서, 워드 라인들에 고전압을 공급하여 읽기, 즉 끌리 읽기가 수행된다. S113c 단계에서, 오프 스트링들이 판별되고 오프 스트링 정보가 저장된다. 예를 들어, 끌리 읽기 결과에 따라 오프 스트링들이 판별되고, 끌리 읽기 겨로가가 저장될 수 있다. 예를 들어, 끌리 읽기 결과는 페이지 버퍼부(130)에 저장될 수 있다.

S113d 단계에서, 선택된 스트링 선택 라인이 마지막 스트링 선택 라인인지 판별된다. 선택된 스트링 선택 라인이 마지막 선택 라인이 아니면, S113e 단계에서 다음 스트링 선택 라인이 선택된다. 선택된 스트링 선택 라인이 마지막 스트링 선택 라인으면, S114a 단계가 수행된다.

S114a 단계에서, 소거 전압이 공급되어, 소거가 수행된다. S114b 단계에서, 첫 번째 스트링 선택 라인이 선택된다. S114c 단계에서, 오프 스트링들을 소거 패스로 처리하고 소거 검증이 수행된다. 예를 들어, S114c 단계는 도 8의 S115 단계와 동일한 방법으로 수행될 수 있다. S114c 단계에서, 페이지 버퍼부(130)에 저장된 끌리 읽기 결과들에 따라, 오프 스트링들이 소거 패스로 처리될 수 있다.

S114d 단계에서, 선택된 스트링 선택 라인에 연결된 스트링들이 소거 패스인지 판별된다. 소거 패스가 아니면, S114e 단계에서 소거 전압이 공급되어 소거가 수행되고, 이전에 선택되었던 스트링 선택 라인이 다시 선택된다. 이후에, S114c 단계부터 다시 수행된다. 소거 패스이면, S114f 단계가 수행된다.

S114f 단계에서, 선택된 스트링 선택 라인이 마지막 스트링 선택 라인인지 판별된다. 선택된 스트링 선택 라인이 마지막 스트링 선택 라인이 아니면, S114g 단계에서 다음 스트링 선택 라인이 선택된다. 이후에, S114c 단계가 다시 수행된다. 선택된 스트링 선택 라인이 마지막 스트링 선택 라인으면, 소거가 종료된다.

즉, S113a 단계 내지 S113e 단계에서, 스트링 선택 라인들(SSL1, SSL2)이 차례로 선택되며, 오프 스트링들이 검출된다. 검출 결과는 페이지 버퍼부(130)에 저장될 수 있다. S114a 단계 내지 S114g 단계에서, 스트링 선택 라인들(SSL1, SSL2)이 차례로 선택되며, 소거 및 소거 검증이 수행된다. 페이지 버퍼부(130)에 저장된 검출 결과를 이용하여, 오프 스트링들은 소거 패스된 것으로 처리될 수 있다.

도 14는 도 1의 페이지 버퍼부(130)의 예를 보여주는 블록도이다. 도 1 및 도 14를 참조하면, 페이지 버퍼부(130)는 복수의 페이지 버퍼들(PB1~PBn)을 포함한다. 복수의 페이지 버퍼들(PB1~PBn)은 복수의 다단 구조들(HA1~HAM)을 구성할 수 있다.

제 1 페이지 버퍼들(PB1)은 제 1 단(Stage1)을 구성할 수 있다. 제 2 페이지 버퍼들(PB2)은 제 2 단(Stage2)을 구성할 수 있다. 제 n 페이지 버퍼들(PBn)은 제 n 단(Stage n)을 구성할 수 있다.

각 다단 구조(HA)에서, 페이지 버퍼들은 서로 연결될 수 있다. 예를 들어, 제 1 다단 구조(HA1)에서, 페이지 버퍼들(PB1~PBn)은 와이어드-오어(Wired-OR) 구조로 제 1 페이지 버퍼 신호선(PBS1)에 연결될 수 있다. 제 2 다단 구조(HA2)에서, 페이지 버퍼들(PB1~PBn)은 와이어드-오어(Wired-OR) 구조로 제 2 페이지 버퍼 신호선(PBS2)에 연결될 수 있다. 제 m 다단 구조(HAm)에서, 페이지 버퍼들(PB1~PBn)은 와이어드-오어(Wired-OR) 구조로 제 m 페이지 버퍼 신호선(PBSm)에 연결될 수 있다.

페이지 버퍼들(PB1~PBn) 각각은 복수의 래치들을 포함할 수 있다. 페이지 버퍼들(PB1~PBn) 각각의 복수의 래치들 중 하나는 프리 읽기 결과를 저장할 수 있다.

각 단(Stage)의 페이지 버퍼들은 전송 신호선(PF)에 공통으로 연결될 수 있다. 제 1 전송 신호선(PF1)이 활성화될 때, 제 1 단(Stage1)의 페이지 버퍼들은 저장된 데이터를 페이지 버퍼 신호선들(PBS1~PBSm)을 통해 출력할 수 있다. 제 2 전송 신호선(PF2)이 활성화될 때, 제 2 단(Stage2)의 페이지 버퍼들은 저장된 데이터를 페이지 버퍼 신호선들(PBS1~PBSm)을 통해 출력할 수 있다. 제 n 전송 신호선(PFn)이 활성화될 때, 제 n 단(Stagen)의 페이지 버퍼들은 저장된 데이터를 페이지 버퍼 신호선들(PBS1~PBSm)을 통해 출력할 수 있다.

전송 신호들(PF1~PFn)은 순차적으로 활성화될 수 있다. 전송 신호들(PF1~PFn)이 순차적으로 활성화됨에 따라, 읽기 결과(프리 읽기 결과 및 소거 검증 읽기 결과를 포함하여)는 순차적으로 출력될 수 있다. 예시적으로, 읽기 결과(프리 읽기 결과 및 소거 검증 읽기 결과를 포함하여)는 단들(Stage1~Stagen)의 수 만큼의 그룹들로 분할되고, 분할된 그룹들이 순차적으로 출력될 수 있다.

읽기 결과(프리 읽기 결과 및 소거 검증 읽기 결과를 포함하여)가 순차적으로 출력됨에 따라, 카운팅부(150)는 순차적으로 카운트를 수행할 수 있다. 패스 페일/체킹부(160)는 순차적으로 패스/페일 판별을 수행할 수 있다.

도 15는 본 발명의 제 2 실시 예에 따른 불휘발성 메모리 장치(200)를 보여주는 블록도이다. 도 15를 참조하면, 불휘발성 메모리 장치(200)는 메모리 셀 어레이(210), 어드레스 디코딩부(220), 페이지 버퍼부(230), 데이터 입출력부(240), 카운팅부(250), 패스/페일 체킹부(260), 그리고 제어 로직(270)을 포함한다.

카운트 값(CV)이 데이터 입출력 회로(240)로 제공되고, 제어 로직(270)에 레지스터(REG1)가 제공되지 않는 것을 제외하면, 불휘발성 메모리 장치(200)는 도 1을 참조하여 설명된 불휘발성 메모리 장치(100)와 동일한 구조를 갖는다.

도 16은 본 발명의 제 1 실시 예에 따른 프리 읽기 방법을 보여주는 순서도이다. 도 7, 도 15 및 도 16을 참조하면, S211 단계에서 커맨드가 수신된다. 예를 들어, 프리 읽기를 지시하는 커맨드가 수신될 수 있다. 불휘발성 메모리 장치(200)의 상태 정보를 요청하는 커맨드가 수신될 수 있다. 수신되는 커맨드는 통상적인 쓰기, 읽기, 소거 커맨드와 다른 커맨드일 수 있다. 특정한 메모리 블록 및 특정한 스트링 선택 라인을 가리키는 주소가 커맨드와 함께 수신될 수 있다. 수신된 주소에 따라, 특정한 메모리 블록과 특정한 스트링 선택 라인이 선택될 수 있다.

S212 단계에서, 워드 라인들(WL1~WL6)에 제 1 고전압(VH1)이 공급되며 읽기(프리 읽기)가 수행된다. S212 단계는 도 8의 S113 단계와 동일하게 수행될 수 있다. S212 단계가 수행되면, 페이지 버퍼부(230)의 래치들(미도시)에 프리 읽기 결과(RR)가 저장될 수 있다.

S213 단계에서, 오프 스트링들이 판별된다. 예를 들어, 도 8의 S114 단계를 참조하여 설명된 바와 같이, 프리 읽기 결과(RR)에 따라 오프 스트링들이 판별될 수 있다.

S214 단계에서, 오프 스트링 정보가 출력된다. 오프 스트링 정보는 오프 스트링들에 대한 정보를 포함할 수 있다.

오프 스트링 정보는 오프 스트링들의 수를 포함할 수 있다. 프리 읽기 결과(RR)가 카운팅부(250)로 제공되고, 카운팅부(250)는 카운트를 수행할 수 있다. 카운트 값(CV)은 데이터 입출력부(240)를 통해 외부로 출력될 수 있다.

오프 스트링 정보는 프리 읽기 결과를 포함할 수 있다. 프리 읽기 결과(RR)는 데이터 입출력 회로(240)를 통해 불휘발성 메모리 장치(200)의 외부로 출력될 수 있다.

오프 스트링 정보는 카운트 값(CV) 및 프리 읽기 결과를 모두 포함할 수 있다.

예시적으로, S211 단계에서 수신되는 커맨드에 따라, 어떠한 종류의 오프 스트링 정보가 출력될지 결정될 수 있다.

S211 단계 내지 S214 단계가 수행되면, 특정한 메모리 블록의 특정한 스트링 선택 라인에 대응하는 셀 스트링들 중 오프 스트링들에 대한 정보가 출력될 수 있다.

도 17은 본 발명의 제 2 실시 예에 따른 프리 읽기 방법을 보여주는 순서도이다. 도 7, 도 15 및 도 17을 참조하면, S221 단계에서 커맨드가 수신된다. 예를 들어, 프리 읽기를 지시하는 커맨드가 수신될 수 있다. 불휘발성

메모리 장치(200)의 상태 정보를 요청하는 커맨드가 수신될 수 있다. 수신되는 커맨드는 통상적인 쓰기, 읽기, 소거 커맨드와 다른 커맨드일 수 있다. 특정한 메모리 블록을 가리키는 주소가 커맨드와 함께 수신될 수 있다. 수신된 주소에 따라, 특정한 메모리 블록이 선택될 수 있다.

S222 단계에서, 첫 번째 스트링 선택 라인(SSL1)이 선택된다.

S223 단계에서, 워드 라인들(WL1~WL6)에 제 1 고전압(VH1)이 공급되며 읽기(프리 읽기)가 수행된다. S223 단계는 도 8의 S113 단계와 동일한 방법으로 수행될 수 있다.

S224 단계에서, 오프 스트링들이 판별된다. S224 단계는 도 8의 S114 단계와 동일한 방법으로 수행될 수 있다.

S225 단계에서, 오프 스트링 정보가 출력된다. 오프 스트링 정보는 선택된 메모리 블록의 선택된 스트링 선택 라인의 오프 스트링들의 수, 프리 읽기 결과, 또는 오프 스트링들의 수와 프리 읽기 결과를 포함할 수 있다.

S226 단계에서, 선택된 스트링 선택 라인이 마지막 스트링 선택 라인인지 판별된다. 선택된 스트링 선택 라인이 마지막 스트링 선택 라인이 아니면, S227 단계에서 다음 스트링 선택 라인(SSL2)이 선택된다. 이후에, S223 단계부터 다시 수행된다. 선택된 스트링 선택 라인이 마지막 스트링 선택 라인이라면, 프리 읽기는 종료된다.

S221 단계 내지 S227 단계가 수행되면, 특정 메모리 블록의 오프 스트링들에 대한 정보가 출력될 수 있다. 오프 스트링 정보의 종류는 수신되는 커맨드에 따라 결정될 수 있다.

도 18은 본 발명의 제 3 실시 예에 따른 불휘발성 메모리 장치(300)를 보여주는 블록도이다. 도 18을 참조하면, 불휘발성 메모리 장치(300)는 메모리 셀 어레이(310), 어드레스 디코딩부(320), 페이지 버퍼부(330), 데이터 입출력부(340), 카운팅부(350), 패스/페일 체킹부(360), 그리고 제어 로직(370)을 포함한다.

카운트 값(CV)이 데이터 입출력 회로(340)에도 제공되는 것을 제외하면, 불휘발성 메모리 장치(300)는 도 1을 참조하여 설명된 불휘발성 메모리 장치(100)와 동일한 구조를 갖는다.

불휘발성 메모리 장치(300)는 도 8 내지 도 13을 참조하여 설명된 소거 방법에 따라 소거를 수행할 수 있다. 불휘발성 메모리 장치(300)는 도 16 및 도 17을 참조하여 설명된 프리 읽기 방법에 따라 프리 읽기를 수행할 수 있다.

도 19는 본 발명의 제 4 실시 예에 따른 불휘발성 메모리 장치(400)를 보여주는 블록도이다. 도 19를 참조하면, 불휘발성 메모리 장치(400)는 메모리 셀 어레이(410), 어드레스 디코딩부(420), 페이지 버퍼부(430), 데이터 입출력부(440), 카운팅부(450), 패스/페일 체킹부(460), 그리고 제어 로직(470)을 포함한다.

메모리 셀 어레이(410)는 도 1을 참조하여 설명된 메모리 셀 어레이(110)와 동일한 구조를 갖는다.

어드레스 디코딩부(420)는 스트링 선택 라인들(SSL), 워드 라인들(WL), 그리고 접지 선택 라인들(GSL)을 통해 메모리 셀 어레이(410)에 연결된다. 어드레스 디코딩부(420)는 디코딩된 열어드레스(DCA)를 페이지 버퍼부(430)에 제공할 수 있다.

페이지 버퍼부(430)는 비트 라인들(BL)을 통해 메모리 셀 어레이(410)에 연결되고, 데이터 라인들(DL)을 통해 데이터 입출력부(440)에 연결된다. 페이지 버퍼부(430)는 읽기 결과(소거 검증 읽기 결과를 포함)를 출력할 수 있다.

카운팅부(450)는 읽기 결과(RR)를 수신하여 카운트한다. 카운팅부(450)는 카운트 값(CV)을 출력한다.

패스/페일 체킹부(460)는 카운트 값(CV)을 수신한다. 패스/페일 체킹부(460)는 카운트 값(CV)을 레지스터(REG 2)에 저장된 값과 비교하고, 비교 결과에 따라 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력한다.

제어 로직(470)은 불휘발성 메모리 장치(400)의 제반 동작을 제어할 수 있다.

도 20은 본 발명의 제 3 실시 예에 따른 소거 방법을 보여주는 순서도이다. 도 21은 도 20의 소거 방법에 따른 전압 조건들을 보여주는 테이블이다. 도 7, 도 19 및 도 20을 참조하면, S411 단계에서 소거 전압이 공급된다.

S412 단계에서, 첫 번째 스트링 선택 라인(SSL1)이 선택된다.

비트 라인들(BL1, BL2)은 플로팅되고, 스트링 선택 라인들(SSL1, SSL2)은 플로팅되거나 제 6 스트링 선택 라인 전압(VSSL6)을 공급받을 수 있다. 워드 라인들(WL1~WL6)에 제 2 워드 라인 소거 전압(Vwe2)이 공급될 수 있다. 제 2 워드 라인 소거 전압(Vwe2)은 접지 전압(VSS) 또는 접지 전압(VSS)과 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다. 접지 선택 라인(GSL)은 플로팅되거나 제 4 접지 선택 라인 전압(VGSL4)을

공급받을 수 있다. 공통 소스 라인(CSL)은 플로팅될 수 있다. 기판(111)에 제 2 소거 전압(Vers2)이 공급될 수 있다. 제 2 소거 전압(Vers2)은 고전압일 수 있다. 제 6 스트링 선택 라인 전압(VSSL6) 및 제 4 접지 선택 라인 전압(VGSL4)은 제 2 소거 전압(Vers2)과 접지 전압(VSS) 사이의 레벨을 갖는 전압일 수 있다.

제 2 소거 전압(Vers2)이 공급될 때, 메모리 셀 어레이(410)의 전압들은 도 10에 도시된 바와 같이 변화할 수 있다.

S413 단계에서, 소거 검증 전압이 공급되어 소거 검증이 수행된다.

비트 라인들(BL1, BL2)에 제 4 비트 라인 전압(VBL4)이 공급될 수 있다. 제 4 비트 라인 전압(VBL4)은 전원 전압(VCC) 또는 그와 유사한 레벨을 갖는 전압일 수 있다.

선택된 스트링 선택 라인(SSL1)에 제 7 스트링 선택 라인 전압(VSSL7)이 공급된다. 제 7 스트링 선택 라인 전압(VSSL7)은 선택된 스트링 선택 트랜지스터들(SST1)을 턴-온 하는 전압일 수 있다. 제 7 스트링 선택 라인 전압(VSSL7)은 비선택 읽기 전압(Vread) 또는 전원 전압(VCC)일 수 있다.

비선택된 스트링 선택 라인(SSL2)에 제 8 스트링 선택 라인 전압(VSSL8)이 공급된다. 제 8 스트링 선택 라인 전압(VSSL8)은 비선택된 스트링 선택 트랜지스터들(SST2)을 턴-오프 하는 전압일 수 있다. 제 8 스트링 선택 라인 전압(VSSL8)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

워드 라인들(WL1~WL6)에 제 2 검증 전압(VFY2)이 공급된다. 제 2 검증 전압(VFY2)은 소거된 메모리 셀들이 갖는 문턱 전압의 상한일 수 있다. 제 2 검증 전압(VFY2)은 접지 전압(VSS) 또는 음의 전압일 수 있다.

접지 선택 라인(GSL)에 제 5 접지 선택 라인 전압(VGSL5)이 공급된다. 제 5 접지 선택 라인 전압(VGSL5)은 접지 선택 트랜지스터들(GST)을 턴-온 하는 전압일 수 있다. 제 5 접지 선택 라인 전압(VGSL5)은 비선택 읽기 전압(Vread) 또는 전원 전압(VCC)일 수 있다.

공통 소스 라인(VSL)에 제 3 공통 소스 라인 전압(VCSL3)이 공급된다. 제 3 공통 소스 라인 전압(VCSL3)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

기판(111)에 제 3 기판 전압(VSUB3)이 공급된다. 제 3 기판 전압(VSUB3)은 접지 전압(VSS) 또는 그와 유사한 레벨을 갖는 저전압(양의 전압과 음의 전압을 포함)일 수 있다.

소거 검증 전압이 공급될 때, 메모리 셀 어레이(410)의 전압들은 도 12에 도시된 바와 같이 변화할 수 있다.

제 2 검증 전압(VFY2)에 따라 특정 스트링의 메모리 셀들(MC1~MC6)이 턴-온될 때, 특정 스트링에 연결된 비트 라인의 전압은 제 4 비트 라인 전압(VBL4)으로부터 낮아진다. 제 2 검증 전압(VFY2)에 따라 특정 스트링의 적어도 하나의 메모리 셀이 턴-오프 될 때, 특정 스트링에 연결된 비트 라인의 전압은 제 4 비트 라인 전압(VBL4)을 유지한다. 턴-오프 되는 스트링들은 소거 폐일된 스트링들일 수 있다.

특정 비트 라인의 전압이 기준 전압(Vref)보다 낮을 때, 페이지 버퍼부(130)는 특정 비트 라인에 대응하는 래치(미도시)에 제 2 논리값을 저장할 수 있다. 특정 비트 라인의 전압이 기준 전압(Vref)보다 높을 때, 페이지 버퍼부(130)는 특정 비트 라인에 대응하는 래치(미도시)에 제 1 논리값을 저장할 수 있다. 오프 스트링들에 연결된 비트 라인들은 항상 제 4 비트 라인 전압(VBL4)을 유지할 수 있다. 즉, 페이지 버퍼부(130)는 오프 스트링들에 대응하는 래치들에 제 1 논리값을 저장할 수 있다. 페이지 버퍼부(130)에 저장된 데이터는 소거 검증 읽기 결과(RR)일 수 있다. 소거 검증 읽기 결과(RR)는 카운팅부(450)로 제공된다.

S414 단계에서, 폐일 스트링들의 수가 카운트된다. 폐일 스트링들은 소거 폐일된 셀 스트링들을 가리킬 수 있다. 카운팅부(450)는 소거 검증 읽기 결과(RR) 중 제 1 논리값, 즉 소거 폐일된 스트링들의 수를 카운트할 수 있다. 카운트값(CV)은 패스/폐일 체킹부(460)로 제공된다.

S415 단계에서, 폐일 스트링들의 수가 제 2 값(V2)과 비교된다. 패스/폐일 체킹부(460)는 카운트 값(CV)과 레지스터(REG2)에 저장된 제 2 값(V2)을 비교할 수 있다. 카운트 값(CV)이 제 2 값(V2) 보다 크면, 패스/폐일 체킹부(460)는 폐일 신호(FAIL)를 출력할 수 있다. 폐일 신호(FAIL)에 응답하여, 제어 로직(470)은 S416 단계가 수행되도록 불휘발성 메모리 장치(400)를 제어할 수 있다. S416 단계에서 소거 전압이 공급되고 이전에 선택되었던 스트링 선택 라인이 다시 선택될 수 있다. 이후에, S413 단계부터 다시 수행될 수 있다.

카운트 값(CV)이 제 2 값(V2) 이하이면, 즉 폐일 스트링들의 수가 제 2 값(V2) 이하이면, 패스/폐일 체킹부

(460)는 패스 신호(PASS)를 출력한다. 패스 신호(PASS)에 응답하여, 제어 로직(470)은 S417 단계가 수행되도록 불휘발성 메모리 장치(400)를 제어할 수 있다.

S417 단계에서, 선택된 스트링 선택 라인(SSL1)이 마지막 스트링 선택 라인인지 판별된다. 선택된 스트링 선택 라인(SSL2)이 마지막 스트링 선택 라인이 아니면, S418 단계에서 다음 스트링 선택 라인(SSL2)이 선택되고, S413 단계부터 다시 수행된다. 선택된 스트링 선택 라인(SSL2)이 마지막 스트링 선택 라인다면, 소거는 종료된다.

예시적으로, 제 2 값(V2)은 불휘발성 메모리 장치(400)로부터 읽어지는 데이터의 에러를 정정하는 에러 정정부(미도시)의 에러 정정 비트수일 수 있다. 제 2 값(V2)은 에러 정정부(미도시)의 에러 정정 비트수 보다 작을 수 있고, 에러 정정 비트수에 따라 결정될 수 있다. 예를 들어, 제 2 값(V2)은 에러 정정 비트 수에 대한 특정 비율에 따라 결정될 수 있다.

상술된 바와 같이, 폐일된 스트링들의 수가 제 2 값(V2) 이하이면, 소거는 종료될 수 있다. 오프 스트링들은 폐일된 스트링들로 처리될 수 있다. 즉, 오프 스트링들이 존재하여도, 불휘발성 메모리 장치(400)는 정상적으로 동작할 수 있다.

예시적으로, 도 16 및 도 17을 참조하여 설명된 바와 같이, 불휘발성 메모리 장치(400)는 프리 읽기를 수행하도록 구성될 수 있다.

도 22는 본 발명의 제 5 실시 예에 따른 불휘발성 메모리 장치(500)를 보여주는 블록도이다. 도 22를 참조하면, 불휘발성 메모리 장치(500)는 메모리 셀 어레이(510), 어드레스 디코딩부(520), 페이지 버퍼부(530), 데이터 입출력부(540), 카운팅부(550), 패스/폐일 체킹부(560), 그리고 제어 로직(570)을 포함한다.

메모리 셀 어레이(510), 어드레스 디코딩부(520), 데이터 입출력부(540), 카운팅부(550), 그리고 제어 로직(570)은 도 19를 참조하여 설명된 메모리 셀 어레이(410), 어드레스 디코딩부(420), 데이터 입출력부(440), 카운팅부(450), 그리고 제어 로직(470)과 동일한 구조를 가질 수 있다.

페이지 버퍼부(530)는 리플 및 캐리 계산기(531)를 더 포함한다. 리플 및 캐리 계산기(531)는 소거 검증 읽기 결과에 따라 합 신호(SUM) 및 캐리 신호(CARRY)를 출력할 수 있다.

카운팅부(550)는 페이지 버퍼부(530)로부터 합 신호(SUM)를 수신하도록 구성된다. 카운팅부(550)는 합 신호(SUM)가 활성화되는 횟수를 카운트하도록 구성된다. 카운팅부(550)는 카운트 값(CV)을 출력할 수 있다.

패스/폐일 체킹부(560)는 페이지 버퍼부(530)로부터 캐리 신호(CARRY)를 수신하고, 카운팅부(550)로부터 카운트 값(CV)을 수신한다. 캐리 신호(CARRY)가 활성화될 때, 패스/폐일 체킹부(560)는 폐일 신호(FAIL)를 활성화할 수 있다. 캐리 신호(CARRY)가 비활성 상태일 때, 패스/폐일 체킹부(560)는 카운트 값(CV)을 레지스터(REG3)에 저장된 값과 비교하고, 비교 결과에 따라 패스 신호(PASS) 또는 폐일 신호(FAIL)를 출력한다.

도 23은 본 발명의 제 4 실시 예에 따른 소거 방법을 보여주는 순서도이다. 도 7, 도 22, 그리고 도 23을 참조하면, S511 단계에서 소거 전압이 공급된다.

S512 단계에서, 첫 번째 스트링 선택 라인(SSL1)이 선택된다. S513 단계에서 소거 검증 전압이 공급되어 소거 검증이 수행된다. S512 단계 및 S513 단계에서 메모리 셀 어레이(510)에 공급되는 전압들은 도 21과 일치할 수 있다. S512 단계 및 S513 단계가 수행되면, 페이지 버퍼부(530)의 래치들(미도시)에 소거 검증 읽기 결과가 저장될 수 있다. 예를 들어, 소거 패스된 스트링에 대응하는 래치들(미도시)에 제 2 논리값이 저장되고, 소거 폐일된 스트링에 대응하는 래치들(미도시)에 제 1 논리값이 저장될 수 있다.

S514 단계에서, 합 신호(SUM) 및 캐리 신호(CARRY)가 발생된다. 페이지 버퍼부(530)의 리플 및 캐리 계산기(531)는 소거 검증 읽기 결과에 따라 합 신호(SUM) 및 캐리 신호(CARRY)를 발생할 수 있다. 합 신호(SUM) 및 캐리 신호(CARRY)의 발생은 도 24를 참조하여 더 상세하게 설명된다.

S515 단계에서, 캐리 신호(CARRY)가 비활성 상태인지 판별된다. 캐리 신호(CARRY)가 활성 상태이면, 패스/폐일 체킹부(560)는 폐일 신호(FAIL)를 발생할 수 있다. 폐일 신호(FAIL)에 응답하여, 제어 로직(570)은 S516 단계가 수행되도록, 불휘발성 메모리 장치(500)를 제어할 수 있다. S516 단계에서, 소거 전압이 공급되고, 이전에 선택되었던 스트링 선택 라인이 다시 선택될 수 있다. 이후에, S513 단계부터 다시 수행될 수 있다.

캐리 신호(CARRY)가 비활성 상태이면, S517 단계가 수행된다.

S517 단계에서, 합 신호(SUM)가 활성화된 횟수가 제 3 값(V3)과 비교된다. 패스/폐일 체킹부(560)는 합 신호(SUM)가 활성화된 횟수를 가리키는 카운트 값(CV)을 카운팅부(550)로부터 수신할 수 있다. 카운트 값(CV)이 제 3 값(V3) 보다 클 때, 패스/폐일 체킹부(560)는 폐일 신호(FAIL)를 발생한다. 폐일 신호(FAIL)에 응답하여, 제어 로직(570)은 S516 단계가 수행되도록 불휘발성 메모리 장치(500)를 제어할 수 있다. 카운트 값(CV)이 제 3 값(V3) 이하이면, 패스/폐일 체킹부(560)는 패스 신호(PASS)를 출력할 수 있다. 패스 신호(PASS)에 응답하여, 제어 로직(570)은 S518 단계가 수행되도록 불휘발성 메모리 장치(500)를 제어할 수 있다.

S518 단계에서, 선택된 스트링 선택 라인(SSL1)이 마지막 스트링 선택 라인인지 판별된다. 선택된 스트링 선택 라인(SSL1)이 마지막 스트링 선택 라인이 아니면, S519 단계에서 다음 스트링 선택 라인(SSL2)이 선택된다. 이후에, S513 단계가 다시 수행된다. 선택된 스트링 선택 라인(SSL2)이 마지막 스트링 선택 라인다면, 소거가 종료된다.

도 24는 도 23의 합 신호(SUM) 및 캐리 신호(CARRY)를 발생하는 방법을 보여주는 순서도이다. 도 7, 도 22 내지 도 24를 참조하면, S521 단계에서, 소거 검증 읽기 결과의 첫 번째 그룹이 선택된다. 예를 들어, 소거 검증 읽기 결과는 복수의 그룹들로 분할되고, 분할된 복수의 그룹들 중 첫 번째 그룹이 선택될 수 있다.

S522 단계에서, 선택된 그룹의 소거 검증 읽기 결과가 가리키는 폐일 스트링들의 수가 하나인지 판별된다. 예시적으로, 선택된 그룹의 검증 결과 중 제 1 논리값은 폐일 스트링을 가리킬 수 있다. 선택된 그룹의 검증 결과 중 제 1 논리값의 수가 1개인지 판별될 수 있다. 선택된 그룹의 검증 결과가 하나의 폐일 스트링을 가리키면, S523 단계에서 합 신호(SUM)가 활성화된다. 리플 및 캐리 계산기(531)는 합 신호(SUM)를 활성화할 수 있다. 이후에, S526 단계가 수행된다. 선택된 그룹의 검증 결과가 하나의 폐일 스트링을 가리키지 않으면, S524 단계가 수행된다.

S524 단계에서 폐일 스트링들의 수가 둘 이상인지 판별된다. 예시적으로, 선택된 그룹의 검증 결과 중 제 1 논리값의 수가 2 이상인지 판별될 수 있다. 선택된 그룹의 검증 결과가 둘 이상의 폐일 스트링들을 가리키면, S525 단계에서 캐리 신호(CARRY)가 활성화된다. 이후에 S526 단계가 수행된다. 선택된 그룹의 검증 결과가 둘 이상의 폐일 스트링들을 가리키지 않으면, S526 단계가 수행된다.

S522 단계 내지 S525 단계가 수행되면, 페이지 버퍼부(530)는 합 신호(SUM)를 활성화하거나, 캐리 신호(CARRY)를 활성화하거나, 또는 합 신호(SUM)와 캐리 신호(CARRY)를 비활성화할 수 있다. 하나의 폐일 스트링이 검출되면, 합 신호(SUM)가 활성화되고, 둘 이상의 폐일 스트링이 검출되면, 캐리 신호(CARRY)가 활성화된다.

S526 단계에서, 선택된 그룹이 마지막 그룹인지 판별된다. 선택된 그룹이 마지막 그룹이 아니면, S527 단계에서 합 신호(SUM) 및 캐리 신호(CARRY)가 비활성화되고, 다음 그룹이 선택된다. 이후에, S521 단계가 수행된다. 선택된 그룹이 마지막 그룹이면, 합 신호(SUM) 및 캐리 신호(CARRY)의 발생이 종료된다.

도 24를 참조하여 설명된 바와 같이, 캐리 신호(CARRY)가 활성화되면 폐일 신호(FAIL)가 활성화된다. 즉, 선택된 그룹의 소거 검증 읽기 결과에서 둘 이상의 폐일 스트링들이 검출되면, 소거 폐일로 판별될 수 있다.

캐리 신호(CARRY)가 비활성 상태일 때, 합 신호(SUM)가 활성화되는 횟수가 제 3 값(V3)과 비교되고, 비교 결과에 따라 소거 패스 또는 소거 폐일이 결정된다. 즉, 복수의 그룹들 각각에서 둘 이상의 폐일 스트링들이 존재하지 않고, 전체 소거 검증 읽기 결과의 폐일 스트링들의 수가 제 3 값(V3) 이하일 때, 소거 패스로 판별될 수 있다.

제 3 값(V3)은 불휘발성 메모리 장치(500)로부터 읽어지는 데이터의 어러를 정정하는 어러 정정부(미도시)의 어러 정정 비트수일 수 있다. 제 3 값(V3)은 어러 정정부(미도시)의 어러 정정 비트수 보다 작을 수 있고, 어러 정정 비트수에 따라 결정될 수 있다. 예를 들어, 제 3 값(V3)은 어러 정정 비트 수에 대한 특정 비율에 따라 결정될 수 있다.

도 25는 리플 및 캐리 계산기(531)를 보여주는 블록도이다. 예시적으로, 페이지 버퍼부(530)는 도 14에 도시된 구조를 가질 수 있다. 페이지 버퍼 신호선들(PBS1~PBSm)은 리플 및 캐리 계산기(531)와 연결될 수 있다.

도 7, 도 14, 도 22 및 도 25를 참조하면, 리플 및 캐리 계산기(531)는 복수의 계산기들(C1~Ck)을 포함한다. 페이지 버퍼 신호선들(PBS1~PBSm) 중 인접한 두 개의 신호선들이 하나의 계산기에 연결된다. 예를 들어, 예를 들어, 제 1 및 제 2 페이지 버퍼 신호선들(PBS1, PBS2)은 제 1 계산기(C1)에 연결되고, 제 3 및 제 4 페이지 버퍼 신호선들(PBS3, PBS4)은 제 2 계산기(C2)에 연결되고, 제 $m-1$ 및 제 m 페이지 버퍼 신호선들(PBSm-1, PBSm)은 제 k 계산기(Ck)에 연결된다.

전송 신호들(PF1~PFn)이 순차적으로 활성화됨에 따라, 페이지 버퍼들(PB1~PBn)은 순차적으로 소거 검증 읽기 결과를 페이지 버퍼 신호선들(PBS1~PBSm)로 출력할 수 있다. 즉, 페이지 버퍼들(PB1~PBn)의 단들(Stage1~Stage n)에 의해 소거 검증 읽기 결과가 복수의 그룹들로 분할될 수 있다.

제 1 계산기(C1)는 제 1 및 제 2 페이지 버퍼 신호선들(PBS1, PBS2)의 논리값들의 합을 제 1 합 신호(SUM1)로 출력할 수 있다. 예를 들어, 제 1 계산기(C1)는 제 1 및 제 2 페이지 버퍼 신호선들(PBS1, PBS2)의 논리값들의 배타적 논리합을 제 1 합 신호(SUM1)로 출력할 수 있다. 제 1 및 제 2 페이지 버퍼 신호선들(PBS1, PBS2)이 모두 제 1 논리값(예를 들어, 로직 하이)일 때, 제 1 계산기(C1)는 제 1 캐리 신호(CARRY1)를 제 1 논리값으로 출력할 수 있다.

제 2 계산기(C2)는 제 3 및 제 4 페이지 버퍼 신호선들(PBS3, PBS4)의 논리값들의 배타적 논리합을 계산할 수 있다. 제 2 계산기(C2)는 계산 결과 및 제 1 합 신호(SUM1)의 배타적 논리합을 제 2 합 신호(SUM2)로 출력할 수 있다. 제 3 및 제 4 페이지 버퍼 신호선들(PBS3, PBS4)의 논리값들이 모두 제 1 논리값일 때, 또는 제 3 및 제 4 페이지 버퍼 신호선들(PBS3, PBS4)의 논리값들의 배타적 논리합과 제 1 합 신호(SUM1)가 모두 제 1 논리값일 때, 제 2 계산기는 제 2 캐리 신호(CARRY2)를 제 1 논리값으로 출력할 수 있다. 제 1 캐리 신호(CARRY1)가 제 1 논리값일 때, 제 2 계산기(C2)는 제 2 캐리 신호(CARRY2)를 제 1 논리값으로 출력할 수 있다.

제 k 계산기(Ck)는 제 2 계산기(C2)와 마찬가지로 동작할 수 있다. 제 k 계산기(Ck)는 페이지 버퍼 디코딩부(530)의 출력 신호들, 그리고 이전 계산기의 출력 신호들에 기반하여, 합 신호(SUM) 및 캐리 신호(CARRY)를 출력할 수 있다. 합 신호(SUM) 또는 캐리 신호(CARRY)가 제 1 논리값을 가질 때, 합 신호(SUM) 또는 캐리 신호(CARRY)는 활성화될 수 있다. 합 신호(SUM)는 카운팅부(550)로 제공되고, 캐리 신호(CARRY)는 패스/페일 체킹부(560)로 제공될 수 있다.

상술된 바와 같이, 페일 스트링들의 수가 여러 정정 범위 이내일 때, 소거 패스로 판별된다. 오프 스트링들은 소거 검증 시에 페일 스트링들로 처리된다. 따라서, 오프 스트링들이 존재하여도, 불휘발성 메모리 장치(500)는 정상적으로 동작할 수 있다.

도 26은 도 3의 평면도의 일 부분(EC)의 제 2 예에 따른 등가 회로(BLKa2)를 보여주는 회로도이다. 도 7의 등가 회로(BLKa1)와 비교하면, 각 셀 스트링에 측면 트랜지스터들(LTR)이 추가적으로 제공된다.

도 3 내지 도 6, 그리고 도 26을 참조하면, 각 셀 스트링에서, 측면 트랜지스터들(LTR)은 접지 선택 트랜지스터들(GST) 및 공통 소스 라인 사이(CSL)에 연결된다. 측면 트랜지스터들(LTR)의 게이트들(또는 제어 게이트들)은 접지 선택 트랜지스터들(GST)의 게이트들(또는 제어 게이트들)과 함께 접지 선택 라인(GSL)에 연결된다.

채널막들(114)은 제 1 도전 물질들(CM1)의 수직 바디로 동작한다. 즉, 제 1 도전 물질들(CM1)은 채널막들(114)과 함께 수직 트랜지스터를 구성한다. 제 1 도전 물질들(CM1)은 채널막들(114)과 함께 기판(111)에 수직한 접지 선택 트랜지스터들(GST)을 구성할 수 있다.

기판(111)과 제 1 도전 물질들(CM1)의 사이에 정보 저장막들(116)이 제공된다. 기판(111)은 제 1 도전 물질들(CM1)의 수평 바디로 동작할 수 있다. 즉, 제 1 도전 물질들(CM1)은 기판(111)과 함께 수평 트랜지스터들(LTR)을 구성할 수 있다.

제 1 도전 물질들(CM1)에 전압이 공급될 때, 제 1 도전 물질들(CM1)과 채널막들(114) 사이에 전기장이 형성된다. 형성된 전기장으로 인해, 채널막들(114)에 채널들이 형성될 수 있다. 제 1 도전 물질들(CM1)에 전압이 공급될 때, 제 1 도전 물질들(CM1)과 기판(111) 사이에 전기장이 형성된다. 형성된 전기장으로 인해, 기판(111)에 채널들이 형성된다. 기판(111)에 형성된 채널들은 공통 소스 영역들(CSR) 및 채널막들(114)과 연결될 수 있다. 즉, 접지 선택 라인(GSL)에 전압이 공급될 때 접지 선택 트랜지스터들(GST)과 수평 트랜지스터들(LTR)이 함께 턠-온 되어, 셀 스트링들(CS11, CS12, CS21, CS22)은 공통 소스 라인(CSL)에 연결될 수 있다.

도 27은 도 3의 평면도의 일 부분(EC)의 제 3 예에 따른 등가 회로(BLKa3)를 보여주는 회로도이다. 도 7에 도시된 등가 회로(BLKa1)와 비교하면, 접지 선택 트랜지스터들(GST)은 제 1 및 제 2 접지 선택 라인들(GSL1, GSL2)에 연결된다. 도 3 내지 도 6, 그리고 도 27을 참조하면, 제 1 도전 물질들(CM1)은 제 1 및 제 2 접지 선택 라인들(GSL1, GSL2)을 구성할 수 있다.

메모리 셀들(MC1~MC6)은 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거될 수 있다. 선택된 접지 선택 라인에 턠-온 전압이 공급되고, 비선택된 접지 선택 라인에 턠-오프 전압이 공급될 수 있다. 선택된 접지 선택 라인은 선택된 스트링 선택 라인과 동일하게 바이어스되고,

비선택된 접지 선택 라인은 비선택된 스트링 선택 라인과 동일하게 바이어스될 수 있다.

메모리 셀들(MC1~MC6)에서 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다. 선택된 접지 선택 라인에 턴-온 전압이 공급되고, 비선택된 접지 선택 라인에 턴-오프 전압이 공급될 수 있다. 선택된 접지 선택 라인은 선택된 스트링 선택 라인과 동일하게 바이어스되고, 비선택된 접지 선택 라인은 비선택된 스트링 선택 라인과 동일하게 바이어스될 수 있다.

도 26을 참조하여 설명된 바와 같이, 등가 회로(BLKa3)에 측면 트랜지스터들(LTR)이 제공될 수 있다.

도 28은 도 3의 평면도의 일 부분(EC)의 제 4 예에 따른 등가 회로(BLKa4)를 보여주는 회로도이다. 도 3 내지 도 6, 그리고 도 28을 참조하면, 복수의 서브 블록들이 제공될 수 있다. 예시적으로, 제 2 및 제 3 도전 물질들(CM2, CM3)은 제 1 및 제 2 메모리 셀들(MC1, MC2)을 구성하며, 제 1 서브 블록으로 사용될 수 있다. 제 6 및 제 7 도전 물질들(CM6, CM7)은 제 3 및 제 4 메모리 셀들(MC3, MC4)을 구성하며, 제 2 서브 블록으로 사용될 수 있다. 제 4 및 제 5 도전 물질들(CM4, CM5)은 제 1 및 제 2 서브 블록들 사이에 제공되는 제 1 및 제 2 더미 메모리 셀들(DMC1, DMC2)을 구성할 수 있다. 제 1 및 제 2 서브 블록들은 독립적으로 프로그램되고, 읽어지고, 그리고 소거될 수 있다.

메모리 셀들(MC1~MC4)은 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거될 수 있다. 메모리 셀들(MC1~MC4)이 도 8 내지 도 13을 참조하여 설명된 방법에 따라 소거될 때, 메모리 블록(BLKa4)에 공급되는 전압들이 도 29에 도시되어 있다. 도 9의 전압들과 비교하면, 소거 전압(Vers1)이 공급될 때 선택된 서브 블록의 워드 라인들에 제 1 워드 라인 소거 전압(Vwe1)이 공급되고, 비선택된 서브 블록의 워드 라인들은 플로팅되거나 제 1 워드 라인 전압(VWL1)을 공급받는다. 제 1 워드 라인 전압(VWL1)은 소거 전압(Vwe1)과 접지 전압(VSS) 사이의 레벨을 가질 수 있다.

더미 워드 라인들(DWL1, DWL2)은 플로팅되거나 제 1 더미 워드 라인 전압(VDWL1)을 공급받는다. 제 1 더미 워드 라인 전압(VDWL1)은 소거 전압(Vwe1)과 접지 전압(VSS) 사이의 레벨을 가질 수 있다.

제 1 소거 전압(Vers1)이 공급될 때, 선택된 서브 블록의 메모리 셀들이 소거되고, 비선택된 서브 블록의 메모리 셀들과 더미 메모리 셀들은 소거되지 않을 수 있다.

프리 읽기가 수행될 때, 워드 라인들(WL1~WL4)에 제 1 고전압(VH1)이 인가된다. 제 1 고전압(VH1)은 비선택 읽기 전압(Vread)일 수 있다. 더미 워드 라인들(DWL1, DWL2)에 제 2 더미 워드 라인 전압(VDWL2)이 공급된다. 제 2 더미 워드 라인 전압(VDWL2)은 더미 메모리 셀들(DMC1, DMC2)을 턴-온 하는 레벨을 가질 수 있다. 제 2 더미 워드 라인 전압(VDWL2)은 비선택 읽기 전압(Vread)과 같거나 그보다 낮은 레벨을 가질 수 있다.

소거 검증이 수행될 때, 선택된 서브 블록의 워드 라인들에 검증 전압(VFY1)이 공급되고, 비선택된 서브 블록의 워드 라인들에 제 2 고전압(VH2)이 공급된다. 제 2 고전압(VH2)은 비선택 읽기 전압(Vread)일 수 있다. 더미 워드 라인들(DWL1, DWL2)에 제 3 더미 워드 라인 전압(VDWL3)이 공급된다. 제 3 더미 워드 라인 전압(VDWL3)은 더미 메모리 셀들(DMC1, DMC2)을 턴-온 하는 레벨을 가질 수 있다. 제 3 더미 워드 라인 전압(VDWL3)은 비선택 읽기 전압(Vread)과 같거나 그보다 낮은 레벨을 가질 수 있다.

메모리 셀들(MC1~MC4)이 도 20 및 도 21을 참조하여 설명된 방법에 따라 소거될 때, 메모리 블록(BLKa4)에 공급되는 전압들이 도 30에 도시되어 있다. 도 21의 전압들과 비교하면, 소거 전압(Vers2)이 공급될 때, 선택된 서브 블록의 워드 라인들에 워드 라인 소거 전압(Vwe2)이 공급되고, 비선택된 서브 블록의 워드 라인들은 플로팅되거나 제 2 워드 라인 전압(VWL2)을 공급받는다. 제 2 워드 라인 전압(VWL2)은 소거 전압(Vwe2)과 접지 전압(VSS) 사이의 레벨을 가질 수 있다.

더미 워드 라인들(DWL1, DWL2)은 플로팅되거나 제 4 더미 워드 라인 전압(VDWL4)을 공급받는다. 제 4 더미 워드 라인 전압(VDWL4)은 소거 전압(Vwe2)과 접지 전압(VSS) 사이의 레벨을 가질 수 있다.

소거 검증이 수행될 때, 선택된 서브 블록의 워드 라인들에 검증 전압(VFY2)이 공급되고, 비선택된 서브 블록의 워드 라인들에 제 3 워드 라인 전압(VWL3)이 공급된다. 제 3 워드 라인 전압(VWL3)은 메모리 셀들을 턴-온 하는 전압일 수 있다. 제 3 워드 라인 전압(VWL3)은 비선택 읽기 전압(Vread) 또는 그와 유사한 레벨을 갖는 전압일 수 있다.

더미 워드 라인들(DWL1, DWL2)에 제 5 더미 워드 라인 전압(VDWL5)이 공급된다. 제 5 더미 워드 라인 전압(VDWL5)은 더미 메모리 셀들(DMC1, DMC2)을 턴-온 하는 전압일 수 있다. 제 5 더미 워드 라인 전압(VDWL5)은 비

선택 읽기 전압(Vread) 또는 그와 유사한 레벨을 갖는 전압일 수 있다.

메모리 셀들(MC1~MC4)이 도 20 및 도 21을 참조하여 설명된 방법에 따라 소거될 때, 메모리 블록(BLKa4)에 공급되는 전압들은 도 29에 도시된 전압들과 동일할 수 있다.

메모리 셀들(MC1~MC4)에서 도 16 및 도 17을 참조하여 설명된 방법에 따라 프리 읽기가 수행될 때, 메모리 블록(BLKa4)에 공급되는 전압들은 도 29의 S113 단계 및 S114 단계에서 공급되는 전압들과 일치할 수 있다.

도 26을 참조하여 설명된 바와 같이, 등가 회로(BLKa4)에 측면 트랜지스터들(LTR)이 제공될 수 있다.

도 31은 도 3의 평면도의 일 부분(EC)의 제 5 예에 따른 등가 회로(BLKa5)를 보여주는 회로도이다. 도 3 내지 도 6, 그리고 도 31을 참조하면, 제 1 및 제 2 도전 물질들(CM1, CM2)은 각각 제 1 및 제 2 높이들을 갖는 접지 선택 트랜지스터들(GSTa, GSTb)을 구성할 수 있다. 제 7 및 제 8 도전 물질들(CM7, CM8)은 각각 제 7 및 제 8 높이들을 갖는 스트링 선택 트랜지스터들(SSTa, SSTb)을 구성할 수 있다. 제 3 내지 제 6 도전 물질들(CM3~CM6)은 제 1 내지 제 4 메모리 셀들(MC1~MC4)을 구성할 수 있다.

제 1 및 제 2 도전 물질들(CM1, CM2)은 공통으로 연결되어 하나의 접지 선택 라인(GSL)을 구성할 수 있다. 제 1 도전 물질들(CM1)이 공통으로 연결되어 제 1 높이의 접지 선택 라인(미도시)을 구성하고, 제 2 도전 물질들(CM2)이 공통으로 연결되어 제 2 높이의 접지 선택 라인(미도시)을 구성할 수 있다.

셀 스트링들(CS11, CS12)은 제 1 및 제 2 도전 물질들(CM1, CM2)에 의해 각각 형성된 제 1 및 제 2 높이들을 갖는 두 개의 접지 선택 라인들(미도시)에 연결될 수 있다. 셀 스트링들(CS21, CS22)은 제 1 및 제 2 도전 물질들(CM1, CM2)에 의해 각각 형성된 제 1 및 제 2 높이들을 갖는 두 개의 접지 선택 라인들(미도시)에 연결될 수 있다. 적어도 세 개의 높이들에 대응하는 도전 물질들이 접지 선택 트랜지스터들을 구성할 수 있다.

셀 스트링들(CS11, CS12)은 제 7 및 제 8 도전 물질들(CM7, CM8)에 의해 각각 형성된 제 7 및 제 8 높이들을 갖는 두 개의 스트링 선택 라인들(SSL1a, SSL1b)에 연결될 수 있다. 셀 스트링들(CS21, CS22)은 제 7 및 제 8 도전 물질들(CM7, CM8)에 의해 각각 형성된 제 7 및 제 8 높이들을 갖는 두 개의 스트링 선택 라인들(SSL2a, SSL2b)에 연결될 수 있다. 적어도 세 개의 높이들에 대응하는 도전 물질들이 스트링 선택 트랜지스터들을 구성할 수 있다.

메모리 셀들(MC1~MC4)은 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거될 수 있다. 메모리 셀들(MC1~MC4)에서 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 26을 참조하여 설명된 바와 같이, 등가 회로(BLKa5)에 측면 트랜지스터들(LTR)이 제공될 수 있다. 도 27을 참조하여 설명된 등가 회로(BLKa3)와 마찬가지로, 셀 스트링들(CS11, CS12)은 하나의 접지 선택 라인(미도시)에 연결되고, 셀 스트링들(CS21, CS22)은 다른 하나의 접지 선택 라인(미도시)에 연결될 수 있다. 도 28을 참조하여 설명된 등가 회로(BLKa4)와 마찬가지로, 메모리 셀들(MC)은 복수의 서브 블록들을 구성할 수 있다.

도 32는 도 3의 평면도의 일 부분(EC)의 제 6 예에 따른 등가 회로(BLKa6)를 보여주는 회로도이다. 도 31에 도시된 등가 회로(BLKa5)와 비교하면, 동일한 행의 셀 스트링들에서, 스트링 선택 트랜지스터들(SSTa, SSTb)은 하나의 스트링 선택 라인을 공유한다. 셀 스트링들(CS11, CS12)의 스트링 선택 트랜지스터들(SSTa, SSTb)은 제 1 스트링 선택 라인(SSL1)에 공통으로 연결된다. 셀 스트링들(CS21, CS22)의 스트링 선택 트랜지스터들(SSTa, SSTb)은 제 2 스트링 선택 라인(SSL2)에 공통으로 연결된다.

메모리 셀들(MC1~MC4)은 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거될 수 있다. 메모리 셀들(MC1~MC4)에서 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 26을 참조하여 설명된 바와 같이, 등가 회로(BLKa6)에 측면 트랜지스터들(LTR)이 제공될 수 있다. 도 27을 참조하여 설명된 등가 회로(BLKa3)와 마찬가지로, 셀 스트링들(CS11, CS12)은 하나의 접지 선택 라인(미도시)에 연결되고, 셀 스트링들(CS21, CS22)은 다른 하나의 접지 선택 라인(미도시)에 연결될 수 있다. 도 28을 참조하여 설명된 등가 회로(BLKa4)와 마찬가지로, 메모리 셀들(MC)은 복수의 서브 블록들을 구성할 수 있다.

도 33은 도 3의 평면도의 일 부분(EC)의 제 7 예에 따른 등가 회로(BLKa7)를 보여주는 회로도이다. 도 3 내지 도 6, 그리고 도 33을 참조하면, 제 2 도전 물질들(CM2)은 제 1 더미 메모리 셀들(DMC1)을 구성한다. 제 7 도전 물질들(CM7)은 제 2 더미 메모리 셀들(DMC2)을 구성한다.

예시적으로, 둘 이상의 높이들에 대응하는 도전 물질들이 메모리 셀들과 접지 선택 트랜지스터들(GST) 사이의 더미 메모리 셀들(미도시)을 구성할 수 있다. 둘 이상의 높이들에 대응하는 도전 물질들이 메모리 셀들과 스트링 선택 트랜지스터들(SST) 사이의 더미 메모리 셀들(미도시)을 구성할 수 있다. 접지 선택 트랜지스터들(GST)의 쪽과 스트링 선택 트랜지스터들(SST)의 쪽 중 한 쪽에만 더미 메모리 셀들(미도시)이 제공될 수 있다.

메모리 셀들(MC1~MC4)은 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거될 수 있다. 메모리 셀들(MC1~MC4)에서 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

더미 워드 라인들(DWL1, DWL2)에 인가되는 전압은 도 29 및 도 30을 참조하여 설명된 더미 워드 라인 전압들(VDWL1~VDWL5)일 수 있다.

도 26을 참조하여 설명된 바와 같이, 등가 회로(BLK_a7)에 측면 트랜지스터들(LTR)이 제공될 수 있다. 도 27을 참조하여 설명된 등가 회로(BLK_a3)와 마찬가지로, 셀 스트링들(CS11, CS12)은 하나의 접지 선택 라인(미도시)에 연결되고, 셀 스트링들(CS21, CS22)은 다른 하나의 접지 선택 라인(미도시)에 연결될 수 있다. 도 28을 참조하여 설명된 등가 회로(BLK_a4)와 마찬가지로, 메모리 셀들(MC)은 복수의 서브 블록들을 구성할 수 있다. 도 31을 참조하여 설명된 바와 같이, 둘 이상의 높이들의 도전 물질들이 스트링 선택 트랜지스터들(SST_a, SST_b)을 구성할 수 있다. 둘 이상의 높이의 도전 물질들이 접지 선택 트랜지스터들(GST_a, GST_b)을 구성할 수 있다. 도 32를 참조하여 설명된 바와 같이, 동일한 행의 스트링 선택 트랜지스터들(SST_a, SST_b)은 하나의 스트링 선택 라인(SSL1 또는 SSL2)에 연결될 수 있다.

도 34는 도 3의 IV-IV' 선에 따른 사시단면도의 제 2 예를 보여준다. 도 35은 도 3의 IV-IV' 선에 따른 단면도의 제 2 예를 보여준다. 도 3, 도 34, 그리고 도 35를 참조하면, 기판과 수직한 방향으로 적층된 하부 필라들(PLa) 및 상부 필라들(PLb)이 제공된다.

하부 필라들(PLa)은 제 3 방향을 따라 절연막들(112, 112a)을 관통하여 기판(111)과 접촉한다. 하부 필라들(PLa)은 하부 채널막들(114a) 및 하부 내부 물질들(115a)을 포함한다. 하부 채널막들(114a)은 기판(111)과 동일한 도전형을 갖는 반도체 물질 또는 진성 반도체를 포함한다. 하부 채널막들(114a)은 제 1 내지 제 4 도전 물질들(CM1~CM4)의 수직 바디로 동작한다. 하부 내부 물질들(115a)은 절연 물질을 포함한다.

하부 필라들(PLa) 상에 상부 필라들(PLb)이 제공된다. 상부 필라들(PLb)은 제 3 방향을 따라 절연막들(112)을 관통하여, 하부 필라들(PLa)의 상부면과 접촉한다. 상부 필라들(PLb)은 상부 채널막들(114b) 및 상부 내부 물질들(115b)을 포함한다. 상부 채널막들(114b)은 하부 채널막들(114a)과 동일한 도전형을 갖는 반도체 물질 또는 진성 반도체를 포함한다. 상부 채널막들(114b)은 제 5 내지 제 8 도전 물질들(CM5~CM8)의 수직 바디로 동작한다. 상부 내부 물질들(115b)은 절연 물질을 포함한다.

하부 채널막들(114a) 및 상부 채널막들(114b)은 서로 연결되어 수직 방향의 바디로 동작한다. 예시적으로, 하부 필라들(PLa)의 상부에 반도체 패드(SP)가 제공될 수 있다. 반도체 패드(SP)는 하부 채널막들(114a)과 동일한 도전형을 갖는 반도체 물질 또는 진성 반도체를 포함한다. 하부 채널막들(114a) 및 상부 채널막들(114b)은 반도체 패드(SP)를 통해 결합될 수 있다.

예시적으로, 제 1 내지 제 8 도전 물질들(CM1~CM8) 중 반도체 패드(SP)와 인접한 도전 물질들은 더미 워드 라인들 및 더미 메모리 셀들을 구성할 수 있다. 예를 들면, 반도체 패드(SP)와 인접한 제 4 도전 물질들(CM4), 제 5 도전 물질들(CM5), 또는 제 4 및 제 5 도전 물질들(CM4, CM5)은 더미 워드 라인들 및 더미 메모리 셀들을 구성할 수 있다.

도 3, 도 34, 그리고 도 35를 참조하여 설명된 메모리 블록의 등가 회로는 상술된 등가 회로들(BLK_a1~BLK_a7) 중 하나일 수 있다.

도 3, 도 34, 그리고 도 35를 참조하여 설명된 메모리 블록에서, 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거가 수행될 수 있다. 도 3, 도 34, 그리고 도 35를 참조하여 설명된 메모리 블록에서, 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 36은 도 2의 메모리 블록들(BLK1~BLK_z) 중 하나의 메모리 블록(BLK_b)의 일부를 보여주는 제 2 예에 따른 평면도이다. 도 37은 도 36의 X X X VII-X X X VII' 선에 따른 사시단면도를 보여준다. 도 38은 도 36의 X X X VII-X X X VII' 선에 따른 단면도를 보여준다.

도 3 내지 도 6을 참조하여 설명된 메모리 블록(BLKa)과 비교하면, 제 1 방향을 따라 신장되는 스트링 선택 라인 컷(SSL Cut)과 워드 라인 컷들(WL Cut)이 제 2 방향을 따라 교대로 제공된다. 워드 라인 컷들(WL Cut)에 의해 노출된 기판(111)의 부분들에 공통 소스 영역들(CSR)이 제공된다.

인접한 두 개의 공통 소스 영역들(CSR), 즉 인접한 두 개의 워드 라인 컷들(WL Cut) 사이에 제 1 방향을 따라 두 줄의 필라들(PL)이 형성된다. 두 줄의 필라들(PL)의 사이에, 스트링 선택 라인 컷(SSL Cut)이 형성된다. 스트링 선택 라인 컷(SSL Cut)은 스트링 선택 트랜지스터들(SST)을 구성하는 제 8 도전 물질들(CM8)을 분리한다. 둘 이상의 높이의 도전 물질들이 스트링 선택 트랜지스터들(SST)을 구성할 때, 스트링 선택 라인 컷(SSL Cut)은 둘 이상의 높이의 도전 물질들을 분리할 수 있다.

예시적으로, 도 34 및 도 35를 참조하여 설명된 바와 같이, 필라들(PL)은 하부 필라들 및 상부 필라들로 구성될 수 있다.

도 36의 평면도의 일 부분(EC)은 제 1 내지 제 7 예에 따른 등가 회로들(BLKa1~BLKa7) 중 하나에 대응할 수 있다.

메모리 블록(BLKb)에서, 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거가 수행될 수 있다. 메모리 블록(BLKb)에서, 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 39는 도 2의 메모리 블록들(BLK1~BLKz) 중 하나의 메모리 블록(BLKc)의 일부를 보여주는 제 3 예에 따른 평면도이다. 도 40은 도 39의 X X X X-X X X X' 선에 따른 사시단면도를 보여준다. 도 41은 도 39의 X X X X-X X X X' 선에 따른 단면도를 보여준다.

도 3 내지 도 6을 참조하여 설명된 메모리 블록(BLKa)과 비교하면, 인접한 공통 소스 영역들 사이에 제공되는 필라들은 제 1 방향을 따라 지그재그 형태로 배치된다.

예시적으로, 도 34 및 도 35를 참조하여 설명된 바와 같이, 필라들(PL)은 하부 필라들 및 상부 필라들로 구성될 수 있다. 도 36 내지 도 38을 참조하여 설명된 바와 같이, 스트링 선택 라인 컷(SSL Cut)이 제공될 수 있다. 인접한 워드 라인 컷(WL Cut)과 스트링 선택 라인 컷(SSL Cut)의 사이에, 제 1 방향을 따라 지그재그 형태로 배치되는 한 줄의 필라들이 제공될 수 있다.

도 39의 평면도의 일 부분(EC)은 제 1 내지 제 7 예에 따른 등가 회로들(BLKa1~BLKa7) 중 하나에 대응할 수 있다.

메모리 블록(BLKc)에서, 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거가 수행될 수 있다. 메모리 블록(BLKc)에서, 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 42는 도 2의 메모리 블록들(BLK1~BLKz) 중 하나의 메모리 블록(BLKd)의 일부를 보여주는 제 4 예에 따른 평면도이다. 도 43는 도 42의 X X X X III-X X X X III' 선에 따른 사시단면도를 보여준다. 도 42의 X X X X III-X X X X III' 선에 따른 단면도는 도 5에 도시된 단면도와 동일하다. 따라서, 단면도는 생략된다.

도 3 내지 도 6을 참조하여 설명된 메모리 블록(BLKa)과 비교하면, 메모리 블록(BLKd)에서 사각 기둥 형태의 필라들(PL)이 제공된다. 인접한 공통 소스 영역들(CSR) 사이에서 제 1 방향을 따라 한 줄로 배치된 필라들의 사이에, 절연 물질들(IM)이 제공된다. 절연 물질들(IM)은 제 3 방향을 따라 신장되어 기판(111)과 접촉한다.

필라들(PL)은 채널막들(114) 및 내부 물질들(PL)을 포함한다. 예시적으로, 채널막들(114)은 필라들(PL) 각각의 네 측면들 중 도전 물질들(CM1~CM8)과 인접한 두 측면들에 제공될 수 있다.

각 필라의 한 측면의 채널막은 도전 물질들(CM1~CM8) 및 정보 저장막들(116)과 함께 하나의 셀 스트링을 구성할 수 있다. 각 필라의 다른 한 측면의 채널막은 도전 물질들(CM1~CM8) 및 정보 저장막들(116)과 함께 다른 하나의 셀 스트링을 구성할 수 있다. 즉, 하나의 필라는 두 개의 셀 스트링들을 구성할 수 있다.

예시적으로, 도 34 및 도 35를 참조하여 설명된 바와 같이, 필라들(PL)은 하부 필라들 및 상부 필라들로 구성될 수 있다. 도 36 내지 도 38을 참조하여 설명된 바와 같이, 스트링 선택 라인 컷(SSL Cut)이 제공될 수 있다. 도 39 내지 도 41을 참조하여 설명된 바와 같이, 필라들(PL)은 제 1 방향을 따라 지그재그 형태로 배치될 수 있다.

도 42의 평면도의 일 부분(EC)은 제 1 내지 제 7 예에 따른 등가 회로들(BLKa1~BLKa7) 중 하나에 대응할 수 있

다.

메모리 블록(BLKd)에서, 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거가 수행될 수 있다. 메모리 블록(BLKd)에서, 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 44는 도 2의 메모리 블록들(BLK1~BLK2) 중 하나의 메모리 블록(BLKe)의 일부를 보여주는 제 5 예에 따른 평면도이다. 도 45는 도 44의 $XXXV-XXXXV'$ 선에 따른 사시단면도를 보여준다. 도 46은 도 44의 $XXXV-XXXXV'$ 선에 따른 단면도를 보여준다.

도 44 내지 도 46을 참조하면, 기판(111) 상에, 제 1 방향을 따라 신장되는 제 1 내지 제 4 상부 도전 물질들(CMU1~CMU4)과 제 5 내지 제 8 상부 도전 물질들(CMU5~CMU8)이 제공된다. 제 1 내지 제 4 상부 도전 물질들(CMU1~CMU4)은 기판(111)과 수직한 방향으로 적층되고, 기판(111)과 수직한 방향으로 서로 이격된다. 제 5 내지 제 8 상부 도전 물질들(CMU5~CMU8)은 기판(111)과 수직한 방향으로 적층되고, 기판(111)과 수직한 방향으로 서로 이격된다. 제 1 내지 제 4 상부 도전 물질들(CMU1~CMU4)과 제 5 내지 제 8 상부 도전 물질들(CMU5~CMU8)은 제 2 방향을 따라 서로 이격된다.

제 1 내지 제 4 상부 도전 물질들(CMU1~CMU4)과 제 5 내지 제 8 상부 도전 물질들(CMU5~CMU8) 사이에, 제 1 방향을 따라 신장되는 제 1a 및 제 1b 하부 도전 물질들(CMD1a, CMD1b), 그리고 제 2 내지 제 4 하부 도전 물질들(CMD2~CMD4)이 제공된다. 제 2 내지 제 4 하부 도전 물질들(CMD2~CMD4)은 기판(111)과 수직한 방향으로 적층되고, 기판(111)과 수직한 방향으로 서로 이격된다. 제 2 하부 도전 물질(CMD2) 위에, 제 1a 및 제 1b 하부 도전 물질들(CMD1a, CMD1b)이 제공된다. 제 1a 및 제 1b 하부 도전 물질들(CMD1a, CMD1b)은 제 2 방향을 따라 서로 이격된다.

기판(111)과 수직한 방향으로 제 1 내지 제 4 상부 도전 물질들(CMU1~CMU4), 또는 제 5 내지 제 8 상부 도전 물질들(CMU5~CMU8)을 관통하여 기판(111)과 접촉하는 복수의 상부 필라들(PLU)이 형성된다. 제 1 상부 도전 물질(CMU1)에서, 상부 필라들은 제 1 방향을 따라 한 줄로 배치되고, 제 1 방향을 따라 서로 이격된다. 제 8 상부 도전 물질(CMU8)에서, 상부 필라들은 제 1 방향을 따라 한 줄로 배치되고, 제 1 방향을 따라 서로 이격된다.

복수의 상부 필라들(PLU)은 정보 저장막들(116) 및 채널막들(114)을 포함한다. 정보 저장막들(116)은 전하를 포획 또는 유출함으로써 정보를 저장할 수 있다. 정보 저장막들(116)은 터널링 절연막, 전하 포획막, 그리고 블로킹 절연막을 포함할 수 있다.

채널막들(114)은 복수의 상부 필라들(PLU)의 수직 바디로 동작할 수 있다. 채널막들(114)은 진성 반도체(intrinsic semiconductor)를 포함할 수 있다. 채널막들(114)은 기판(111)과 동일한 도전형(예를 들면, P 도전형)을 갖는 반도체를 포함할 수 있다.

기판(111)과 수직한 방향으로 제 2 내지 제 4 하부 도전 물질들(CMD2~CMD4), 그리고 제 1a 또는 제 1b 하부 도전 물질(CMD1a 또는 CMD1b)을 관통하여 기판(111)과 접촉하는 복수의 하부 필라들(PLD)이 형성된다. 제 1a 하부 도전 물질(CMD1a)에서, 하부 필라들은 제 1 방향을 따라 한 줄로 배치되고, 제 1 방향을 따라 서로 이격된다. 제 1b 하부 도전 물질(CMD1b)에서, 하부 필라들은 제 1 방향을 따라 한 줄로 배치되고, 제 1 방향을 따라 서로 이격된다.

복수의 하부 필라들(PLD)은 정보 저장막들(116) 및 채널막들(114)을 포함한다. 정보 저장막들(116)은 전하를 포획 또는 유출함으로써 정보를 저장할 수 있다. 정보 저장막들(116)은 터널링 절연막, 전하 포획막, 그리고 블로킹 절연막을 포함할 수 있다.

채널막들(114)은 복수의 하부 필라들(PLD)의 수직 바디로 동작할 수 있다. 채널막들(114)은 진성 반도체(intrinsic semiconductor)를 포함할 수 있다. 채널막들(114)은 기판(111)과 동일한 도전형(예를 들면, P 도전형)을 갖는 반도체를 포함할 수 있다.

기판(111)에 복수의 파이프라인 콘택들(PC)이 제공된다. 파이프라인 콘택들(PC)은 비트 라인들(BL)의 방향으로 신장되어, 제 1 상부 도전 물질(CMU1)에 형성된 상부 필라들의 하부면들, 그리고 제 1a 하부 도전 물질(CMD1a)에 형성된 하부 필라들(PLD)의 하부면들을 서로 연결한다. 파이프라인 콘택들(PC)은 비트 라인들(BL)의 방향으로 신장되어, 제 8 상부 도전 물질(CMU8)에 형성된 상부 필라들의 하부면들, 그리고 제 1b 하부 도전 물질(CMD1b)에 형성된 하부 필라들(PLD)의 하부면들을 서로 연결한다.

예시적으로, 파이프라인 콘택들(PC)은 채널막들(114) 및 정보 저장막들(116)을 포함할 수 있다. 파이프라인 콘

택들(PC)의 채널막들(114)은 상부 필라들(PLU)의 채널막들(114)과 하부 필라들(PLD)의 채널막들을 서로 연결할 수 있다. 파이프라인 콘택들(PC)의 정보 저장막들(116)은 상부 필라들(PLU)의 정보 저장막들(116)과 하부 필라들(PLD)의 정보 저장막들(116)을 서로 연결할 수 있다.

하부 필라들(PLD)의 위에, 제 1 방향을 따라 신장되는 공통 소스 영역(CSR)이 제공될 수 있다. 공통 소스 영역(CSR)은 제 1 방향을 따라 신장되어 복수의 하부 필라들(PLD)에 연결될 수 있다. 공통 소스 영역(CSR)은 공통 소스 라인(CSL)을 형성할 수 있다. 공통 소스 영역(CSR)은 금속 물질을 포함할 수 있다. 공통 소스 영역(CSR)은 기판(111)과 다른 도전형을 가질 수 있다.

상부 필라들(PLU)의 위에 드레인들(320)이 제공될 수 있다. 드레인들(320)은 기판(111)과 다른 도전형(예를 들면, N 도전형)을 갖는 반도체 물질을 포함할 수 있다. 드레인들(320)의 위에 비트 라인들(BL)이 형성된다. 비트 라인들(BL)은 제 1 방향을 따라 서로 이격된다. 비트 라인들(BL)은 제 2 방향을 따라 신장되어, 복수의 드레인들(320)에 연결된다.

예시적으로, 비트 라인들(BL)과 드레인들(320), 그리고 공통 소스 영역(CSR)과 하부 필라들(PLD)은 콘택 플러그들을 통해 연결될 수 있다.

하나의 파이프 라인 콘택을 통해 연결된 하나의 하부 필라와 하나의 상부 필라는 하나의 셀 스트링을 구성할 수 있다.

예시적으로, 도 39 내지 도 41을 참조하여 설명된 바와 같이, 상부 필라들(PLU) 및 하부 필라들(PLD)은 제 1 방향을 따라 지그재그 형태로 배치될 수 있다.

도 44의 평면도의 일 부분(EC)은 제 1 내지 제 7 예에 따른 등가 회로들(BLK_{a1}~BLK_{a7}) 중 하나에 대응할 수 있다.

메모리 블록(BLK_e)에서, 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거가 수행될 수 있다. 메모리 블록(BLK_e)에서, 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 47은 도 2의 메모리 블록들(BLK₁~BLK_z) 중 하나의 메모리 블록(BLK_f)의 일부를 보여주는 제 6 예에 따른 평면도이다. 도 48은 도 47의 X X X XVIII-X X X XVIII' 선에 따른 사시단면도의 제 1 예를 보여준다. 도 49는 도 47의 X X X XVIII-X X X XVIII' 선에 따른 단면도의 제 1 예를 보여준다.

도 47 내지 도 49를 참조하면, 기판(111)에 공통 소스 영역(CSR)이 형성된다. 예시적으로, 공통 소스 영역(CSR)은 하나의 도핑 영역일 수 있다. 공통 소스 영역(CSR)은 공통 소스 라인(CSL)을 구성할 수 있다.

공통 소스 영역(CSR) 상에, 기판(111)과 수직한 방향으로 적층되고, 기판(111)과 수직한 방향으로 서로 이격된 제 1 내지 제 8 도전 물질들(CM1~CM8)이 형성된다. 제 1 내지 제 8 도전 물질들(CM1~CM8) 중 스트링 선택 트랜지스터들(SST)을 구성하는 도전 물질들은 스트링 선택 라인 컷들(SSL Cut)에 의해 분리될 수 있다. 스트링 선택 라인 컷들(SSL Cut)은 제 1 방향을 따라 신장되고, 제 2 방향을 따라 서로 이격될 수 있다. 스트링 선택 트랜지스터들(SST)을 구성하지 않는 도전 물질들은 공통 소스 영역(CSR) 상에서 제 1 및 제 2 방향들을 따라 신장되는 플레이트(plate) 형태를 가질 수 있다.

예시적으로, 제 1 내지 제 7 도전 물질들(CM1~CM7)은 플레이트 형태를 갖고, 제 8 도전 물질들(CM8)은 스트링 선택 라인 컷들(SSL Cut)에 의해 분리될 수 있다. 제 8 도전 물질들(CM8)은 공통 소스 영역(CSR) 상에서 제 1 방향을 따라 신장되고, 제 2 방향을 따라 서로 이격될 수 있다.

제 1 내지 제 8 도전 물질들(CM1~CM8)에서, 기판(111)과 수직한 방향으로 제 1 내지 제 8 도전 물질들(CM1~CM8)을 관통하여 공통 소스 영역(CSR)과 접촉하는 복수의 필라들(PL)이 제공된다. 제 8 도전 물질들(CM8) 중 하나의 도전 물질에서, 제 1 방향을 따라 한 줄의 필라들(PL)이 제공될 수 있다. 필라들(PL)은 정보 저장막들(116), 채널막들(114), 그리고 내부 물질들(115)을 포함할 수 있다.

정보 저장막들(116)은 전하를 포획 또는 유출함으로써 정보를 저장할 수 있다. 정보 저장막들(116)은 터널링 절연막, 전하 포획막, 그리고 블로킹 절연막을 포함할 수 있다. 채널막들(114)은 복수의 필라들(PL)의 수직 바디로 동작할 수 있다. 채널막들(114)은 진성 반도체(intrinsic semiconductor)를 포함할 수 있다. 채널막들(114)은 기판(111)과 동일한 도전형(예를 들면, P 도전형)을 갖는 반도체를 포함할 수 있다. 내부 물질들(115)은 절연 물질 또는 에어 갭(air gap)을 포함할 수 있다.

예시적으로, 도 34 및 도 35를 참조하여 설명된 바와 같이, 필라들(PL)은 하부 필라들 및 상부 필라들로 구성될 수 있다. 도 39 내지 도 41을 참조하여 설명된 바와 같이, 필라들(PL)은 제 1 방향을 따라 지그재그 형태로 배치될 수 있다.

도 47의 평면도의 일 부분(EC)의 제 1 예에 따른 등가 회로(BLKf1)가 도 50에 도시되어 있다. 도 47 내지 도 50을 참조하면, 필라들(PL)과 기판(111) 사이에 공통 소스 영역(CSR)이 형성된다.

채널막들(114)은 P 도전형을 가질 수 있고, 공통 소스 영역(CSR)은 N 도전형을 가질 수 있다. 채널막들(114) 중 접지 선택 트랜지스터들(GST)에 대응하는 부분은 P 도전형을 가질 수 있고, 공통 소스 영역(CSR)은 N 도전형을 가질 수 있다. 즉, 채널막들(114)과 공통 소스 영역(CSR)은 PN 접합을 형성할 수 있다. 따라서, 필라들(PL)에 의해 구성되는 셀 스트링들(CS11, CS12, CS21, CS22)과 공통 소스 영역(CSR)에 의해 구성되는 공통 소스 라인(CSL) 사이에 다이오드들(D)이 형성될 수 있다. 다이오드들(D)이 제공되는 것을 제외하면, 등가 회로(BLKf1)는 도 7을 참조하여 설명된 등가 회로(BLKa1)와 동일하다.

등가 회로(BLKf1)는 제 2 내지 제 7 예에 따른 등가 회로들(BLKa2~BLKa7)과 같이 응용될 수 있다.

메모리 블록(BLKf1)에서, 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거가 수행될 수 있다. 메모리 블록(BLKf1)에서, 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 51은 도 47의 X X X XVIII-X X X XVIII' 선에 따른 사시단면도의 제 2 예를 보여준다. 도 52는 도 47의 X X X XVIII-X X X XVIII' 선에 따른 단면도의 제 2 예를 보여준다.

도 47, 도 51, 그리고 도 52를 참조하면, 제 1 내지 제 8 도전 물질들(CM1~CM8) 중 접지 선택 트랜지스터들(GST)을 구성하는 도전 물질들은 제 1 방향을 따라 신장되고, 제 2 방향을 따라 서로 이격될 수 있다. 접지 선택 트랜지스터들(GST)을 구성하는 도전 물질들은 스트링 선택 트랜지스터들(SST)을 구성하는 도전 물질들과 동일한 구조를 가질 수 있다. 예시적으로, 제 1 도전 물질들(CM1)은 제 8 도전 물질들(CM8)과 동일한 구조를 가질 수 있다.

예시적으로, 도 34 및 도 35를 참조하여 설명된 바와 같이, 필라들(PL)은 하부 필라들 및 상부 필라들로 구성될 수 있다. 도 39 내지 도 41을 참조하여 설명된 바와 같이, 필라들(PL)은 제 1 방향을 따라 지그재그 형태로 배치될 수 있다.

도 47의 평면도의 일 부분(EC)의 제 2 예에 따른 등가 회로(BLKf2)가 도 53에 도시되어 있다. 도 47, 도 50 내지 도 53을 참조하면, 셀 스트링들(CS11, CS12, CS21, CS22)과 공통 소스 라인(CSL) 사이에 다이오드들(D)이 형성된다. 접지 선택 트랜지스터들(GST)은 복수의 접지 선택 라인들(GSL1, GSL2)에 연결된다. 예시적으로, 셀 스트링들(CS11, CS12)의 접지 선택 트랜지스터들은 제 1 접지 선택 라인(GSL1)에 연결되고, 셀 스트링들(CS21, CS22)의 접지 선택 트랜지스터들은 제 2 접지 선택 라인(GSL2)에 연결된다.

등가 회로(BLKf2)는 제 2 내지 제 7 예에 따른 등가 회로들(BLKa2~BLKa7)과 같이 응용될 수 있다.

메모리 블록(BLKf2)에서, 도 8 내지 도 13, 도 20 및 도 21, 그리고 도 23 및 도 24를 참조하여 설명된 것과 동일한 방법으로 소거가 수행될 수 있다. 메모리 블록(BLKf2)에서, 도 16 및 도 17을 참조하여 설명된 것과 동일한 방법으로 프리 읽기가 수행될 수 있다.

도 54는 본 발명의 실시 예에 따른 메모리 시스템(1000)을 보여주는 블록도이다. 도 54를 참조하면, 메모리 시스템(1000)은 불휘발성 메모리 장치(1100) 및 컨트롤러(1200)를 포함한다.

불휘발성 메모리 장치(1100)는 본 발명의 실시 예에 따른 불휘발성 메모리 장치들(100~500) 중 하나와 동일한 구조를 가질 수 있다. 즉, 불휘발성 메모리 장치(1100)는 기판(111) 상에 제공되는 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함하고, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 기판(111)과 수직한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 포함한다. 불휘발성 메모리 장치(1100)는 상술된 소거 방법에 따라 소거를 수행할 수 있다. 불휘발성 메모리 장치(1100)는 상술된 프리 읽기 방법에 따라 프리 읽기를 수행할 수 있다.

컨트롤러(1200)는 호스트(Host) 및 불휘발성 메모리 장치(1100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)의 읽기, 쓰기, 소거, 프리 읽기, 그리고 배경(background) 동작을 제어하도록 구성

된다. 컨트롤러(1200)는 불휘발성 메모리 장치(1100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 불휘발성 메모리 장치(1100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.

컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 제어 신호(CTRL), 커맨드(CMD) 및 어드레스(ADDR)를 제공하도록 구성된다. 컨트롤러(1200)로부터 제공되는 제어 신호(CTRL), 커맨드(CMD) 및 어드레스(ADDR)에 응답하여, 불휘발성 메모리 장치(1100)는 읽기, 쓰기, 프리 읽기, 그리고 소거 동작을 수행하도록 구성된다.

컨트롤러(1200)는 내부 메모리(1210) 및 에러 정정부(1220)를 포함한다. 내부 메모리(1210)는 컨트롤러(1200)의 동작 메모리일 수 있다. 에러 정정부(1220)는 불휘발성 메모리 장치(1100)에 쓰여지는 데이터를 인코딩할 수 있다. 에러 정정부(1220)는 불휘발성 메모리 장치(1100)로부터 읽어지는 데이터를 디코딩하여 에러를 정정할 수 있다. 에러 정정부(1220)는 LDPC (Low Density Parity Check code)를 이용하여 오류 정정을 수행할 수 있다. 에러 정정부(1220)는 BCH (Bose Chaudhuri Hocquenghem) 코드 또는 RS (Reed Solomon) 코드를 이용하여 오류 정정을 수행할 수 있다. 에러 정정부(1220)의 에러 정정 비트수에 따라, 불휘발성 메모리 장치(1100)의 제 1 내지 제 3 값들(V1~V3)이 결정될 수 있다.

예시적으로, 컨트롤러(1200)는 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 그리고 메모리 인터페이스(memory interface)와 같은 구성 요소들을 더 포함할 수 있다. 프로세싱 유닛은 컨트롤러(1200)의 제반 동작을 제어한다.

호스트 인터페이스는 호스트(Host) 및 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적으로, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 외부(호스트)와 통신하도록 구성된다. 메모리 인터페이스는 불휘발성 메모리 장치(1100)와 인터페이싱한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.

메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블렛(web tablet), 태블릿 컴퓨터(tablet computer), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB (Digital Multimedia Broadcasting) 재생기, 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 데이터 센터를 구성하는 스토리지, 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매티스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.

불휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 불휘발성 메모리 장치(1100) 또는 메모리 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.

도 55는 본 발명의 제 1 실시 예에 따른 메모리 시스템(1000)의 동작 방법을 보여주는 순서도이다. 도 54 및 도 55를 참조하면, S1110 단계에서 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 소거 커맨드를 전송할 수 있다. 소거될 영역의 주소가 소거 커맨드와 함께 전송될 수 있다.

S1120 단계에서, 불휘발성 메모리 장치(1100)는 본 발명의 제 1 내지 제 3 실시 예들에 따른 소거 방법들 중 하

나에 따라 소거를 수행할 수 있다. 예를 들어, 불휘발성 메모리 장치(1100)는 제 1 또는 제 2 실시 예에 따라 프리 읽기를 수행하고, 오프 스트링들을 소거 패스로 처리하여 소거를 수행할 수 있다. 불휘발성 메모리 장치(1100)는 제 3 또는 제 4 실시 예에 따라 폐일 스트링들의 수를 특정 값과 비교하며 소거를 수행할 수 있다.

소거가 완료되면, S1130 단계에서 불휘발성 메모리 장치(1100)는 소거가 완료되었음을 가리키는 응답을 컨트롤러(1200)에 전송할 수 있다.

S1140 단계에서, 컨트롤러(1200)는 소거 커맨드를 불휘발성 메모리 장치(1100)로 전송할 수 있다.

S1150 단계에서, 불휘발성 메모리 장치(1100)는 본 발명의 제 1 내지 제 3 실시 예들에 따른 소거 방법들 중 하나에 따라 소거를 수행할 수 있다. 프리 읽기를 통해 검출된 오프 스트링들의 수가 제 1 값(V1) 보다 클 때, 그리고 폐일 스트링들의 수가 제 2 값(V2) 또는 제 3 값(V3) 보다 큰 상태로 소거가 종료될 때, 소거 시에 에러가 발생한 것으로 판별될 수 있다.

소거 시에 에러가 발생한 것으로 판별되면, S1160 단계에서 불휘발성 메모리 장치(1100)는 소거 에러를 가리키는 응답을 컨트롤러(1200)로 전송할 수 있다.

에러를 가리키는 응답이 수신되면, 컨트롤러(1200)는 에러 처리를 수행할 수 있다. 예를 들어, 컨트롤러(1200)는 소거 에러가 발생한 메모리 블록을 배드 블록으로 처리할 수 있다.

상술된 바와 같이, 불휘발성 메모리 장치(1100)에 오프 스트링들이 존재해도, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)가 정상적으로 동작하도록 제어할 수 있다.

도 56은 본 발명의 제 2 실시 예에 따른 메모리 시스템(1000)의 동작 방법을 보여주는 순서도이다. 도 54 및 도 56을 참조하면, S1210 단계에서 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 커맨드를 전송한다. 전송되는 커맨드는 쓰기, 읽기, 소거 커맨드와 다른 커맨드일 수 있다.

S1220 단계에서, 불휘발성 메모리 장치(1100)는 수신된 커맨드에 응답하여 제 1 및 제 2 실시 예들에 따른 프리 읽기 방법들 중 하나에 따라 프리 읽기를 수행할 수 있다. 프리 읽기를 통해, 불휘발성 메모리 장치(1100)는 오프 스트링 정보를 검출할 수 있다. 오프 스트링 정보는 오프 스트링들의 수, 프리 읽기 결과, 또는 오프 스트링들의 수와 프리 읽기 결과를 포함할 수 있다. 오프 스트링 정보의 종류는 S1210 단계에서 전송되는 커맨드에 따라 결정될 수 있다.

S1230 단계에서, 불휘발성 메모리 장치(1100)는 오프 스트링 정보를 컨트롤러(1200)로 출력할 수 있다.

S1240 단계에서, 컨트롤러(1200)는 수신된 오프 스트링 정보를 내부 메모리(1210)에 저장할 수 있다. 내부 메모리(1210)에 저장된 오프 스트링 정보를 이용하여, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)를 제어할 수 있다.

예시적으로, 오프 스트링 정보는 내부 메모리(1210)에 임시로 저장될 수 있다. 오프 스트링 정보는 호스트로부터의 논리 주소를 불휘발성 메모리 장치(1100)의 물리 주소와 매핑하는 매핑 테이블과 함께 내부 메모리(1210)에 저장될 수 있다.

도 57은 컨트롤러(1200)가 오프 스트링 정보를 이용하는 방법의 제 1 예를 보여주는 순서도이다. 도 57을 참조하면, S1310 단계에서 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 소거 커맨드 및 오프 스트링 정보를 전송할 수 있다. 소거될 영역을 가리키는 주소가 함께 전송될 수 있다.

S1320 단계에서, 오프 스트링들을 소거 패스된 것으로 처리하며 메모리 셀들이 소거된다. 예를 들어, 불휘발성 메모리 장치(1100)는 도 8의 S115 단계를 참조하여 설명된 것과 같이 오프 스트링들을 소거 패스된 것으로 처리하며 메모리 셀들을 소거할 수 있다. 예시적으로, S1320 단계는 도 8의 소거 방법에서 S113 단계 및 S114 단계의 프리 읽기가 제거된 형태로 수행될 수 있다.

소거가 완료되면, S1330 단계에서, 불휘발성 메모리 장치(1100)는 소거가 완료되었음을 가리키는 응답을 컨트롤러(1200)에 전송한다.

S1340 단계에서, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 소거 커맨드 및 오프 스트링 정보를 전송할 수 있다. 소거될 영역을 가리키는 주소가 함께 전송될 수 있다.

S1350 단계에서, 불휘발성 메모리 장치(1100)는 오프 스트링들을 소거 패스된 것으로 처리하며 메모리 셀들을 소거할 수 있다.

소거 시에 에러가 발생하면, S1360 단계에서 소거 에러가 발생했음을 가리키는 응답이 컨트롤러(1200)에 전송될 수 있다.

소거 에러를 가리키는 응답이 수신되면, S1370 단계에서 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 커맨드를 전송할 수 있다. 소거 에러가 발생된 영역을 가리키는 주소가 함께 전송될 수 있다.

커맨드에 응답하여, S1380 단계에서 불휘발성 메모리 장치(1100)는 프리 읽기를 수행할 수 있다. 프리 읽기가 수행되면, 불휘발성 메모리 장치(1100)는 오프 스트링 정보를 검출할 수 있다.

S1390 단계에서, 불휘발성 메모리 장치(1100)는 오프 스트링 정보를 컨트롤러(1200)에 전송할 수 있다.

S1395 단계에서, 컨트롤러(1200)는 전송된 오프 스트링 정보를 이용하여, 내부 메모리에 저장된 데이터를 갱신하거나 에러 프로세스를 수행할 수 있다.

예시적으로, 메모리 셀들의 열화로 인해 오프 스트링이 추가적으로 발생할 수 있다. 오프 스트링이 추가적으로 발생하면, 소거 시에 에러가 발생할 수 있다. 소거 에러가 발생할 때 프리 읽기를 수행하여 오프 스트링 정보가 갱신되면, 오프 스트링이 추가적으로 발생한 경우에도 불휘발성 메모리 장치(1100)가 정상적으로 동작할 수 있다.

예시적으로, 오프 스트링들의 수가 에러 정정 비트 수 보다 크거나 오프 스트링 외의 요인으로 인해 소거 에러가 발생한 경우, 컨트롤러(1200)는 에러 프로세스를 수행할 수 있다. 예를 들어, 컨트롤러(1200)는 소거 에러가 발생한 메모리 블록을 배드 블록으로 처리할 수 있다.

도 58은 컨트롤러(1200)가 오프 스트링 정보를 이용하는 방법의 제 2 예를 보여주는 순서도이다. 도 58을 참조하면, S1410 단계에서 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 읽기 커맨드를 전송할 수 있다. 읽어질 영역을 가리키는 주소가 함께 전송될 수 있다.

S1420 단계에서, 불휘발성 메모리 장치(1100)는 읽어진 데이터를 컨트롤러(1200)로 전송할 수 있다.

S1430 단계에서, 컨트롤러(1200)는 오프 스트링 정보를 이용하여 읽어진 데이터의 에러를 정정할 수 있다. 예를 들어, 컨트롤러(1200)는 오프 스트링 정보를 이용하여, 읽어진 데이터 중 오프 스트링에 대응하는 데이터의 위치를 검출할 수 있다. 오프 스트링에 대응하는 데이터는 에러 데이터일 확률이 있다. 에러 데이터일 확률이 있는 데이터의 위치를 획득함으로써, 컨트롤러(1200)의 에러 정정부(1220)의 에러 정정 효율 또는 에러 정정 능력이 증대될 수 있다. 특히, 에러 정정부(1220)가 LDPC를 사용하는 경우, 에러 정정 효율 또는 에러 정정 능력이 증대될 수 있다.

도 59는 컨트롤러(1200)가 오프 스트링 정보를 이용하는 방법의 제 3 예를 보여주는 순서도이다. 도 59를 참조하면, S1510 단계에서 컨트롤러(1200)는 쓰기 데이터 및 오프 스트링 정보를 이용하여 코드 워드를 생성할 수 있다. 예시적으로, 오프 스트링에 대응하는 데이터는 읽어질 때 에러를 유발할 수 있다. 컨트롤러(1200)는 데이터가 읽어질 때 에러 정정이 용이하도록, 코드 워드를 생성할 수 있다. 컨트롤러(1200)는 오프 스트링에 대응하는 데이터를 높은 문턱 전압에 대응하는 데이터로 매핑할 수 있다.

S1520 단계에서, 컨트롤러(1200)는 쓰기 커맨드와 함께 코드 워드를 불휘발성 메모리 장치(1100)로 전송한다.

S1530 단계에서, 불휘발성 메모리 장치(1530)는 수신된 코드 워드를 기입한다.

S1540 단계에서, 불휘발성 메모리 장치(1100)는 쓰기가 완료되었음을 가리키는 응답을 컨트롤러(1200)로 전송할 수 있다.

오프 스트링들의 위치들에 따라 코드 워드가 생성되면, 코드 워드가 읽어질 때 에러 정정 효율 또는 에러 정정 능력이 증대될 수 있다.

도 60은 본 발명의 제 3 실시 예에 따른 메모리 시스템(1000)의 동작 방법을 보여주는 순서도이다. 도 60을 참조하면, S1610 단계에서 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 커맨드를 전송할 수 있다. 특정한 영역을 가리키는 주소가 함께 전송될 수 있다. 오프 스트링 정보가 요구될 때, 컨트롤러(1200)는 커맨드를 전송할 수 있다.

S1620 단계에서, 불휘발성 메모리 장치(1100)는 프리 읽기를 수행한다. 프리 읽기가 수행되면, 오프 스트링 정보가 검출될 수 있다.

S1630 단계에서, 불휘발성 메모리 장치(1100)는 오프 스트링 정보를 컨트롤러(1200)로 전송한다.

S1640 단계에서, 컨트롤러(1200)는 전송된 오프 스트링 정보를 불휘발성 메모리 장치(1100)에 기입할 수 있다. 예를 들어, 불휘발성 메모리 장치(1100)의 메모리 블록들(BLK1~BLKz, 도 2 참조)은 데이터 영역 및 버퍼 영역으로 분할될 수 있다. 데이터 영역에 사용자 데이터가 기입될 수 있다. 버퍼 영역에 데이터 영역에 대한 정보 또는 데이터 영역에 기입되는 데이터에 대한 정보가 기입될 수 있다. 컨트롤러(1200)는 불휘발성 메모리 장치(1100)의 버퍼 영역에 오프 스트링 정보가 기입되도록, 불휘발성 메모리 장치(1100)를 제어할 수 있다.

컨트롤러(1200)는 오프 스트링 정보를 이용하여 추가적인 동작을 수행할 수 있다. 예를 들어, 컨트롤러(1200)는 오프 스트링 정보를 이용하여 쓰기, 읽기, 또는 소거를 수행할 수 있다.

이후에, 컨트롤러(1200)의 내부 메모리(1210)에 저장된 오프 스트링 정보는 삭제될 수 있다. 오프 스트링 정보가 요구되지 않을 때, 컨트롤러(1200)는 오프 스트링 정보를 삭제할 수 있다.

S1650 단계에서, 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 커맨드를 전송할 수 있다. 예를 들어, 컨트롤러(1200)는 특정한 영역의 오프 스트링 정보가 요구될 때, 커맨드를 전송할 수 있다. 특정한 영역에 쓰기, 읽기, 또는 소거를 수행하고자 할 때, 컨트롤러(1200)는 특정한 영역의 오프 스트링 정보를 요청하는 커맨드를 전송할 수 있다.

S1660 단계에서, 불휘발성 메모리 장치(1100)는 버퍼 영역에 저장된 오프 스트링 정보를 출력할 수 있다. 출력된 오프 스트링 정보를 이용하여, 컨트롤러(1200)는 쓰기, 읽기, 소거 등의 동작을 수행할 수 있다.

S1670 단계에서, S1340 단계 내지 S1360 단계를 참조하여 설명된 바와 같이 소거 에러가 발생할 수 있다.

소거 에러가 발생하면 S1680 단계에서, S1370 단계 내지 S1390 단계를 참조하여 설명된 것과 같이 오프 스트링 정보가 갱신될 수 있다.

오프 스트링 정보가 갱신되면, 컨트롤러(1200)는 갱신된 오프 스트링 정보를 불휘발성 메모리 장치(1100)의 버퍼 영역에 기입할 수 있다.

도 61은 본 발명의 제 4 실시 예에 따른 메모리 시스템(1000)의 동작 방법을 보여주는 순서도이다. 도 61을 참조하면, S1710 단계에서 컨트롤러(1200)는 불휘발성 메모리 장치(1100)에 커맨드를 전송할 수 있다. 특정한 영역을 가리키는 주소가 함께 전송될 수 있다. 오프 스트링 정보가 요구될 때, 컨트롤러(1200)는 커맨드를 전송할 수 있다.

S1720 단계에서, 불휘발성 메모리 장치(1100)는 미리 저장된 오프 스트링 정보를 컨트롤러(1200)로 전송할 수 있다. 예시적으로, 오프 스트링 정보는 불휘발성 메모리 장치(1100)의 테스트 단계에서 검출되어 불휘발성 메모리 장치(1100)에 미리 저장될 수 있다. 오프 스트링 정보는 불휘발성 메모리 장치(1200)의 메모리 블록들(BLK1~BLKz) 중 버퍼 영역에 저장될 수 있다.

컨트롤러(1200)는 오프 스트링 정보를 이용하여 추가적인 동작을 수행할 수 있다. 예를 들어, 컨트롤러(1200)는 오프 스트링 정보를 이용하여 쓰기, 읽기, 또는 소거를 수행할 수 있다.

이후에, 컨트롤러(1200)의 내부 메모리(1210)에 저장된 오프 스트링 정보는 삭제될 수 있다. 오프 스트링 정보가 요구되지 않을 때, 컨트롤러(1200)는 오프 스트링 정보를 삭제할 수 있다.

S1730 단계 내지 S1770 단계에서, 소거 에러가 발생하면 오프 스트링 정보가 갱신되고, 갱신된 오프 스트링 정보가 불휘발성 메모리 장치(1100)에 기입될 수 있다. S1730 단계 내지 S1770 단계는 S1650 단계 내지 S1690 단계와 동일하게 수행될 수 있다.

상술된 실시 예들에서, 불휘발성 메모리 장치에서 생성된 오프 스트링 정보는 컨트롤러로 출력되고, 컨트롤러로부터 전송되는 오프 스트링 정보가 불휘발성 메모리 장치에 쓰여지는 것으로 설명되었다. 그러나, 불휘발성 메모리 장치에서 생성된 오프 스트링 정보는 컨트롤러의 제어에 따라 불휘발성 메모리 장치에 직접 쓰여질 수 있다.

도 62는 도 54의 메모리 시스템(1000)의 응용 예를 보여주는 블록도이다. 도 62를 참조하면, 메모리 시스템(2000)은 불휘발성 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 불휘발성 메모리 장치(2100)는 복수의 불휘발성 메모리 칩들을 포함한다. 복수의 불휘발성 메모리 칩들은 복수의 그룹들을 형성한다. 복수의 불휘발성 메모리 칩들의 그룹들 각각은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 예시적으로, 복

수의 불휘발성 메모리 칩들은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신할 수 있다.

불휘발성 메모리 칩들 각각은 본 발명의 실시 예에 따른 불휘발성 메모리 장치들(100~500) 중 하나와 동일한 구조를 가지며, 동일하게 동작할 수 있다. 즉, 불휘발성 메모리 장치(2100)는 기판(111) 상에 제공되는 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함하고, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 기판(111)과 수직한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 포함한다. 불휘발성 메모리 장치(2100)는 상술된 소거 방법에 따라 소거를 수행할 수 있다. 불휘발성 메모리 장치(2100)는 상술된 프리 읽기 방법에 따라 프리 읽기를 수행할 수 있다.

도 54 내지 도 61을 참조하여 설명된 바와 같이, 컨트롤러(2200)는 불휘발성 메모리 장치(2100)로부터 오프 스트링 정보를 수신하여 다양한 동작들을 수행할 수 있다.

도 62에서, 하나의 채널에 복수의 불휘발성 메모리 칩들이 연결되는 것으로 설명되었다. 그러나, 하나의 채널에 하나의 불휘발성 메모리 칩이 연결되도록 메모리 시스템(2000)이 변형될 수 있다.

도 63은 본 발명의 실시 예에 따른 메모리 카드(3000)를 보여준다. 도 63을 참조하면, 메모리 카드(3000)는 불휘발성 메모리 장치(3100), 컨트롤러(3200), 그리고 커넥터(3300)를 포함한다.

불휘발성 메모리 장치(3100)는 본 발명의 실시 예들에 따른 불휘발성 메모리 장치들(100~500) 중 하나와 동일한 구조를 가지며, 동일하게 동작할 수 있다. 즉, 불휘발성 메모리 장치(3100)는 기판(111) 상에 제공되는 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함하고, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 기판(111)과 수직한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 포함한다. 불휘발성 메모리 장치(3100)는 상술된 소거 방법에 따라 소거를 수행할 수 있다. 불휘발성 메모리 장치(3100)는 상술된 프리 읽기 방법에 따라 프리 읽기를 수행할 수 있다.

컨트롤러(3200)는 도 54 내지 도 61을 참조하여 설명된 것과 같이, 불휘발성 메모리 장치(3100)로부터 수신되는 오프 스트링 정보를 이용하여 다양한 동작을 수행할 수 있다.

커넥터(3300)는 메모리 카드(3000)와 호스트를 전기적으로 연결할 수 있다.

메모리 카드(3000)는 PC 카드(PCMCIA, personal computer memory card international association), 컴팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드들을 구성할 수 있다.

도 64는 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(4000, SSD, Solid State Drive)를 보여준다. 도 64를 참조하면, 솔리드 스테이트 드라이브(4000)는 복수의 불휘발성 메모리 장치들(4100), 컨트롤러(4200), 그리고 커넥터(4300)를 포함한다.

불휘발성 메모리 장치들(4100) 각각은 본 발명의 실시 예들에 따른 불휘발성 메모리 장치들(100~500) 중 하나와 동일한 구조를 가지며, 동일하게 동작할 수 있다. 즉, 불휘발성 메모리 장치들(4100) 각각은 기판(111) 상에 제공되는 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함하고, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 기판(111)과 수직한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 포함한다. 불휘발성 메모리 장치들(4100) 각각은 상술된 소거 방법에 따라 소거를 수행할 수 있다. 불휘발성 메모리 장치들(4100) 각각은 상술된 프리 읽기 방법에 따라 프리 읽기를 수행할 수 있다.

컨트롤러(4200)는 도 54 내지 도 61을 참조하여 설명된 것과 같이, 불휘발성 메모리 장치들(4100)로부터 수신되는 오프 스트링 정보를 이용하여 다양한 동작을 수행할 수 있다.

커넥터(4300)는 솔리드 스테이트 드라이브(4000)와 호스트를 전기적으로 연결할 수 있다.

도 65는 본 발명의 실시 예에 따른 컴퓨팅 시스템(5000)을 보여주는 블록도이다. 도 65를 참조하면, 컴퓨팅 시스템(5000)은 중앙 처리 장치(5100), 램(5200, RAM, Random Access Memory), 사용자 인터페이스(5300), 모뎀(5400), 그리고 메모리 시스템(5600)을 포함한다.

메모리 시스템(5600)은 시스템 버스(5500)를 통해, 중앙처리장치(5100), 램(5200), 사용자 인터페이스(5300), 그리고 모뎀(5400)에 전기적으로 연결된다. 사용자 인터페이스(5300)를 통해 제공되거나, 중앙 처리 장치(5100)에 의해서 처리된 데이터는 메모리 시스템(5600)에 저장된다.

메모리 시스템(5600)은 불휘발성 메모리 장치(5610) 및 컨트롤러(5620)를 포함한다. 메모리 시스템(5600)은 본

발명의 실시 예들에 따른 메모리 시스템들(1000, 2000), 메모리 카드(3000), 또는 솔리드 스테이트 드라이브(4000)일 수 있다.

도 66은 본 발명의 실시 예에 따른 테스트 시스템(6000)을 보여주는 블록도이다. 도 66을 참조하면, 테스트 시스템(6000)은 불휘발성 메모리 장치(6100) 및 테스트 장치(6200)를 포함한다.

불휘발성 메모리 장치(6100)는 본 발명의 실시 예들에 따른 불휘발성 메모리 장치들(100~500) 중 하나와 동일한 구조를 가지며, 동일하게 동작할 수 있다. 즉, 불휘발성 메모리 장치(6100)는 기판(111) 상에 제공되는 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함하고, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 기판(111)과 수직한 방향으로 적층된 복수의 셀 트랜지스터들(CT)을 포함한다. 불휘발성 메모리 장치(6100)는 상술된 소거 방법에 따라 소거를 수행할 수 있다. 불휘발성 메모리 장치(6100)는 상술된 프리 읽기 방법에 따라 프리 읽기를 수행할 수 있다.

도 67은 본 발명의 실시 예에 따른 테스트 방법을 보여주는 순서도이다. 도 66 및 도 67을 참조하면, S6110 단계에서 테스트 장치(6200)는 불휘발성 메모리 장치(6100)에 커맨드를 전송할 수 있다.

커맨드에 응답하여, S6120 단계에서 불휘발성 메모리 장치(6100)는 프리 읽기를 수행할 수 있다. 프리 읽기가 수행되면, 오프 스트링 정보가 검출될 수 있다.

S6130 단계에서, 불휘발성 메모리 장치(6100)는 테스트 장치(6200)에 오프 스트링 정보를 출력할 수 있다.

S6140 단계에서, 테스트 장치(6200)는 리페어를 수행한다. 예를 들어, 오프 스트링 정보 또는 그 외의 다양한 테스트 데이터에 따라, 테스트 장치(6200)는 리페어를 수행할 수 있다. 예를 들어, 특정 메모리 블록의 오프 스트링들의 수가 특정 값 보다 클 때, 테스트 장치(6200)는 특정 메모리 블록을 리페어할 수 있다. 리페어는 테스트 장치(6200)가 불휘발성 메모리 장치(6100)의 퓨즈들(레이저 퓨즈들 또는 전기 퓨즈들)을 제어하는 동작을 포함할 수 있다.

S6150 단계에서, 테스트 장치(6150)는 오프 스트링 정보를 불휘발성 메모리 장치(6100)에 기입할 수 있다. 예를 들어, 테스트 장치(6150)는 오프 스트링 정보를 불휘발성 메모리 장치(6100)의 메모리 블록들(BLK1~BLKz, 도 2 참조) 중 베퍼 메모리 블록들에 기입할 수 있다.

불휘발성 메모리 장치(6100)에 기입된 데이터는 불휘발성 메모리 장치(6100)의 제어를 위해 사용될 수 있다.

본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

100, 200, 300, 400, 500; 불휘발성 메모리 장치

110, 210, 310, 410, 510; 메모리 셀 어레이

120, 220, 320, 420, 520; 어드레스 디코딩부

130, 230, 330, 430, 530; 페이지 베퍼부

140, 240, 340, 440, 540; 데이터 입출력부

150, 250, 350, 450, 550; 카운팅부

160, 260, 360, 460, 560; 패스/폐일 체킹부

170, 270, 370, 470, 570; 제어 로직

BLK1~BLKz; 메모리 블록들

111; 기판

112, 112a; 절연 물질들

PL, PLa, PLb; 필라들

114, 114a, 114b; 채널막들

115, 115a, 115b; 내부 물질들

116; 정보 저장막들

117~119; 제 1 내지 제 3 서브 절연막들

CM1~CM8; 제 1 내지 제 8 도전 물질들

CT; 셀 트랜지스터들 WL Cut; 워드 라인 컷

CSR; 공통 소스 영역들 320; 드레인들

BL, BL1, BL2; 비트 라인들 CS11, CS12, CS21, CS22; 셀 스트링들

GST, GSTa, GSTb; 접지 선택 트랜지스터들

GSL, GSL1, GSL2; 접지 선택 라인 MC1~MC6; 메모리 셀들

WL1~WL6; 워드 라인들 CSL; 공통 소스 라인

SST, SSTa, SSTb; 스트링 선택 트랜지스터들

SSL1, SSL2, SSL1a, SSL1b, SSL2a, SSL2b; 스트링 선택 라인들

BLKa1~BLK7; 등가 회로들 IM; 절연 물질들

CMU1~CMU8; 상부 도전 물질들

CMD1a, CMD1b, CMD2~CMD4; 하부 도전 물질들

PLU; 상부 필라들 PLD; 하부 필라들

D; 다이오드들

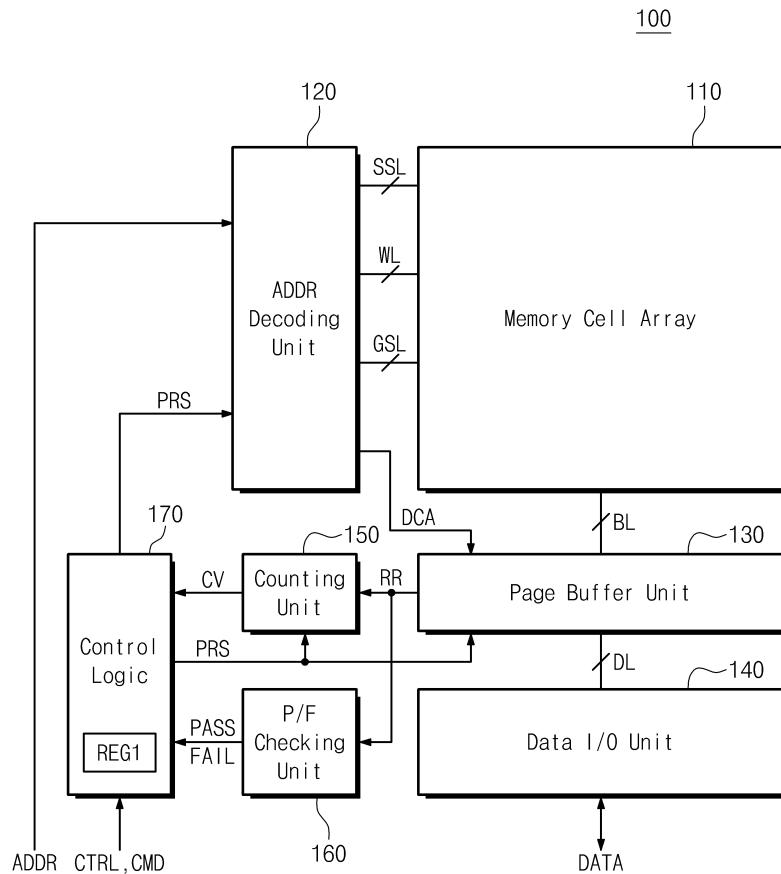
1000, 2000; 메모리 시스템 3000; 메모리 카드

4000; 솔리드 스테이트 드라이브 5000; 컴퓨팅 시스템

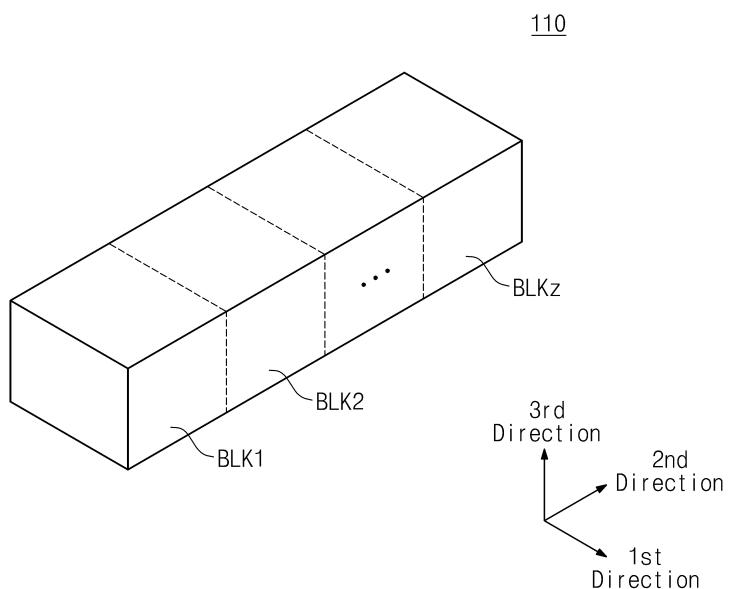
6000; 테스트 시스템

도면

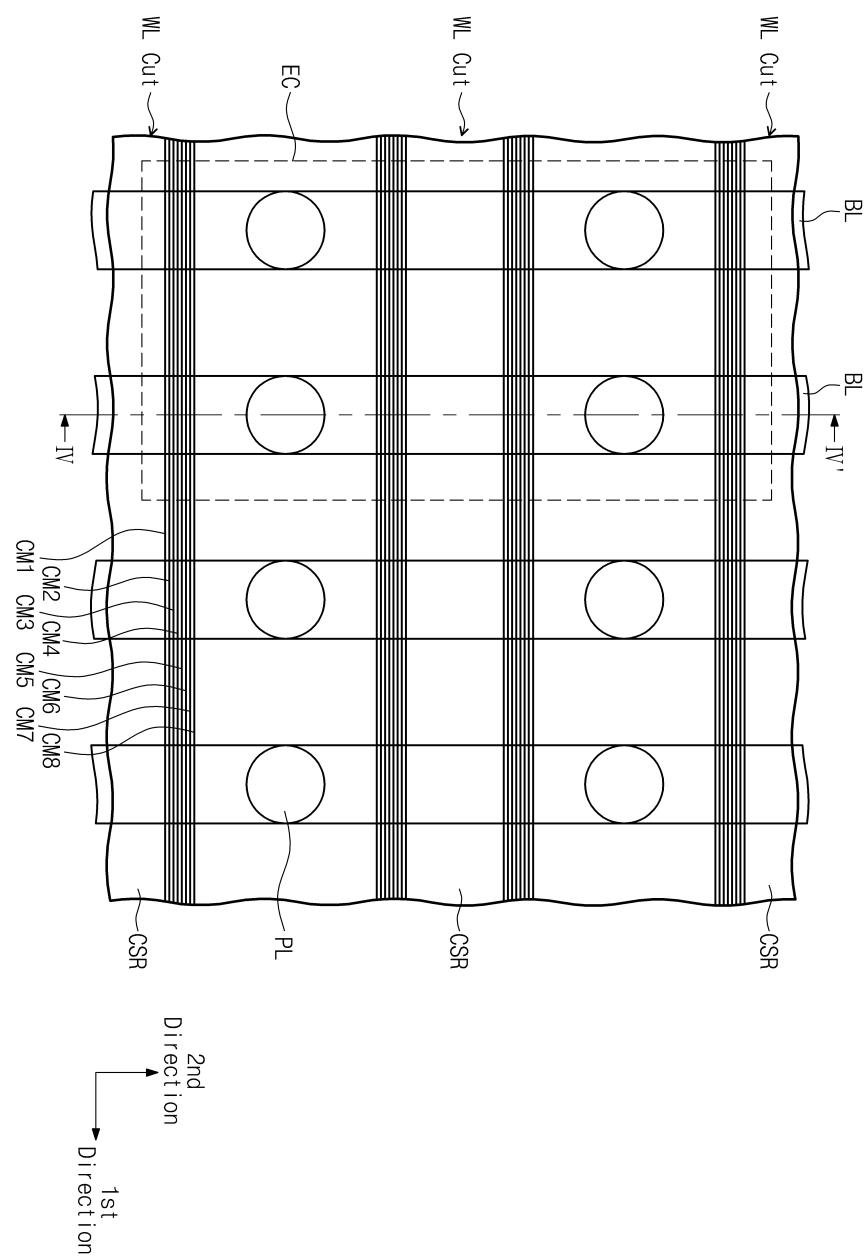
도면1



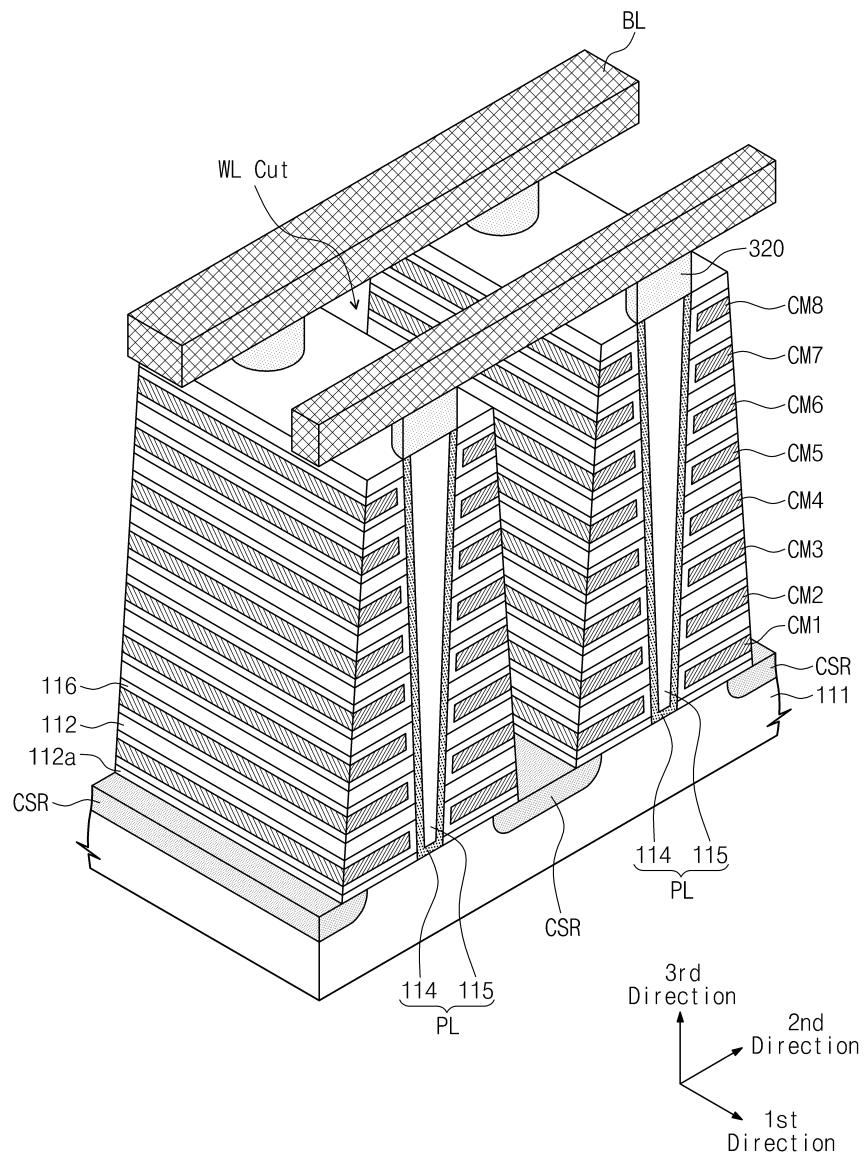
도면2



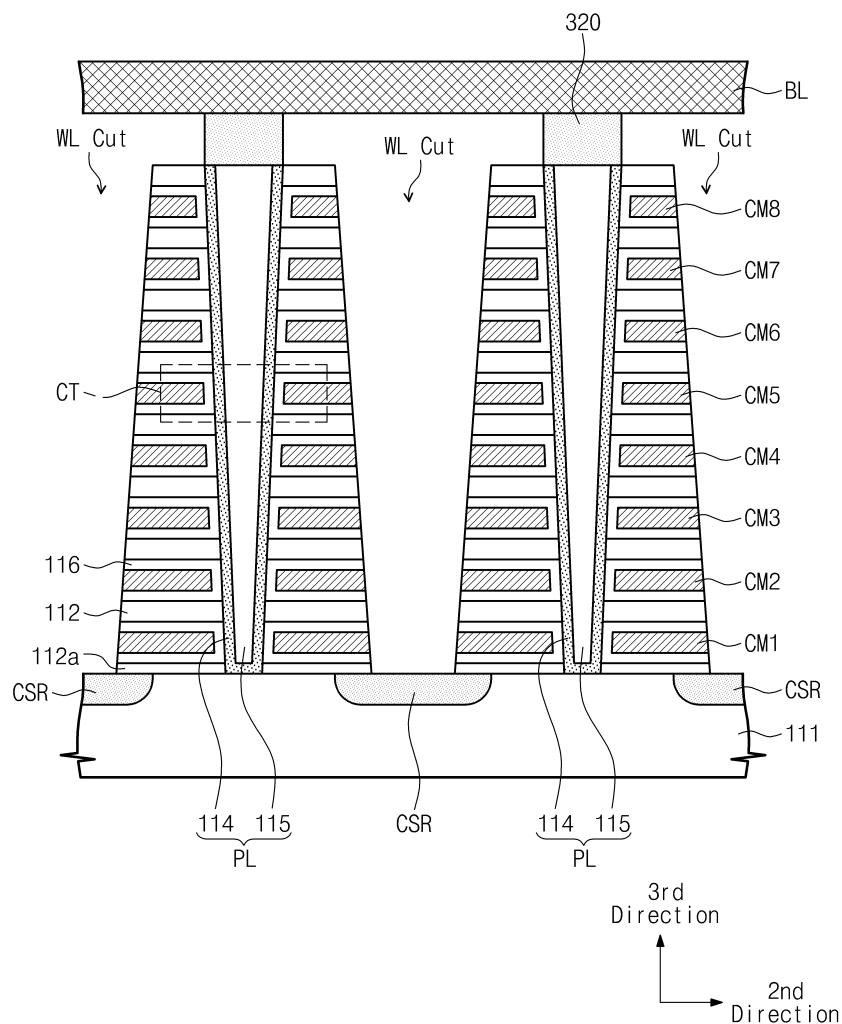
દોર્ય 3



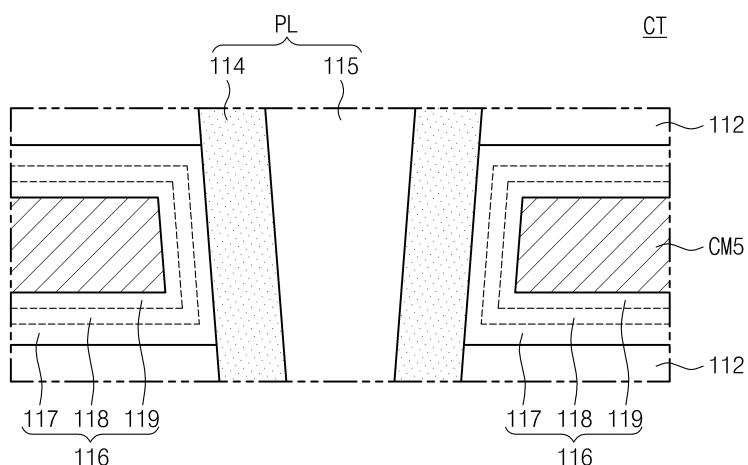
도면4



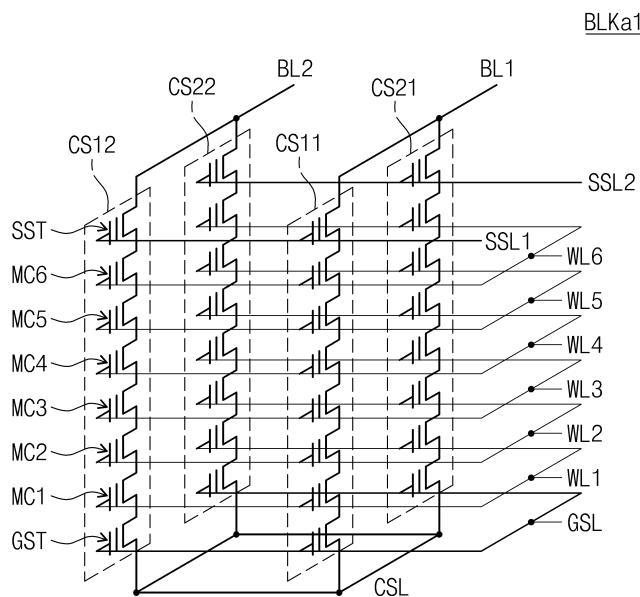
도면5



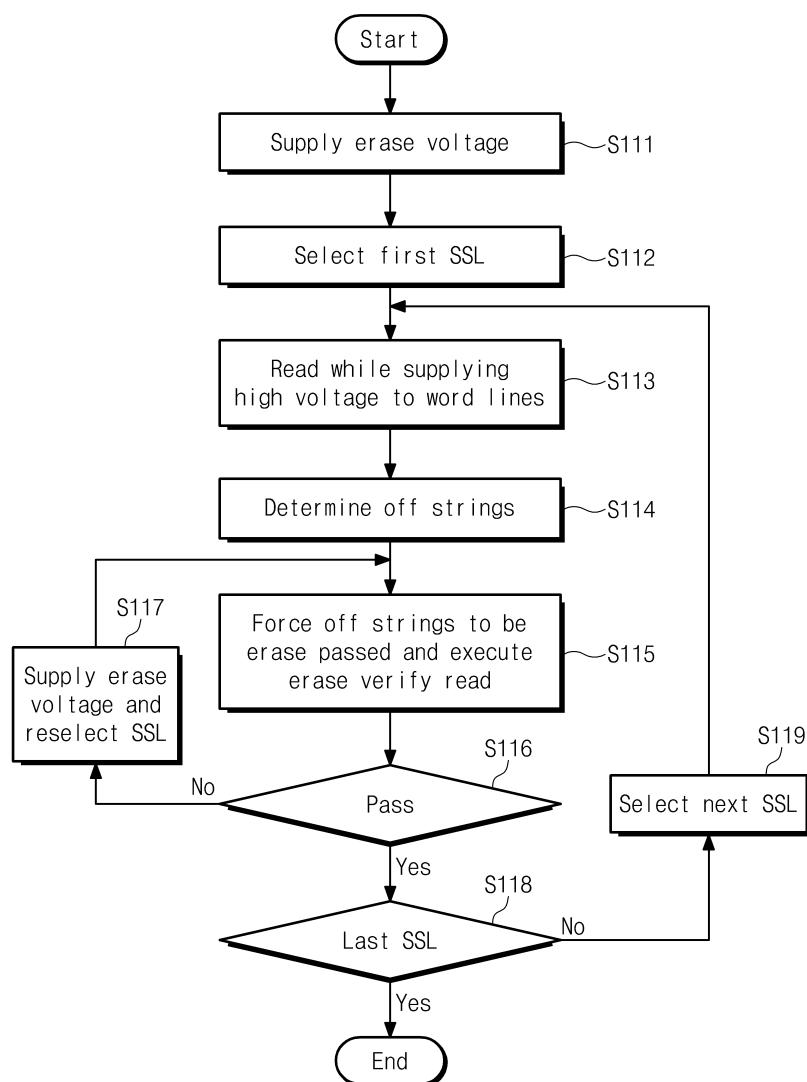
도면6



도면7



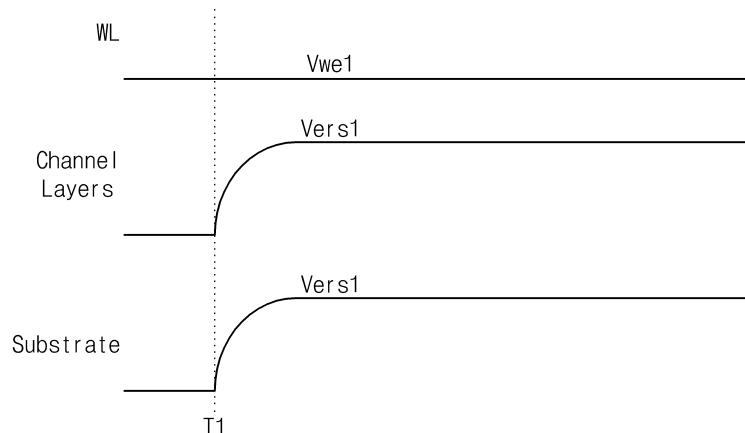
도면8



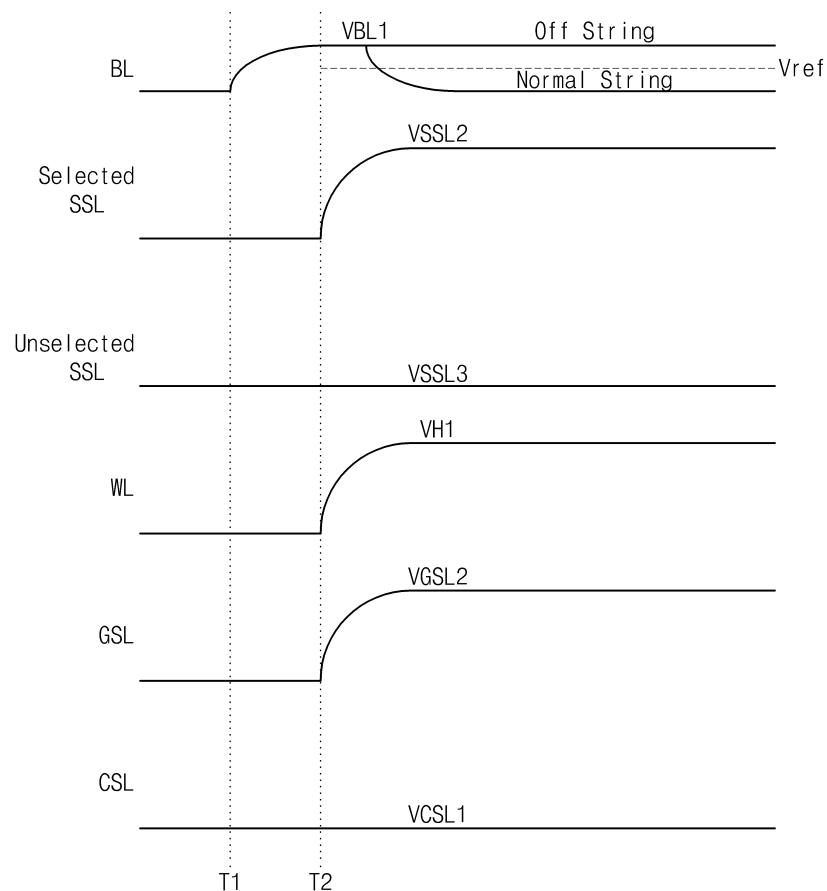
도면9

	S112	S113	S115
BL	Float	VBL1(VCC)	Normal; VBL2(VCC)
			Off; VBL3(VSS)
Selected SSL	Float or VSSL1	VSSL2(On)	VSSL4(On)
		VSSL3(Off)	VSSL5(Off)
WL	Vwe1(VSS)	VH1(Vread)	VFY1
GSL	Float or VGSL1	VGSL2(On)	VGSL3(On)
CSL	Float	VCSL1(VSS)	VCSL2(VSS)
Substrate	Vers1	VSUB1(VSS)	VSUB2(VSS)

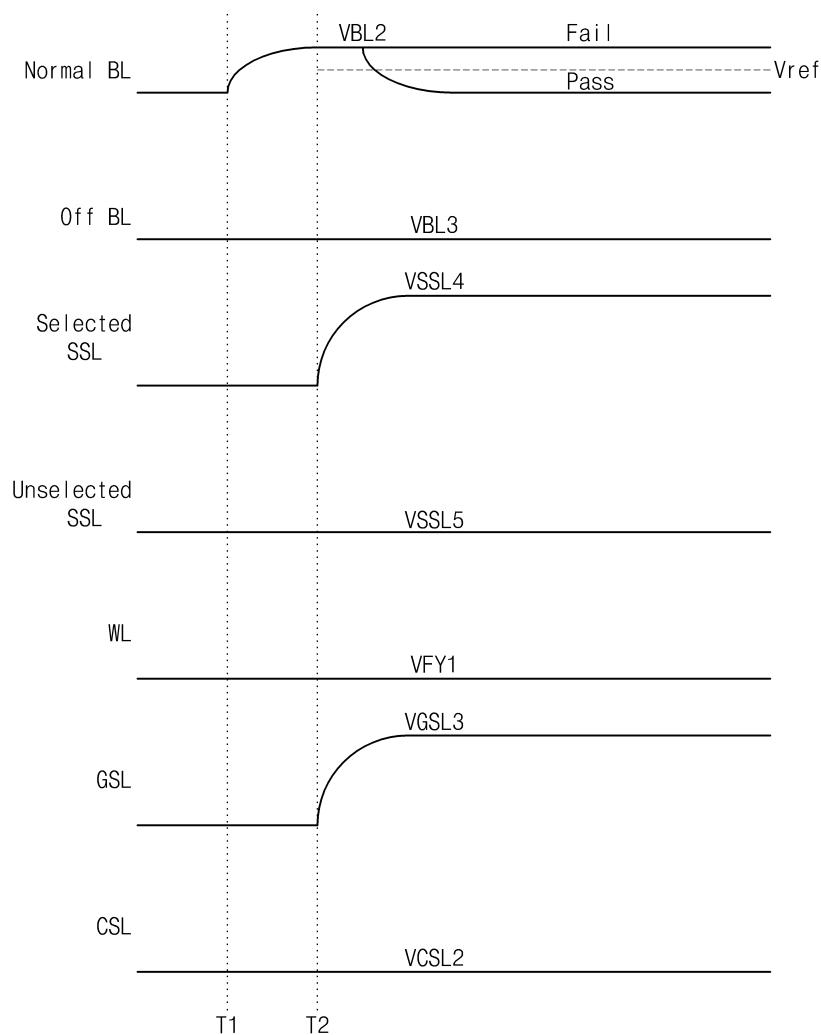
도면10



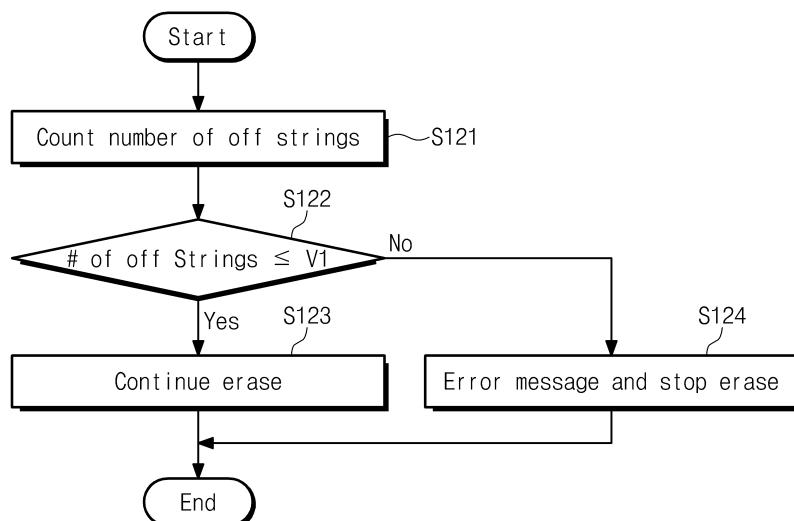
도면11



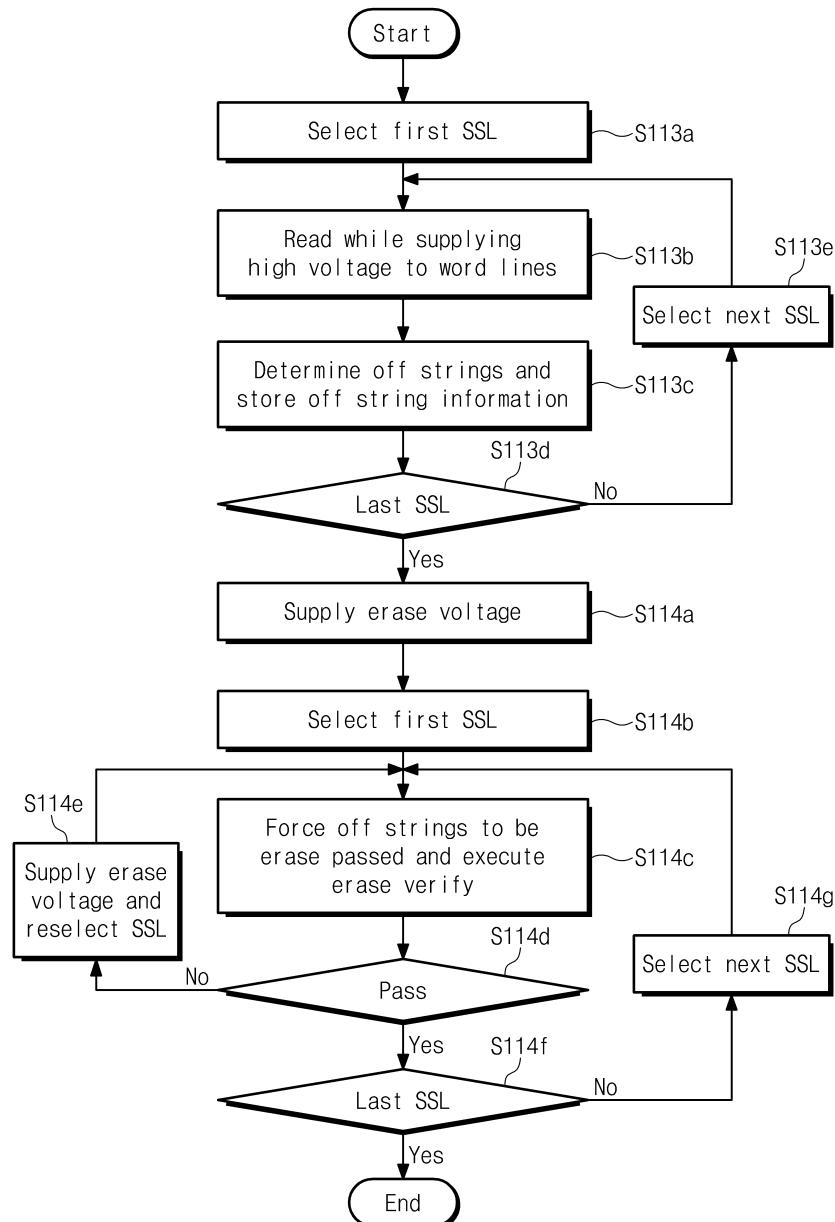
도면12



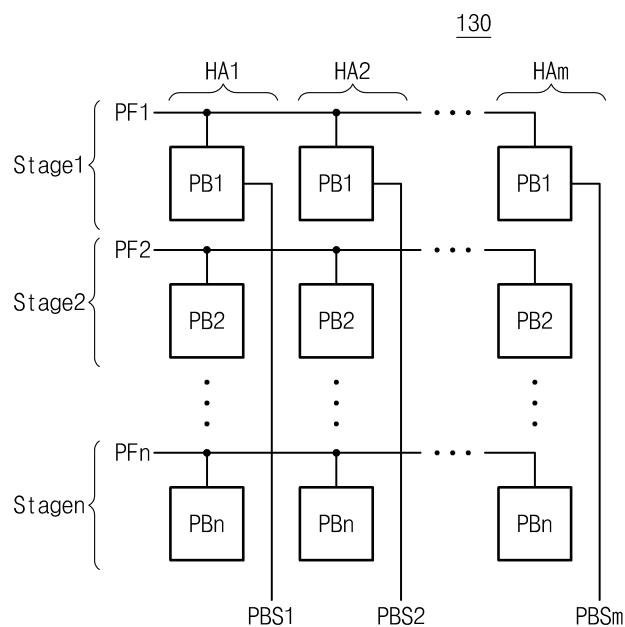
도면13a



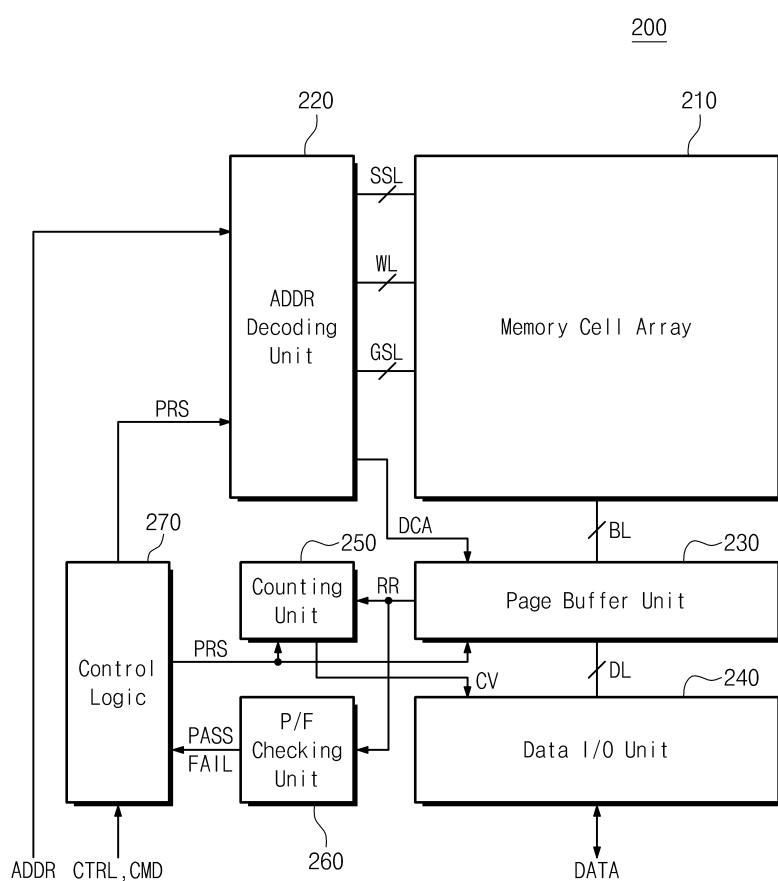
도면13b



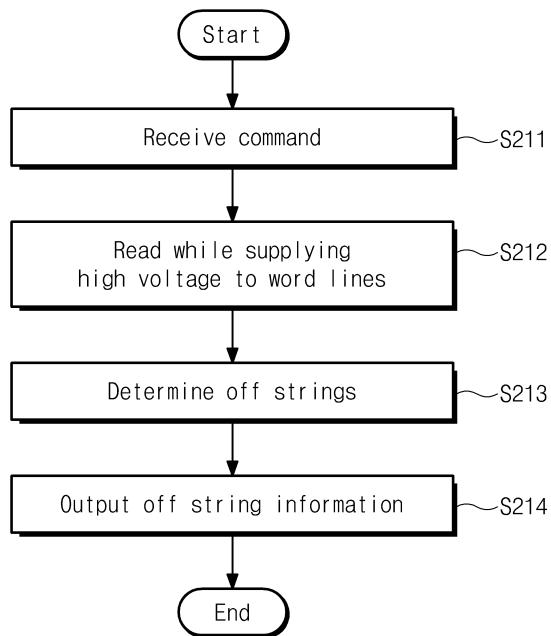
도면14



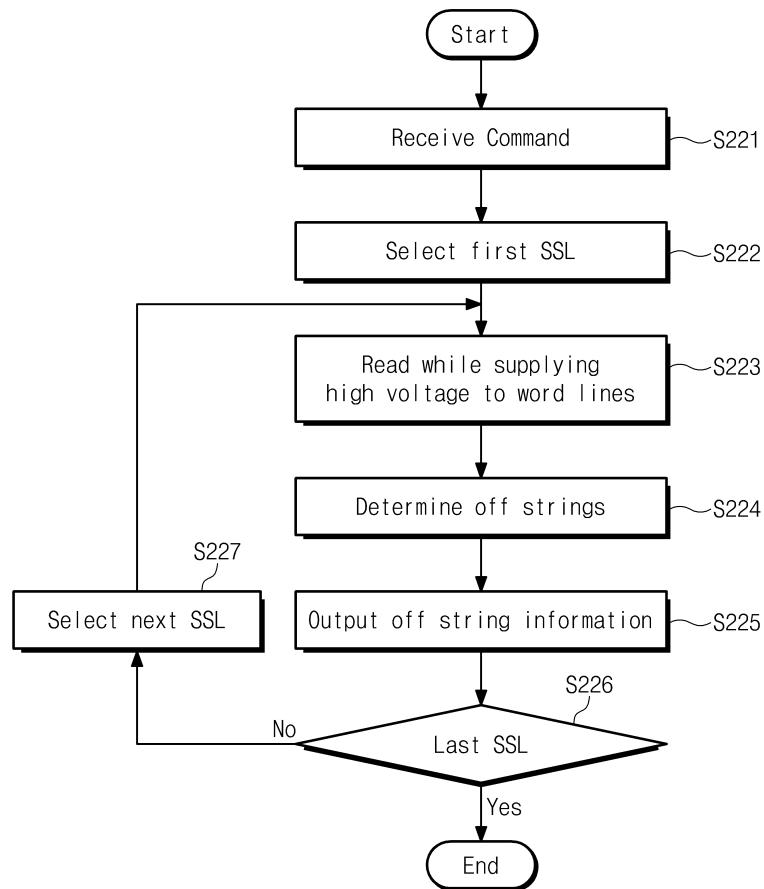
도면15



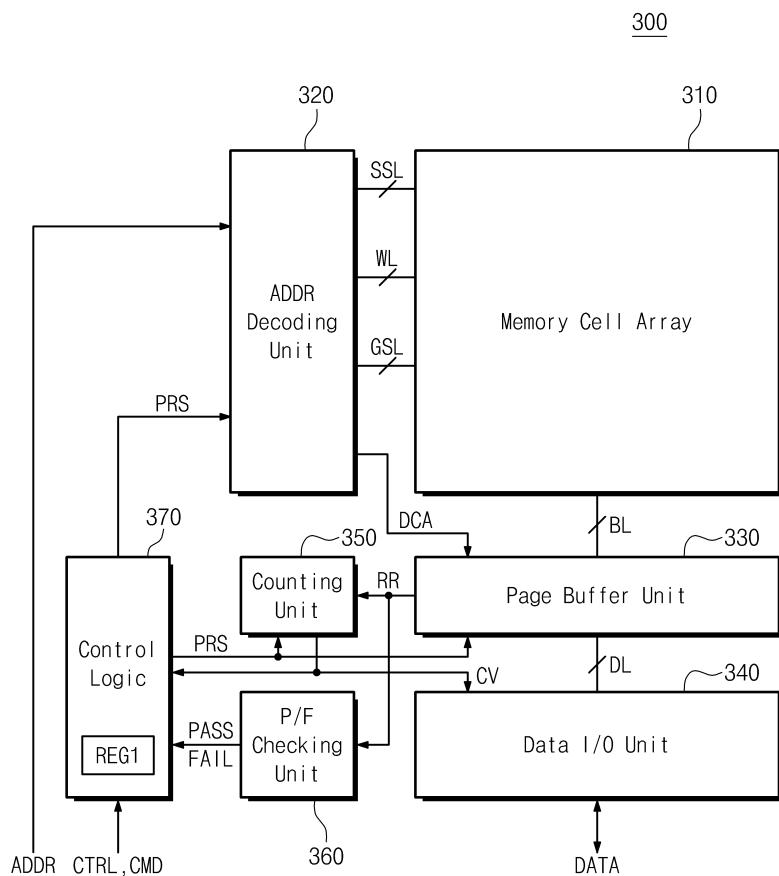
도면16



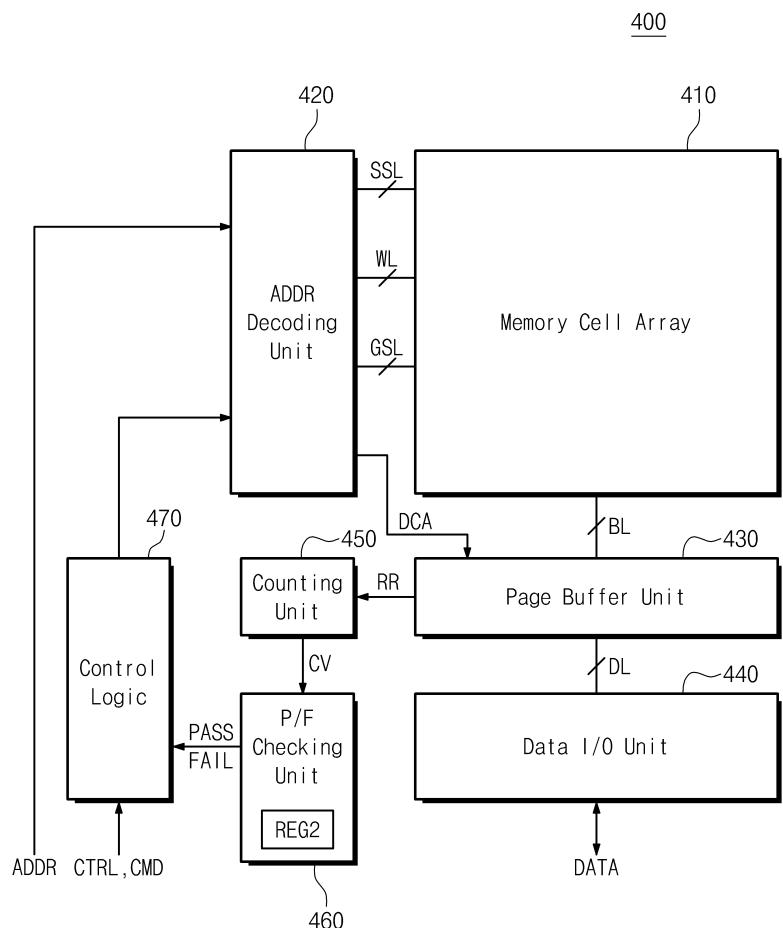
도면17



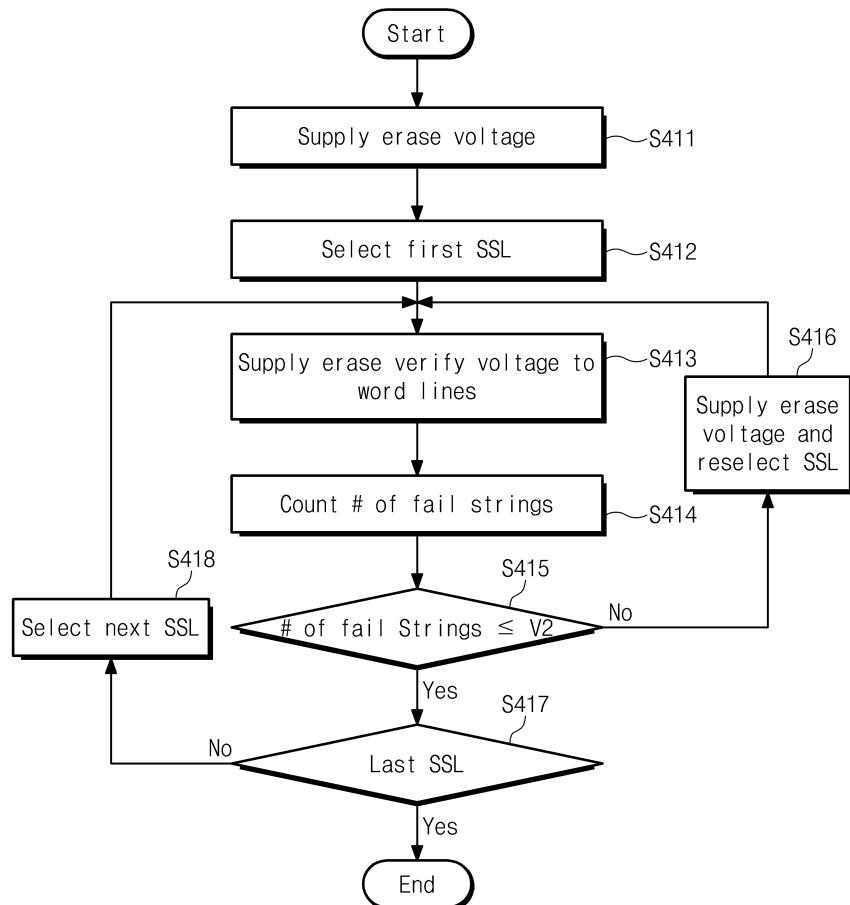
도면18



도면19



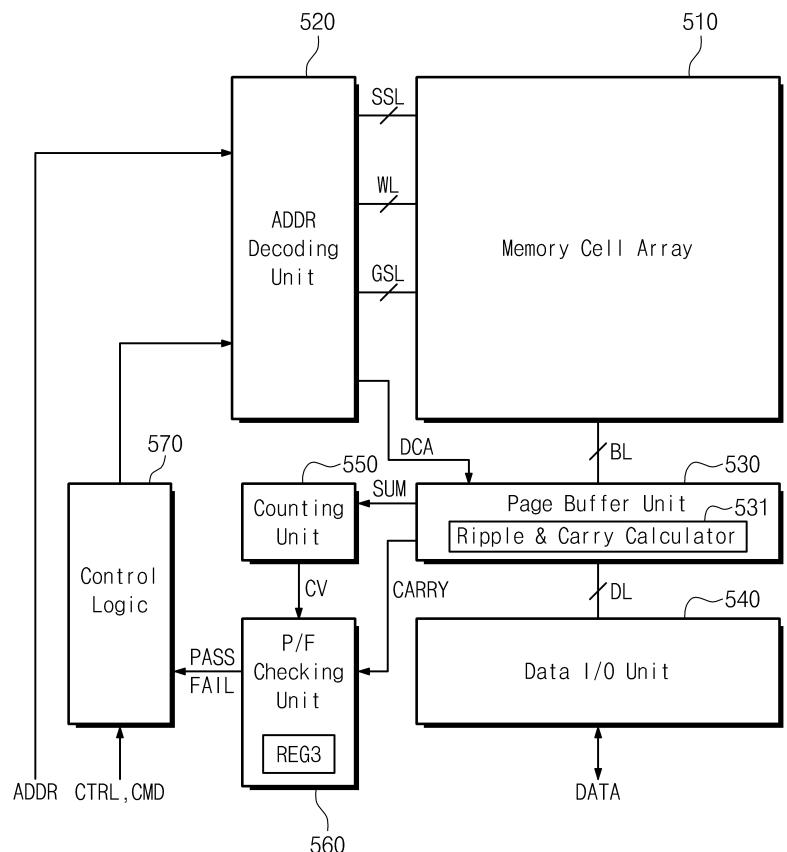
도면20



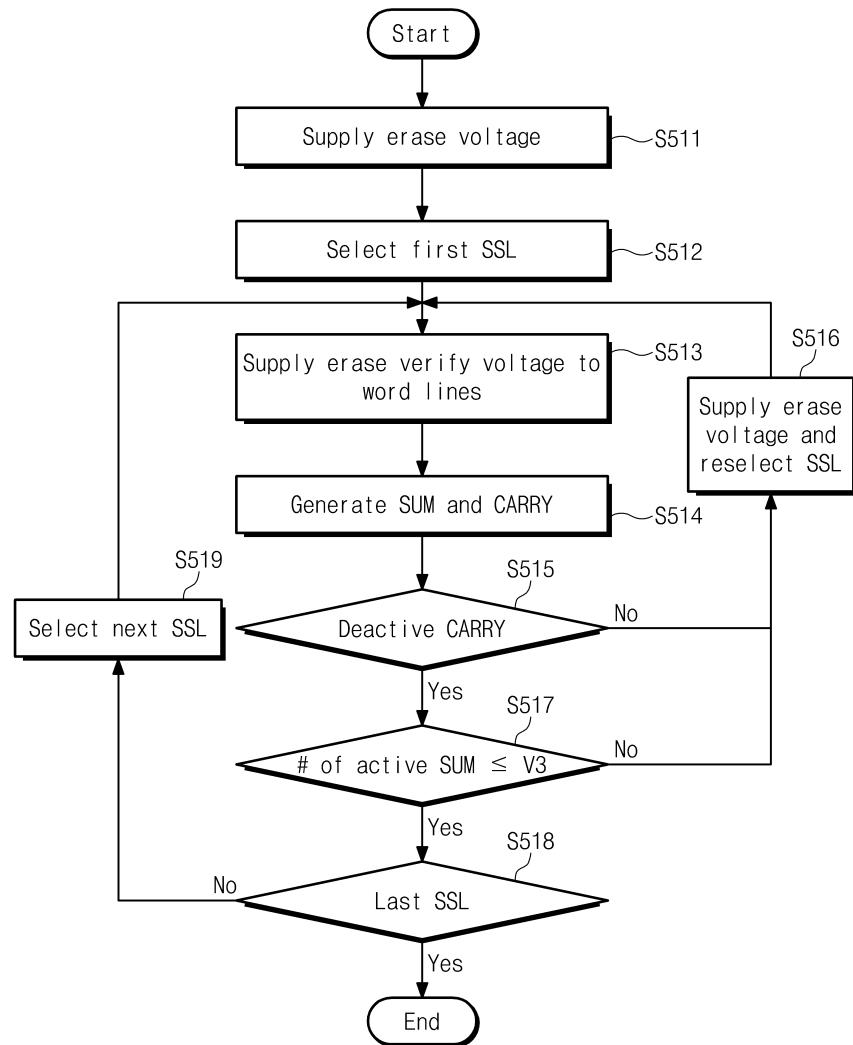
도면21

	S412	S413
BL	Float	VBL4(VCC)
Selected SSL	Float or VSSL6	VSSL7(0n)
Unselected SSL		VSSL8(0ff)
WL	Vwe2(VSS)	VFY2
GSL	Float or VGSL4	VGSL5(0n)
CSL	Float	VCSL3(VSS)
Substrate	Vers2	VSUB3(VSS)

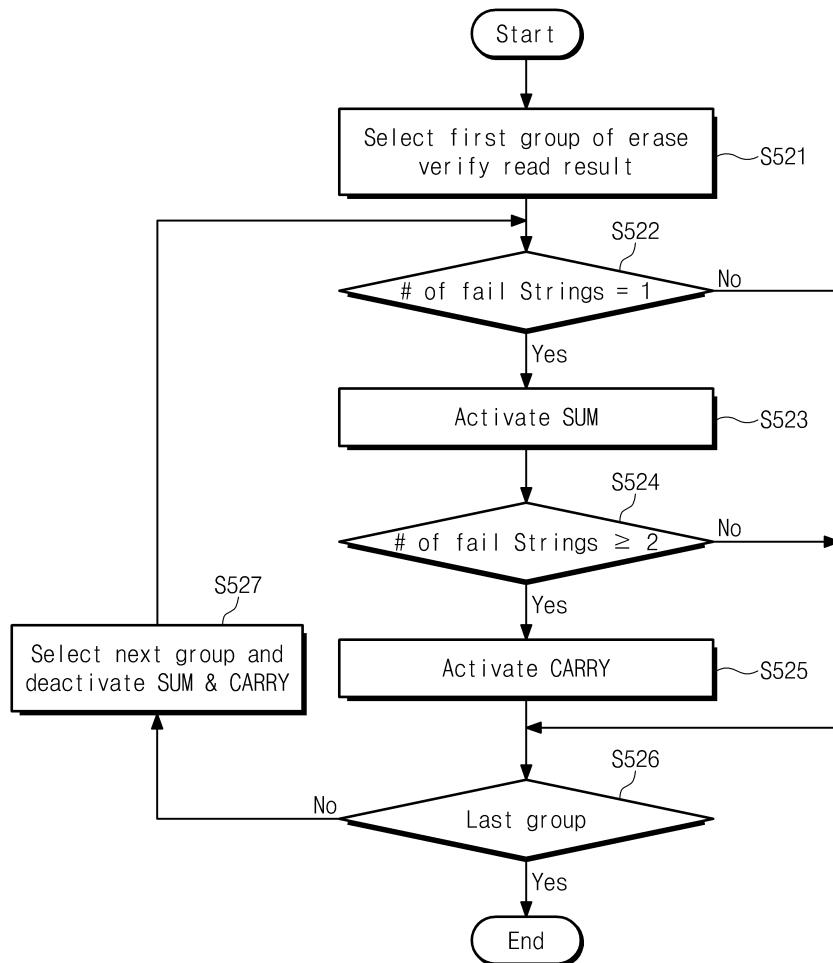
도면22

500

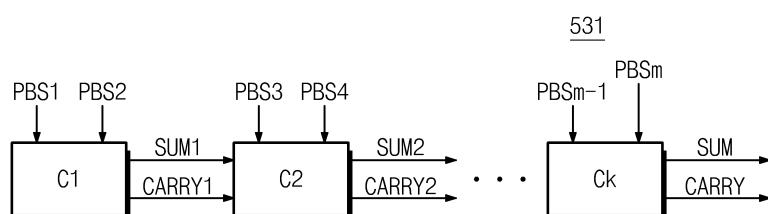
도면23



도면24

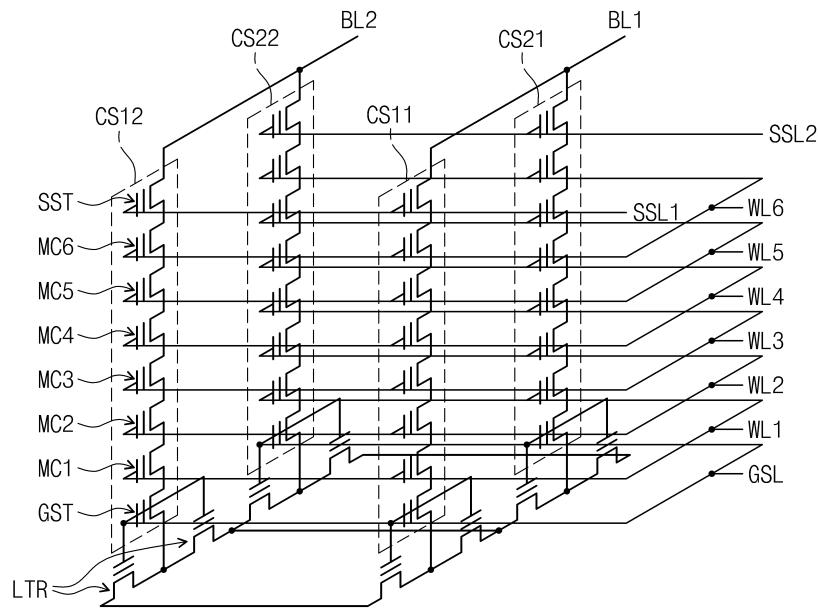


도면25



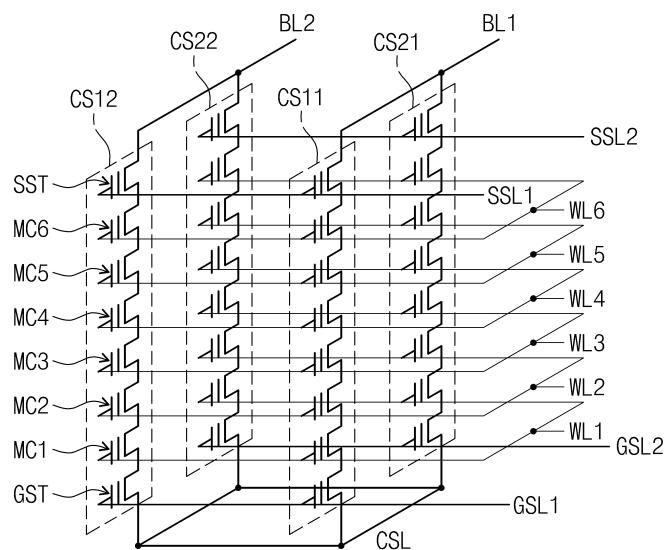
도면26

BLKa2



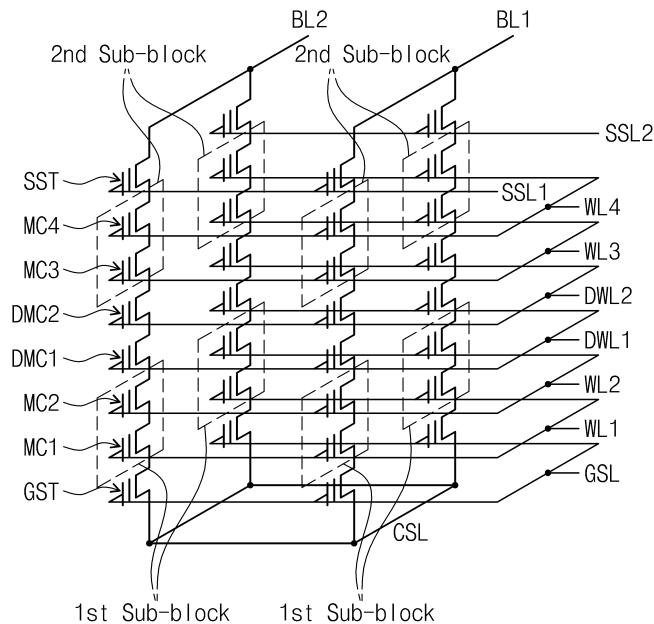
도면27

BLKa3



도면28

BLKa4



도면29

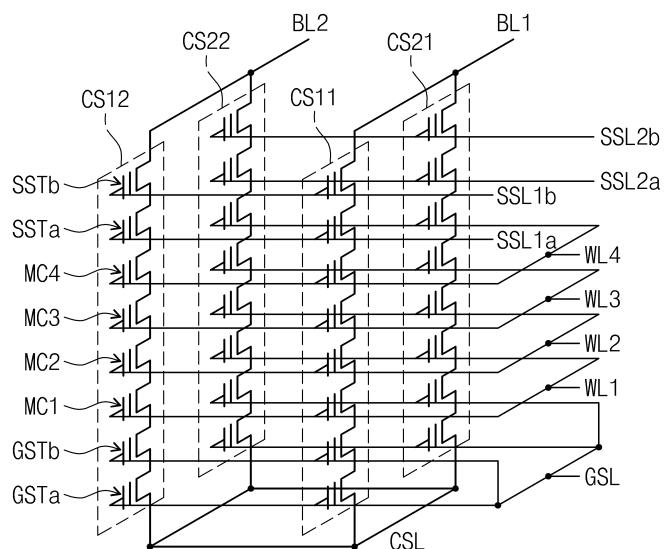
	S112	S113	S115
BL	Float	VBL1(VCC)	Normal; VBL2(VCC)
			Off; VBL3(VSS)
Selected SSL	Float or VSSL1	VSSL2(On)	VSSL4(On)
		VSSL3(Off)	VSSL5(Off)
Selected WL	Vwe1(VSS)	VH1(Vread)	VFY1
DWL	Float or VDWL1	VDWL2	VDWL3
Unselected WL	Float or VWL1	VH1(Vread)	VH2(Vread)
GSL	Float or VGSL1	VGSL2(On)	VGSL3(On)
CSL	Float	VCSL1(VSS)	VCSL2(VSS)
Substrate	Vers1	VSUB1(VSS)	VSUB2(VSS)

도면30

	S412	S413
BL	Float	VBL4(VCC)
Selected SSL	Float or VSSL6	VSSL7(On)
Unselected SSL		VSSL8(Off)
Selected WL	Vwe2(VSS)	VFY2
DWL	Float or VDWL4	VDWL5
Unselected WL	Float or VWL2	VWL3(Vread)
GSL	Float or VGSL4	VGSL5(On)
CSL	Float	VCSL3(VSS)
Substrate	Vers2	VSUB3(VSS)

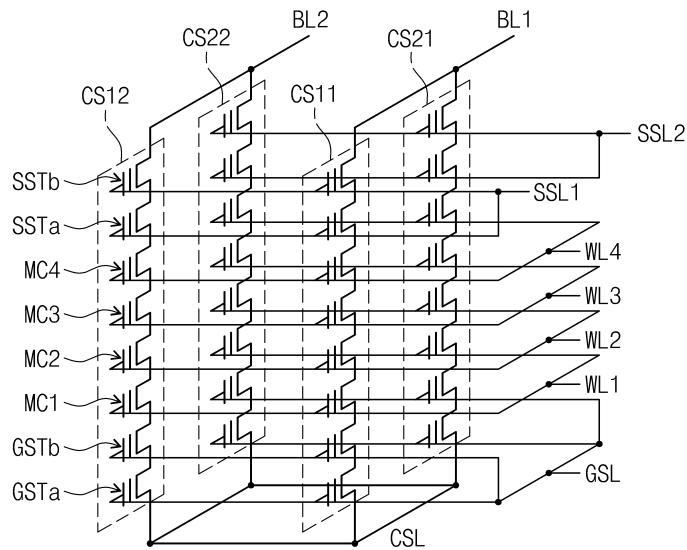
도면31

BLKa5



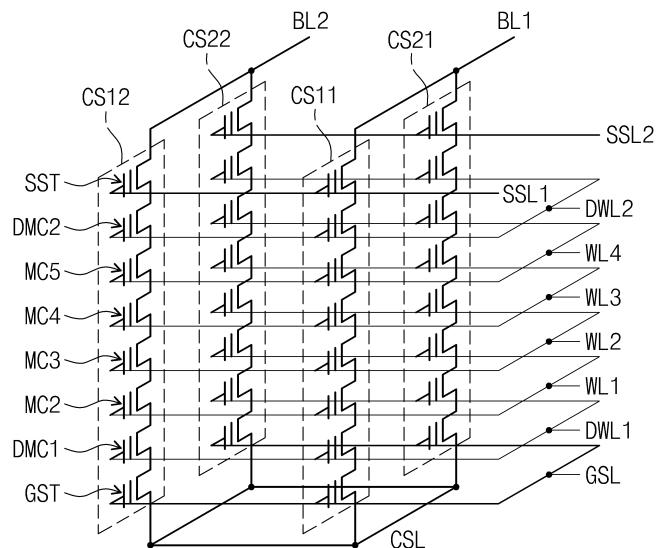
도면32

BLKa6

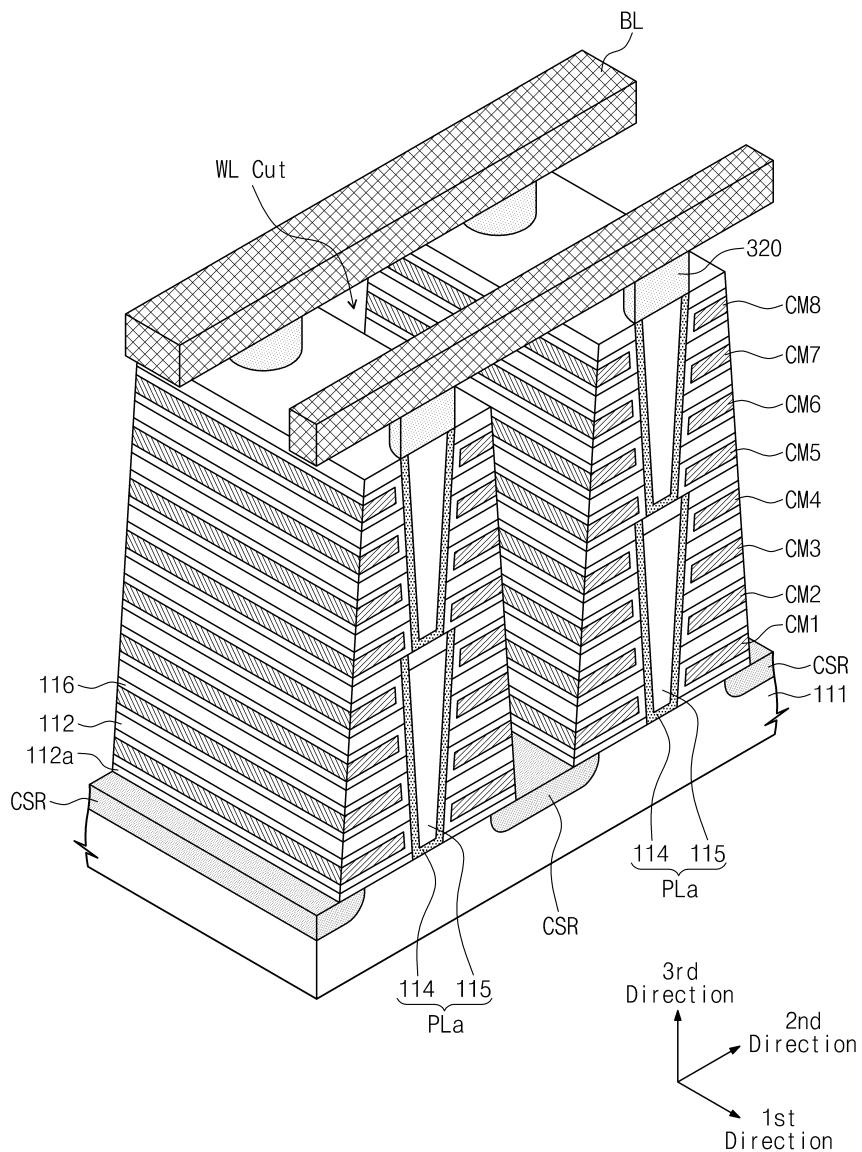


도면33

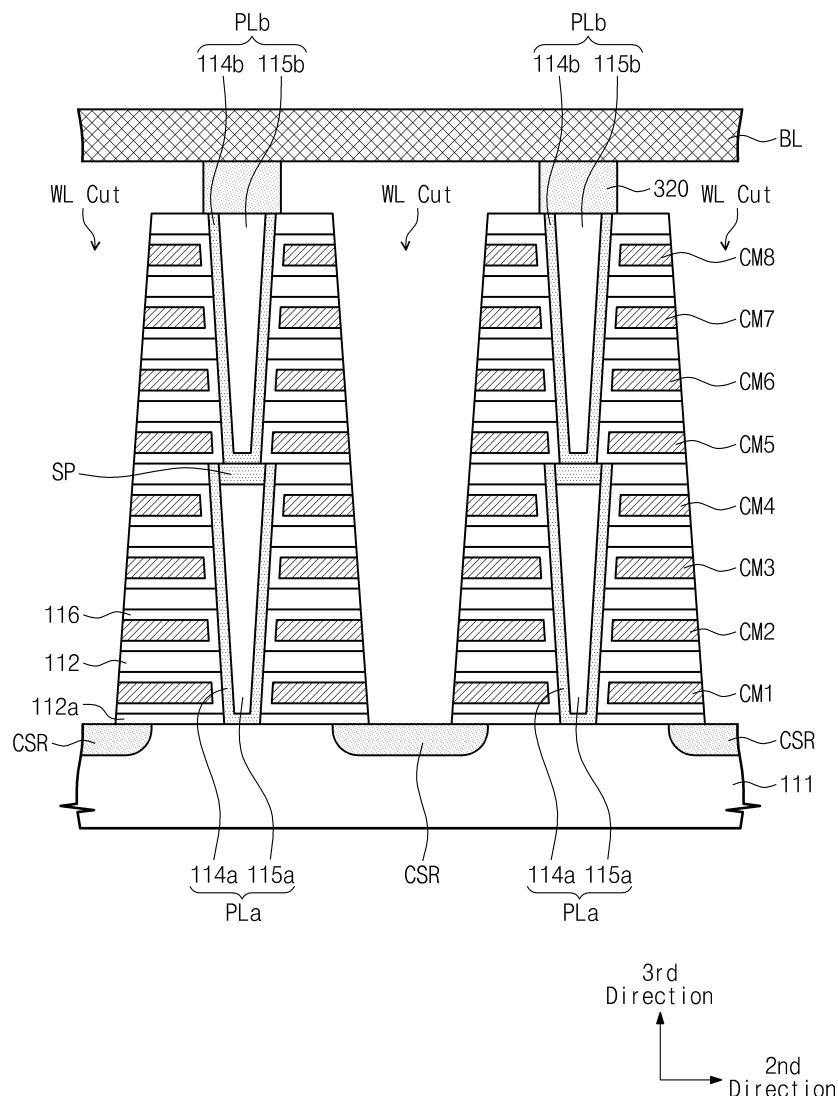
BLKa7



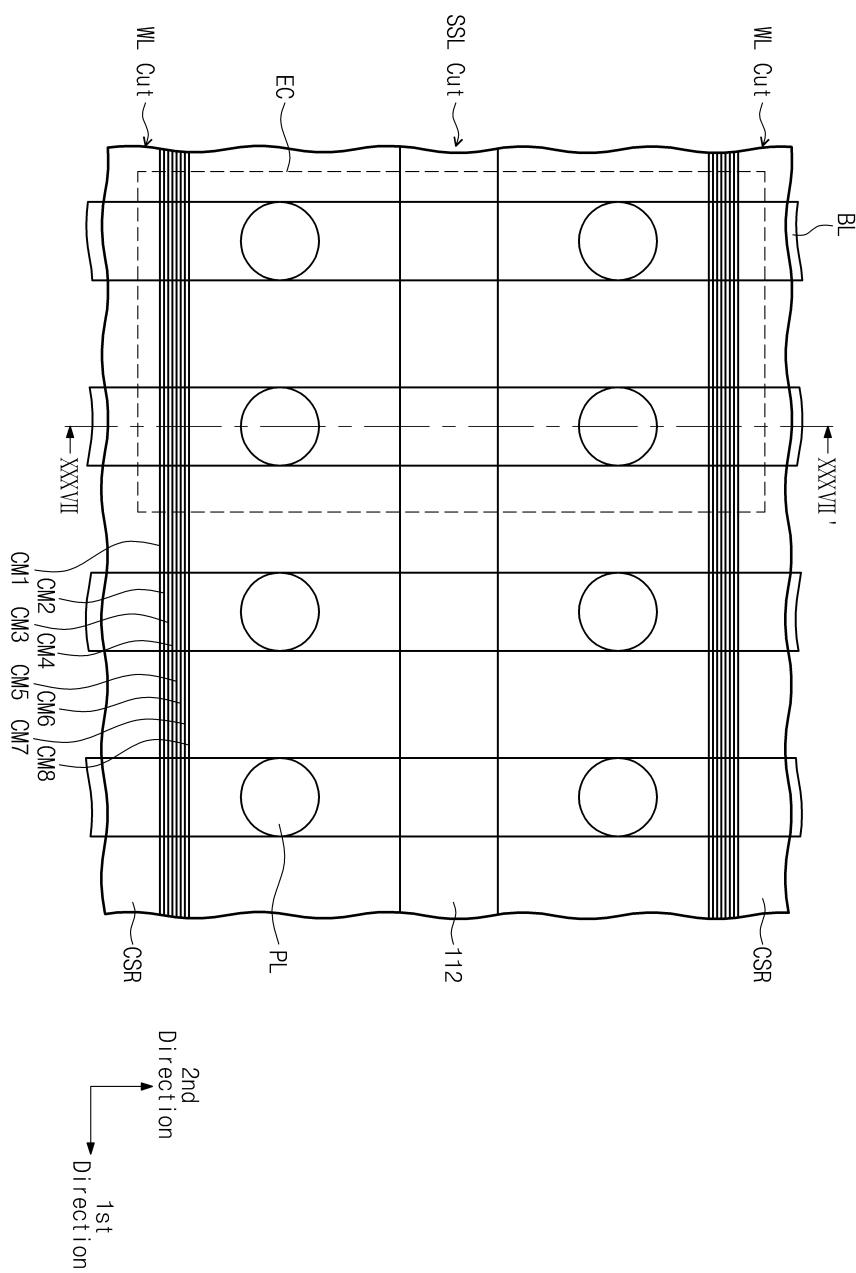
도면34



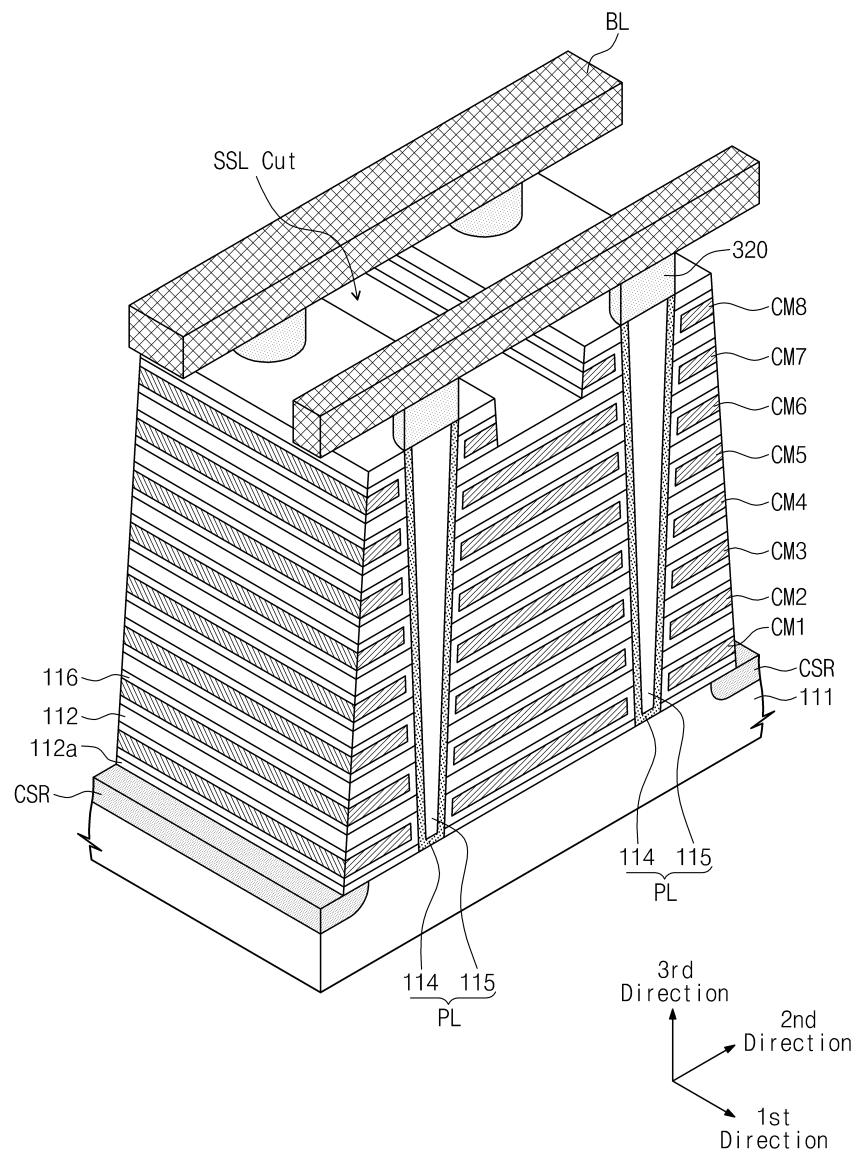
도면35



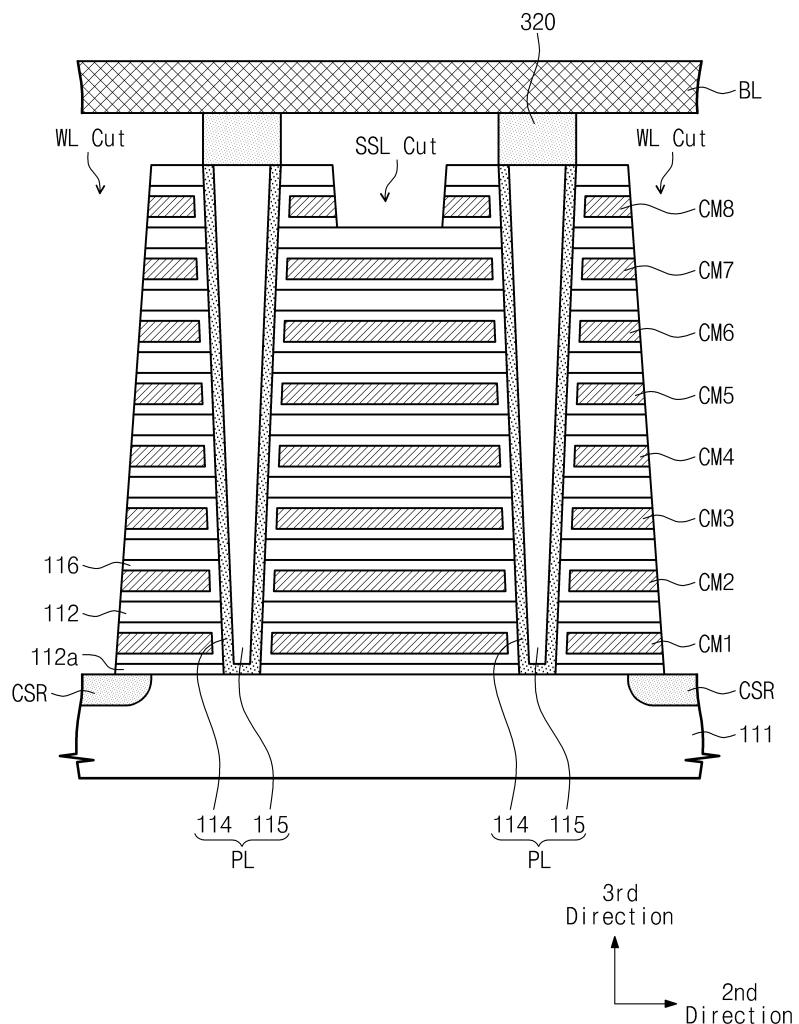
도면36



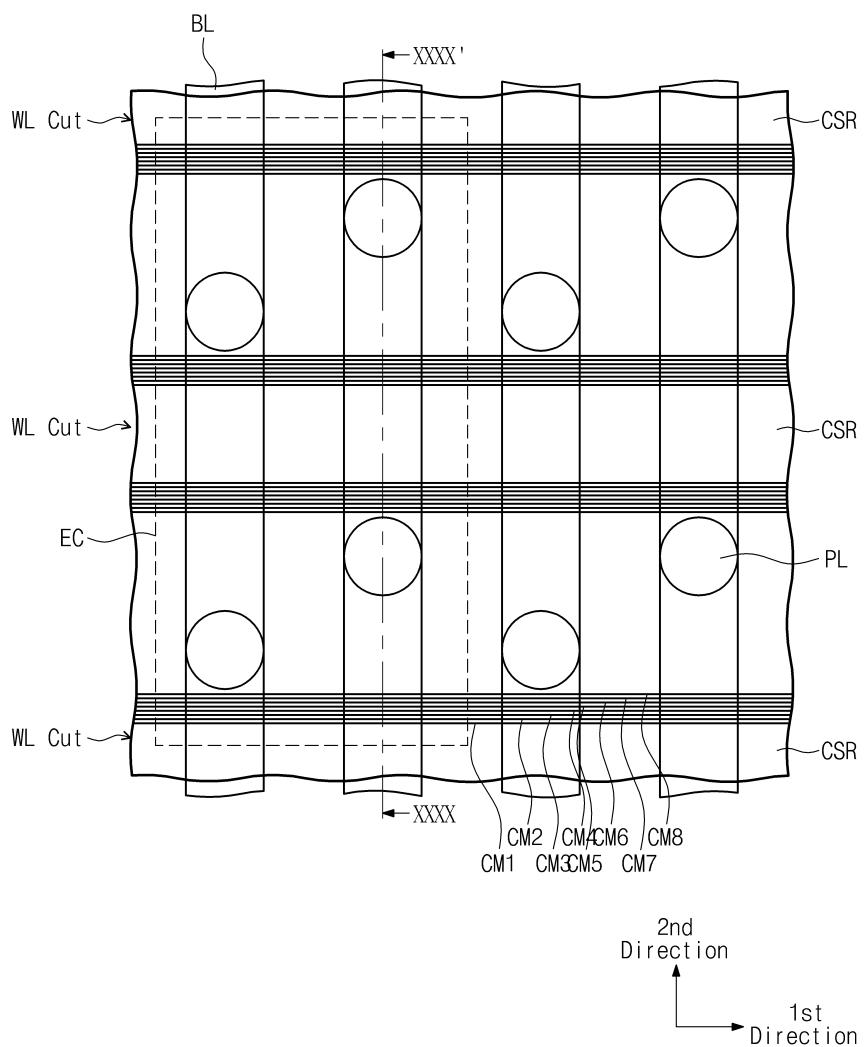
도면37



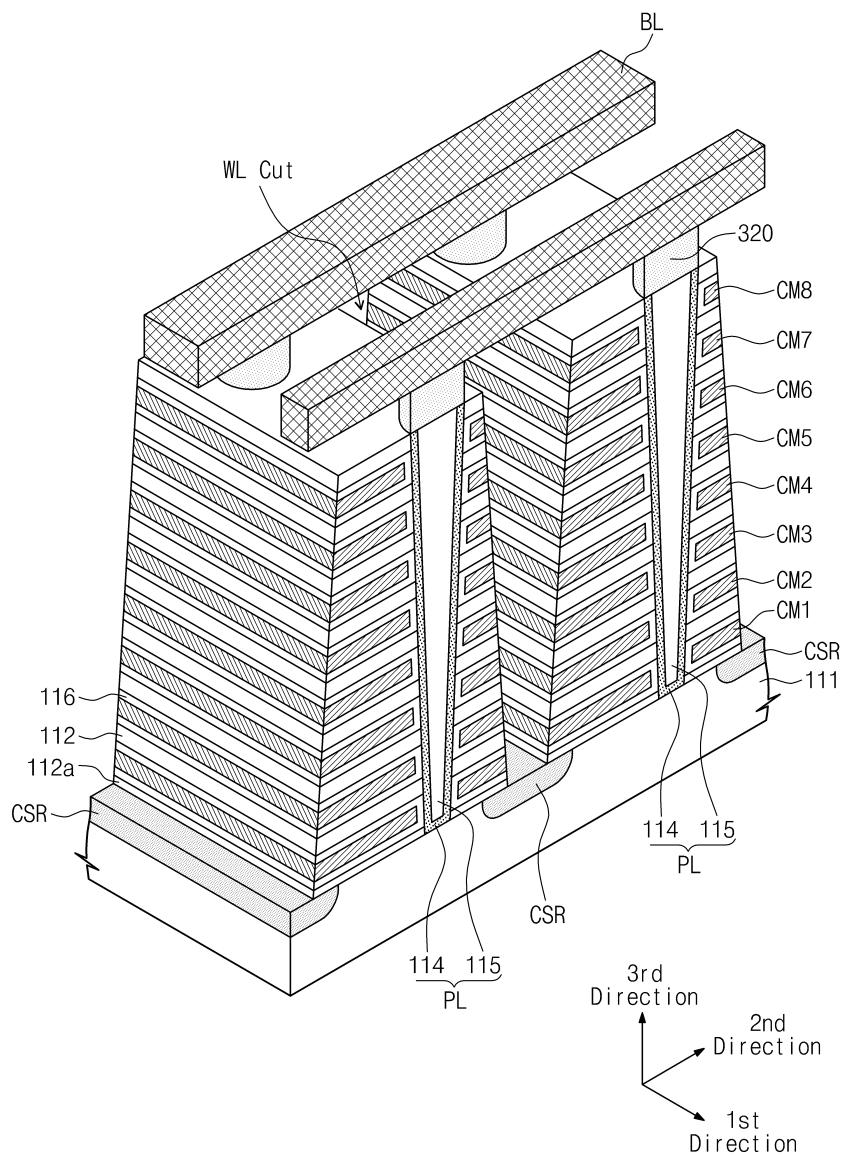
도면38



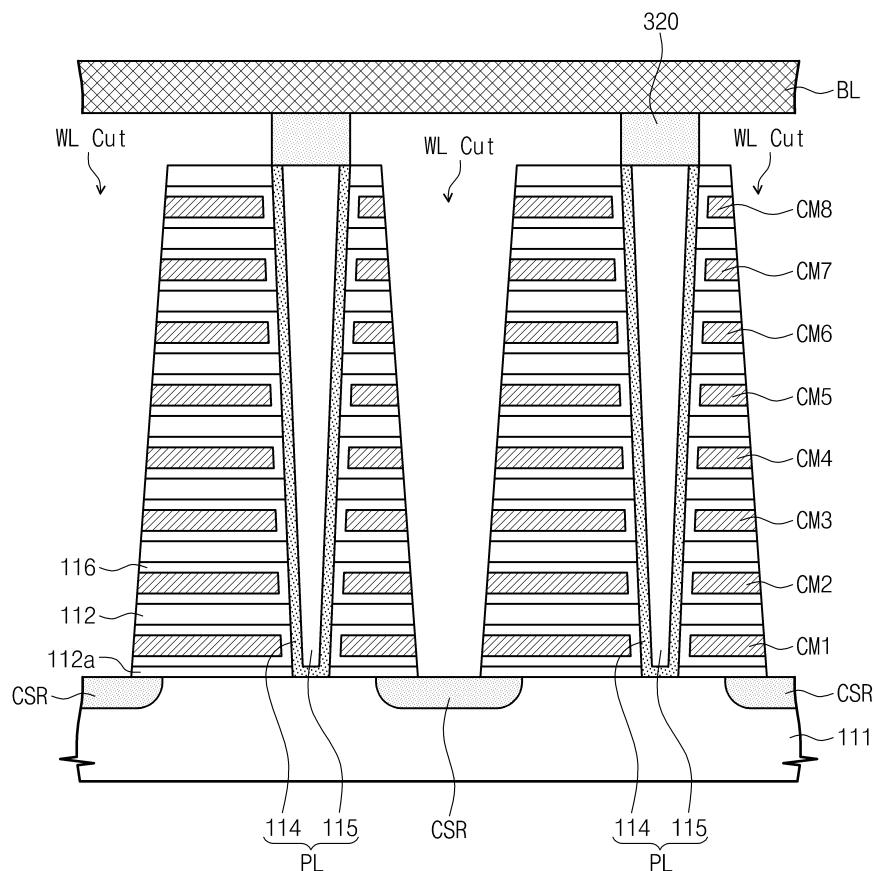
도면39



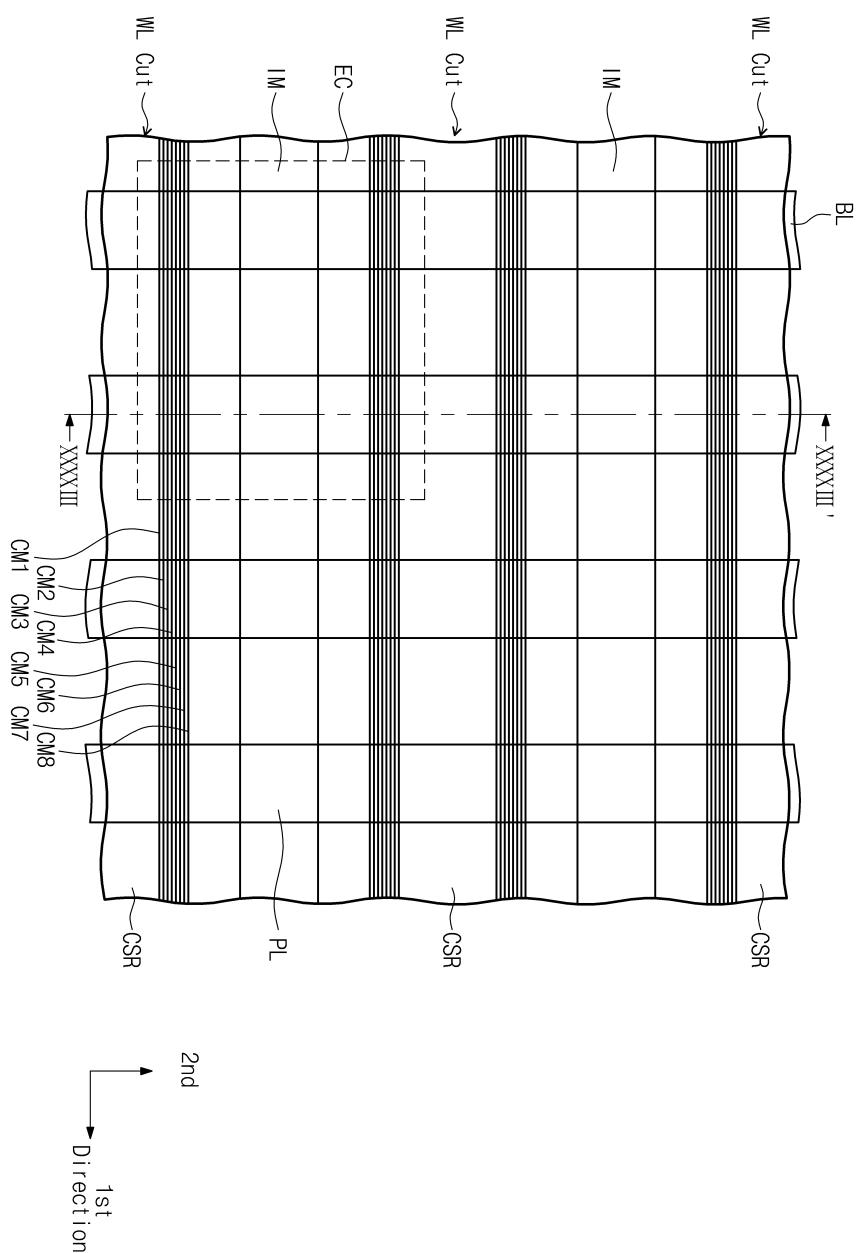
도면40



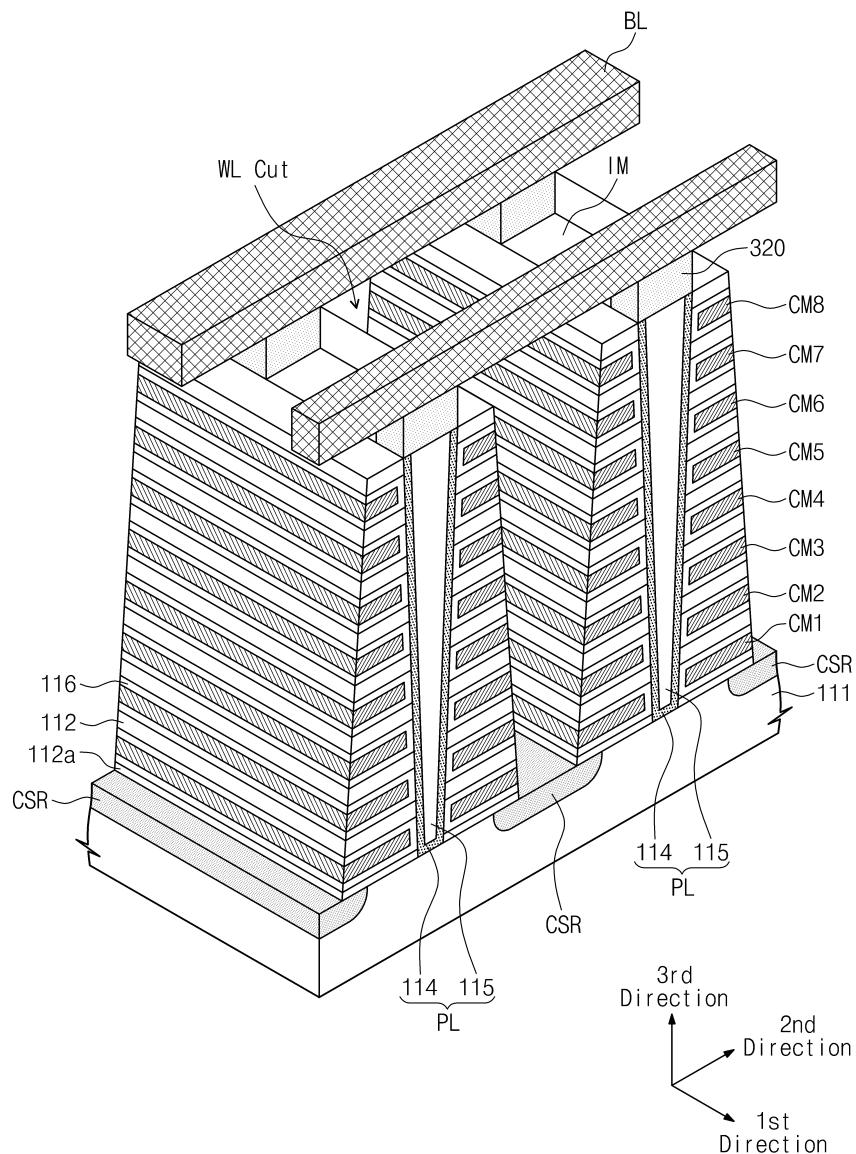
도면41



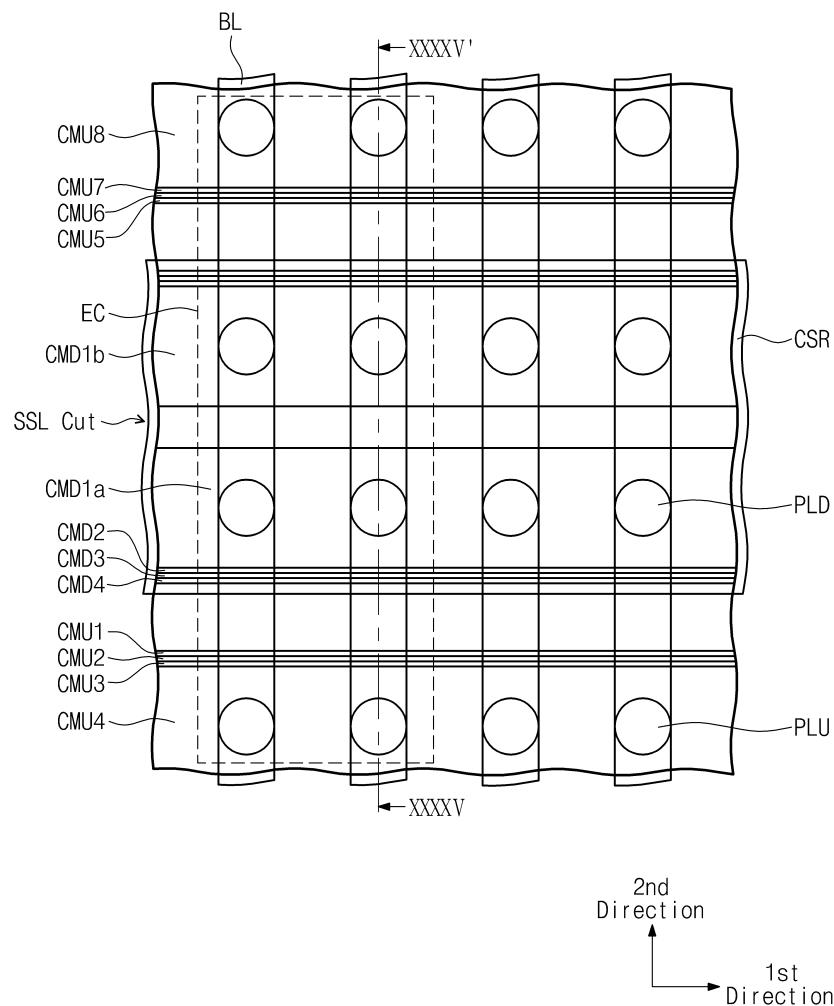
도면42



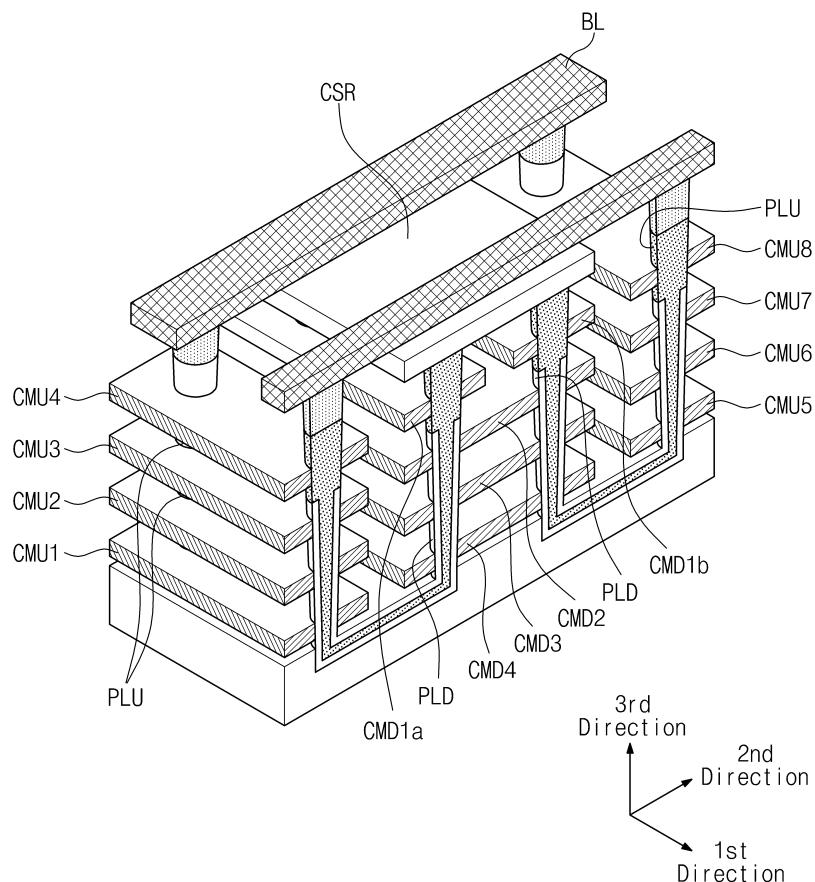
도면43



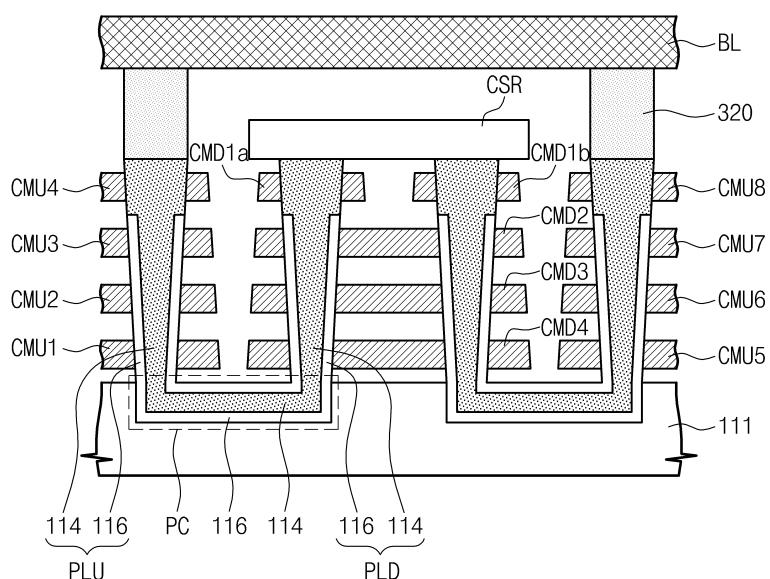
도면44



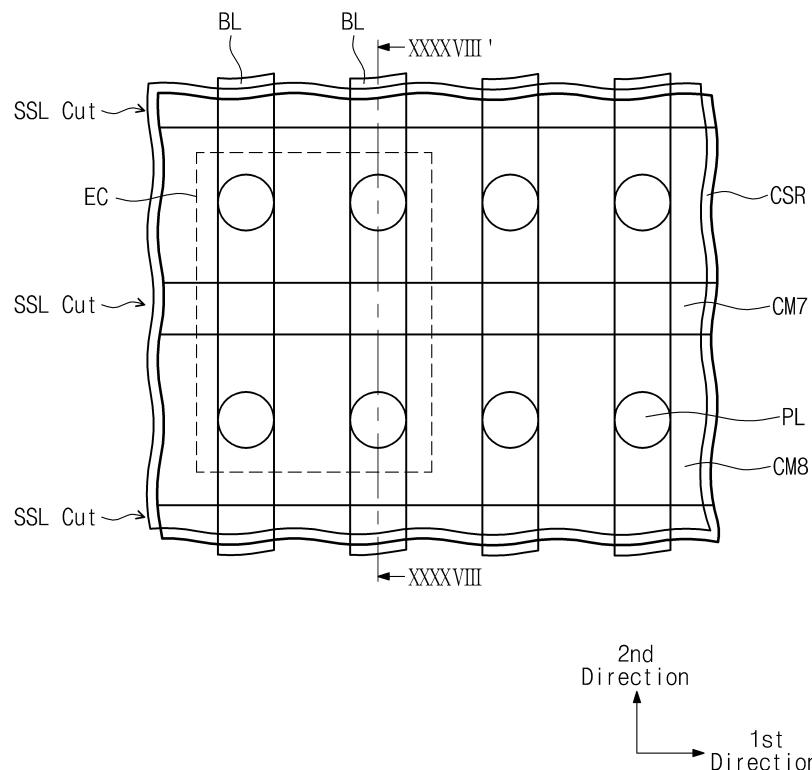
도면45



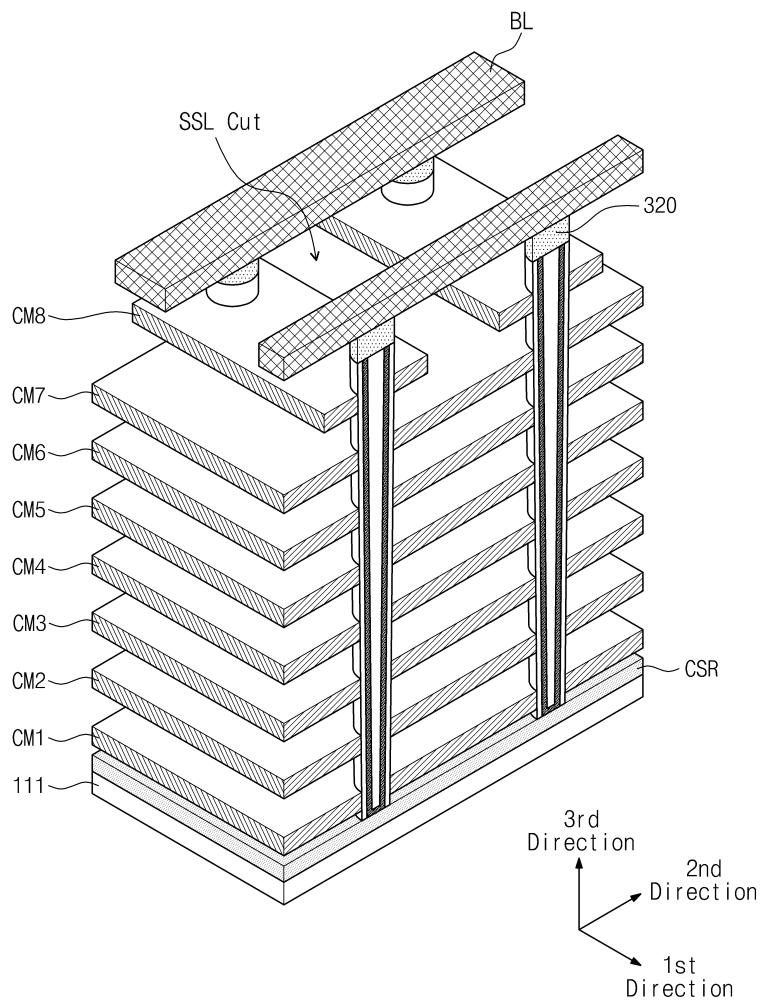
도면46



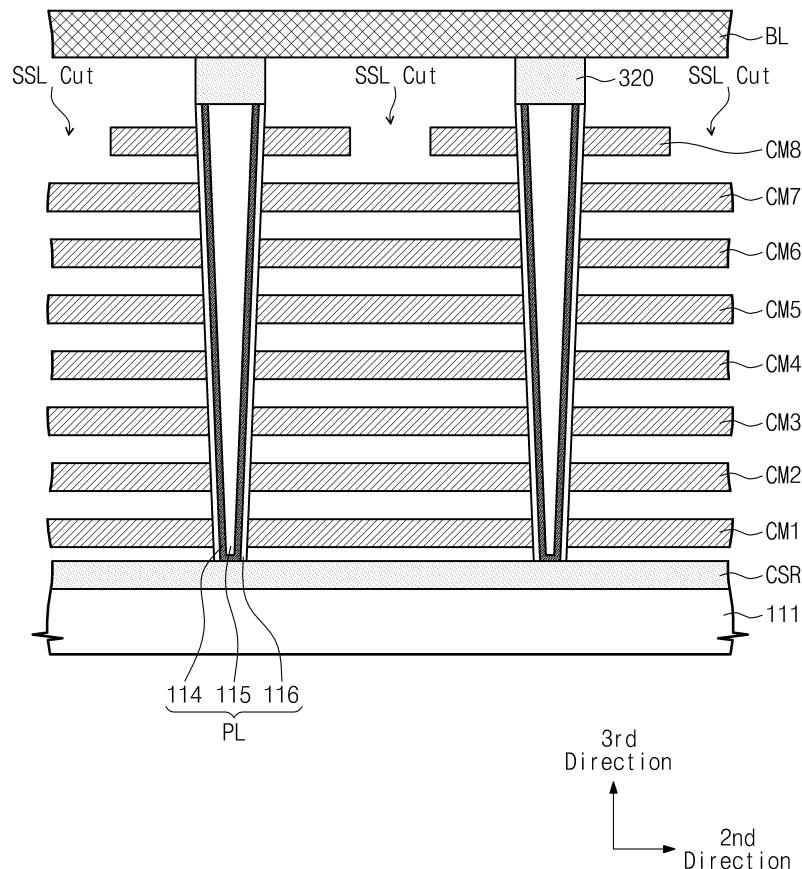
도면47



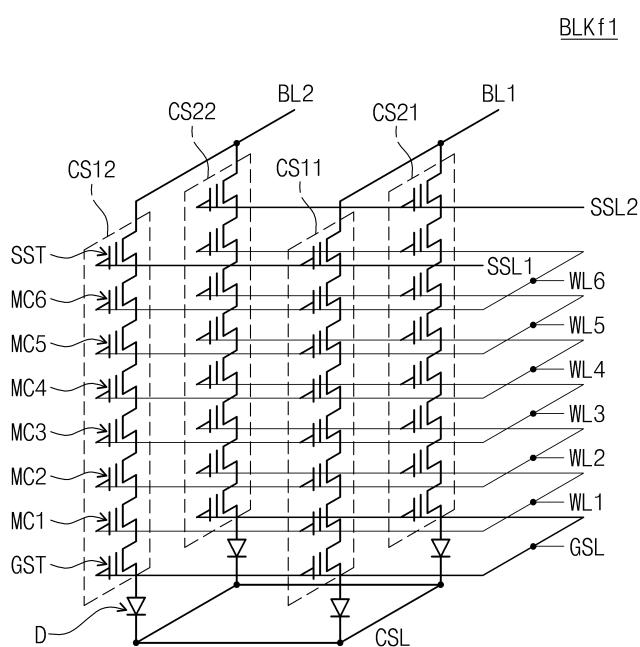
도면48



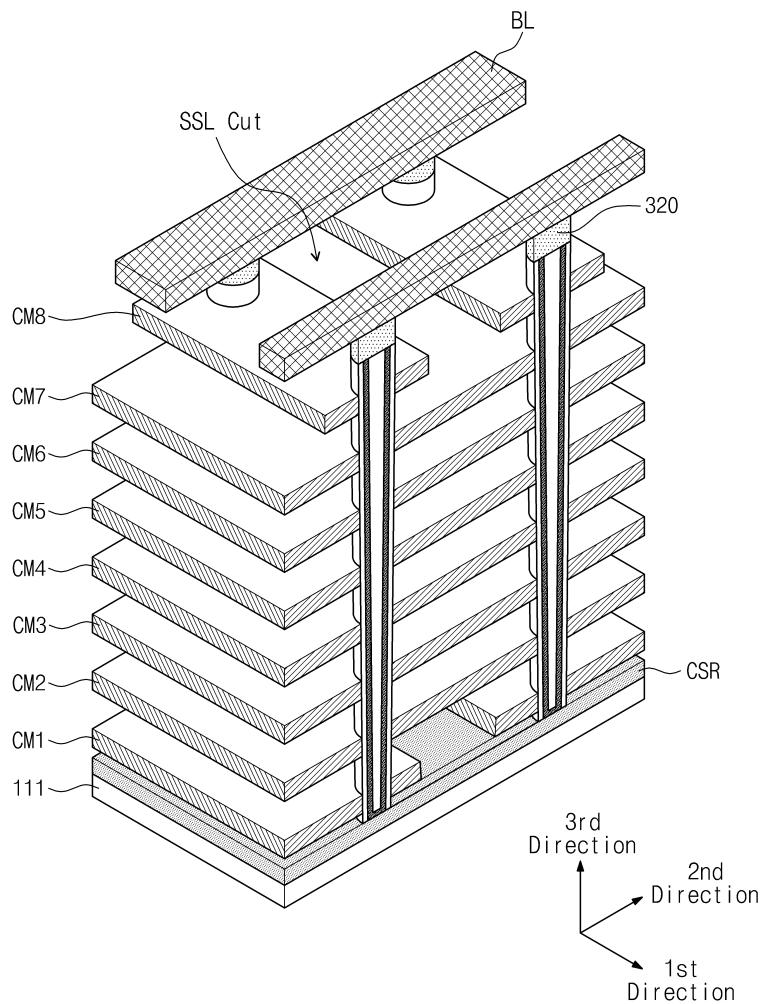
도면49



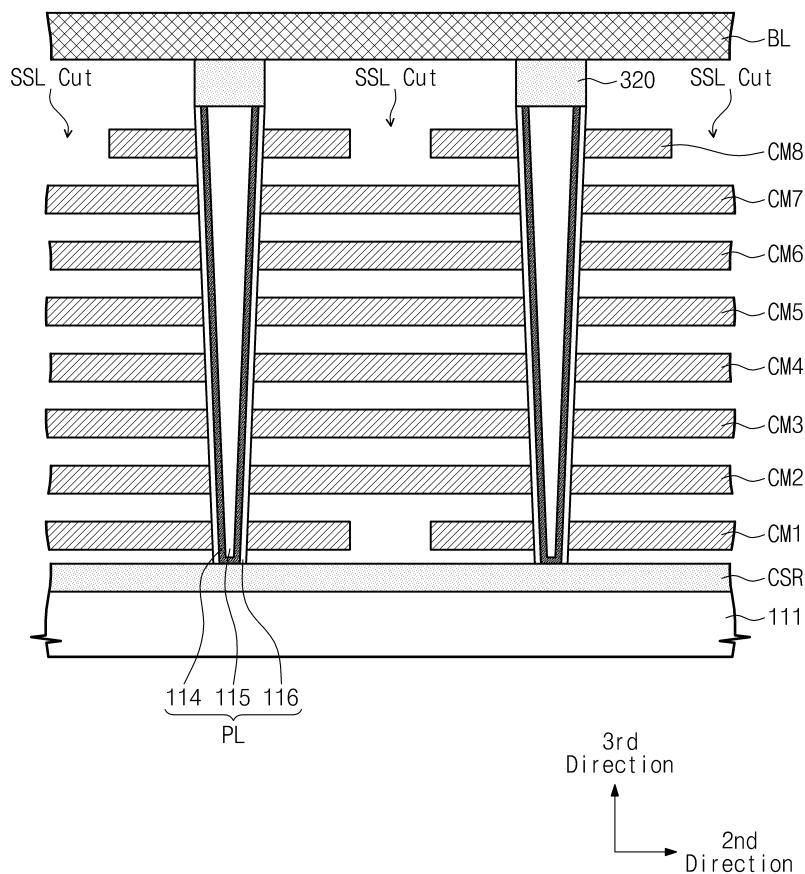
도면50



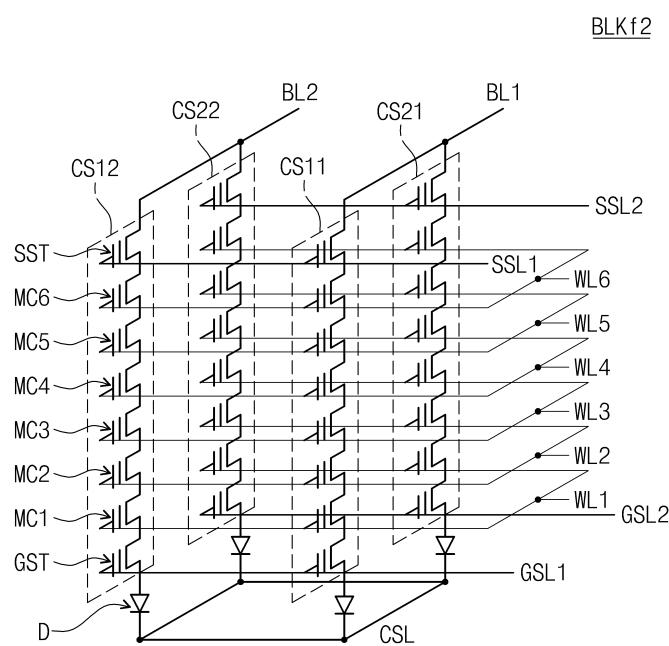
도면51



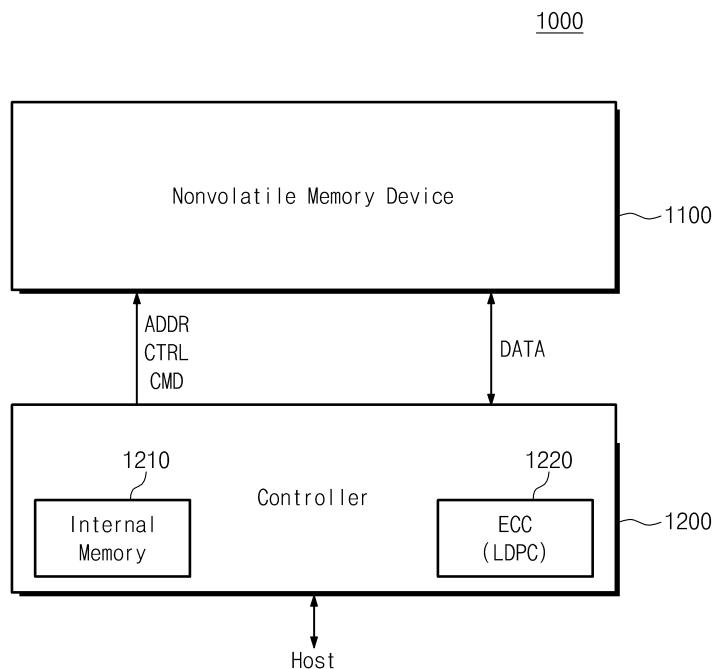
도면52



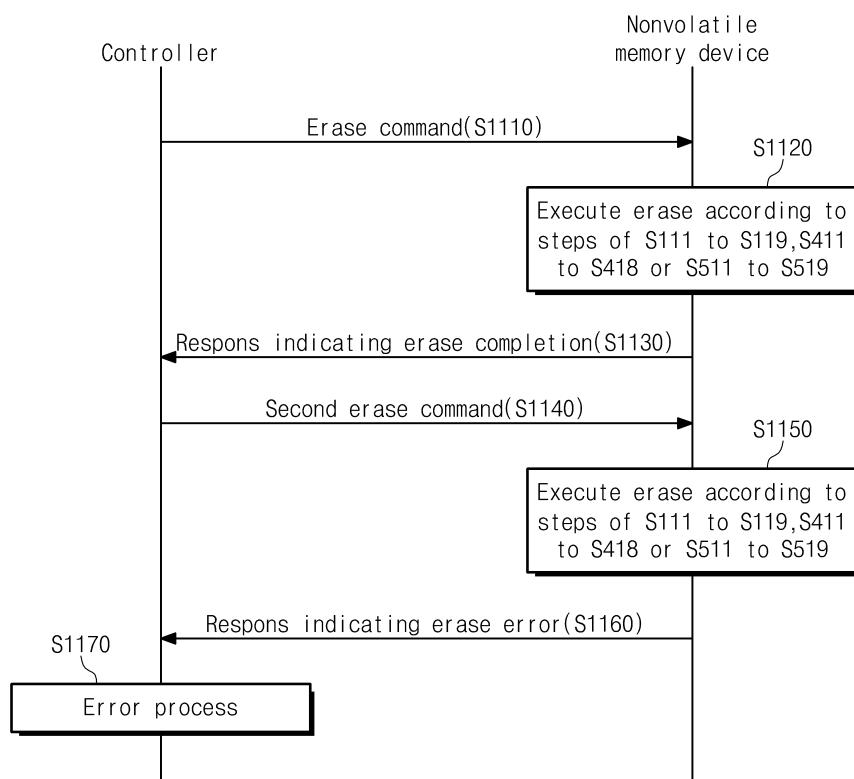
도면53



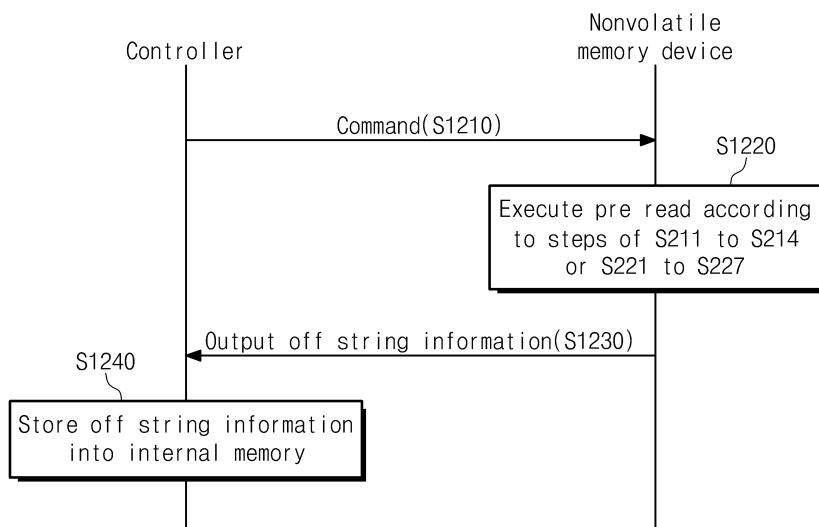
도면54



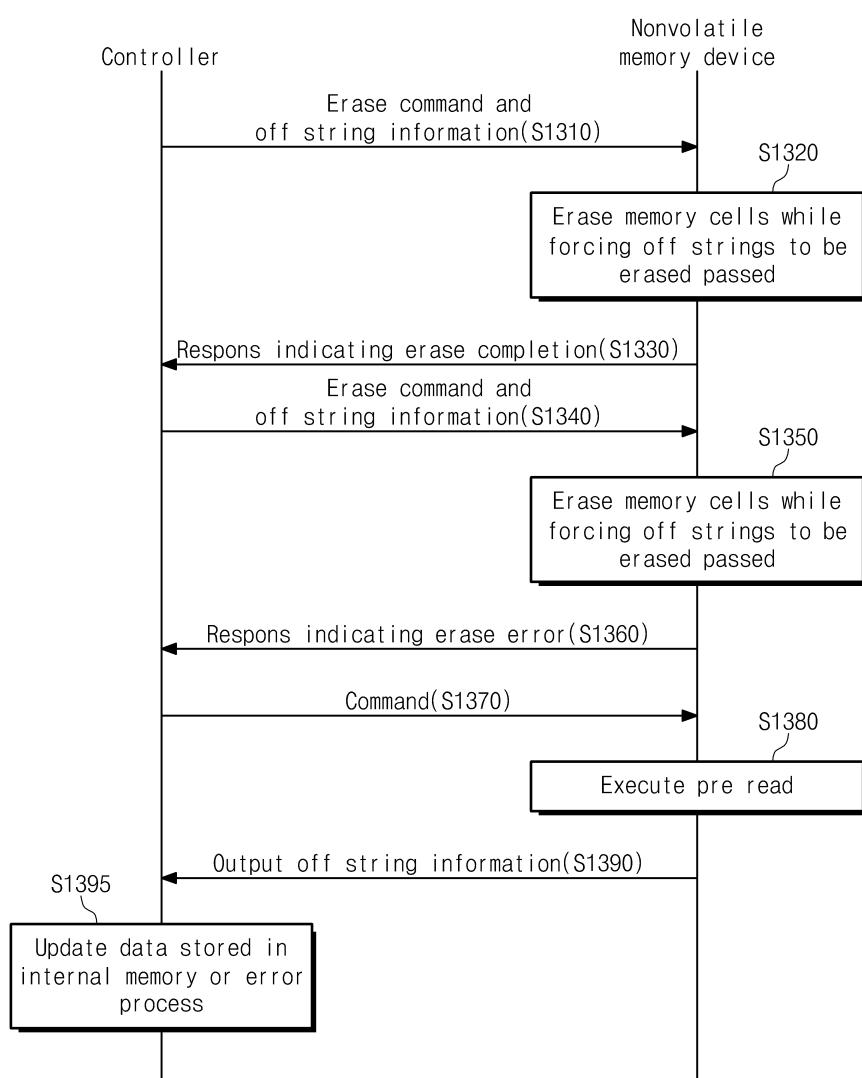
도면55



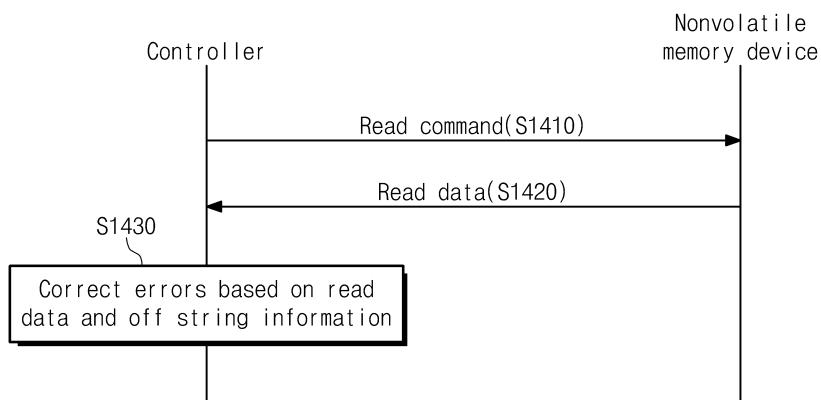
도면56



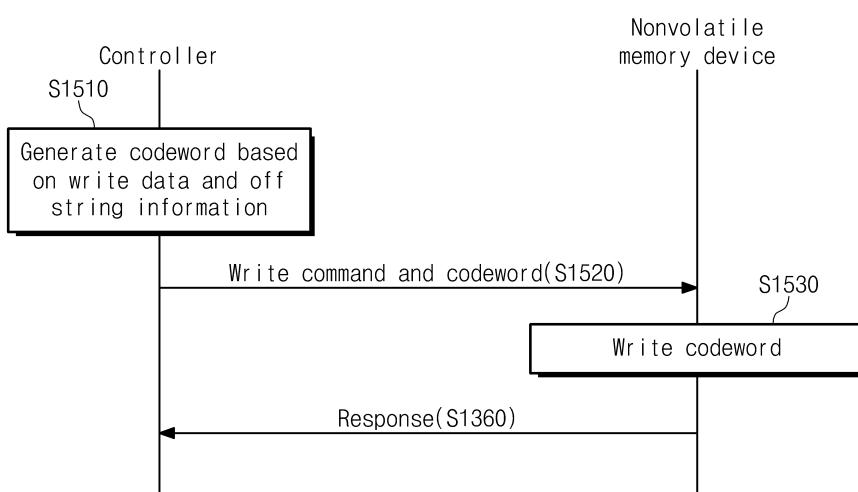
도면57



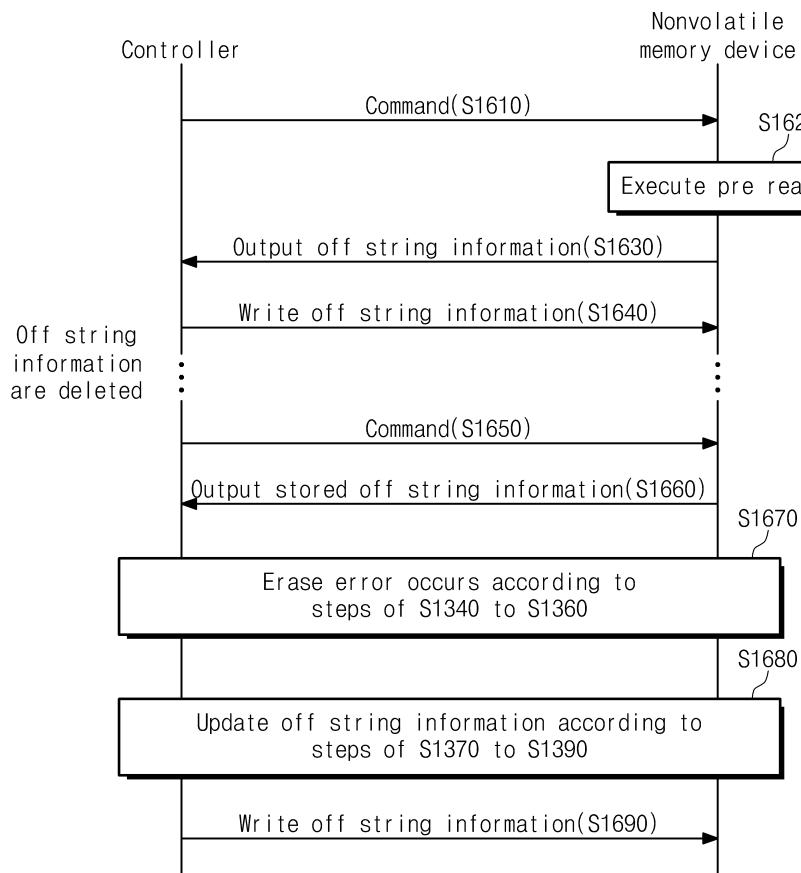
도면58



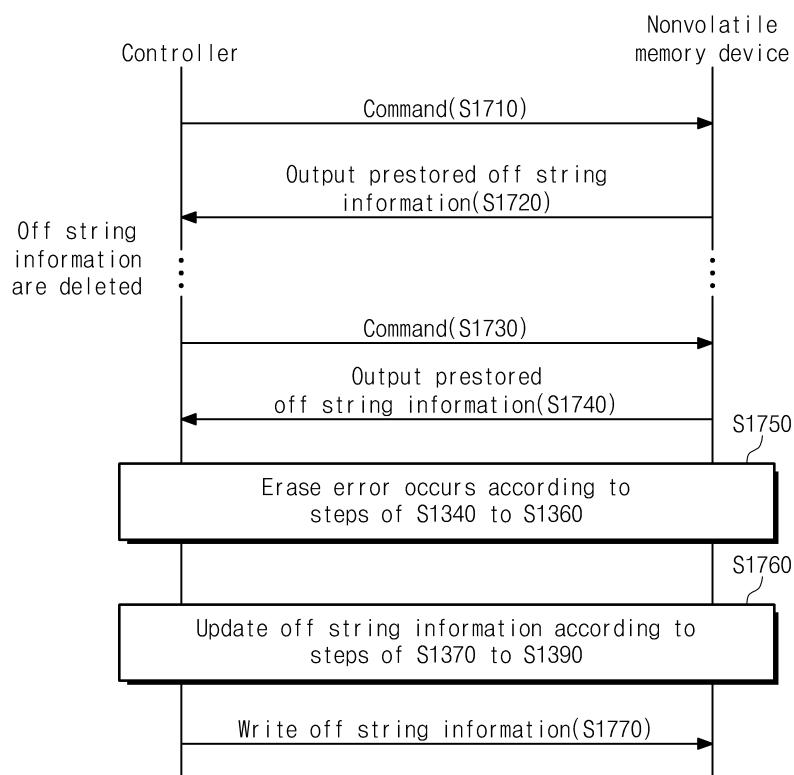
도면59



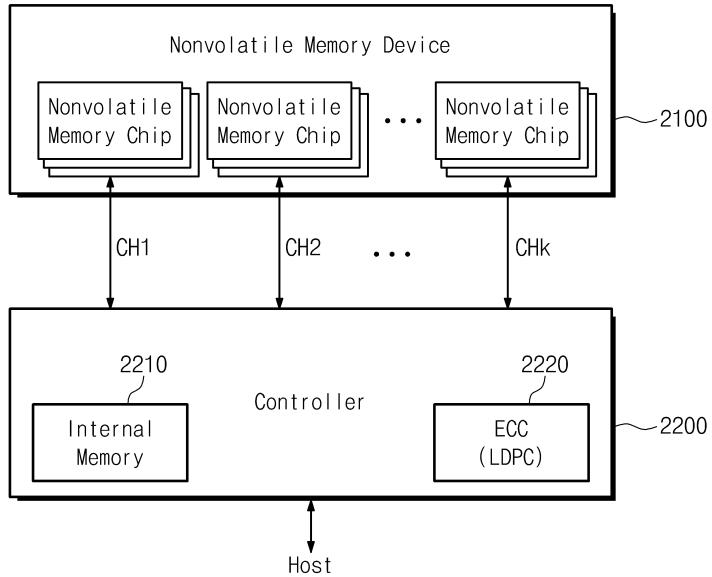
도면60



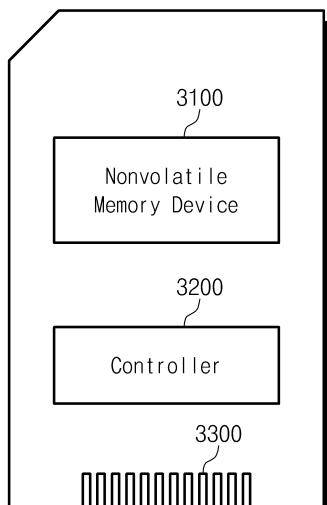
도면61



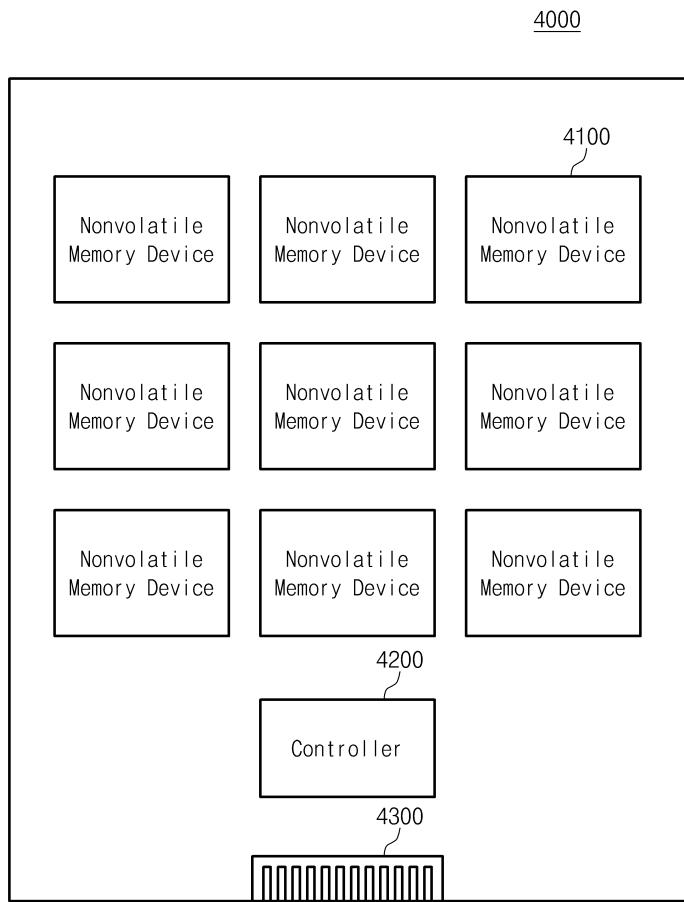
도면62

2000

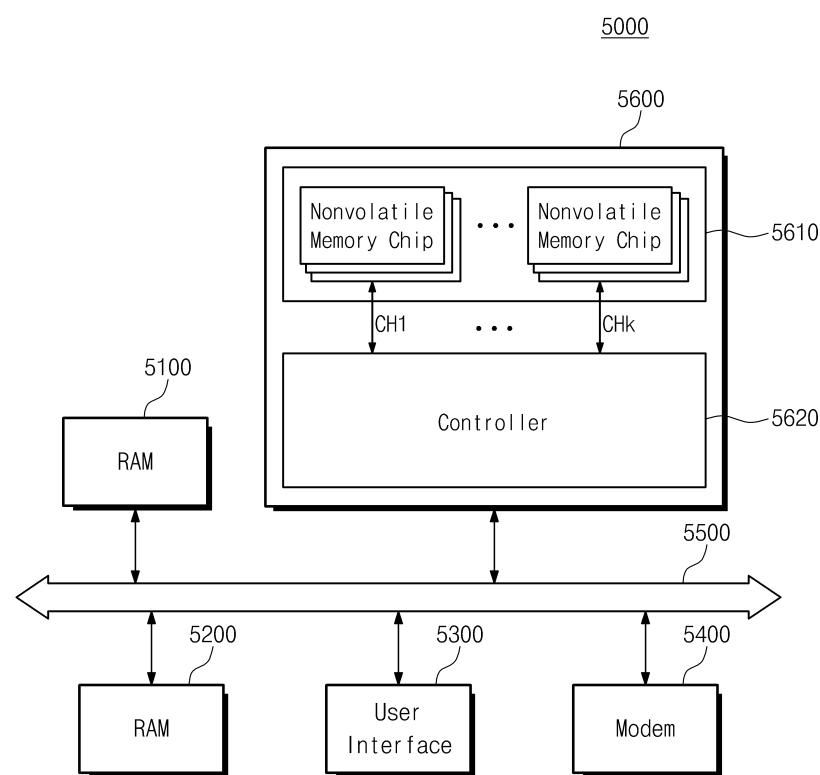
도면63

3000

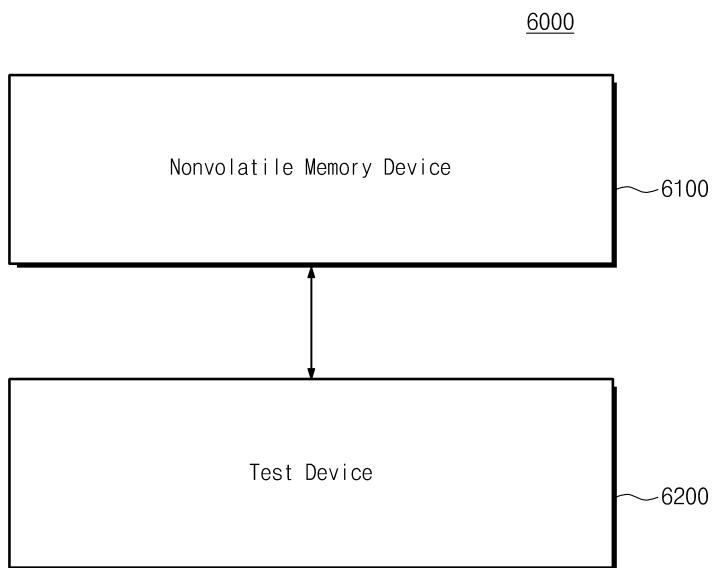
도면64



도면65



도면66



도면67

