



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200947651 A1

(43)公開日：中華民國 98 (2009) 年 11 月 16 日

(21)申請案號：098104704

(22)申請日：中華民國 98 (2009) 年 02 月 13 日

(51)Int. Cl. : **H01L23/488 (2006.01)**

(30)優先權：2008/02/29 日本 2008-049628

2008/12/26 日本 2008-332756

(71)申請人：瑞薩科技股份有限公司 (日本) RENESAS TECHNOLOGY CORP. (JP)

日本

(72)發明人：武藤邦治 MUTO, KUNIHARU (JP)；團野忠敏 DANNO, TADATOSHI (JP)；高橋
浩幸 TAKAHASHI, HIROYUKI (JP)

(74)代理人：林志剛

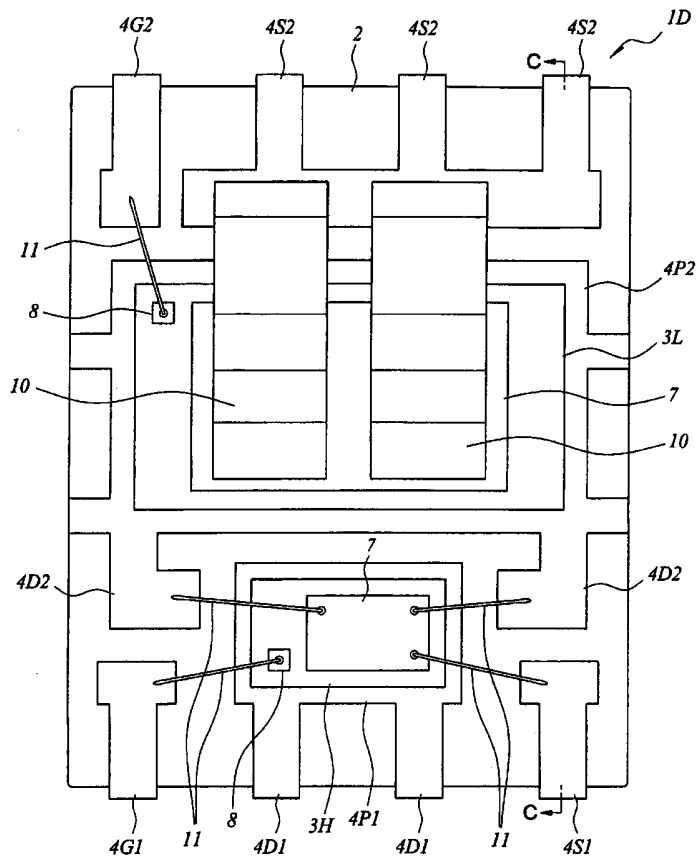
申請實體審查：無 申請專利範圍項數：17 項 圖式數：48 共 93 頁

(54)名稱

半導體裝置

(57)摘要

實現電力 MOSFET 等被密封而成的小型面安裝封裝之低 ON (導通) 電阻劃。於模塑樹脂 (2) 之內部被密封 2 個矽晶片 (3H、3L)。於模塑樹脂 (2) 之一邊，被配置 3 個源極引線 (4S2) 及 1 個閘極引線 (4G2)。3 個源極引線 (4S2) 係於模塑樹脂 (2) 之內部被互相連結，該連結部分與矽晶片 (3L) 之源極焊墊 (7)，係介由 2 個 A1 帶狀物 (10) 被電連接。另外，矽晶片 (3L) 之閘極焊墊 (8)，係介由 1 個金線 (11) 被電連接於閘極引線 (4G2)。



1D：半導體裝置

2: 模塑樹脂

3H：矽晶片（半導體晶片）

3L：矽晶片（半導體晶片）

4D1：汲極引線

4D2：汲極引線

4G1：閘極引線

4G2：閘極引線

4P1：晶粒焊墊部

4P2：晶粒焊墊部

4S1：源極引線

4S2：源極引線

7：源極焊墊

8：閘極焊墊

10 : A1 帶狀物

11：金線



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200947651 A1

(43)公開日：中華民國 98 (2009) 年 11 月 16 日

(21)申請案號：098104704

(22)申請日：中華民國 98 (2009) 年 02 月 13 日

(51)Int. Cl. : **H01L23/488 (2006.01)**

(30)優先權：2008/02/29 日本 2008-049628

2008/12/26 日本 2008-332756

(71)申請人：瑞薩科技股份有限公司 (日本) RENESAS TECHNOLOGY CORP. (JP)

日本

(72)發明人：武藤邦治 MUTO, KUNIHARU (JP)；團野忠敏 DANNO, TADATOSHI (JP)；高橋
浩幸 TAKAHASHI, HIROYUKI (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：17 項 圖式數：48 共 93 頁

(54)名稱

半導體裝置

(57)摘要

實現電力 MOSFET 等被密封而成的小型面安裝封裝之低 ON (導通) 電阻劃。於模塑樹脂 (2) 之內部被密封 2 個矽晶片 (3H、3L)。於模塑樹脂 (2) 之一邊，被配置 3 個源極引線 (4S2) 及 1 個閘極引線 (4G2)。3 個源極引線 (4S2) 係於模塑樹脂 (2) 之內部被互相連結，該連結部分與矽晶片 (3L) 之源極焊墊 (7)，係介由 2 個 A1 帶狀物 (10) 被電連接。另外，矽晶片 (3L) 之閘極焊墊 (8)，係介由 1 個金線 (11) 被電連接於閘極引線 (4G2)。

六、發明說明：

【發明所屬之技術領域】

本發明關於半導體裝置，特別關於適用具有小型面安裝封裝的半導體裝置之有效技術。

【先前技術】

行動資訊機器之電力控制開關或充放電保護電路開關等使用的電力（power）MOSFET（Metal Semiconductor Field Effect Transistor），係被封裝於 SOP8 等之小型面安裝封裝。此種電力 MOSFET 揭示於例如專利文獻 1（特開 2000-164869 號公報）或專利文獻 2（特開 2000-299464 號公報）。

專利文獻 1 揭示之技術為，在包含構成 n^+ 型矽基板之上層的 p 型磊晶層之構造體內被形成的溝槽閘極（trench gate）型電力 MOSFET 之中，使 n 型汲極區域在 n^+ 型矽基板與溝槽底部之間延伸而予以形成，使 n 型汲極區域與 p 型磊晶層之接合部，在 n^+ 型矽基板與溝槽之間隔壁之間延伸而予以形成，如此而降低貫穿崩潰（punch through break down）之危險性。

另外，專利文獻 2 揭示之技術為，在第 1 導電型半導體基板上設置第 1 導電型磊晶層與第 2 導電型阱層，在彼等磊晶層與阱層構成之上側層內，設置以絕緣層分離之深的溝槽閘極，於溝槽閘極之下設置汲極區域，鄰接於溝槽閘極設置源極區域，於阱層上部設置較阱層摻雜更高濃度

雜質的本體區域，如此而減少汲極區域之 ON（導通）電阻者。

專利文獻 1：特開 2000-164869 號公報

專利文獻 2：特開 2000-299464 號公報

【發明內容】

（發明所欲解決之課題）

本發明人針對形成有電力 MOSFET 的矽晶片進行封裝的 SOP8 等之小型面安裝封裝加以檢討。

本發明人檢討的 SOP8 為，藉由環氧系列模塑樹脂進行矽晶片之封裝而成的面安裝型封裝，矽晶片，係於和汲極引線被一體形成之晶粒焊墊部（die pad）之上，以其主面朝上之狀態被搭載。矽晶片之背面，係構成電力 MOSFET 之汲極，介由銀膠（Ag paste）接合於晶粒焊墊部之上面。

於上述矽晶片之主面形成源極焊墊與閘極焊墊。源極焊墊與閘極焊墊，係由形成於矽晶片之最上層的以 Al 膜為主體之導電膜構成。源極焊墊，係為減低電力 MOSFET 之 ON 電阻，而以較閘極焊墊大的面積形成。由於同樣的理由，矽晶片之背面，其全面係構成電力 MOSFET 之汲極。

於模塑樹脂外部，構成 SOP8 之外部連接端子的源極引線、汲極引線及閘極引線呈露出。源極引線與源極焊墊以及閘極引線與閘極焊墊，係分別藉由金線被電連接。閘

極焊墊，因面積較小之故，藉由 1 條金線（Au 線）被電連接於閘極引線。另外，源極焊墊，因面積較閘極焊墊為大之故，藉由多數條金線被電連接於源極引線。

但是上述構造增 SOP8，難以降低電力 MOSFET 之 ON 電阻，在裝置之性能提升上有其限制。此乃因為，源極焊墊或源極引線和金線間之接觸面積小，即使增加金線之數目亦難以確保充分之接觸面積。

本發明目的在於實現可以降低電力 MOSFET 之 ON 電阻的面安裝型封裝。

本發明另一目的在於實現包含電力 MOSFET 的面安裝型封裝之高性能化。

本發明再另一目的為提升包含電力 MOSFET 的面安裝型封裝之信賴性及製造良品率。

本發明之目的及特徵可由本說明書之記載及圖面加以理解。

（用以解決課題的手段）

本發明之代表性概要簡單說明如下。

（1）本發明之一之半導體裝置，係搭載於第 1 晶粒焊墊部上的第 1 半導體晶片，與搭載於第 2 晶粒焊墊部上的第 2 半導體晶片被密封於樹脂封裝，由上述樹脂封裝之側面使多數條引線之外引線部露出者；於上述第 1 及第 2 半導體晶片之各別之主面形成：電力 MOSFET，連接於上述電力 MOSFET 之閘極的閘極焊墊，及連接於上述電力

MOSFET 之源極、而且面積較上述閘極焊墊為大的源極焊墊；於上述第 1 及第 2 半導體晶片之各別之背面形成上述電力 MOSFET 之汲極，在上述第 1 半導體晶片之背面與上述第 1 晶粒焊墊部之間、以及在上述第 2 半導體晶片之背面與上述第 2 晶粒焊墊部之間，分別存在銀膠，上述多數條引線之構成係包含：第 1 閘極引線，其電連接於上述第 1 半導體晶片之閘極焊墊；第 1 源極引線，其電連接於上述第 1 半導體晶片之源極焊墊；第 2 閘極引線，其電連接於上述第 2 半導體晶片之閘極焊墊；及第 2 源極引線，其電連接於上述第 2 半導體晶片之源極焊墊；至少上述第 1 半導體晶片之源極焊墊與上述第 1 源極引線，係藉由金屬帶狀物（metal ribbon）被電連接。

（2）本發明另一之半導體裝置，係搭載於晶粒焊墊部上的半導體晶片被密封於樹脂封裝，由上述樹脂封裝之側面使多數條引線之外引線部露出者；於上述半導體晶片之主面形成：電力 MOSFET，連接於上述電力 MOSFET 之閘極的閘極焊墊，及連接於上述電力 MOSFET 之源極、而且面積較上述閘極焊墊為大的多數源極焊墊；於上述半導體晶片之背面形成上述電力 MOSFET 之汲極，在上述半導體晶片之背面與上述晶粒焊墊部之間存在銀膠，上述多數條引線之構成係包含：閘極引線，其電連接於上述半導體晶片之閘極焊墊；及源極引線，其電連接於上述半導體晶片之源極焊墊；上述多數源極焊墊與上述源極引線，係分別藉由金屬帶狀物被電連接，上述閘極焊墊係配置於上述

多數源極焊墊之間。

本發明之中，鋁帶狀物（（Al 帶狀物），Al ribbon）意味著以 Al 為主成份的導電材料所構成之帶狀接線材料。通常，Al 帶狀物係被捲繞於捲筒狀態下被設置於接合裝置。作為將 Al 帶狀物連接於引線或焊墊的方式，有超音波接合或雷射接合。Al 帶狀物，因為極薄之故，連接於引線或焊墊時，長度或迴路形狀可以任意設定。

另外，類似 Al 帶狀物之接線材料有稱為線夾（clip）者。其係將 Cu（銅）合金或 Al 等構成之薄金屬板事先成形為特定之迴路形狀、特定長度者，將其連接於引線或焊墊時，係將其之一端置於引線上、另一端置於焊墊上，同時連接線夾與引線及線夾與焊墊。連接方式可為焊接、Ag（銀）膠接合、超音波接合等。

本發明之中，稱「帶狀物」時意味著包含上述線夾的接線材料。但是，相較於事先被決定長度或迴路形狀的線夾，對應於引線或焊墊之面積、或對應於引線與焊墊間之距離，可以任意設定長度或迴路形狀的帶狀物狀物為較佳。

【實施方式】

（實施發明之最佳形態）

以下參照圖面說明本發明之實施形態。又，實施形態說明之全圖中同一構件原則上附加同一符號，並省略重複說明。又，以下實施形態說明之中，除特別必要以外，原

則上省略同一或同樣部分之說明。又，實施形態說明之圖面中，為使容易理解其構成，即使是平面圖亦有附加斜線之情況。

（第 1 實施形態）

圖 1～5 係本實施形態之半導體裝置之圖。圖 1 為外觀平面圖，圖 2 為外觀側面圖，圖 3 為內部構造平面圖，圖 4 為圖 3 之沿 A-A 線之斷面圖，圖 5 為圖 3 之沿 B-B 線之斷面圖。

本實施形態之半導體裝置 1A，係藉由環氧系列模塑樹脂 2 將矽晶片 3 進行封裝而成的面安裝型封裝，在模塑樹脂 2 之 2 個側面，使構成半導體裝置 1A 之外部連接端子的引線 4 的外引線部各 5 個呈露出狀。彼等 10 個引線 4 之中，沿圖 1 所示模塑樹脂 2 之上邊被配置的 5 個引線 4 成為汲極引線 4D。另外，沿模塑樹脂 2 之下邊被配置的 5 個引線 4 之中，中央之 1 個為閘極引線 4G，其餘之 4 個為源極引線 4S。

上述矽晶片 3 之主面，形成行動資訊機器之電力控制開關或充放電保護電路開關等使用之電力 MOSFET（如後述說明）。

又，上述矽晶片 3，係於和 5 個汲極引線 4D 被一體形成的晶粒焊墊部（dia pad）4P 之上，以其主面朝上之狀態被搭載。矽晶片 3 之背面，係構成電力 MOSFET 之汲極，介由銀膠 5 被接合於晶粒焊墊部 4P 之上面。晶粒焊

墊部 4P 及 10 個引線 4（汲極引線 4D、閘極引線 4G、源極引線 4S），係由 Cu 或 Fe-Ni 合金構成，於彼等之表面形成以 Pd 膜為主成份，其上下積層 Ni 膜與 Au 膜而成的 3 層構造（Ni/Pd/Au）之鍍層（未圖示）。銀膠 5 之組成及鍍層之效果如後述說明。

如圖 3 所示，於矽晶片 3 之主面被形成源極焊墊 7 及閘極焊墊 8。如上述說明，源極焊墊 7 及閘極焊墊 8 之各個，係由形成於矽晶片 3 之最上層的以 Al 膜為主體之導電膜構成。為能減少電力 MOSFET 之 ON 電阻，源極焊墊 7 較閘極焊墊 8 具有更寬之面積。基於同樣理由，矽晶片 3 之背面，以其全面構成電力 MOSFET 之汲極。

本實施形態之半導體裝置 1A，係於矽晶片 3 之主面形成 2 個源極焊墊 7 及 1 個閘極焊墊 8，於 2 個源極焊墊 7 之間配置閘極焊墊 8。

圖 6（a）為包含電力 MOSFET 之封裝之模式電路圖，如圖所示，電力 MOSFET 近似多數個 MOSFET 並聯連接之構成。圖中之 $R_1 \sim R_n$ 表示自源極焊墊 7 至各電力 MOSFET 之源極區域為止的電阻。例如， R_1 表示自源極焊墊 7 至位於最近位置之源極區域為止的電阻， R_n 表示自源極焊墊 7 至位於最遠位置之源極區域為止的電阻。

圖 6（b）表示，對於矽晶片 3 之主面之中心，使源極焊墊 7 與閘極焊墊 8 配置為非對稱之比較例之封裝之平面圖，圖 6（c）表示在源極焊墊 7 之間配置閘極焊墊 8 的本實施形態之封裝之平面圖。圖 6（b）之比較例情況下，自

源極焊墊 7 至最遠之源極區域之位置 (X) 之間的距離 (D1) 為較大之故， R_n 相對於 R_1 變為極大，封裝全體之源極電阻變大。相對於此，於圖 6 (c) 所示本實施形態中，自源極焊墊 7 至最遠源極區域之位置 (Y) 之間的距離 (D2) 可以縮小，因此 R_n 相對於 R_1 之增加部分，相較於比較例會變小。如此則，和圖 6 (b) 之比較例比較，依據在 2 個源極焊墊 7 之間配置閘極焊墊 8 的本實施形態，可以縮小封裝全體之源極電阻。

如圖 3 所示，本實施形態之半導體裝置 1A，配置於閘極引線 4G 右側之 2 個源極引線 4S 及配置於閘極引線 4G 左側之 2 個源極引線 4S，係分別於模塑樹脂 2 之內部互相被連結，該連結部分與源極焊墊 7 係分別介由 1 個 Al 帶狀物 10 被電連接。Al 帶狀物 10 之厚度約為 0.1mm，寬度約為 1mm。欲減低電力 MOSFET 之 ON 電阻時，藉由使 Al 帶狀物 10 之寬度接近源極焊墊 7 之寬度，儘可能增大 Al 帶狀物 10 與源極焊墊 7 之接觸面積。另外，面積較源極引線 4S 小的閘極焊墊 8，係介由 1 個金線 (Au wire) 11 被電連接於閘極引線 4G。

以下說明形成於上述矽晶片 3 之電力 MOSFET。圖 7 係表示電力 MOSFET 之一例、亦即 n 通道型之溝槽閘極型電力 MOSFET 的矽晶片 3 之重要部分斷面圖。

於 n^+ 型單晶矽基板 20 之主面，藉由磊晶成長法形成 n^- 型單晶矽層 21。 n^+ 型單晶矽基板 20 及 n^- 型單晶矽層 21，係構成電力 MOSFET 之汲極。

於 n^- 型單晶矽層 21 之一部分形成 p 型阱 22。另外，於 n^- 型單晶矽層 21 之表面之一部分形成氧化矽膜 23，於其他之一部分形成多數溝 24。 n^- 型單晶矽層 21 之表面之中，以氧化矽膜 23 覆蓋之區域係構成元件分離區域，形成溝 24 之區域係構成元件形成區域（主動區域）。雖未圖示，溝 24 之平面形狀為四角形、六角形、八角形等多角形或延伸於一方向的條狀（stripe）。

於溝 24 之底部及側壁形成氧化矽膜 25 用於構成電力 MOSFET 之閘極氧化膜。另外，於溝 24 之內部被填埋多晶矽膜 26A 用於構成電力 MOSFET 之下層閘極。另外，於氧化矽膜 23 之上部形成，和構成上述下層閘極之多晶矽膜 26A 以同一工程沈積而成的多晶矽構成之閘極引出電極 26B。下層閘極（多晶矽膜 26A）與閘極引出電極 26B，係於未圖示之區域被電連接。

於元件形成區域之 n^- 型單晶矽層 21 形成較溝 24 為淺的 p^- 型半導體區域 27。該 p^- 型半導體區域 27 係構成電力 MOSFET 之通道層。於 p^- 型半導體區域 27 之上部形成雜質濃度較 p^- 型半導體區域 27 為高的 p 型半導體區域 28。另外，於 p 型半導體區域 28 之上部形成 n^+ 型半導體區域 29。 p 型半導體區域 28 係構成電力 MOSFET 之貫穿阻障層， n^+ 型半導體區域 29 係構成源極。

在形成有上述電力 MOSFET 的元件形成區域之上部，及形成有閘極引出電極 26B 的元件分離區域之上部，被形成 2 層之氧化矽膜 30、31。在元件形成區域，形成貫穿氧

化矽膜 31、30、p 型半導體區域 28 及 n^+ 型半導體區域 29，到達 p^- 型半導體區域 27 的連接孔 32。另外，於元件分離區域，形成貫穿氧化矽膜 31、30、到達閘極引出電極 26B 的連接孔 33。

另外，在包含連接孔 32、33 內部的氧化矽膜 31 之上部，形成由薄的 TiW（鈦化鎢）膜與厚的 Al 膜之積層膜構成之源極 40 及閘極 41。形成於元件形成區域之源極 40，係介由連接孔 32 電連接於電力 MOSFET 之源極（ n^+ 型半導體區域 29）。於連接孔 32 之底部，形成 p^- 型半導體區域 35 以使源極焊墊 7 與 p^- 型半導體區域 27 成為歐姆接觸。另外，形成於元件分離區域的閘極 41，係介由連接孔 33 下部之閘極引出電極 26B 連接於電力 MOSFET 之下層閘極（多晶矽膜 26A）。

於源極 40 及閘極 41 之上部，形成由氧化矽膜與氮化矽膜之積層膜所構成之表面保護膜 42。藉由除去表面保護膜 42 之一部分，露出源極 40 而形成源極焊墊 7，藉由除去表面保護膜 42 之其他一部分，露出閘極 41 而形成閘極焊墊 8。

如上述說明，於源極焊墊 7 藉由楔形接合（wedge bonding）法電連接於 Al 帶狀物 10 之一端。源極焊墊 7，為緩和接合 Al 帶狀物 10 時電力 MOSFET 受到之衝擊，較好是設定氧化矽膜 30、31 之上部之厚度為 $3\mu\text{m}$ 以上。

圖 8 為形成於矽晶片 3 的包含源極 40 及閘極 41 的最上層導電膜之平面圖。於矽晶片 3 的外周部形成 Al 配線

36、37、38。Al 配線 36、37、38，係由和源極 40 及閘極 41 同一層之導電膜（TiW 膜與 Al 膜之積層膜）構成。實際之矽晶片 3，其之源極 40、閘極 41 及 Al 配線 36、37、38 被表面保護膜 42 覆蓋，因此，於矽晶片 3 之表面，上述最上層導電膜之中，僅形成有源極焊墊 7 的區域之源極 40，及形成有閘極焊墊 8 的區域之閘極 41 呈露出。

圖 9 為本實施形態之半導體裝置 1A 之製程之一例之流程圖。製造半導體裝置 1A 時，首先，依據通常之製造方法，於矽晶圓形成電力 MOSFET 之後，對該矽晶圓施予個片化（dieing）獲得矽晶片 3。之後，準備形成有引線 4 及晶粒焊墊部 4P 的引線構架（lead frame），使用銀膠 5 於晶粒焊墊部 4P 對矽晶片 3 施予晶粒黏著（die bonding）。

之後，使用超音波之楔形接合法，使矽晶片 3 之源極焊墊 7 與源極引線 4S 藉由 Al 帶狀物 10 進行電連接。之後，使用熱與超音波之球形接合法（ball bonding），使矽晶片 3 之閘極焊墊 8 與閘極引線 4G 藉由金線 11 進行電連接。

之後，使用模塑模具，使矽晶片 3（及晶粒焊墊部 4P、Al 帶狀物 10、金線 11、引線 4 之內引線部）藉由模塑樹脂 2 進行封裝後，於模塑樹脂 2 之表面進行製品名或製造編號等之標記。之後，切斷、除去露出模塑樹脂 2 外部的引線 4 之不要部分之後，使引線 4 成形為鳥翼狀（gullwing），最後，經由篩選工程判斷製品之良／不良而

完成半導體裝置 1A。

如上述說明，本實施形態中，作為面積較閘極焊墊 8 為寬的源極焊墊 7 與源極引線 4S 之電連接用導電材料，係使用面積較金線 11 為寬的 Al 帶狀物 10。因此，於源極焊墊 7 之表面進行 Al 帶狀物 10 之楔形接合時，係如圖 10 所示，不僅於矽晶片 3 之表面，就連介於矽晶片 3 與晶粒焊墊部 4P 之間的銀膠 5 亦被施加接合治具 12 之大的振動能量。因此，作為接合治具之大的振動能量所導致而產生於銀膠 5 之裂痕的防止對策，較好是選擇性使用具有最佳彈性率 (Pa) 的銀膠 5。

本實施形態中，銀膠 5 之彈性率 (Pa) 以以下之式 (1) 定義。

$$\text{彈性率 (Pa)} = 2.6 \times \text{接著厚度} (\mu\text{m}) / \text{破斷變位} (\mu\text{m}) \times \text{剪斷強度 (Pa)} \quad \text{式 (1)}$$

於式 (1)，接著厚度為銀膠之厚度 (μm)，剪斷強度 (Pa) 為剪斷方向之力 / 斷面積 (接著面積)。另外，破斷變位為由圖 11 所示計算式導出之值 (μm)。其中，破斷變位 > Al 帶狀物超音波接合可能變位 (= Al 帶狀物之超音波接合時振動接合治具所導致之銀膠之變形量)，因此，本實施形態中之銀膠 5 要求之彈性率 (Pa) 之選擇指針式，係成為 { 彈性率 (Pa) < $2.6 \times \text{接著厚度} (\mu\text{m}) / \text{Al 帶狀物超音波接合可能變位} (\mu\text{m}) \times \text{剪斷強度 (Pa)}$ }。

以下說明為確認上述選擇指針式之有效性而進行的抗裂痕性實驗。該實驗中使用之市售 4 種類銀膠 (1~4) 之

彈性率、剪斷強度、接著厚度係如表 1 所示。A1 帶狀物之超音波接合時之銀膠之變位量，銀膠（1）、（3）、（4）分別為 $0.1218\mu\text{m}$ ，銀膠（2）為 $0.07\mu\text{m}$ 。

[表 1]

	彈性率	剪斷強度	接著厚度
銀膠(1)	5.30 GPa	15.5 MPa	15.4 μm
銀膠(2)	5.34 GPa	8.6 MPa	13.2 μm
銀膠(3)	2.42 GPa	14.2 MPa	24.4 μm
銀膠(4)	0.611 GPa	3.8 MPa	16.6 μm

圖 12 為 4 種類銀膠之選擇指針式與實驗結果之分布圖。各分布圖之實線表示由式（1）算出之各銀膠（1~4）之彈性率，較實線更下側之區域為滿足選擇指針式之區域、亦即接合可能區域。另外，各分布圖之黑點表示各銀膠（1~4）之實際之彈性率。

依據實驗結果，在實際之彈性率滿足選擇指針式的銀膠（3 及 4）並未產生裂痕，但在未滿足選擇指針式的銀膠（1 及 2）卻產生裂痕。由該實驗結果可知，於晶粒焊墊部 4P 上接合矽晶片 3 時，藉由選擇滿足上述選擇指針式之銀膠 5，可以有效迴避接合治具之振動能量引起之銀膠 5 之裂痕。

圖 13 為銀膠之厚度設為 $10\mu\text{m}$ ，於標準之超音波接合輸出（4W）進行 A1 帶狀物接合時，銀膠之彈性率之剪斷強度依存性的測定結果分布圖。圖中白色圓圈為未產生裂痕之例，黑色圓圈為產生裂痕之例。

由該測定結果可以判斷，銀膠之彈性率較好是在 0.2

～ 5.3 GPa 範圍，剪斷強度 (MPa) 較好是 8.5 MPa 以上。彈性率未滿 0.2 GPa 時，Ag 之含有量太少、無法獲得所要之電氣傳導率。另外，大於 5.3 GPa 時，銀膠之硬度太高、無法變形，無法從動於超音波接合時之振動而會產生裂痕。另外，銀膠之剪斷強度未滿 8.5 MPa 時，變為無法耐超音波接合時之衝擊。

以下說明於引線構架 (晶粒焊墊部 4P 及引線 4) 之表面形成以 Pd 膜為主成份之鍍層的效果。表 2 係表示於 Cu 構成之引線構架之表面形成 3 種類 (Ag、Ni、Pd) 之單鍍層時，以及未形成鍍層時 (Cu 裸)，源極引線與 Al 帶狀物、閘極引線與金線、晶粒焊墊部與銀膠之個別之接著性 (○表示良好之接著性，×表示接著不良)。

[表 2]

源極：Al 帶狀物、閘極：金線、晶粒黏著材：銀膠

	鍍層材質			
	Ag	Ni	Pd	裸 Cu
源極柱部-Al 帶狀物連接	×	○	○	○
閘極柱部-金線連接	○	×	○	×
晶粒焊墊-銀膠連接	○	×	○	×

由表 2 可知，於引線構架之表面形成以 Pd 膜為主成份之鍍層時，源極引線 (源極柱部) 與 Al 帶狀物、閘極引線 (閘極柱部) 與金線、晶粒焊墊部與銀膠之全體均顯現良好之接著性。

[表 3]

源極：A1 帶狀物、閘極：A1 線、晶粒黏著材：銀膠

	鍍層材質			
	Ag	Ni	Pd	裸 Cu
源極柱部-A1 帶狀物連接	×	○	○	○
閘極柱部-A1 線連接	○	○	○	○
晶粒焊墊-銀膠連接	○	×	○	×

另外，由表 3 可知，於引線構架之表面形成以 Pd 膜為主成份之鍍層時，閘極焊墊與閘極引線藉由 A1 導線連接時亦顯現良好之接著性。如上述說明，藉由在引線構架之表面形成以 Pd 膜為主成份之鍍層，可以藉由 1 種類之鍍層材料對應於全體之連接，可以簡化製程。

如上述說明，依據本實施形態，使源極引線 4S 與源極焊墊 7 藉由 A1 帶狀物 10 加以連接，如此則和藉由金線連接之情況比較，接合面積變大，可實現半導體裝置 1A 之低電阻化。另外，A1 帶狀物 10 之成本較金線便宜，可以降低半導體裝置 1A 之製造成本。另外，若要求之電阻值相同時，和藉由金線連接源極引線 4S 與源極焊墊 7 之情況比較，可縮小源極焊墊 7、亦即矽晶片 3 之尺寸，此情況下，亦可以降低半導體裝置 1A 之製造成本。

另外，依據本實施形態，使銀膠 5 之彈性率及剪斷強度最佳化，如此則，可以防止 A1 帶狀物 10 之超音波接合引起之銀膠 5 之裂痕，可提升半導體裝置 1A 之製造良品率及信賴性。

另外，依據本實施形態，於引線構架（晶粒焊墊部

4P 及引線 4) 之表面形成以 Pd 膜爲主成份之鍍層，如此則，可實現半導體裝置 1A 之無 Pb 化（無鉛化）。

（第 2 實施形態）

圖 14 爲本實施形態之半導體裝置之內部構造平面圖。本實施形態之半導體裝置 1B 和上述第 1 實施形態之半導體裝置 1A 之差異在於，外部連接端子（引線 4）之數目及彼等之配置。

亦即，本實施形態之半導體裝置 1B，係在模塑樹脂 2 之 2 個側面，使引線 4 的外引線部各 4 個呈露出狀。彼等 8 個引線 4 之中，沿圖 14 所示封裝之上邊被配置的 4 個引線 4 成爲 3 個汲極引線 4D 與 1 個閘極引線 4G。另外，沿封裝之下邊被配置的 4 個引線 4，係成爲源極引線 4S。矽晶片 3，係被搭載於和 3 個汲極引線 4D 一體形成的晶粒焊墊部 4P 之上。雖未圖示，矽晶片 3 之背面，係構成電力 MOSFET 之汲極，介由和上述第 1 實施形態使用者相同之銀膠 5 被接合於晶粒焊墊部 4P 之上面。

於上述矽晶片 3 之主面被形成源極焊墊 7 及閘極焊墊 8。如上述說明，本實施形態之半導體裝置 1B，係將汲極引線 4D 與閘極引線 4G 配置於模塑樹脂 2 之同一側面。因此，閘極焊墊 8，係被配置於閘極引線 4G 附近之角部，介由金線 11 被電連接於閘極引線 4G。

另外，沿圖 14 所示封裝之下邊被配置的 4 個源極引線 4S，係於模塑樹脂 2 內部互相被連結，該連結部分與

源極焊墊 7 之間係介由 Al 帶狀物 10 被電連接。

本實施形態中，藉由將閘極焊墊 8 配置於矽晶片 3 之主面之角部，則形成於矽晶片 3 之主面的源極焊墊 7 之面積相較於上述第 1 實施形態變大，因此，源極引線 4S 與源極焊墊 7，係介由 3 個 Al 帶狀物 10 被連接。

另外，上述 3 個 Al 帶狀物 10 之中，正中央的 Al 帶狀物 10，係被配置於矽晶片 3 之主面中央，其餘 2 個 Al 帶狀物 10，係由正中央的 Al 帶狀物 10 起分離等距離而被配置。藉由如此配置 3 個 Al 帶狀物 10，可獲得和上述第 1 實施形態同樣效果，可以減輕電力 MOSFET 之 ON 電阻。

另外，依據本實施形態，和上述第 1 實施形態比較，可以增加源極焊墊 7 之面積，可以增加和源極焊墊 7 連接之 Al 帶狀物 10 之數目。如此則，可以增加源極焊墊 7 與 Al 帶狀物 10 之接觸面積，該接觸面積部分之增加可使電力 MOSFET 之 ON 電阻變小，可實現裝置性能被提升之半導體裝置 1B。

（第 3 實施形態）

圖 15 為本實施形態之半導體裝置之內部構造平面圖。本實施形態之半導體裝置 1C 和上述第 1 實施形態之半導體裝置 1A 之差異在於，外部連接端子（引線 4）之數目及彼等之配置。

亦即，本實施形態之半導體裝置 1C，係在模塑樹脂 2

之 2 個側面，使引線 4 的外引線部各 4 個呈露出狀。彼等 8 個引線 4 之中，沿圖 15 所示封裝之上邊被配置的 4 個引線 4，係成為汲極引線 4D。另外，沿封裝之下邊被配置的 4 個引線 4，係成為 3 個源極引線 4S 與 1 個閘極引線 4G。亦即，本實施形態之半導體裝置 1C，其外部連接端子之配置係和既存之 SOP8 為同一。

矽晶片 3，係被搭載於和 4 個汲極引線 4D 一體形成的晶粒焊墊部 4P 之上。雖未圖示，矽晶片 3 之背面，係構成電力 MOSFET 之汲極，介由和上述第 1 實施形態使用者相同之銀膠 5 被接合於晶粒焊墊部 4P 之上面。

於上述矽晶片 3 之主面被形成源極焊墊 7 及閘極焊墊 8。閘極焊墊 8，係被配置於閘極引線 4G 附近之角部，介由金線 11 被電連接於閘極引線 4G。另外，沿圖 15 所示封裝之下邊被配置的 3 個源極引線 4S，係於模塑樹脂 2 內部互相被連結，該連結部分與源極焊墊 7 之間係介由 2 個 A1 帶狀物 10 被電連接。

上述 2 個 A1 帶狀物 10，係由源極焊墊 7 之中心起分離等距離而被配置。藉由如此配置 2 個 A1 帶狀物 10，可獲得和上述第 1 實施形態同樣效果，可以減輕電力 MOSFET 之 ON 電阻。亦即，依據本實施形態，外部連接端子之配置，可以構成和既存之 SOP8 同一之狀態下，可以提升裝置性能。

（第 4 實施形態）

圖 16～19 為本實施形態之半導體裝置之圖，圖 16 為內部構造平面圖，圖 17 為背面側外觀之平面圖。圖 18 為圖 16 之沿 C-C 線之斷面圖。圖 19 為內部等效電路圖。

本實施形態之半導體裝置 1D，係藉由模塑樹脂 2 將 2 個矽晶片 3H、3L 進行密封而成的面安裝型封裝，在模塑樹脂 2 之 2 個側面，使構成外部連接端子的引線 4 的外引線部各 4 個呈露出狀。

上述 2 個矽晶片 3H、3L 之中，於面積小的矽晶片 3H 之主面被形成 H 位準側 (High side) MOSFET，於面積大的矽晶片 3L 之主面被形成 L 位準側 (Low side) MOSFET。如圖 19 所示，H 位準側 MOSFET 之源極與 L 位準側 MOSFET 之汲極被電連接，如此而構成例如 DC-DC 轉換器。H 位準側 MOSFET 及 L 位準側 MOSFET 之具體構造大略和上述第 1 實施形態之電力 MOSFET 相同，因此省略彼等之圖示。

又，上述 2 個矽晶片 3H、3L 之中，面積較小的矽晶片 3H，係於和 2 個汲極引線 4D1 被一體形成的晶粒焊墊部 4P1 之上，以其主面朝上之狀態被搭載。矽晶片 3H 之背面，係構成 H 位準側 MOSFET 之汲極，介由和第 1 實施形態使用者同一之銀膠 5 被接合於晶粒焊墊部 4P1 之上面。

於圖 16 所示模塑樹脂 2 之下邊，挾持上述 2 個汲極引線 4D1 於彼等之兩側使各 1 個閘極引線 4G1 與源極引線 4S1 被配置。另外，於矽晶片 3H 之主面形成大面積的

源極焊墊 7 與小面積的閘極焊墊 8。矽晶片 3H 之源極焊墊 7 與源極引線 4S1，係介由 1 個金線 11 被連接，矽晶片 3H 之閘極焊墊 8 與閘極引線 4G1，係介由 1 個金線 11 被連接。

另外，面積較大的矽晶片 3L，係於面積較上述晶粒焊墊部 4P1 為大的晶粒焊墊部 4P2 之上，以其主面朝上之狀態被搭載。於矽晶片 3L 之主面形成大面積的源極焊墊 7 與小面積的閘極焊墊 8。另外，矽晶片 3L 之背面，係構成 L 位準側 MOSFET 之汲極，介由和第 1 實施形態使用者同一之銀膠 5 被接合於晶粒焊墊部 4P2 之上面。

於圖 16 所示模塑樹脂 2 之上邊，使 3 個源極引線 4S2 與 1 個閘極引線 4G2 被配置。3 個源極引線 4S2，係於模塑樹脂 2 之內部互相被連結，該連接部分與矽晶片 3L 之源極焊墊 7 係介由 2 個 Al 帶狀物 10 被電連接。另外，矽晶片 3L 之閘極焊墊 8，係介由 1 個金線 11 被連接於閘極引線 4G2。

另外，如圖 16 所示，在搭載有矽晶片 3H 的晶粒焊墊部 4P1 附近，使和搭載有矽晶片 3L 的晶粒焊墊部 4P2 成為一體被形成之 2 個汲極引線 4D2 被配置。彼等汲極引線 4D2 與矽晶片 3H 之源極焊墊 7，係介由金線 11 被電連接，如此而使 H 位準側 MOSFET 之源極與 L 位準側 MOSFET 之汲極被電連接（參照圖 19）。

另外，如圖 17 所示，於模塑樹脂 2 之背面，使上述 2 個晶粒焊墊部 4P1、4P2 之背面呈露出。如此則，半導體

裝置 1D 安裝於配線基板等時，晶粒焊墊部 4P1、4P2 之背面可以焊接於配線基板上之配線，2 個矽晶片 3H、3L 所產生之熱可以有效散熱至外部，可降低封裝之熱電阻。

如上述說明，本實施形態之半導體裝置 1D，係使模塑樹脂 2 密封裝而成的 2 個矽晶片 3H、3L 之中，面積較大的矽晶片 3L 之源極焊墊 7 與源極引線 4S2 係藉由 Al 帶狀物 10 被連接。如此則，和藉由金線連接源極焊墊 7 與源極引線 4S2 之情況比較，可以減低 L 位準側 MOSFET 之 ON 電阻。另外，藉由 2 個 Al 帶狀物 10 連接矽晶片 3L 之源極焊墊 7 與源極引線 4S2 時，較好是使 2 個 Al 帶狀物 10 由矽晶片 3L 之中心起分離等距離加以配置。如此則，可以更減低 L 位準側 MOSFET 之 ON 電阻。

使 H 位準側 MOSFET 之源極與 L 位準側 MOSFET 之汲極被電連接時，如圖 20 所示，使搭載於晶粒焊墊部 4P1 的矽晶片 3H 之源極焊墊 7，與搭載有矽晶片 3L 之晶粒焊墊部 4P2 藉由金線 11 直接連接亦可。

但是，此情況下，矽晶片 3L 與金線 11 呈近接，因此基於接合條件，有可能使由矽晶片 3L 與晶粒焊墊部 4P2 之間隙溢出至外側的導電性銀膠 5 接觸金線 11，而降低金線 11 之連接信賴性。為確實迴避此一不良情況，必須縮小晶粒焊墊部 4P2 上搭載之矽晶片 3L 之尺寸，但此情況下，矽晶片 3L 之源極焊墊 7 與 Al 帶狀物 10 之接觸面積變小，會有難以減低 L 位準側 MOSFET 之 ON 電阻之情況。

因此，使 H 位準側 MOSFET 之源極與 L 位準側 MOSFET 之汲極被電連接時，如圖 16 所示，較好是在晶粒焊墊部 4P1 附近，使和晶粒焊墊部 4P2 成爲一體被形成之汲極引線 4D2 被配置，使該汲極引線 4D2 與矽晶片 3H 之源極焊墊 7 介由金線 11 加以連接。

又，本實施形態中，如圖 18 所示，對汲極引線 4D2 施予彎曲加工，使其高度高於晶粒焊墊部 4P2。如此則，如圖 21 所示，即使多量之銀膠 5 由矽晶片 3L 與晶粒焊墊部 4P2 之間隙溢出至外側之情況下，該銀膠 5 亦不會到達汲極引線 4D2 之接合區域，可以確實防止銀膠 5 與金線 11 之干擾。

另外，如此構成之情況下，如圖 17 所示，即使晶粒焊墊部 4P1 由模塑樹脂 2 之背面露出情況下，汲極引線 4D2 亦不會露出。因此，將晶粒焊墊部 4P1、4P2 之背面焊接於配線基板上時，可以確實防止晶粒焊墊部 4P1 與其附近之汲極引線 4D2 介由焊錫短路之不良之發生。

本實施形態之半導體裝置 1D，不限定於上述構成，例如圖 22、23 所示（圖 22 之沿 D-D 線之斷面圖），使汲極引線 4D2 與源極引線 4S1 一體化成爲 1 個引線（4S1/D2），使該引線（4S1/D2）與矽晶片 3H 之源極焊墊 7 藉由金線 11 連接，而使 H 位準側 MOSFET 之源極與 L 位準側 MOSFET 之汲極被電連接亦可。

此情況下，爲防止銀膠 5 與金線 11 之干擾、或焊錫引起之引線（4S1/D2）與晶粒焊墊部 4P1 間之短路，較好

是如圖 23 所示，於模塑樹脂 2 內部，使引線（4S1/D2）之高度高於晶粒焊墊部 4P2。

（第 5 實施形態）

例如矽晶片 3L 之尺寸較小情況下，或矽晶片 3H 之尺寸較大情況下等，如圖 24 或 25 所示，使矽晶片 3H 之源極焊墊 7 與晶粒焊墊部 4P2 藉由 A1 帶狀物 10 直接連接亦可。此情況下，不僅可以減低形成於矽晶片 3L 之 L 位準側 MOSFET 之 ON 電阻，亦可減低形成於矽晶片 3H 之 H 位準側 MOSFET 之 ON 電阻。

又，例如圖 26 所示，使汲極引線 4D2 與源極引線 4S1 一體化而構成 1 個引線（4S1/D2）時，引線（4S1/D2）之面積變大，因此藉由 A1 帶狀物 10 連接矽晶片 3H 之源極焊墊 7 與引線（4S1/D2），可以減低 H 位準側 MOSFET 之 ON 電阻。

（第 6 實施形態）

如圖 27 所示，本實施形態之半導體裝置 1E，於晶粒焊墊部 4P2 上搭載矽晶片 3L 時，將矽晶片 3L 之長邊平行配置於 8 個引線 4 之延伸方向亦可。此情況下，用於連接 3L 位準側之源極焊墊 7 與源極引線 4S2 的 A1 帶狀物 10 之延伸方向係和矽晶片 3L 之長邊平行，因此即使連接於源極焊墊 7 之 A1 帶狀物 10 為 1 個，亦可增加源極焊墊 7 與 A1 帶狀物 10 之接觸面積，可以減低 L 位準側 MOSFET

之 ON 電阻。

(第 7 實施形態)

圖 28 所示半導體裝置 1 F，係於和汲極引線 4D 被一體形成之晶粒焊墊部 4P 上，搭載 2 個矽晶片 3 之例，圖 29 為該半導體裝置 1 F 之內部等效電路圖。

2 個矽晶片 3 之背面係構成電力 MOSFET 之汲極，介由和第 1 實施形態使用者同一之銀膠 5 接合於晶粒焊墊部 4P 之上面。另外，於矽晶片 3 之主面形成源極焊墊 7 及閘極焊墊 8。源極焊墊 7 與源極引線 4S 介由 Al 帶狀物 10 被電連接，閘極焊墊 8 與閘極引線 4G 介由金線 11 被電連接。

此情況下，2 個矽晶片 3 之源極焊墊 7 與源極引線 4S 藉由 Al 帶狀物 10 予以連接，如此則，可以減輕個別之矽晶片 3 上形成之電力 MOSFET 之 ON 電阻。

(第 8 實施形態)

圖 30 所示半導體裝置 1G，係使晶粒焊墊部 4P1 上被搭載的矽晶片 3H 之源極焊墊 7 與源極引線 4S1、晶粒焊墊部 4P2 上被搭載的矽晶片 3L 之源極焊墊 7 與源極引線 4S2、矽晶片 3H 之源極焊墊 7 與晶粒焊墊部 4P2，分別藉由 Al 帶狀物 10 予以電連接之例，圖 31 為該半導體裝置 1G 之內部等效電路圖。

依據該半導體裝置 1G，可以同時減輕矽晶片 3L 上形

成之 L 位準側 MOSFET 之 ON 電阻與矽晶片 3H 上形成之 H 位準側 MOSFET 之 ON 電阻。

(第 9 實施形態)

圖 32 所示半導體裝置 1H，係在和汲極引線 4D 被一體形成的 2 個晶粒焊墊部 4P 上，分別搭載矽晶片 3，使個別之矽晶片 3 之源極焊墊 7 與源極引線 4S 藉由 Al 帶狀物 10 予以電連接之例，圖 33 為該半導體裝置 1H 之內部等效電路圖。

依據該半導體裝置 1H，可以同時減輕 2 個矽晶片 3 上形成之電力 MOSFET 之 ON 電阻。

(第 10 實施形態)

上述第 1～第 9 實施形態，係適用以模塑樹脂密封 1 個或 2 個矽晶片之面安裝型封裝，但是亦可適用以模塑樹脂密封 3 個以上矽晶片之面安裝型封裝。

圖 34 所示半導體裝置 1I，係以模塑樹脂密封 3 個矽晶片 3D、3H、3L 之 SIP (系統封裝，System In Package)，圖 35 為該半導體裝置 1I 之內部等效電路圖。

3 個矽晶片 3D、3H、3L 之各個，係介由銀膠 5 被搭載於晶粒焊墊部 4P1、4P2、4P3 之上。3 個矽晶片 3D、3H、3L 之中，於矽晶片 3H 之主面被形成 H 位準側 MOSFET，於矽晶片 3L 之主面被形成 L 位準側 MOSFET，於矽晶片 3D 之主面被形成驅動 IC 或控制 IC。

此情況下，在矽晶片 3H、3L 之個別之源極焊墊 7 連接 A1 帶狀物 10，如此則，可以同時減輕矽晶片 3L 上形成之 L 位準側 MOSFET 之 ON 電阻與矽晶片 3H 上形成之 H 位準側 MOSFET 之 ON 電阻，可提升 SIP 之特性。

圖 36 所示半導體裝置 1J，係包含形成有 H 位準側 MOSFET 的半導體晶片 3H 之源極焊墊 7 及形成有 L 位準側 MOSFET 的半導體晶片 3L 之源極焊墊 7，使 3 個半導體晶片 3D、3H、3L 之間僅藉由金線 11 連接而成的 SIP 之一例。

圖 37 所示半導體裝置 1K，係於半導體晶片 3H、3L 之個別之源極焊墊 7SH、7SL 連接 A1 帶狀物 10H、10L 而成的 SIP 之一例，半導體晶片 3H 上被形成的 H 位準側 MOSFET 之元件尺寸，及半導體晶片 3L 上被形成的 L 位準側 MOSFET 之元件尺寸，均和圖 36 所示半導體裝置 1J 相同。

比較圖 36 與圖 37 可知，即使 H 位準側 MOSFET 之元件尺寸及 L 位準側 MOSFET 之元件尺寸分別相同情況下，於半導體晶片 3H、3L 之個別之源極焊墊 7SH、7SL 連接 A1 帶狀物 10H、10L 時，亦可縮小半導體晶片 3H、3L 之個別之尺寸。此乃如上述說明，和在源極焊墊 7SH、7SL 連接金線 11 之情況比較，在源極焊墊 7SH、7SL 連接 A1 帶狀物 10H、10L 時接觸面積變大，電力 MOSFET 之 ON 電阻變小。另外，即使 ON 電阻相同時亦可縮小源極焊墊 7SH、7SL 之面積，因而於該部分範圍內可縮小半導

體晶片 3H、3L 之尺寸。

縮小半導體晶片 3H、3L 之個別之尺寸時，如圖 37 所示，可以增大同一尺寸之樹脂封裝內收容之半導體晶片 3D 搭載用之晶粒焊墊部 4P3 之尺寸。因此，可以增大晶粒焊墊部 4P3 上搭載之半導體晶片 3D 之尺寸，因而於該部分範圍內可增加形成於半導體晶片 3D 之焊墊數目，相較於半導體裝置 1J 可以實現更多功能的半導體裝置 1K。

以下使用圖 38（全體流程圖）及圖 39～46（各工程之平面圖）說明上述半導體裝置 1K 之製程之一例。

首先，依據通常之製造方法，針對形成有 H 位準側 MOSFET、L 位準側 MOSFET 及驅動 IC 電路（或控制 IC 電路）的 3 種類矽晶圓分別進行個片化（dicing），而獲得半導體晶片 3H、3L、3D。

之後，如圖 39 所示，準備形成有引線 4D、4H、4L 及晶粒焊墊部 4P1、4P2、4P3 的引線構架 LF。該引線構架 LF 係由 Cu 合金或 Fe-Ni 合金構成，於其表面之一部分（圖中劃斜線區域），形成例如上述第 1 實施形態說明之以 Pd 膜為主成份的鍍層 9。另外，該引線構架 LF，係於晶粒焊墊部 4P1、4P2 之鍍層 9 設置缺口部 9S1～9S4。於晶粒焊墊部 4P1、4P2 之鍍層 9 設置缺口部 9S1～9S4 的效果如後述說明。

之後，如圖 40 所示，使用銀膠 5，於晶粒焊墊部 4P1 上進行半導體晶片 3H 之晶粒黏著（die bonding）。銀膠 5 係使用具有上述第 1 實施形態說明之組成者。

之後，如圖 41 所示，使用超音波之楔形接合法，使半導體晶片 3H 之源極焊墊 7SH 與晶粒焊墊部 4P2 藉由 A1 帶狀物 10H 進行電連接。又，使用銀膠 5 於晶粒焊墊部 4P1、4P2 上分別進行半導體晶片 3H、3L 之晶粒黏著後，使半導體晶片 3H 之源極焊墊 7SH 與晶粒焊墊部 4P2 藉由 A1 帶狀物 10H 進行電連接時，如圖 42 所示，會有朝半導體晶片 3L 外側擴散之銀膠 5 與 A1 帶狀物 10H 產生干涉，而導致 A1 帶狀物 10H 與晶粒焊墊部 4P2 無法正常連接之情況發生。因此，使半導體晶片 3H 之源極焊墊 7SH 與晶粒焊墊部 4P2 藉由 A1 帶狀物 10H 進行電連接之作業，較好是較於晶粒焊墊部 4P2 上進行半導體晶片 3L 之晶粒黏著之作業先行被進行。另外，於晶粒焊墊部 4P1、4P2 上分別進行半導體晶片 3H、3L 之晶粒黏著後，使半導體晶片 3H 之源極焊墊 7SH 與晶粒焊墊部 4P2 藉由 A1 帶狀物 10H 進行連接時，晶粒焊墊部 4P1 上塗敷之銀膠 5，與晶粒焊墊部 4P2 上塗敷之銀膠 5，可以 1 次之烘乾處理同時烘乾，可提升晶粒黏著作業效率。

之後，如圖 43 所示，使用銀膠 5，於晶粒焊墊部 4P2、4P3 上分別進行半導體晶片 3L、3D 之晶粒黏著之後，如圖 44 所示，使用超音波之楔形接合法，使半導體晶片 3L 之源極焊墊 7SL 與引線 4L 藉由 A1 帶狀物 10L 進行電連接。另外，形成有驅動 IC 電路（或控制 IC 電路）的半導體晶片 3D，其背面不成為汲極，因此使用具有上述 A 組成之銀膠 5 以外的接著劑於晶粒焊墊部 4P3 上進行晶粒

黏著亦可。

之後，如圖 45 所示，使用熱與超音波之球形接合法，於半導體晶片 3D 與半導體晶片 3H、3L 之間，及半導體晶片 3D 與汲極引線 4D 之間，分別藉由金線 11 進行電連接。

之後，如圖 46 所示，使半導體晶片 3H、3L、3D（及晶粒焊墊部 4P1、4P2、4P3、A1 帶狀物 10H、10L、金線 11、引線 4H、4L、4D 之內引線部）藉由模塑樹脂 2 加以密封。雖未圖示，之後，於模塑樹脂 2 之表面印刷製品名或製造編號等，之後，切斷、除去露出模塑樹脂 2 外部的引線 4H、4L、4D 之不要部分之後，使引線 4H、4L、4D 之外引線部成形為特定形狀，最後經由篩選工程判斷製品之良／不良，而完成半導體裝置 1K。

上述半導體裝置 1K 之製程之中，於晶粒焊墊部 4P1 上進行半導體晶片 3H 之晶粒黏著之工程中（圖 40），需要適當進行晶粒焊墊部 4P1 與半導體晶片 3H 之定位。

例如圖 47（a）（沿圖 41 之 A-A 線之斷面圖）所示，於晶粒焊墊部 4P1 上進行半導體晶片 3H 之晶粒黏著時，半導體晶片 3H 與鄰近之晶粒焊墊部 4P2 太過接近時，連接半導體晶片 3H 之源極焊墊 7SH 與晶粒焊墊部 4P2 的距離會變短。結果，源極焊墊 7SH 與晶粒焊墊部 4P2 之間的 A1 帶狀物 10H 會被強的彎曲應力，容易發生 A1 帶狀物 10H 切斷、或引起迴路異常等之接合不良。

另外，如圖 47（b）所示，於晶粒焊墊部 4P1 上進行

半導體晶片 3H 之晶粒黏著時，半導體晶片 3H 與鄰接之晶粒焊墊部 4P2 太過遠離時，連接源極焊墊 7 與晶粒焊墊部 4P2 的距離會變長，容易發生 A1 帶狀物 10 接觸到半導體晶片 3H 之端部或晶粒焊墊部 4P2 之端部之斷路不良。

如上述說明，在搭載半導體晶片 3H、3L 的晶粒焊墊部 4P1、4P2 之鍍層 9，設置缺口部 9S1~9S4。其中，本實施形態中，將半導體晶片 3H 搭載於晶粒焊墊部 4P1（參照圖 40）時，係對設於晶粒焊墊部 4P1 之鍍層 9 的缺口部 9S1，進行半導體晶片 3H 之定位。如此則，如圖 47（c）所示，半導體晶片 3H 之端部至晶粒焊墊部 4P1 之端部之間的距離（L1）可以最佳化。因此，半導體晶片 3H 之源極焊墊 7SH 至晶粒焊墊部 4P2 之接合區域為止的距離（L2）亦可以最佳化，結果可以進行良好之接合。另外，缺口部 9S1 與設於對角位置的另一缺口部 9S2，可用作為半導體晶片 3H 對晶粒焊墊部 4P1 旋轉時之偏移檢測。

同樣，於晶粒焊墊部 4P2 上進行半導體晶片 3L 之晶粒黏著之工程中（圖 43），需要適當進行晶粒焊墊部 4P2 與半導體晶片 3L 之定位。

例如圖 48（a）（沿圖 43 之 B-B 線之斷面圖）所示，使用銀膠 5，於晶粒焊墊部 4P1、4P2 上分別進行半導體晶片 3H、3L 之晶粒黏著時，半導體晶片 3L 與鄰接之晶粒焊墊部 4P1 太過接近時，晶粒焊墊部 4P2 之接合區域的面積會變窄。結果，於晶粒焊墊部 4P2 上接合 A1 帶狀物 10H 之一端時，接合裝置之楔形部（wedge）無法接觸

該區域，楔形部與 A1 帶狀物 10H 之接觸面積變小，使 A1 帶狀物 10H 良好接合於晶粒焊墊部 4P2 上會變為困難。

因此，本實施形態中，將半導體晶片 3L 搭載於晶粒焊墊部 4P2（參照圖 43）時，係對設於晶粒焊墊部 4P2 之鍍層 9 的缺口部 9S3，進行半導體晶片 3L 之定位。如此則，如圖 48（b）所示，半導體晶片 3H（銀膠 5）之端部至晶粒焊墊部 4P2 之端部之間的距離（L3）可以最佳化，可以確保晶粒焊墊部 4P2 之接合區域之面積，可以將 A1 帶狀物 10H 良好接合於晶粒焊墊部 4P2。另外，藉由對缺口部 9S3 進行半導體晶片 3H 之定位，可使半導體晶片 3L 與引線 4L 之間的距離最佳化，可使 A1 帶狀物 10L 對引線 4L 進行良好接合（關於此點係和圖 47 之說明相同）。另外，缺口部 9S3 與設於對角位置的另一缺口部 9S4，亦和上述缺口部 9S2 同樣，可用作為半導體晶片 3L 對晶粒焊墊部 4P2 旋轉時之偏移檢測。另外，缺口部 9S4，亦可用作為確認 A1 帶狀物 4H 之接合區域之範圍。

上述缺口部 9S1～9S4，不僅適用第 10 實施形態之半導體裝置，亦適用於上述第 1～第 9 實施形態之半導體裝置。另外，本實施形態中，係於晶粒焊墊部 4P1 設置 2 個缺口部 9S1、9S2，於晶粒焊墊部 4P2 設置 2 個缺口部 9S3、9S4，但是若於晶粒焊墊部 4P1、4P2 分別設置 1 個缺口部 9S1、9S3 即可時，可以不設置缺口部 9S2 與 9S4。

如圖 39 所示，於本實施形態之引線構架 LF，係於形成有 H 位準側 MOSFET 的半導體晶片 3H 被搭載之晶粒焊

墊部 4P1，及形成有 L 位準側 MOSFET 的半導體晶片 3L 被搭載之晶粒焊墊部 4P2 形成鍍層 9，在半導體晶片 3D 被搭載之晶粒焊墊部 4P3 則未形成鍍層 9。

於 H 位準側 MOSFET 及 L 位準側 MOSFET 形成有背面電極（汲極），分別電連接於晶粒焊墊部 4P1 及 4P2。於晶粒焊墊部 4P1、4P2 形成鍍層 9，來防止以銅為主成份的晶粒焊墊部 4P1 及 4P2 之表面之氧化，如此則，可以降低汲極之寄生電阻。

相對於此，在形成有驅動 IC 電路（或控制 IC 電路）的半導體晶片 3D 被搭載之晶粒焊墊部 4P3 未形成鍍層 9 的理由為，在驅動 IC 電路或控制 IC 電路未被形成背面電極，無須取得與晶粒焊墊部 4P3 之電連接。另外，於晶粒焊墊部 4P3 未形成鍍層 9 時，可提升模塑樹脂 2 與晶粒焊墊部 4P3 之間的接著強度。

以上依據實施形態具體說明本發明，但本發明並不限定於上述實施形態，在不脫離其要旨情況下可做各種變更實施。

形成於半導體晶片的元件，並不限定於電力 MOSFET，例如可為絕緣閘雙極性電晶體（Insulated Gate Bipolar Transistor：IGBT）。另外，亦可取代 Al 帶狀物，改用 Au（金）或 Cu（銅）合金等電阻小的金屬材料構成之帶狀物。

（產業上可利用性）

本發明可利用於行動資訊機器之電力控制開關或充放電保護電路開關等所使用之電力半導體裝置。

（發明效果）

本發明可獲得之代表性效果簡單說明如下。

可使包含電力 MOSFET 之面安裝型封裝高性能化。

【圖式簡單說明】

圖 1 為本發明之一實施形態之半導體裝置之外觀平面圖。

圖 2 為本發明之一實施形態之半導體裝置之外觀側面圖。

圖 3 為本發明之一實施形態之半導體裝置之內部構造平面圖。

圖 4 為圖 3 之沿 A-A 線之斷面圖。

圖 5 為圖 3 之沿 B-B 線之斷面圖。

圖 6：（a）為包含電力 MOSFET 之封裝之模式電路圖，（b）為比較例之封裝之平面圖，（c）為本實施形態之封裝之平面圖。

圖 7 為形成於矽晶片的電力 MOSFET 之重要部分斷面圖。

圖 8 為形成於矽晶片的包含源極及閘極的最上層導電膜之平面圖。

圖 9 為本發明之一實施形態之半導體裝置之製程之一

例之流程圖。

圖 10 為於矽晶片之源極焊墊對 Al 帶狀物進行楔形接合時對銀膠施加振動能量的模樣說明圖。

圖 11 為導出銀膠之最佳彈性率用的選擇指針式之說明圖。

圖 12 為 4 種類銀膠之選擇指針式與抗裂痕性 (crack) 實驗之結果分布圖。

圖 13 為銀膠之彈性率之剪斷強度依存性的測定結果分布圖。

圖 14 為本發明另一實施形態之半導體裝置之內部構造平面圖。

圖 15 為本發明另一實施形態之半導體裝置之內部構造平面圖。

圖 16 為本發明另一實施形態之半導體裝置之內部構造平面圖。

圖 17 為本發明另一實施形態之半導體裝置之背面側外觀之平面圖。

圖 18 為圖 16 之沿 C-C 線之斷面圖。

圖 19 為本發明另一實施形態之半導體裝置之內部等效電路圖。

圖 20 為本發明另一實施形態之半導體裝置之內部構造平面圖。

圖 21 為本發明另一實施形態之半導體裝置之效果說明平面圖。

圖 22 為本發明另一實施形態之半導體裝置之平面圖

。

圖 23 為圖 22 之沿 D-D 線之斷面圖。

圖 24 為本發明另一實施形態之半導體裝置之平面圖

。

圖 25 為本發明另一實施形態之半導體裝置之平面圖

。

圖 26 為本發明另一實施形態之半導體裝置之平面圖

。

圖 27 為本發明另一實施形態之半導體裝置之平面圖

。

圖 28 為本發明另一實施形態之半導體裝置之平面圖

。

圖 29 為圖 28 所示半導體裝置之內部等效電路圖。

圖 30 為本發明另一實施形態之半導體裝置之平面圖

。

圖 31 為圖 30 所示半導體裝置之內部等效電路圖。

圖 32 為本發明另一實施形態之半導體裝置之平面圖

。

圖 33 為圖 32 所示半導體裝置之內部等效電路圖。

圖 34 為本發明另一實施形態之半導體裝置之平面圖

。

圖 35 為圖 34 所示半導體裝置之內部等效電路圖。

圖 36 為作為本發明之比較例被圖示的半導體裝置之

平面圖。

圖 37 為本發明另一實施形態之半導體裝置之平面圖。

圖 38 為本發明另一實施形態之半導體裝置之製程之一例之流程圖。

圖 39 為本發明另一實施形態之半導體裝置之製程之平面圖。

圖 40 為接續圖 39 之半導體裝置之製程平面圖。

圖 41 為接續圖 40 之半導體裝置之製程平面圖。

圖 42 為本發明另一實施形態之半導體裝置之製程之平面圖。

圖 43 為接續圖 41 之半導體裝置之製程平面圖。

圖 44 為接續圖 43 之半導體裝置之製程平面圖。

圖 45 為接續圖 44 之半導體裝置之製程平面圖。

圖 46 為接續圖 45 之半導體裝置之製程平面圖。

圖 47 (a) ~ (c) 為圖 41 之沿 A-A 線之斷面圖，(a) 及 (b) 為晶粒焊墊部與矽晶片間定位不正確時之問題點表示用的擴大斷面圖，(c) 為晶粒焊墊部與矽晶片間定位正確時之問題點表示用的擴大斷面圖本實施形態之封裝之平面圖。

圖 48 (a) ~ (b) 為圖 43 之沿 B-B 線之斷面圖，(a) 為晶粒焊墊部與矽晶片間定位不正確時之問題點表示用的擴大斷面圖，(b) 為晶粒焊墊部與矽晶片間定位正確時之問題點表示用的擴大斷面圖本實施形態之封裝之平

面圖。

【主要元件符號說明】

1A～1K：半導體裝置

2：模塑樹脂

3、3D、3H、3L：矽晶片（半導體晶片）

4、4H、4L、4D：引線

4D、4D1、4D2：汲極引線

4G、4G1、4G2：閘極引線

4S、4S1、4S2：源極引線

4P、4P1、4P2、4P3：晶粒焊墊部

5：銀膠

7、7SH、7SL：源極焊墊

8：閘極焊墊

9：鍍層

9S1～9S4：缺口部

10、10H、10L：Al帶狀物

11：金線

12：接合治具

20： n^+ 型單晶矽基板

21： n^- 型單晶矽層

22：p型阱

23：氧化矽膜

24：溝

25：氧化矽膜（閘極氧化膜）

26A：多晶矽膜（下層閘極）

26B：閘極引出電極

27：p⁻型半導體區域

28：p型半導體區域

29：n⁺型半導體區域

30、31：氧化矽膜

32、33：連接孔

35：p⁻型半導體區域

36、37、38：Al配線

40：源極

41：閘極

42：表面保護膜

LF：引線構架

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98104704

※申請日：98 年 02 月 13 日

※IPC 分類：H01L 23/488^(2006.01)

一、發明名稱：(中文／英文)

半導體裝置

二、中文發明摘要：

實現電力 MOSFET 等被密封而成的小型面安裝封裝之低 ON (導通) 電阻劃。

於模塑樹脂(2)之內部被密封 2 個矽晶片(3H、3L)。於模塑樹脂(2)之一邊，被配置 3 個源極引線(4S2)及 1 個閘極引線(4G2)。3 個源極引線(4S2)係於模塑樹脂(2)之內部被互相連結，該連結部分與矽晶片(3L)之源極焊墊(7)，係介由 2 個 Al 帶狀物(10)被電連接。另外，矽晶片(3L)之閘極焊墊(8)，係介由 1 個金線(11)被電連接於閘極引線(4G2)。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體裝置，搭載於第 1 晶粒焊墊部上的第 1 半導體晶片，與搭載於第 2 晶粒焊墊部上的第 2 半導體晶片被密封於樹脂封裝，由上述樹脂封裝之側面使多數條引線之外引線部露出者；其特徵為：於上述第 1 及第 2 半導體晶片之各別之主面形成：電力 MOSFET，連接於上述電力 MOSFET 之閘極的閘極焊墊，及連接於上述電力 MOSFET 之源極、而且面積較上述閘極焊墊為大的源極焊墊；於上述第 1 及第 2 半導體晶片之各別之背面形成上述電力 MOSFET 之汲極，在上述第 1 半導體晶片之背面與上述第 1 晶粒焊墊部之間、以及在上述第 2 半導體晶片之背面與上述第 2 晶粒焊墊部之間，分別存在銀膠，上述多數條引線之構成係包含：第 1 閘極引線，其電連接於上述第 1 半導體晶片之閘極焊墊；第 1 源極引線，其電連接於上述第 1 半導體晶片之源極焊墊；第 2 閘極引線，其電連接於上述第 2 半導體晶片之閘極焊墊；及第 2 源極引線，其電連接於上述第 2 半導體晶片之源極焊墊；至少上述第 1 半導體晶片之源極焊墊與上述第 1 源極引線，係藉由金屬帶狀物被電連接。

2. 如申請專利範圍第 1 項之半導體裝置，其中

上述第 2 半導體晶片之源極焊墊與上述第 2 源極引線，係藉由金屬導線被電連接。

3. 如申請專利範圍第 1 項之半導體裝置，其中

上述銀膠之彈性率為 0.2~5.3 GPa 之範圍，剪斷強度

為 8.5 MPa 以上。

4. 如申請專利範圍第 1 項之半導體裝置，其中

上述第 1 閘極引線及上述第 1 源極引線，係由上述樹脂封裝之第 1 側面露出，上述第 2 閘極引線及上述第 2 源極引線，係由上述樹脂封裝之第 2 側面露出。

5. 如申請專利範圍第 1 項之半導體裝置，其中

於上述第 1 及第 2 晶粒焊墊部、上述第 1 及第 2 閘極引線、上述第 1 及第 2 源極引線之各別之表面，被形成以 Pd 為主成份的鍍層。

6. 如申請專利範圍第 1 項之半導體裝置，其中

上述第 1 及第 2 晶粒焊墊部之各別之背面，係由上述樹脂封裝露出。

7. 如申請專利範圍第 1 項之半導體裝置，其中

藉由形成於上述第 1 半導體晶片主面的電力 MOSFET，與形成於上述第 2 半導體晶片主面的電力 MOSFET，來構成 DC-DC 轉換器。

8. 如申請專利範圍第 1 項之半導體裝置，其中

於上述第 1 晶粒焊墊部之一部分，使延伸於上述第 2 晶粒焊墊部附近的第 1 汲極引線被一體形成，上述第 2 半導體晶片之源極焊墊與上述第 1 汲極引線，係藉由金屬導線或金屬帶狀物被電連接。

9. 如申請專利範圍第 8 項之半導體裝置，其中

於上述樹脂封裝內部，上述第 1 汲極引線，係由上述樹脂封裝之底面以被分離的方式彎曲而形成。

10. 如申請專利範圍第 1 項之半導體裝置，其中

上述第 1 半導體晶片之源極焊墊與上述第 1 源極引線，係藉由多數條上述金屬帶狀物被電連接。

11. 一種半導體裝置，搭載於晶粒焊墊部上的半導體晶片被密封於樹脂封裝，由上述樹脂封裝之側面使多數條引線之外引線部露出者；其特徵為：於上述半導體晶片之主面形成：電力 MOSFET，連接於上述電力 MOSFET 之閘極的閘極焊墊，及連接於上述電力 MOSFET 之源極、而且面積較上述閘極焊墊為大的多數源極焊墊；於上述半導體晶片之背面形成上述電力 MOSFET 之汲極，在上述半導體晶片之背面與上述晶粒焊墊部之間存在銀膠，上述多數條引線之構成係包含：閘極引線，其電連接於上述半導體晶片之閘極焊墊；及源極引線，其電連接於上述半導體晶片之源極焊墊；上述多數源極焊墊與上述源極引線，係分別藉由金屬帶狀物被電連接，上述閘極焊墊係配置於上述多數源極焊墊之間。

12. 如申請專利範圍第 11 項之半導體裝置，其中

上述源極焊墊與上述閘極引線，係藉由金屬導線被電連接。

13. 如申請專利範圍第 11 項之半導體裝置，其中

上述銀膠之彈性率為 $0.2 \sim 5.3 \text{ GPa}$ 之範圍，剪斷強度為 8.5 MPa 以上。

14. 如申請專利範圍第 11 項之半導體裝置，其中

上述閘極引線及上述源極引線，係由上述樹脂封裝之

第 1 側面露出，和上述晶粒焊墊部被一體形成的汲極引線，係由上述樹脂封裝之第 2 側面露出。

15. 如申請專利範圍第 11 項之半導體裝置，其中於上述晶粒焊墊部、上述閘極引線、上述源極引線之各別之表面，被形成以 Pd 為主成份的鍍層。

16. 如申請專利範圍第 15 項之半導體裝置，其中在上述晶粒焊墊部表面被形成的上述鍍層之一部分，設置於上述晶粒焊墊部搭載上述半導體晶片時之定位用缺口部。

17. 如申請專利範圍第 15 項之半導體裝置，其中在上述晶粒焊墊部表面被形成的上述鍍層之一部分，設置於上述晶粒焊墊部接合上述金屬帶狀物時之定位用缺口部。

圖1

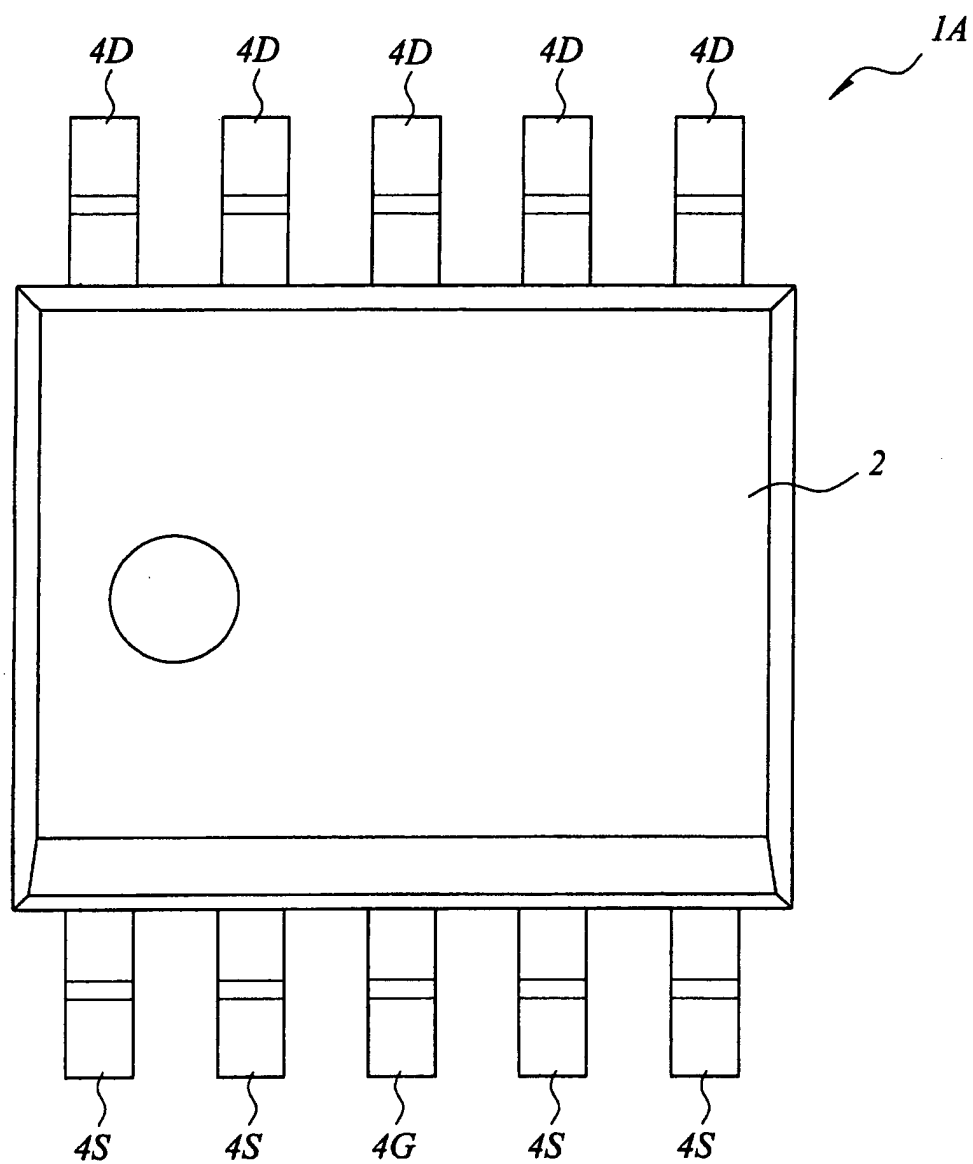


圖2

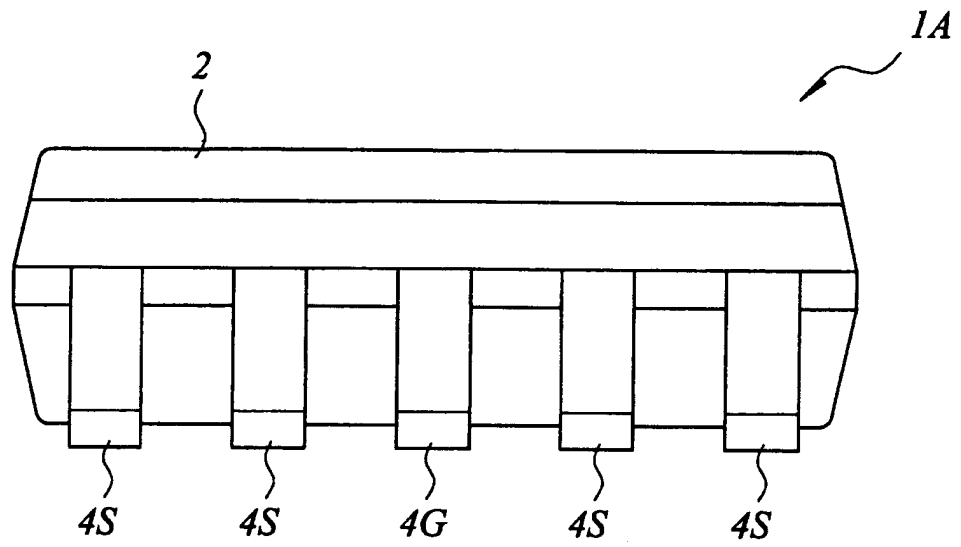


圖 3

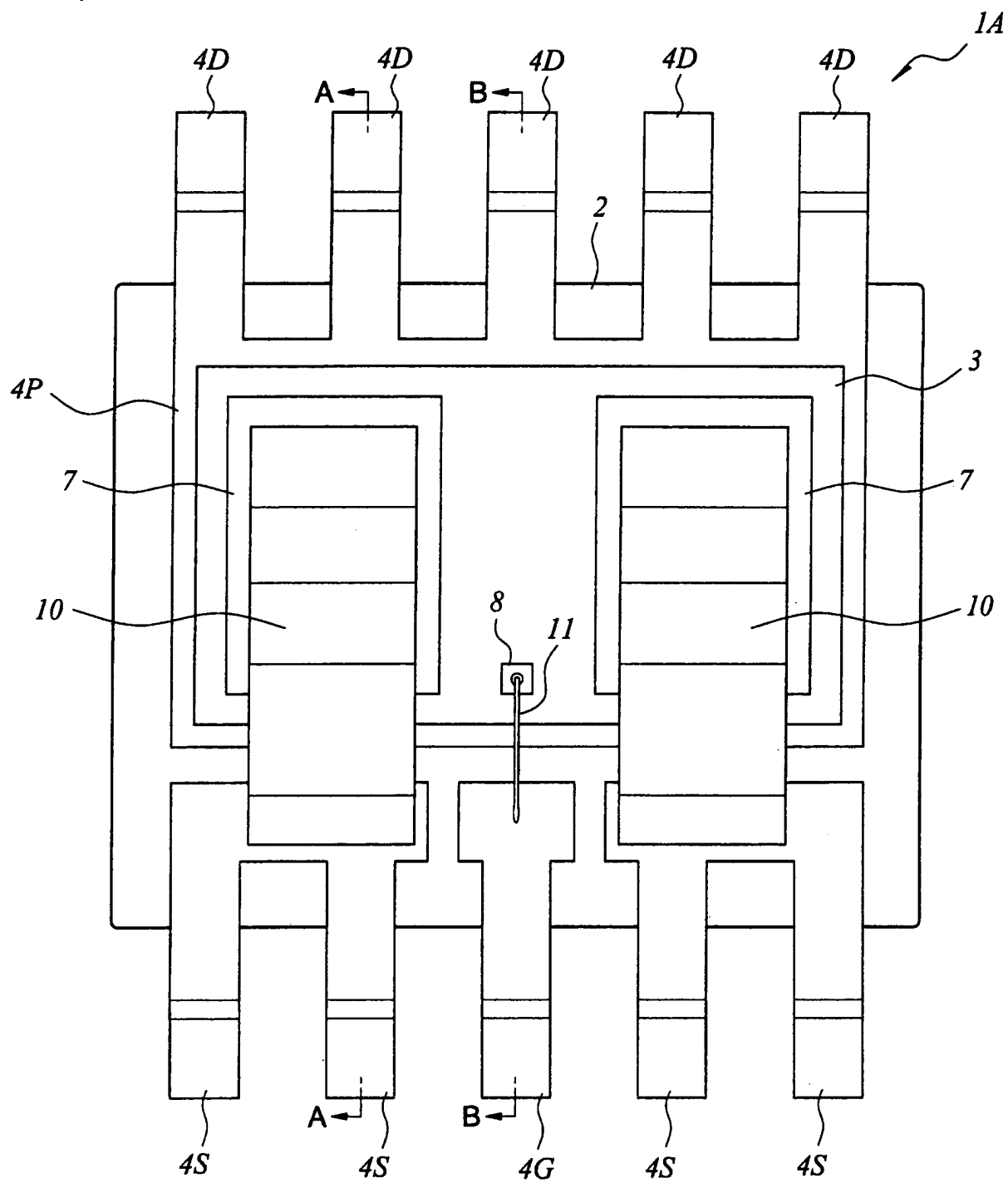


圖7

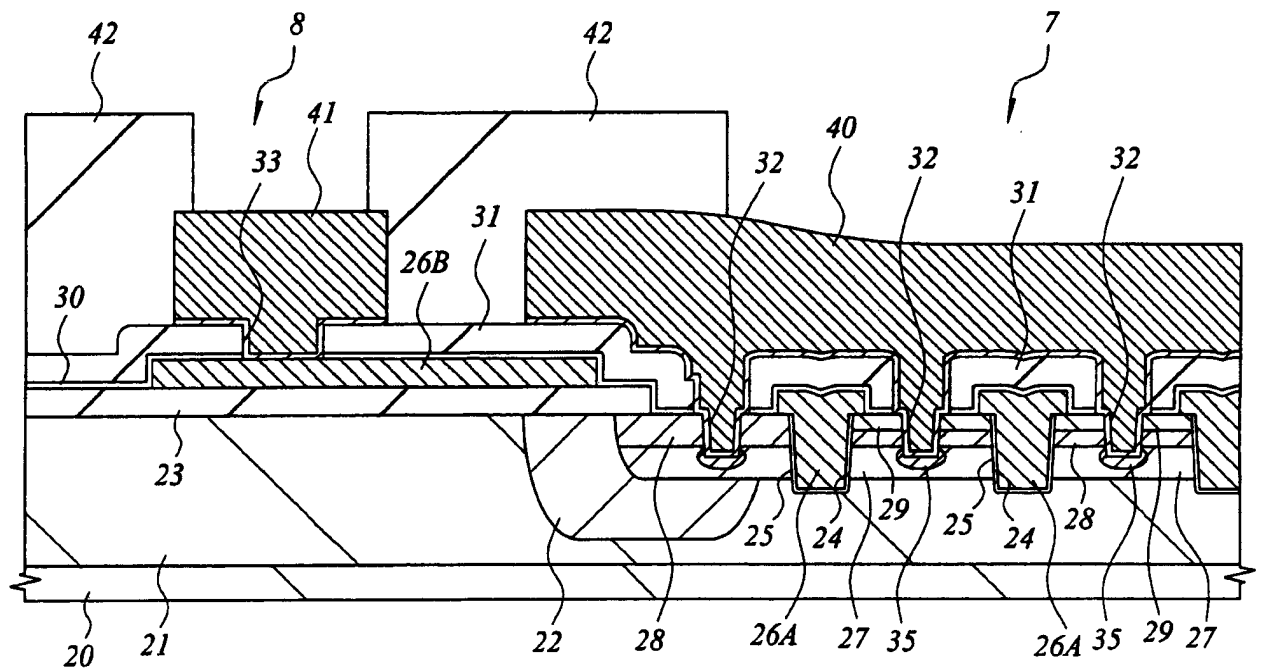


圖8

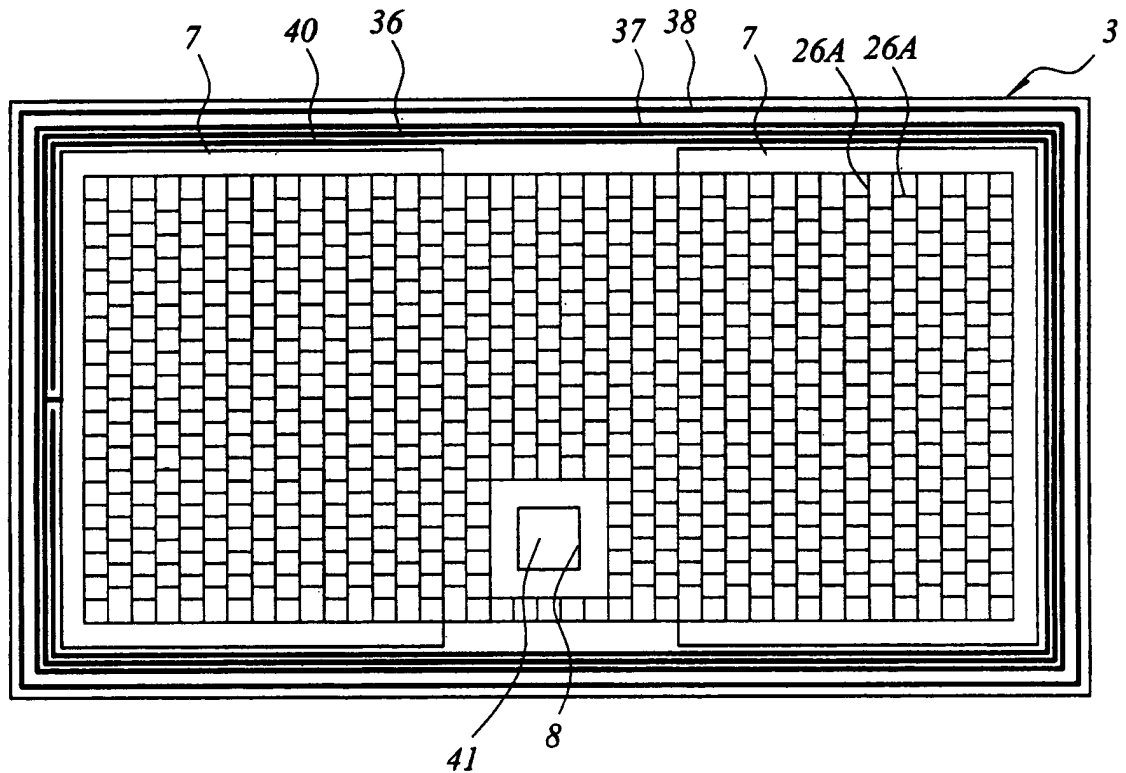


圖 9

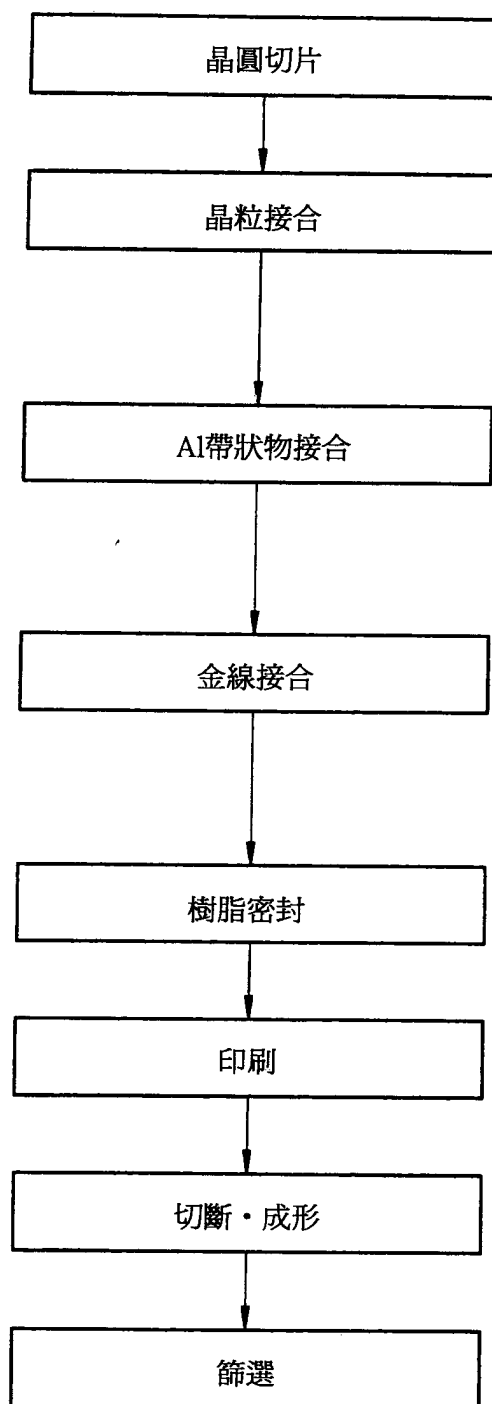


圖 10

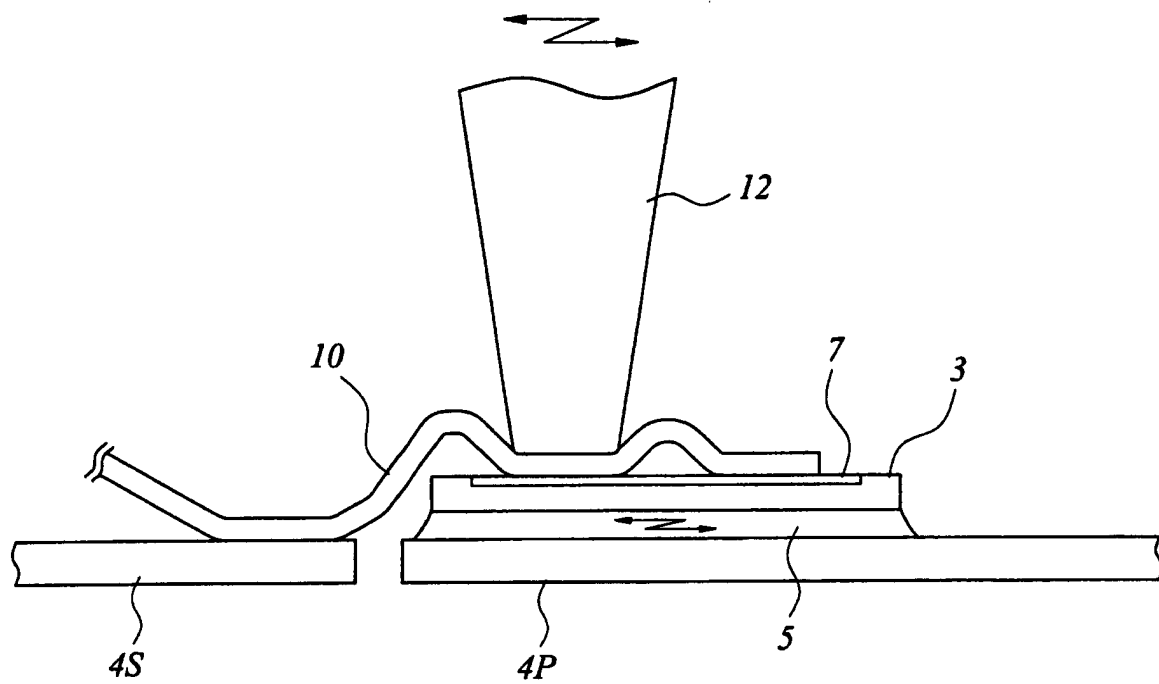


圖11

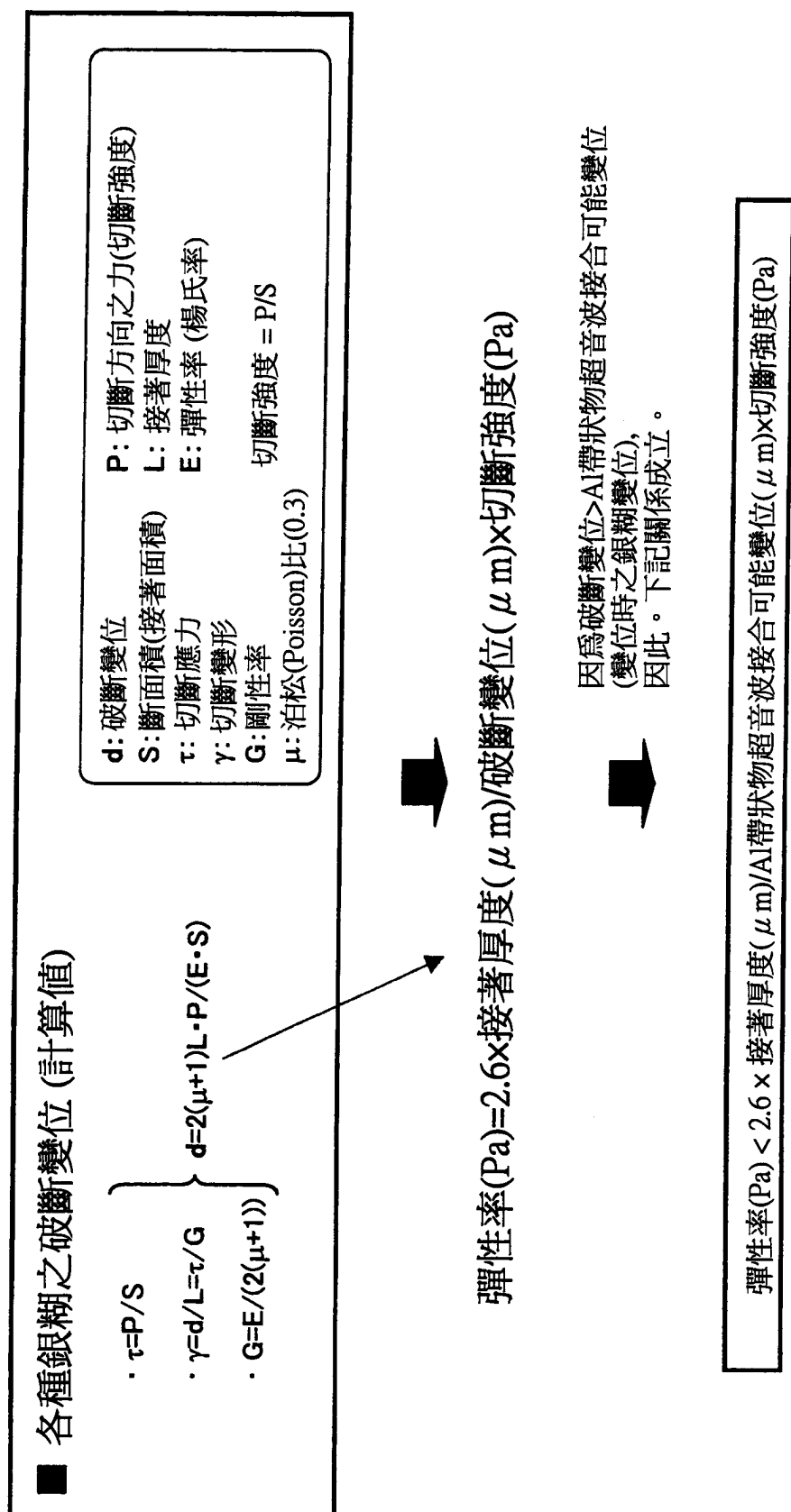
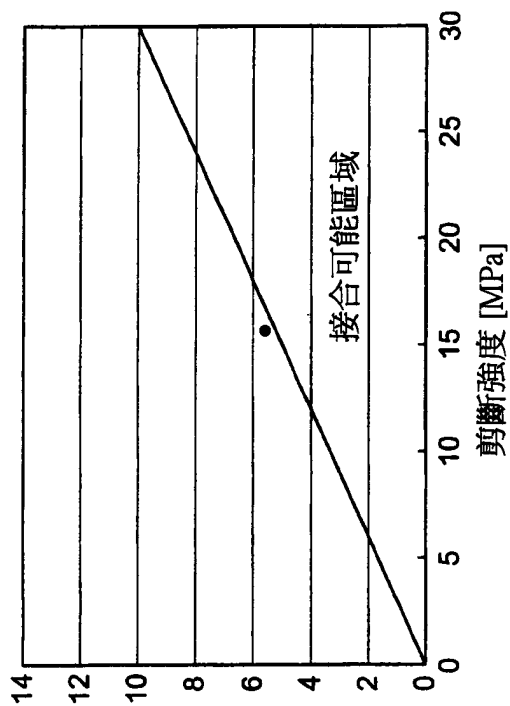
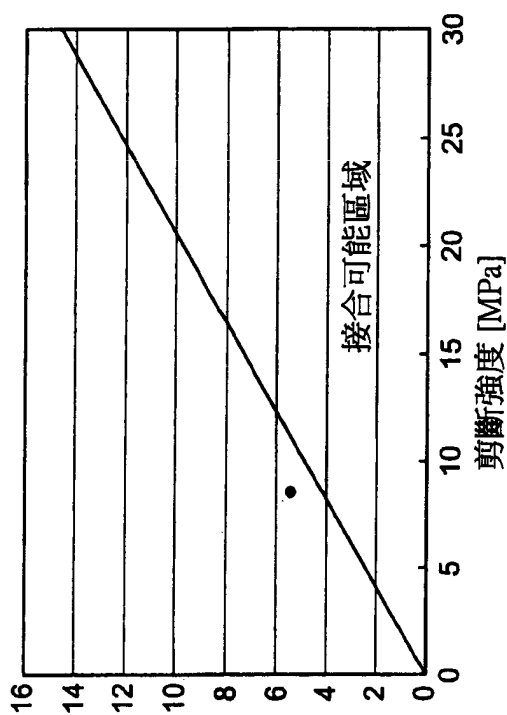


圖12

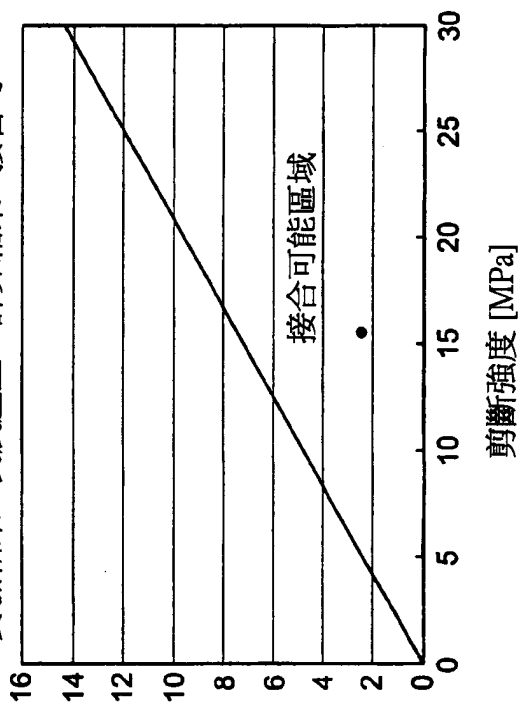
銀糊(1)：變位量=0.1218 μm 、厚度=15.4 μm
實驗結果：裂痕產生、計算結果：接合不可



銀糊(2)：變位量=0.07 μm 、厚度=13.2 μm
實驗結果：裂痕產生、計算結果：接合不可



銀糊(3)：變位量=0.1218 μm 、厚度=24.4 μm
實驗結果：裂痕產生、計算結果：接合可



銀糊(4)：變位量=0.1218 μm 、厚度=16.6 μm
實驗結果：裂痕產生、計算結果：接合可

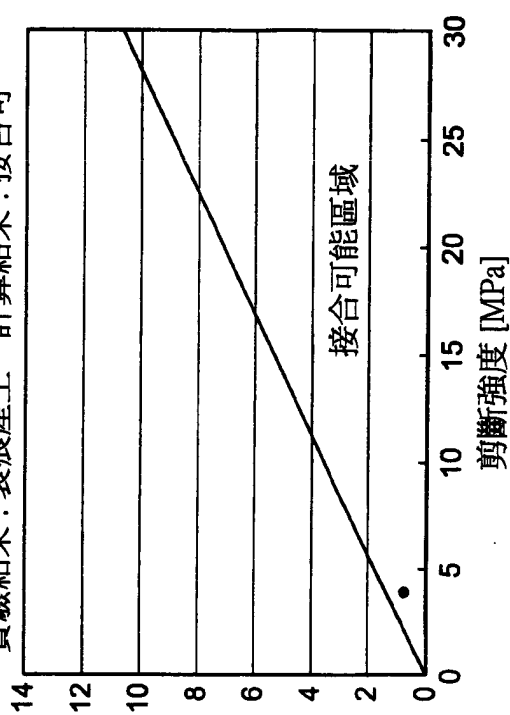


圖 13

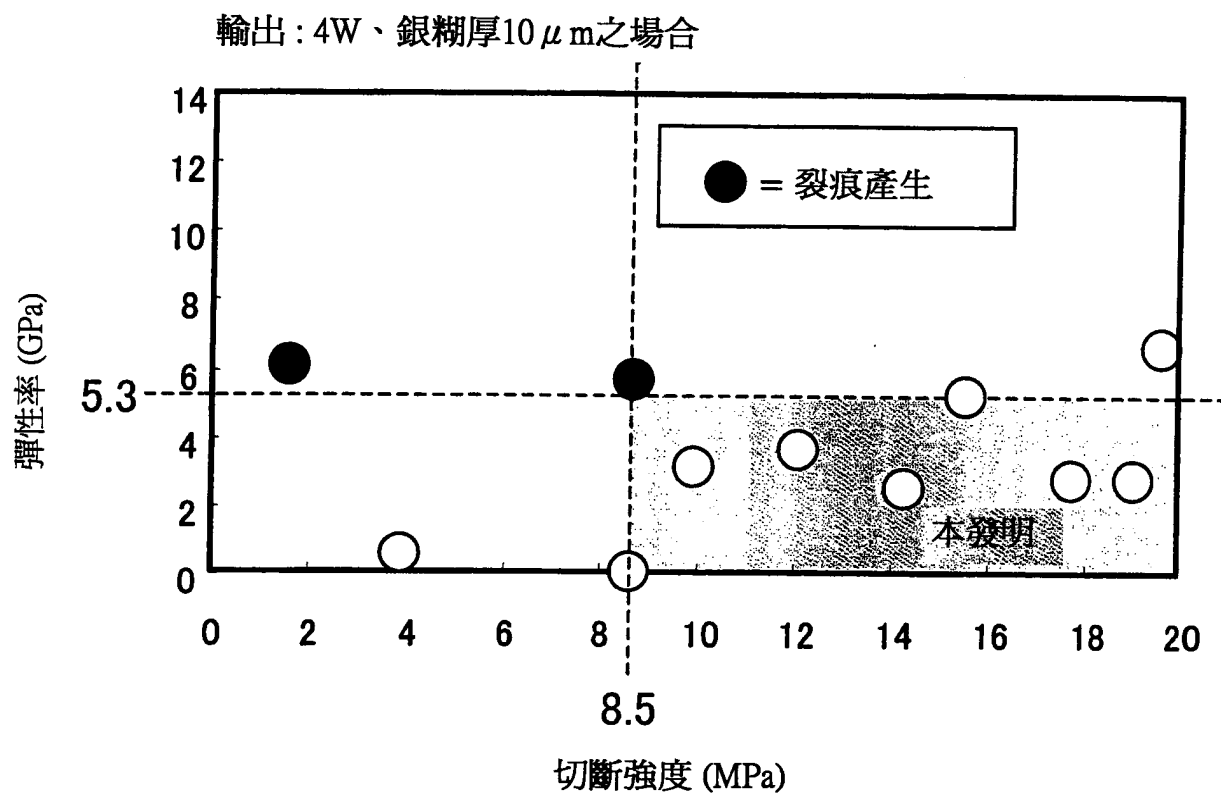


圖 14

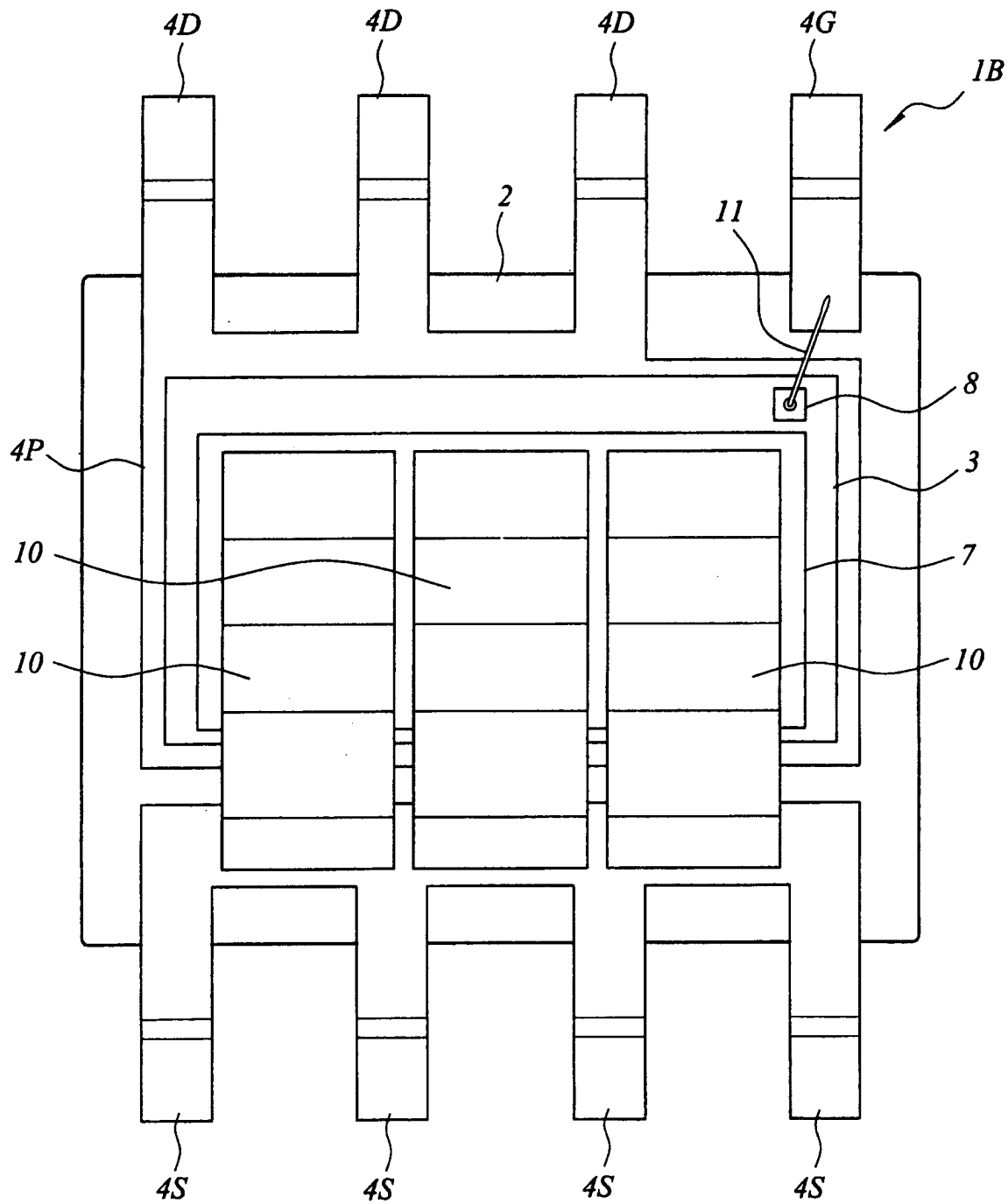


圖 15

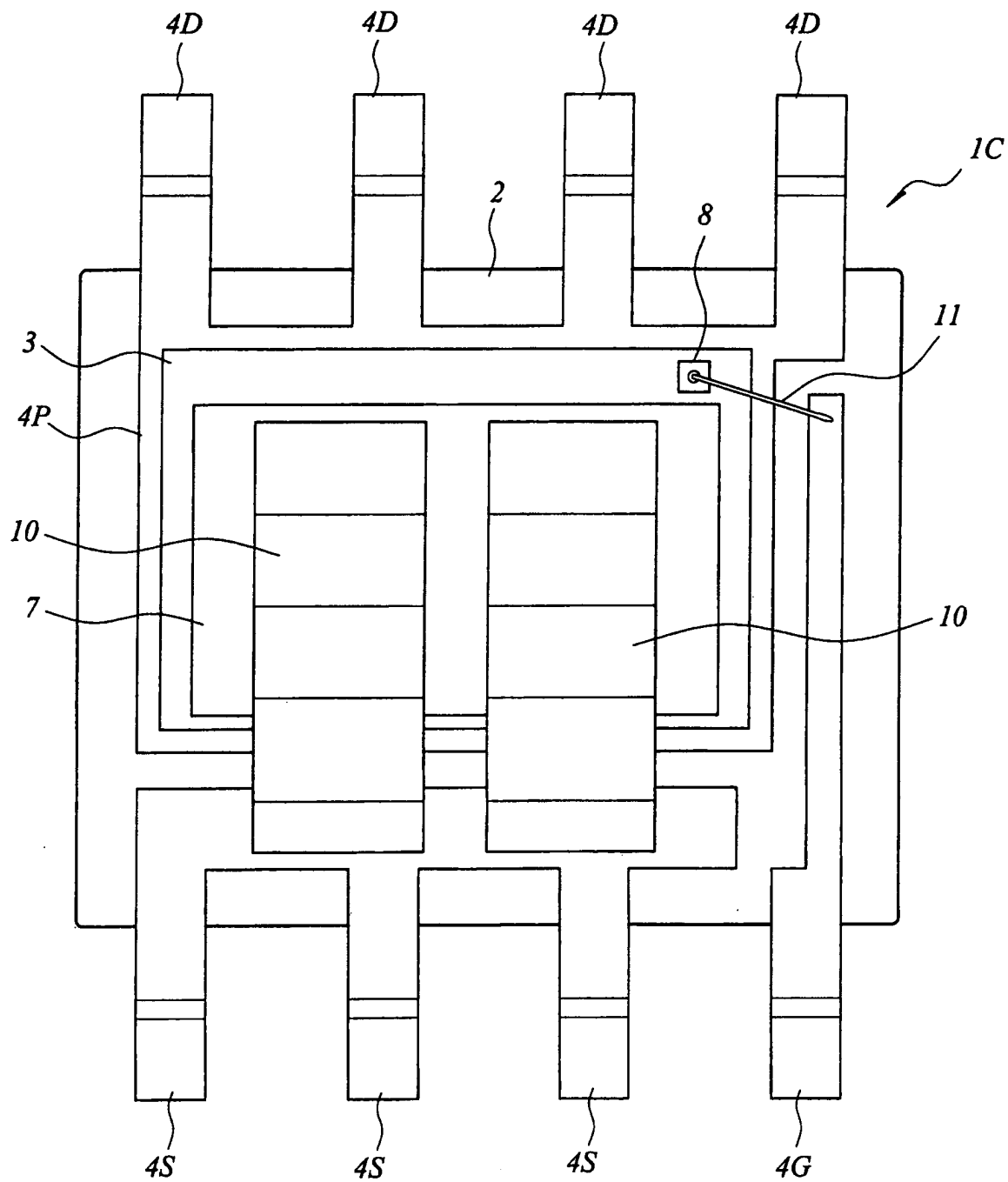


圖16

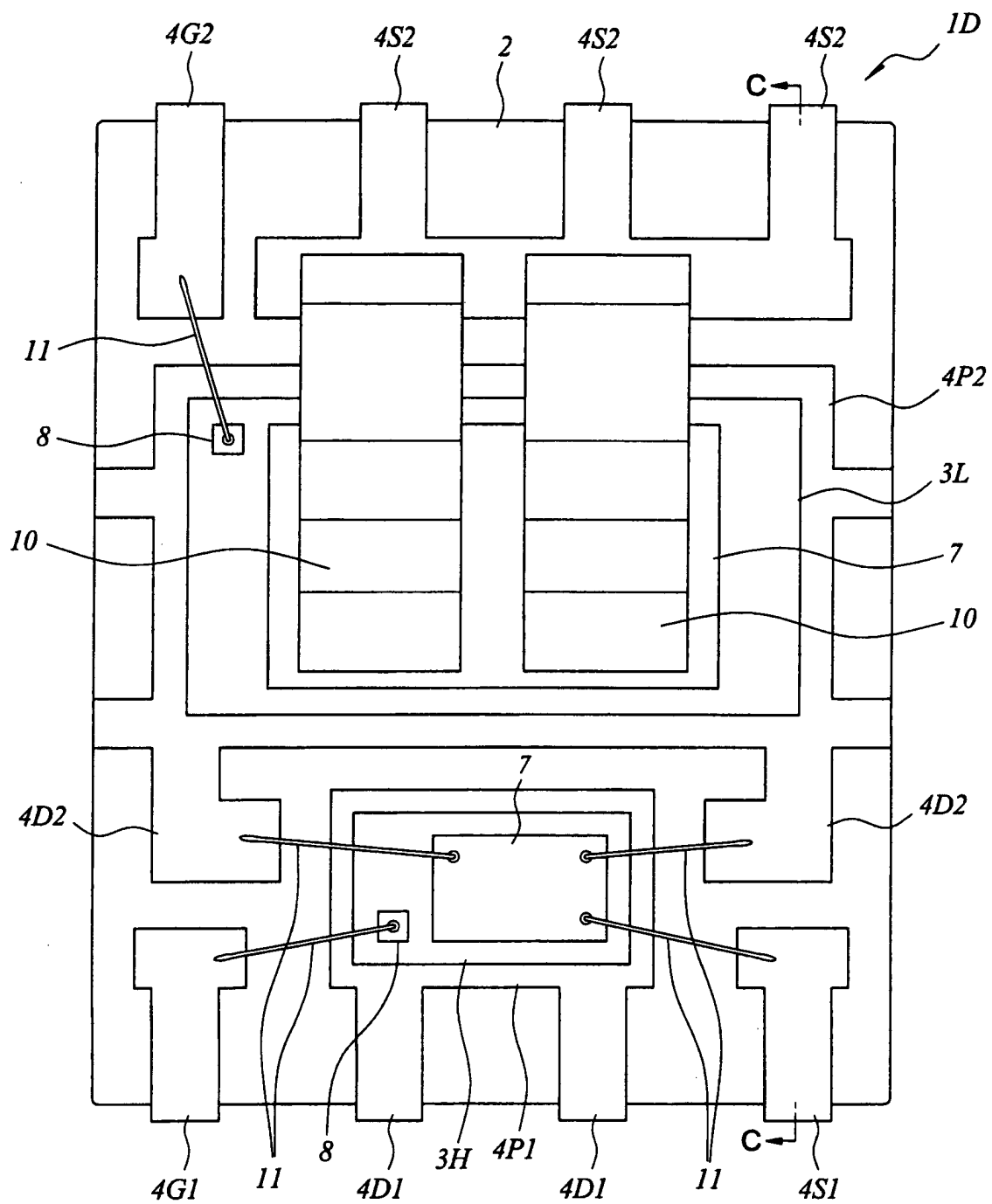


圖17

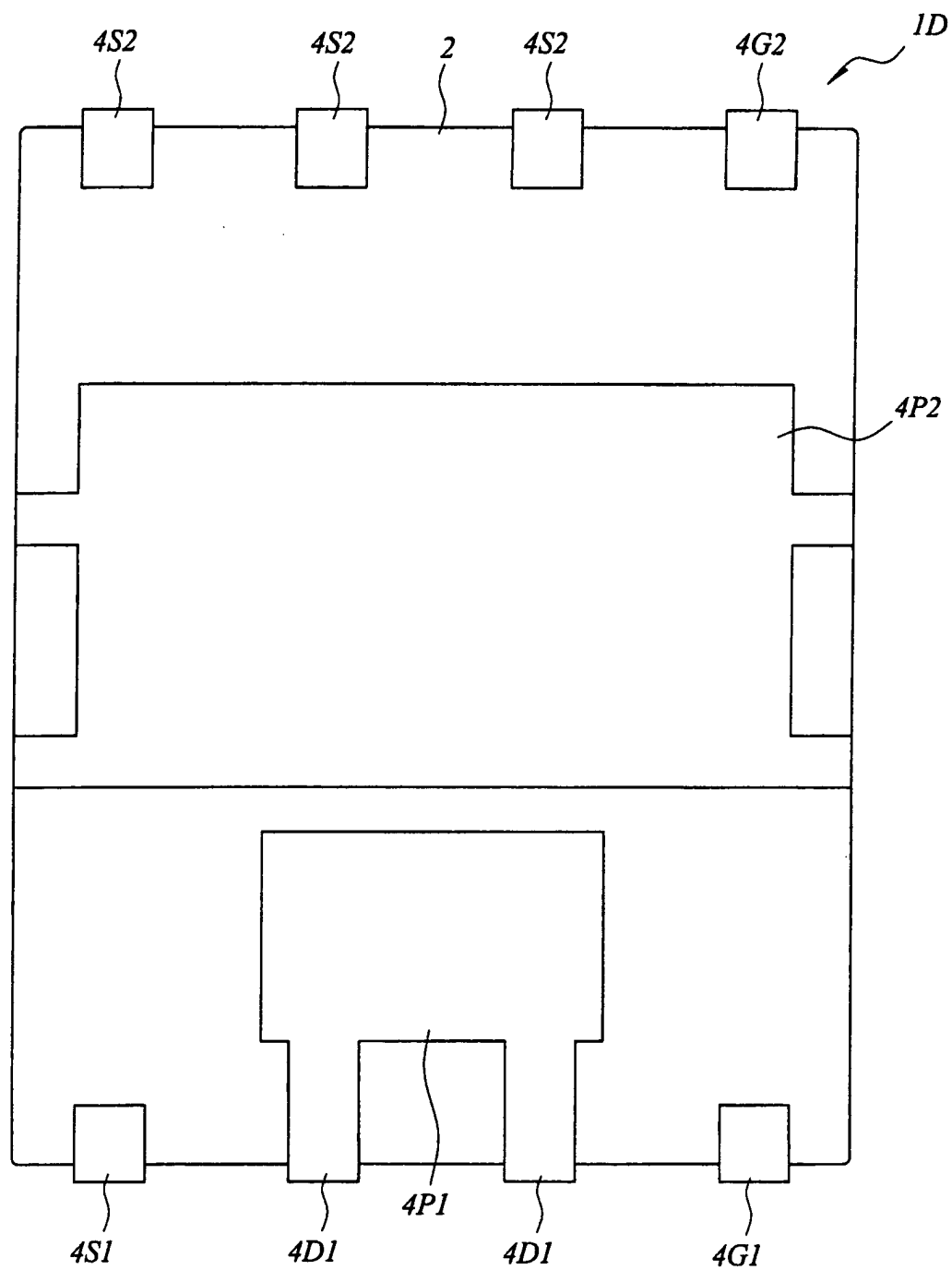


圖18

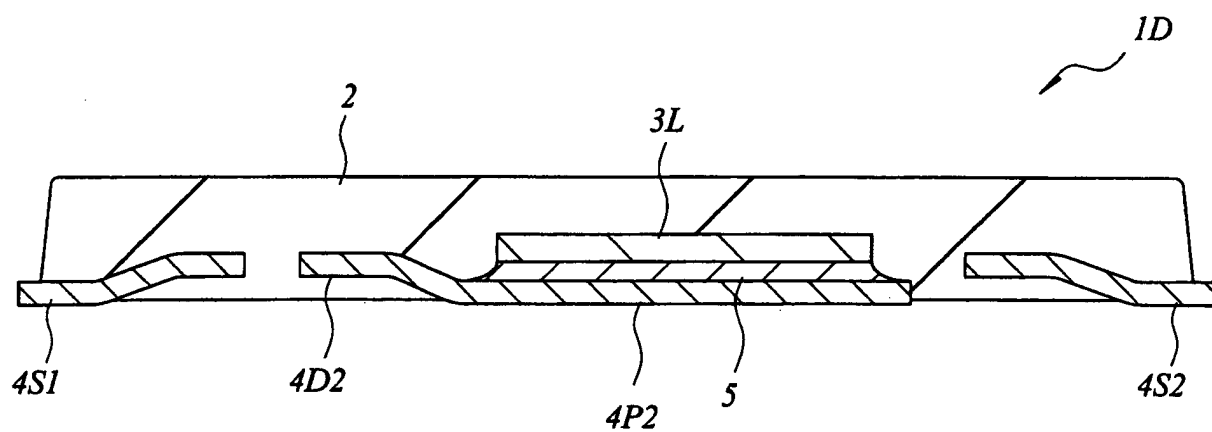


圖19

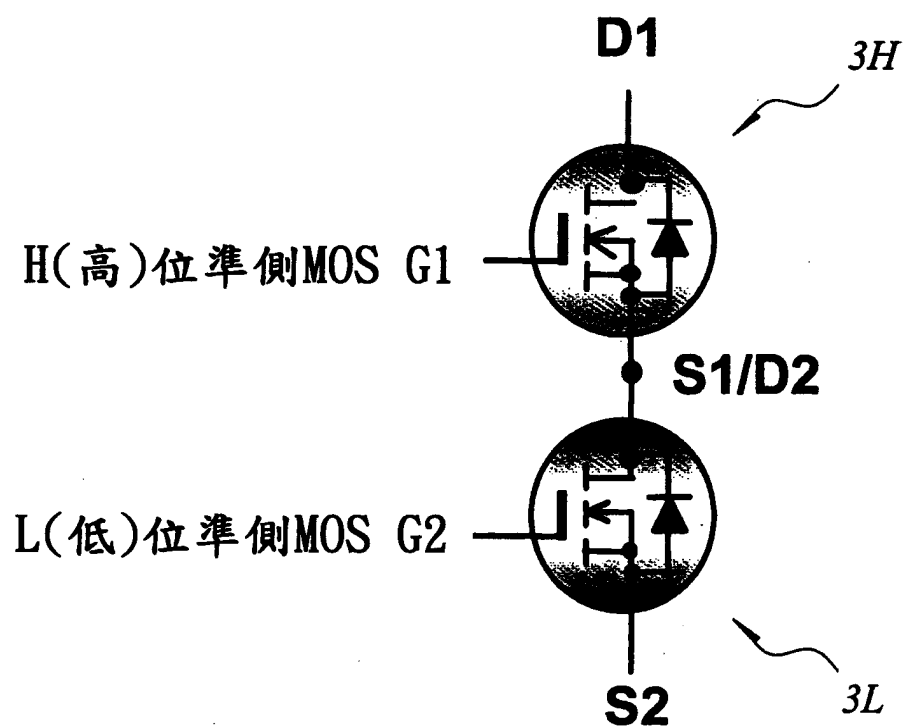


圖 20

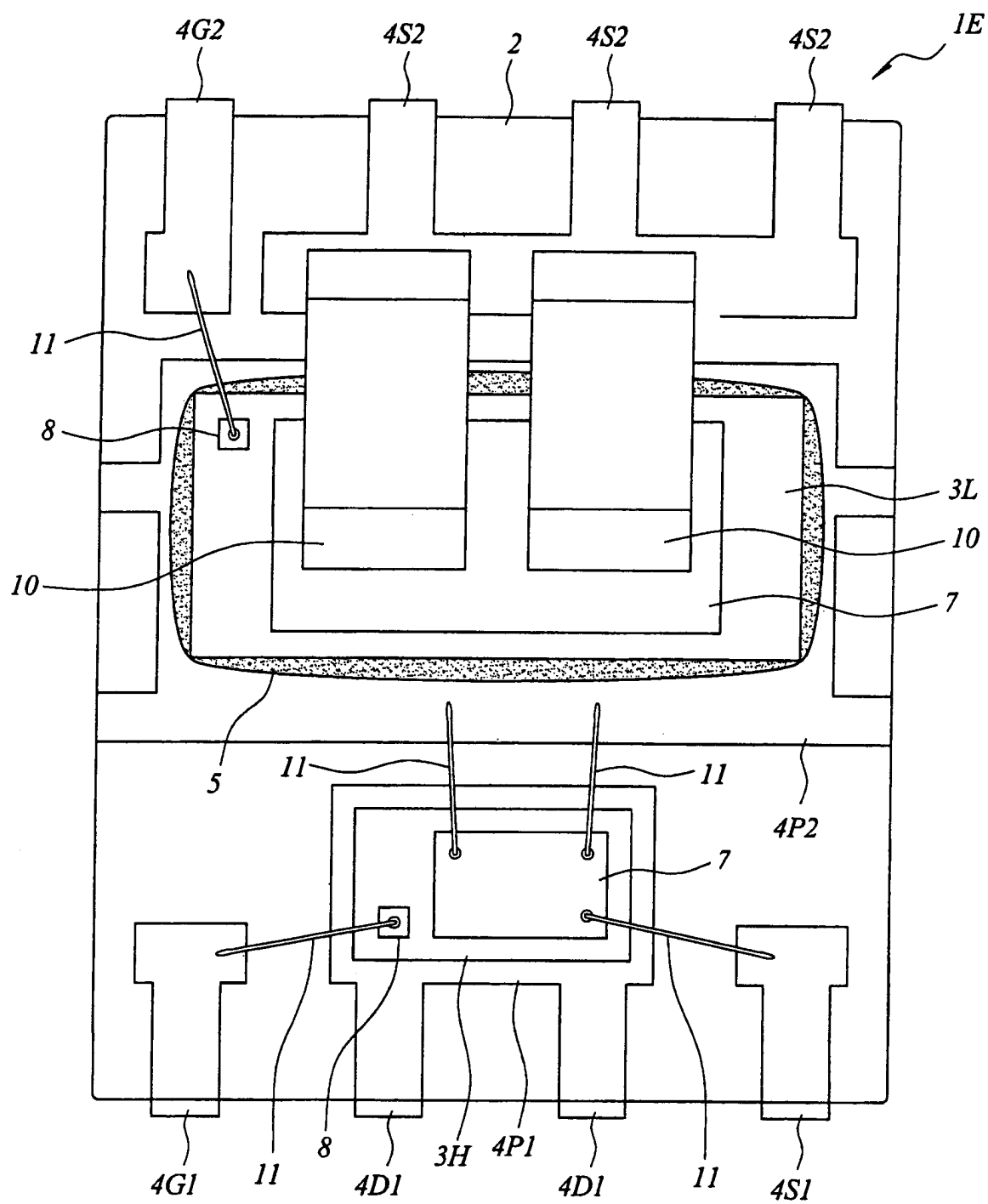


圖 22

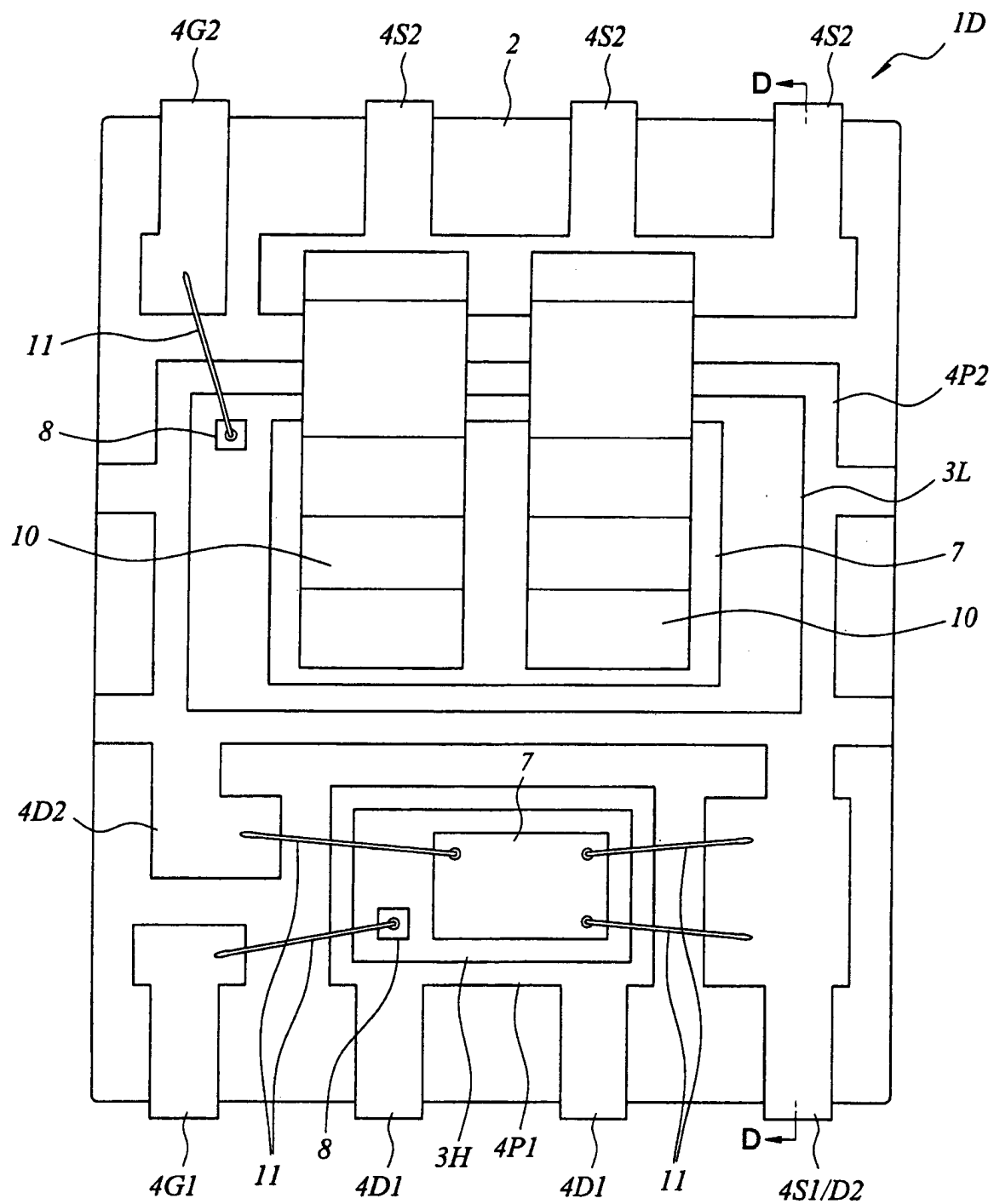


圖 23

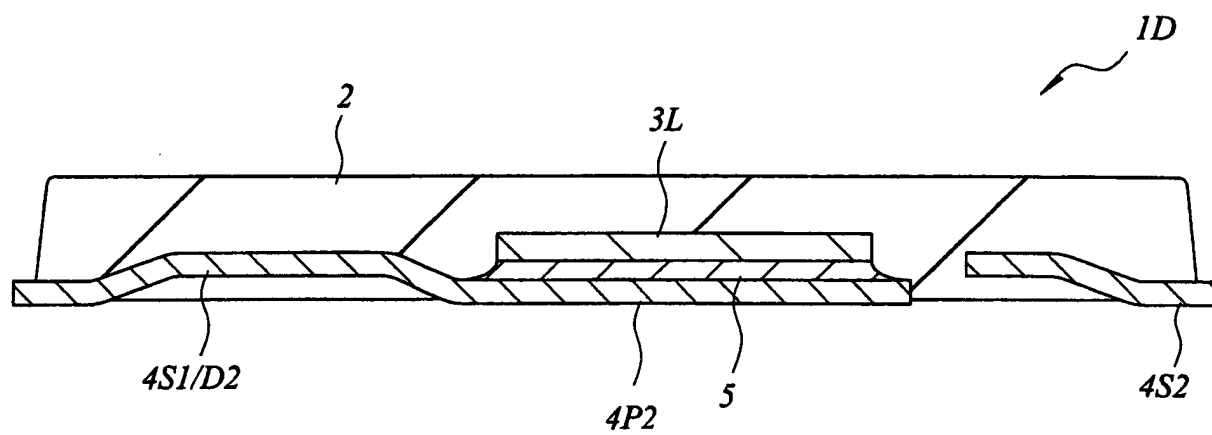


圖 24

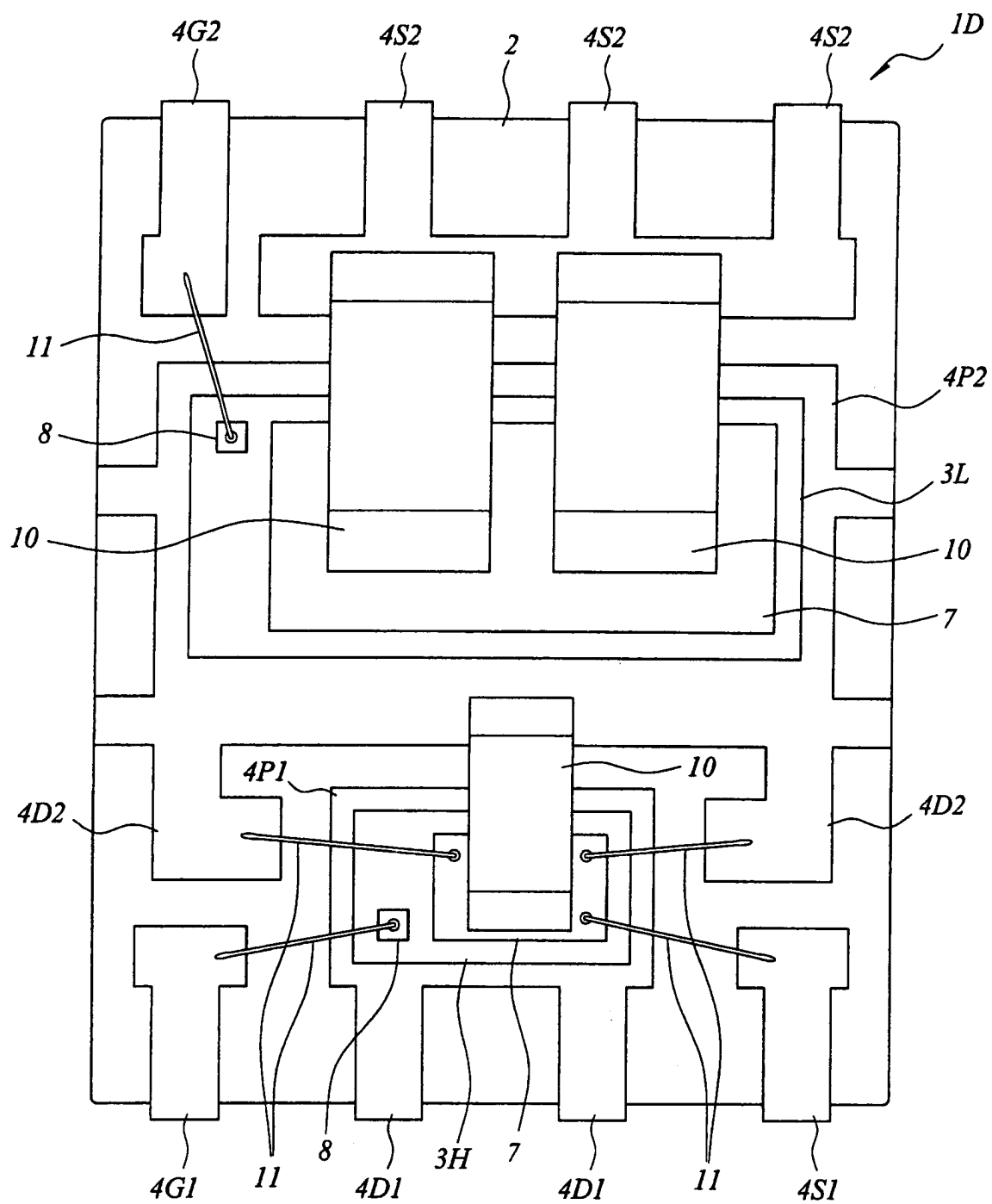


圖 25

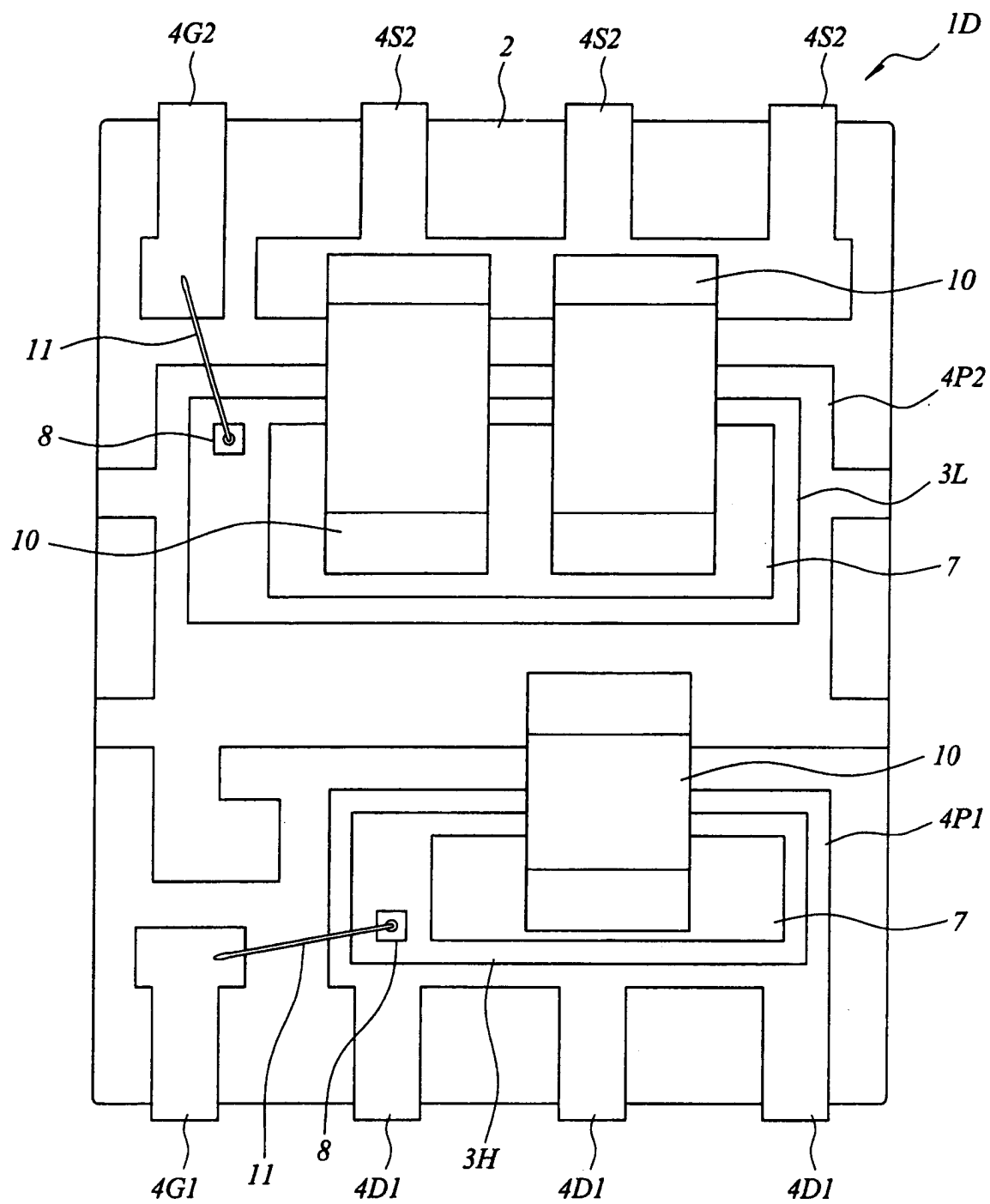


圖 26

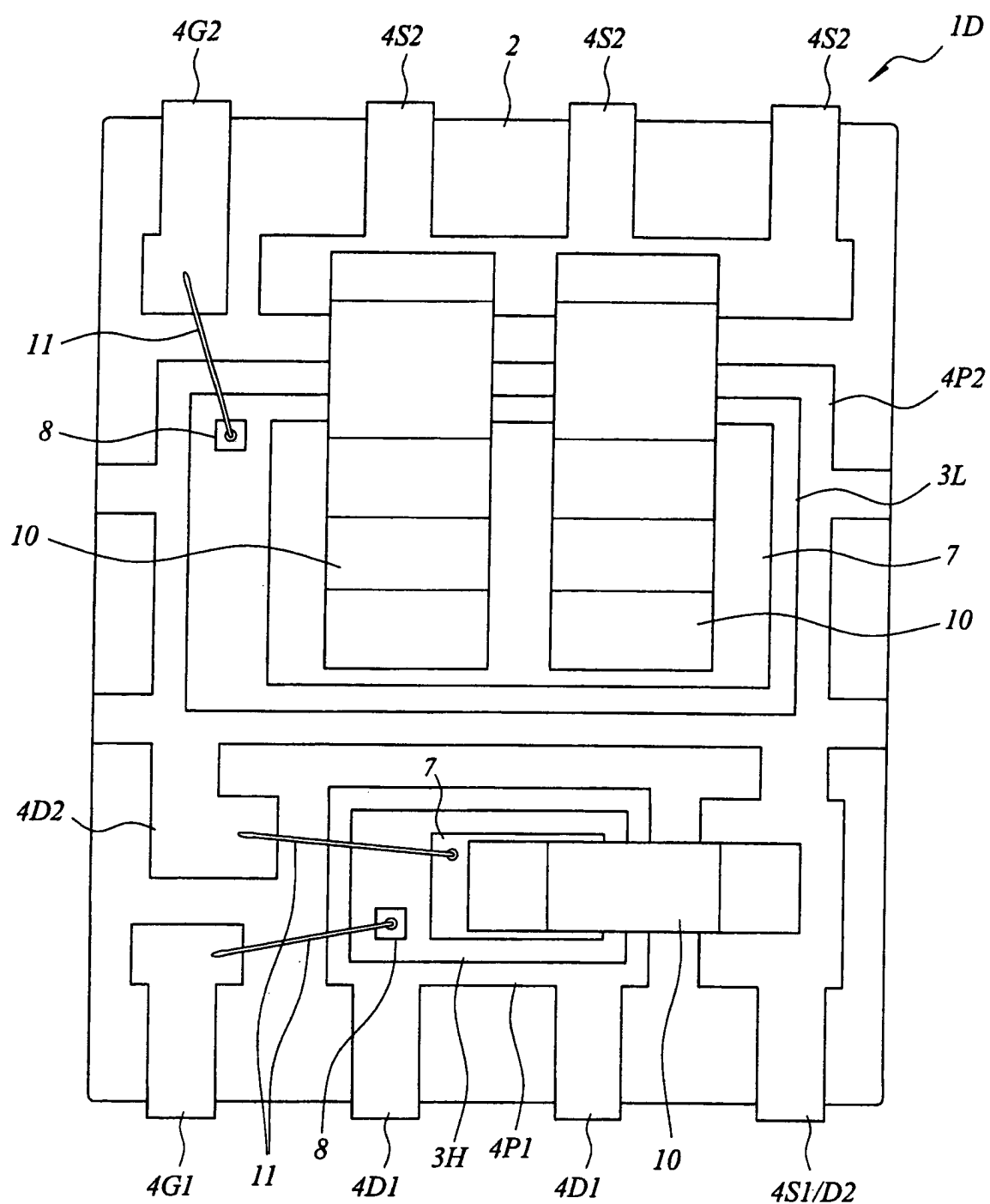


圖27

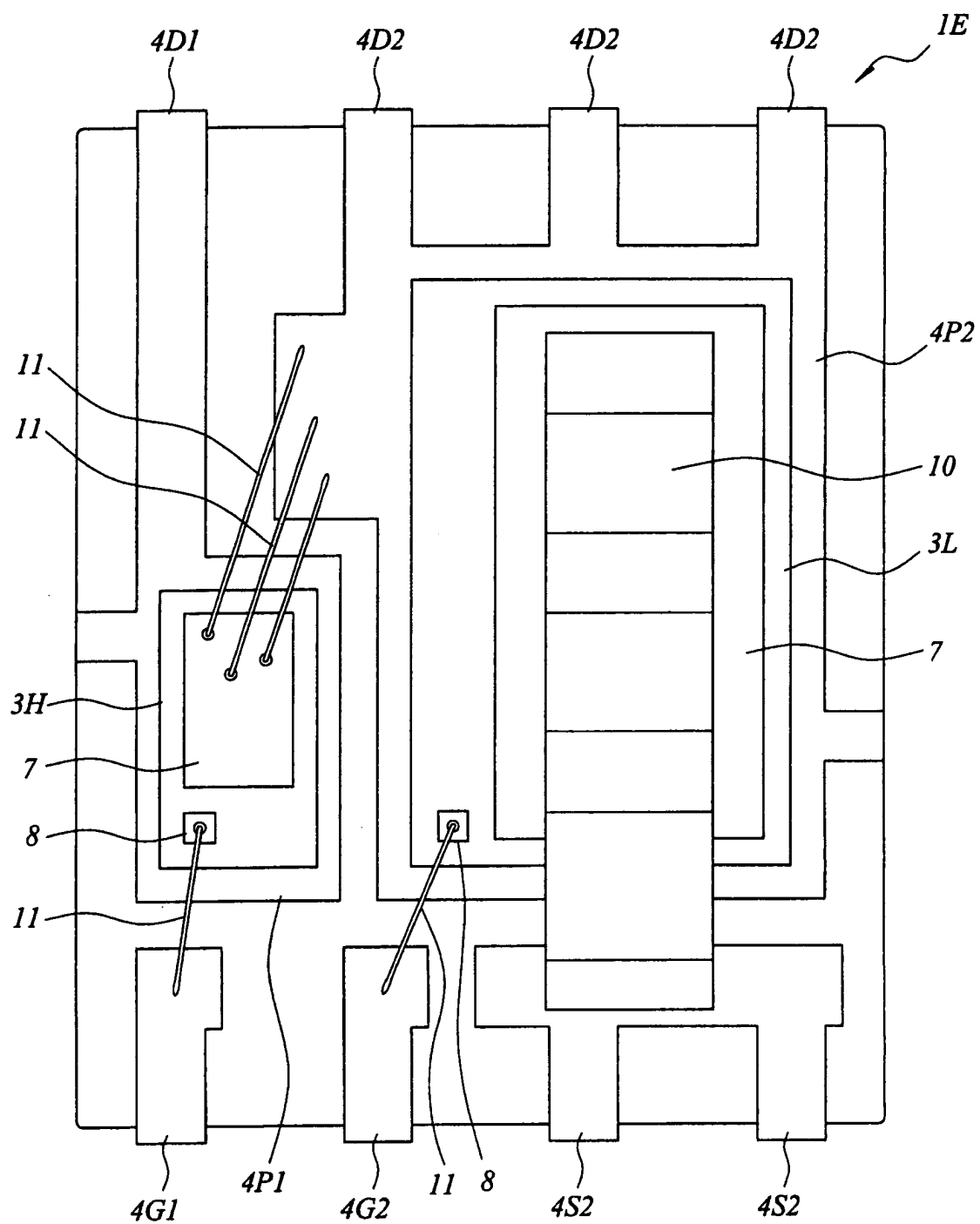


圖 28

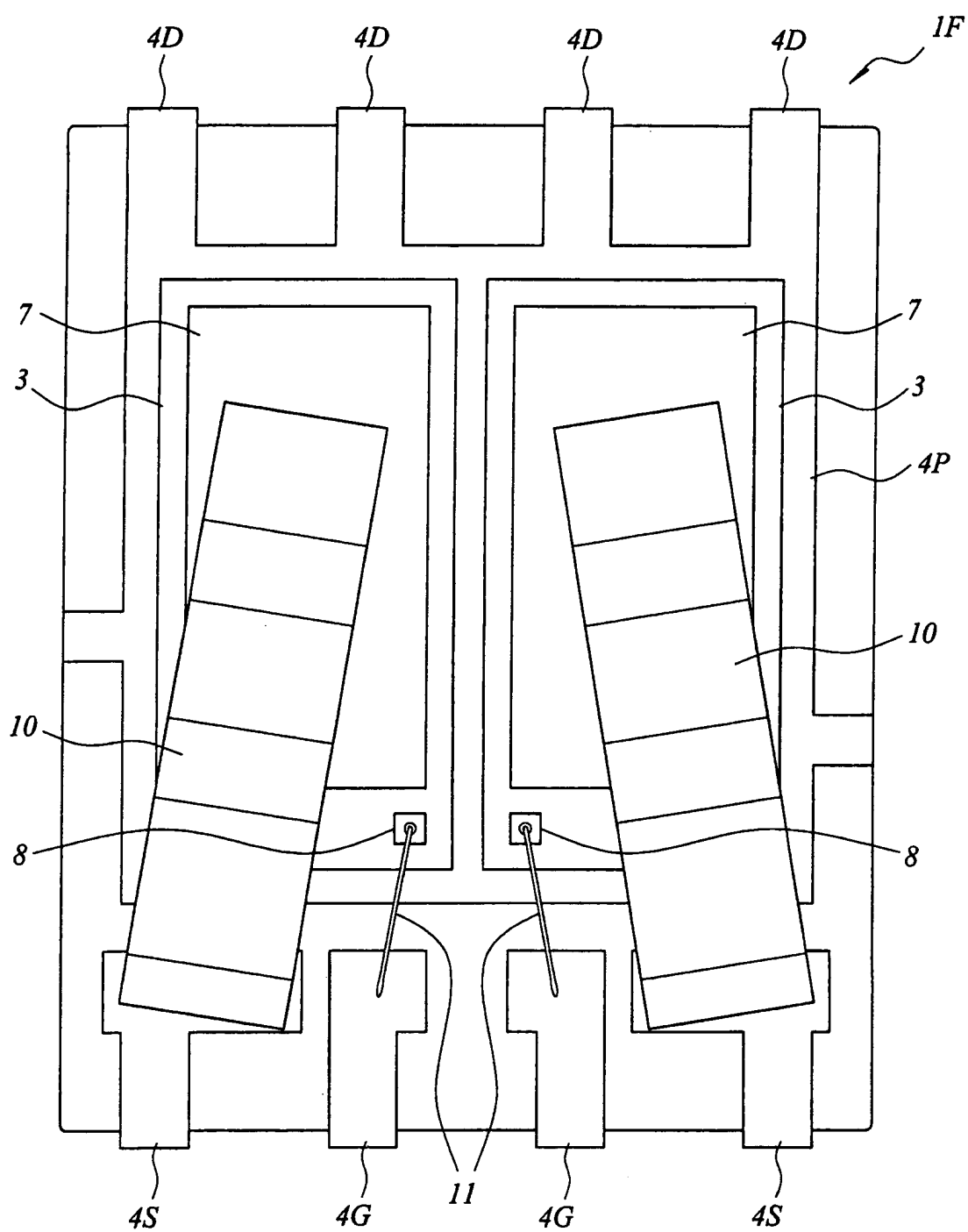


圖29

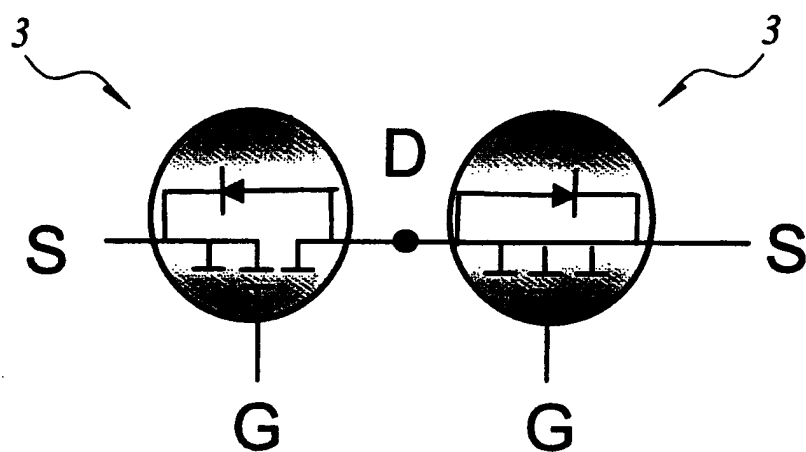


圖30

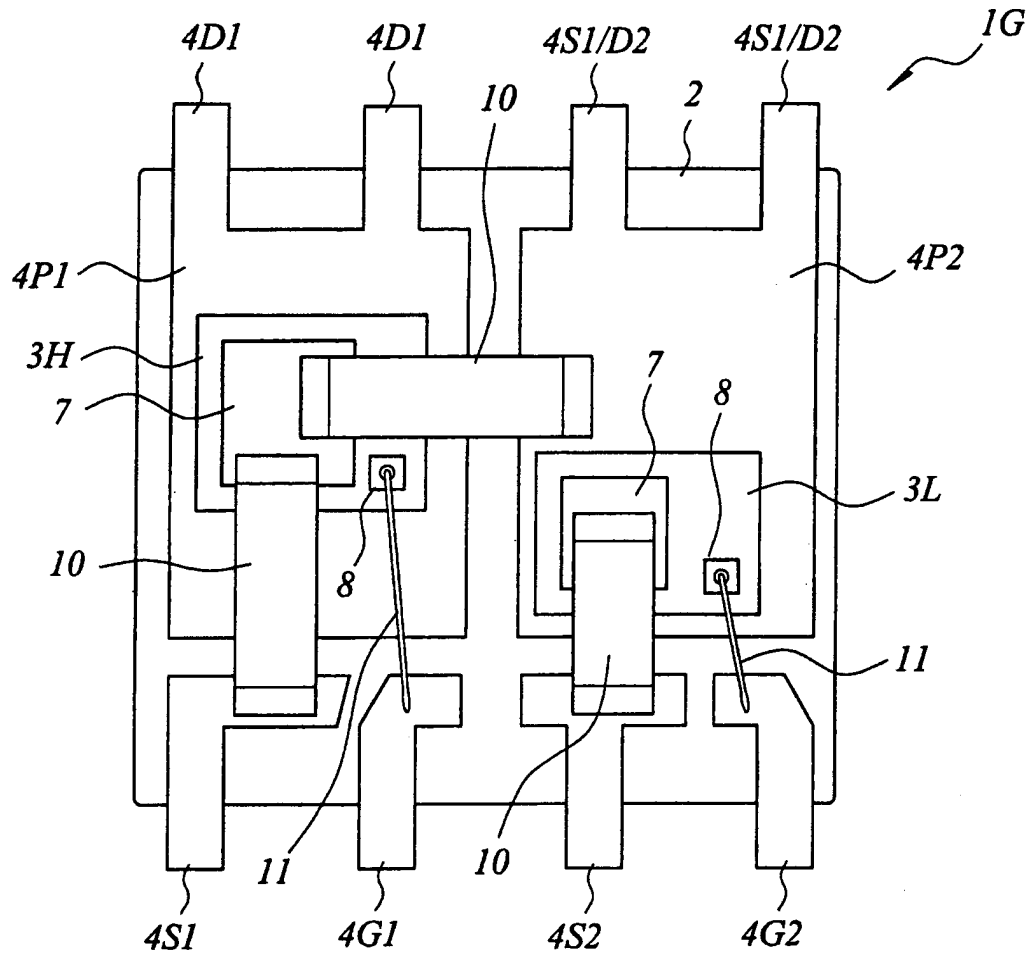


圖31

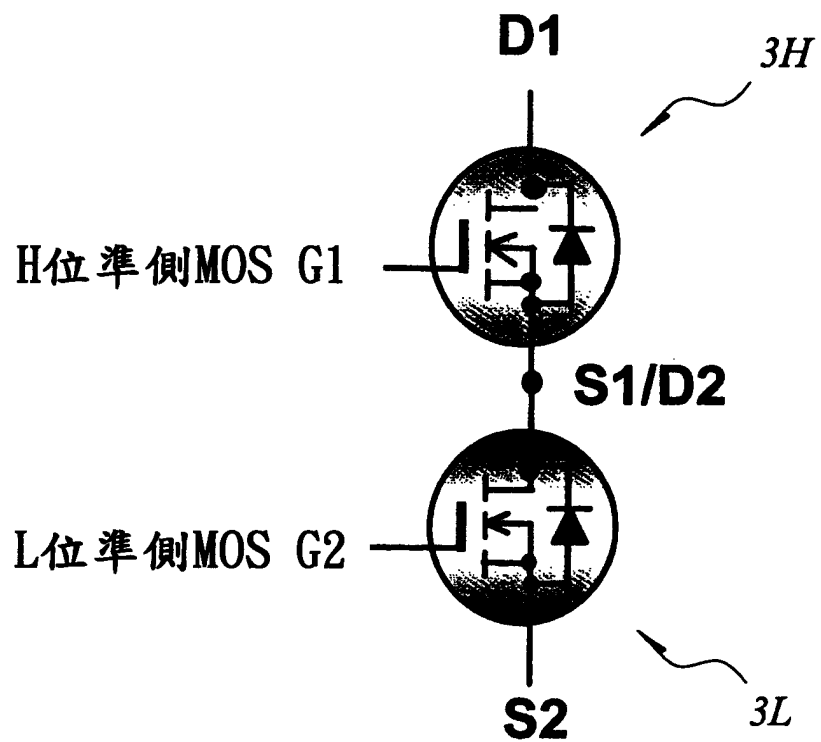


圖 32

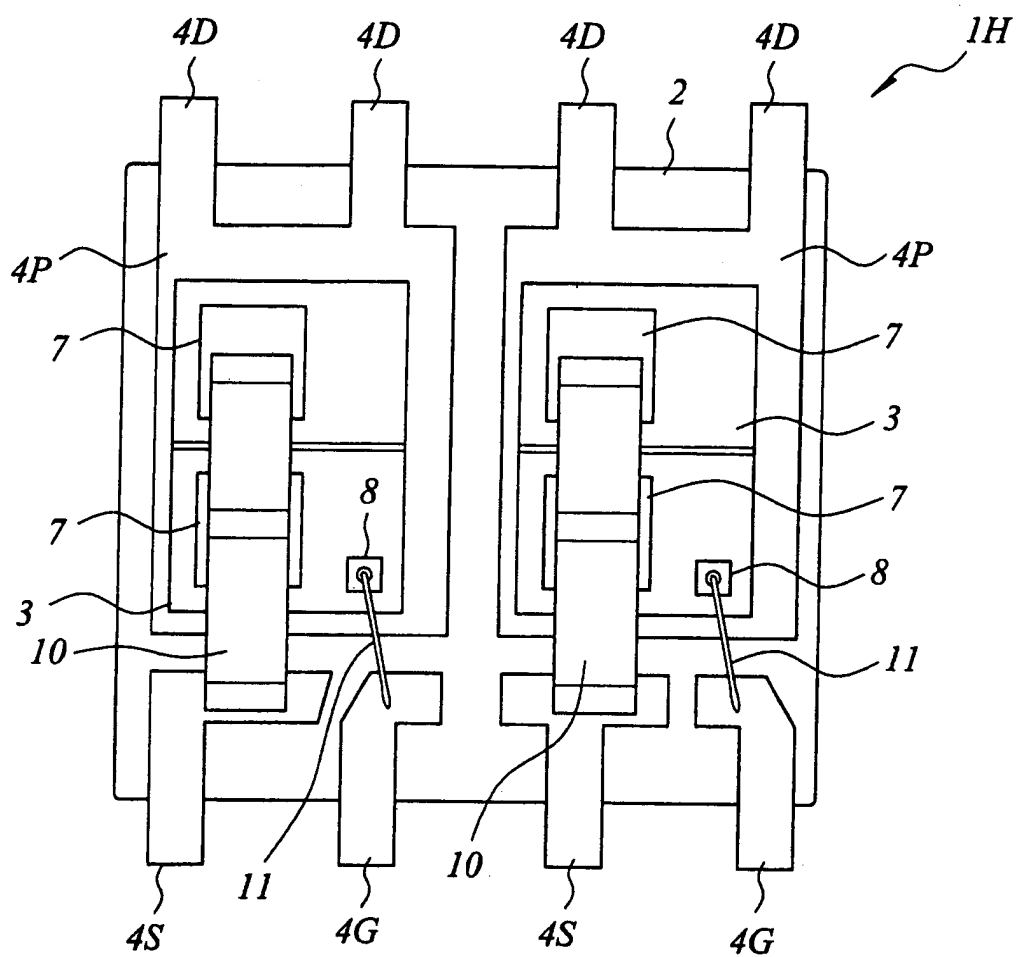


圖 33

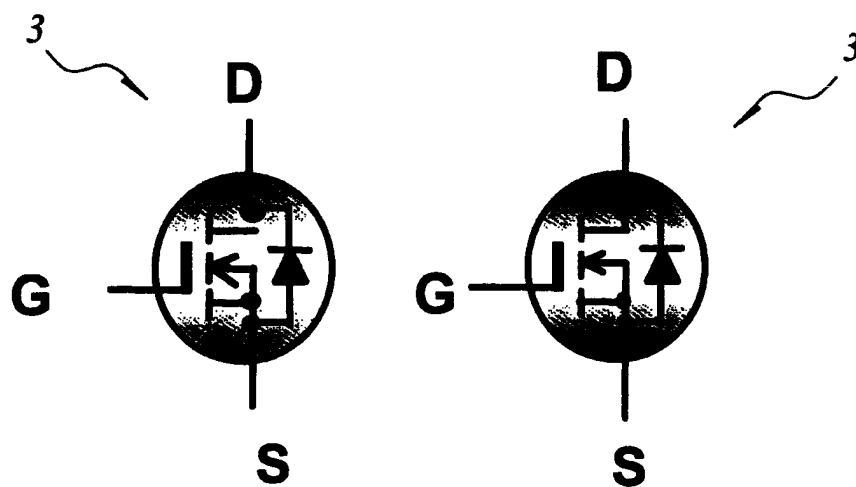


圖 34

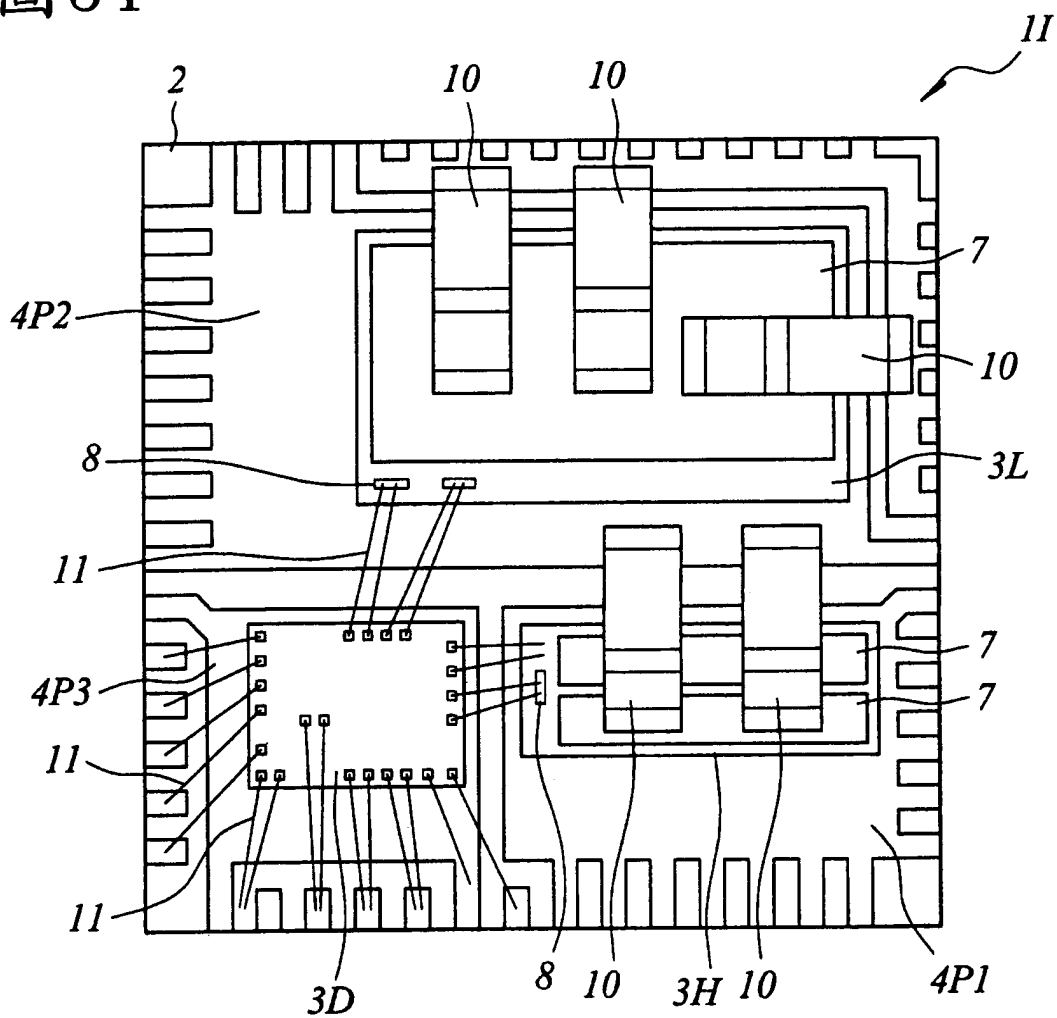


圖 35

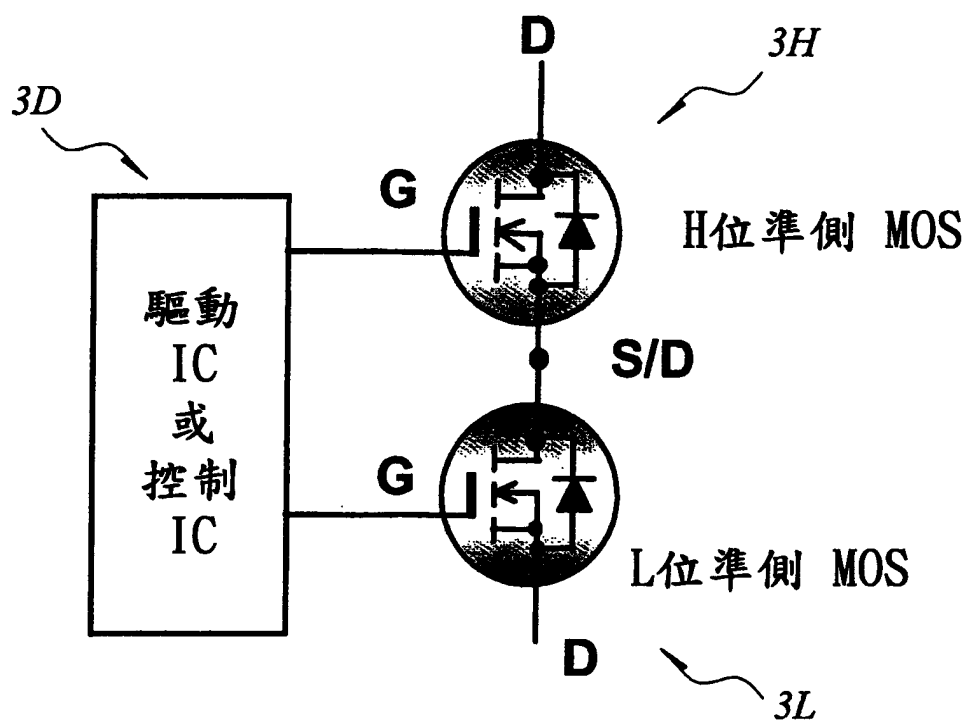


圖 36

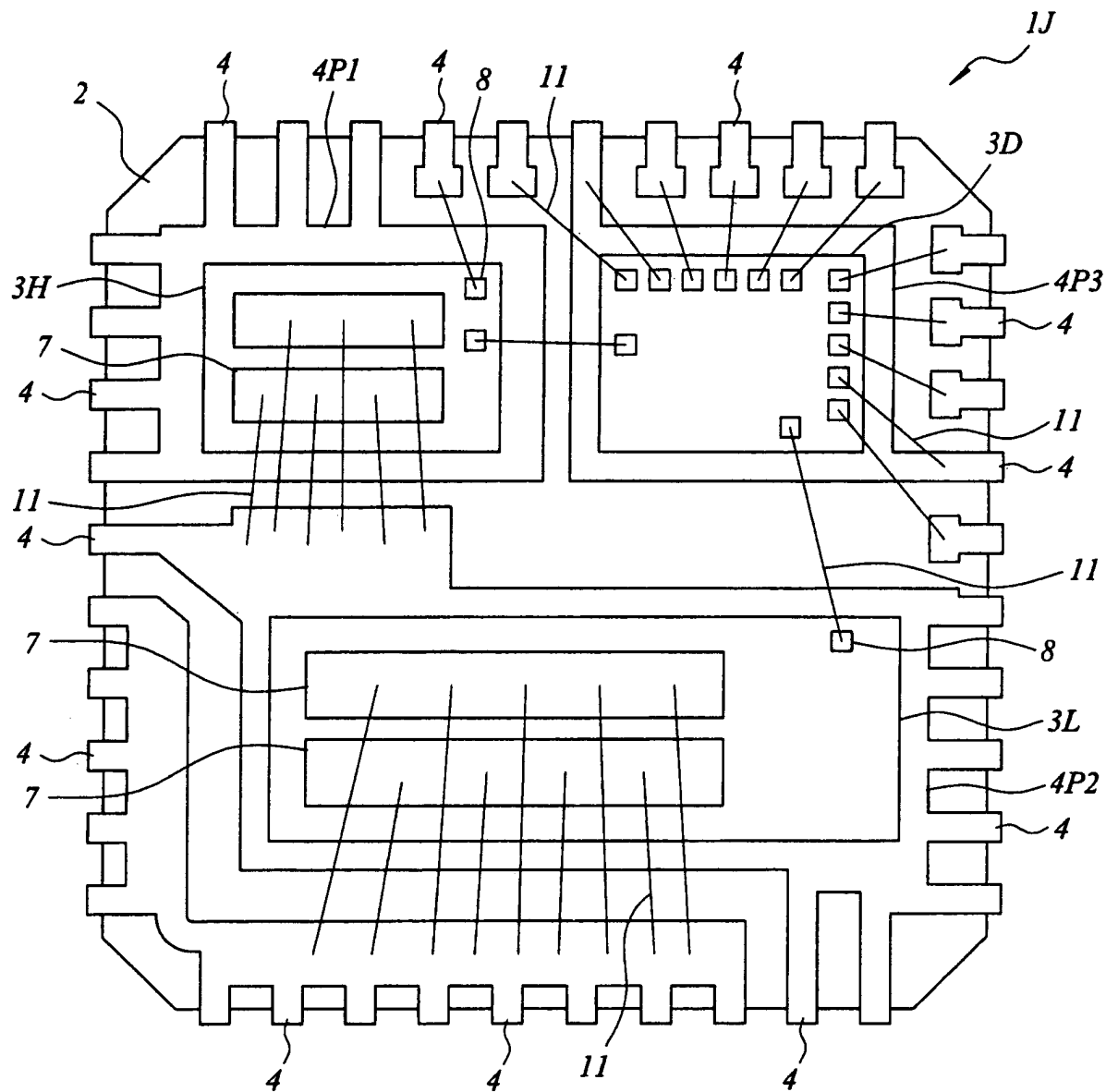


圖 37

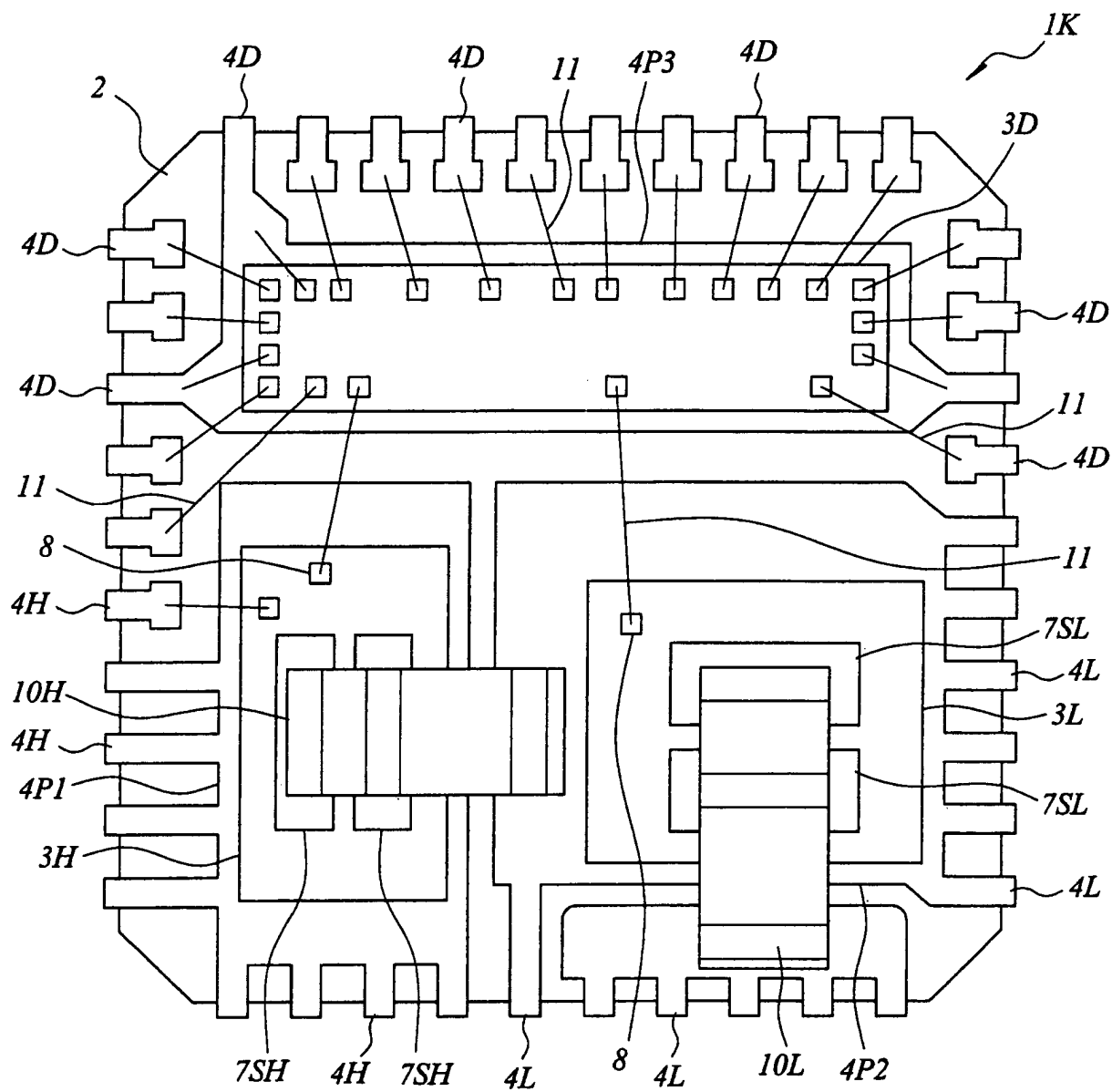


圖 38

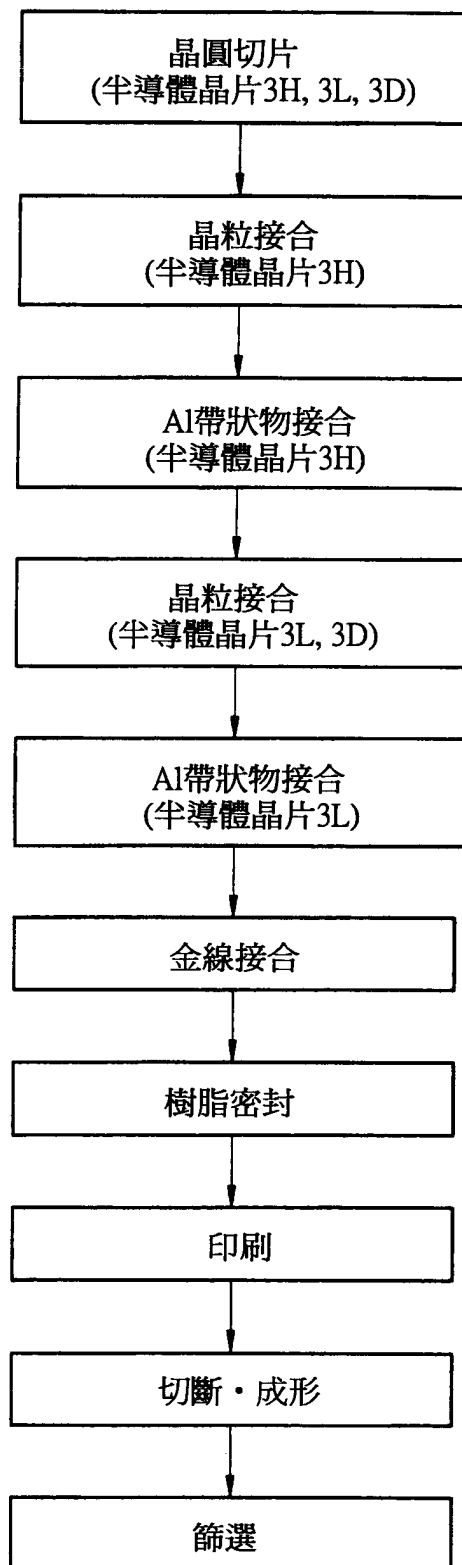


圖 40

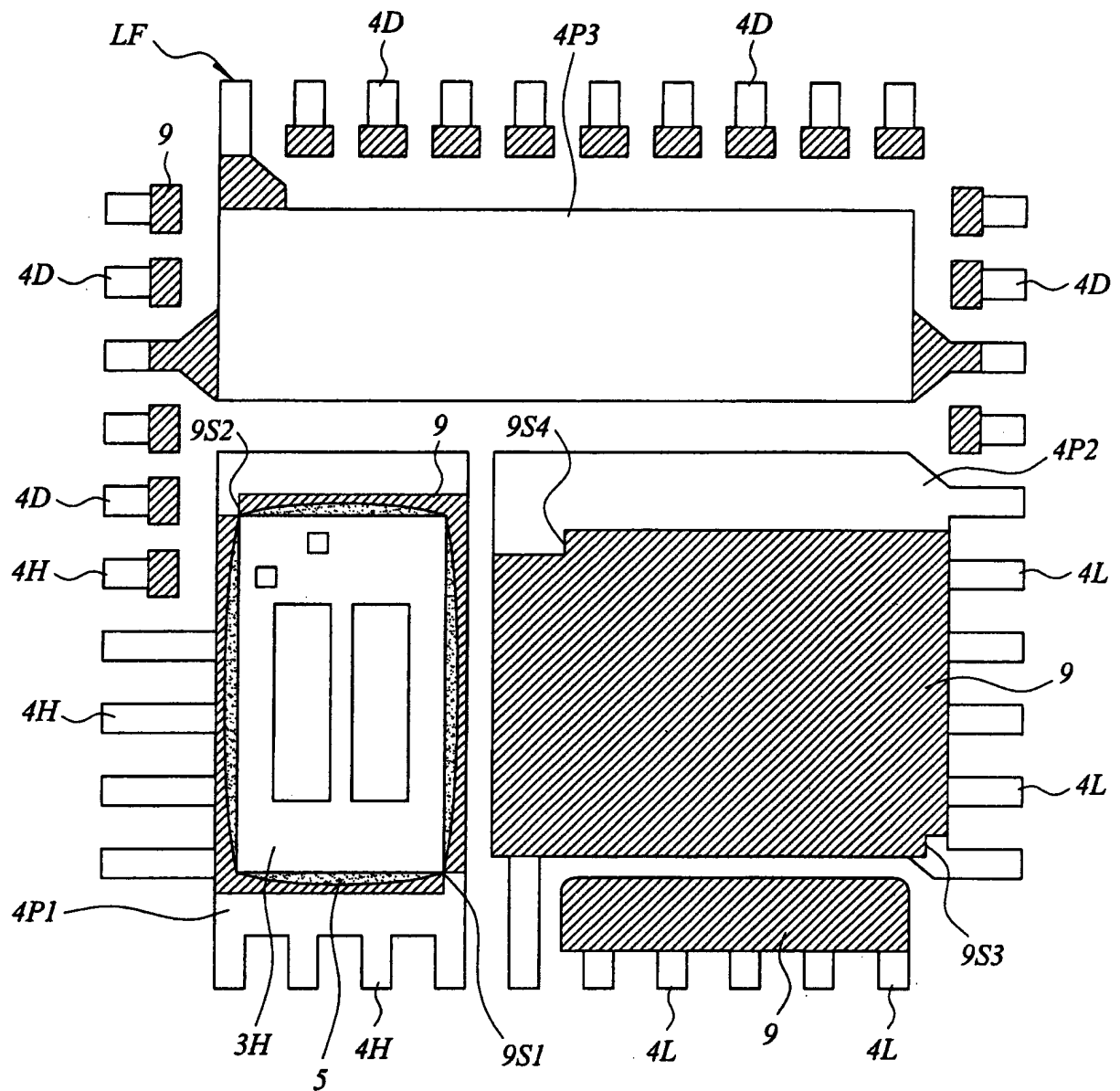


圖 41

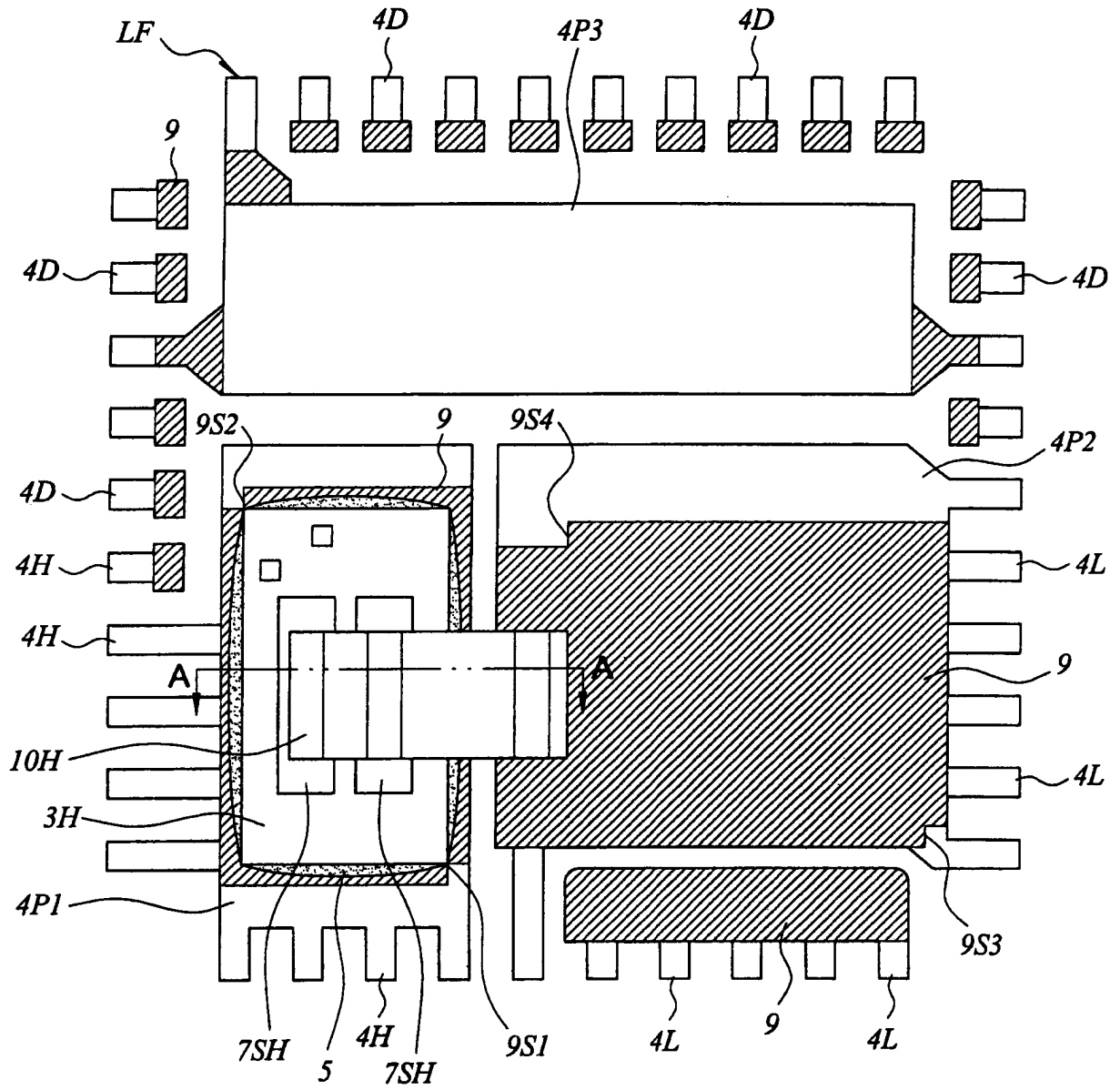


圖42

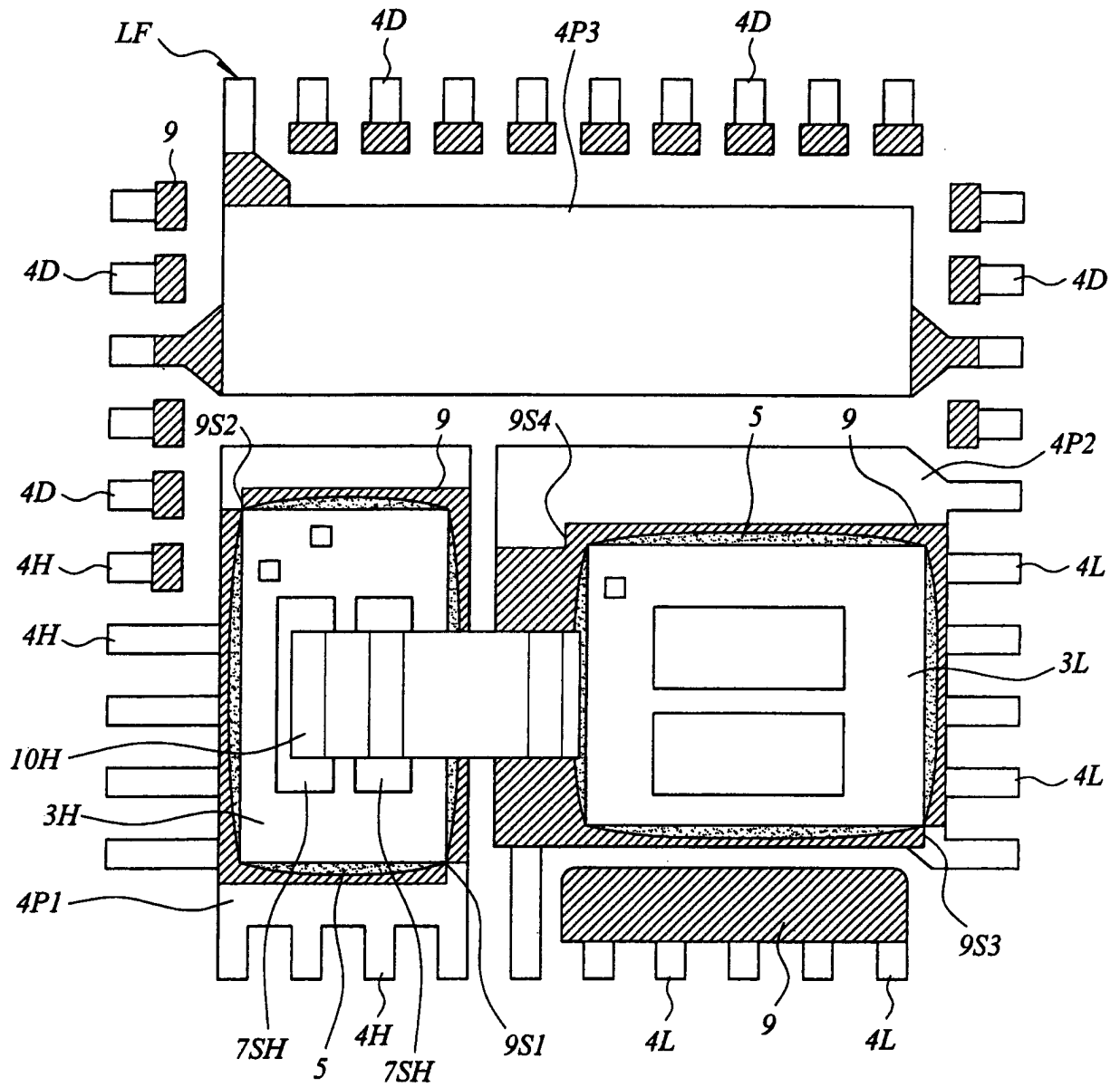


圖43

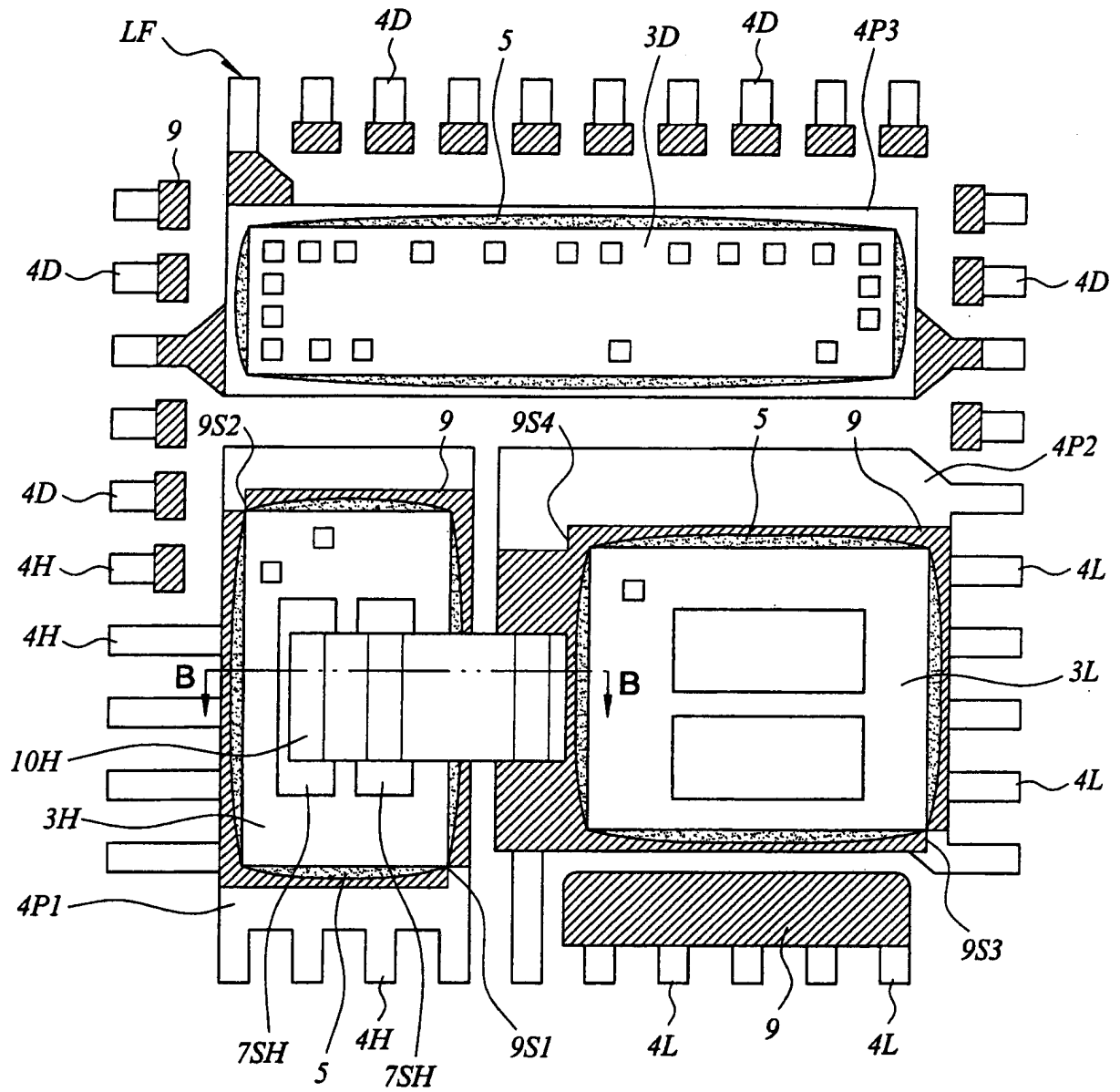


圖 44

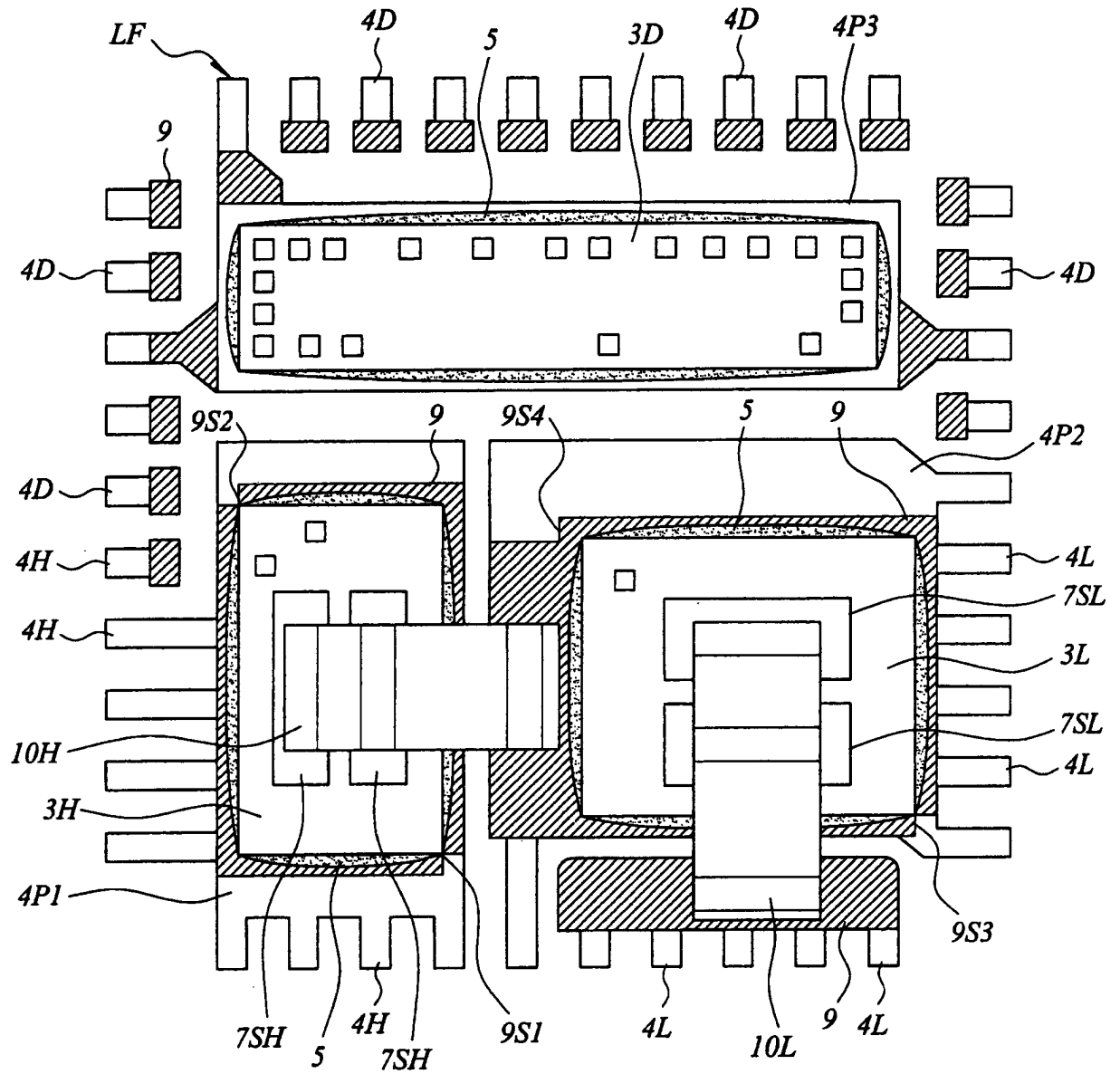


圖 46

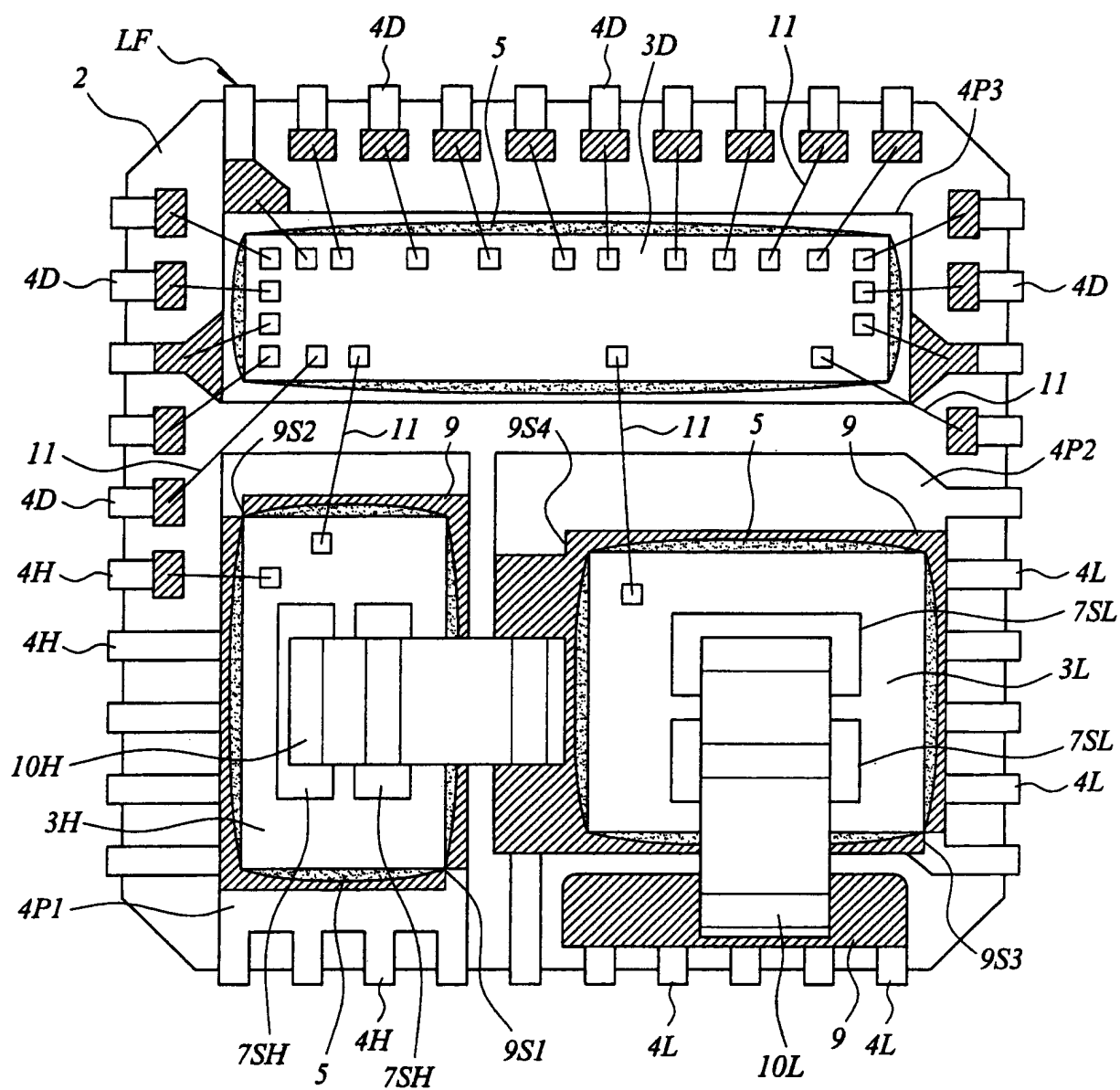
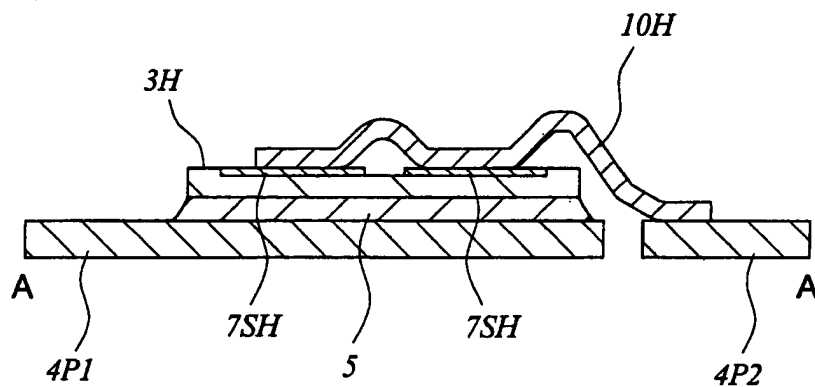
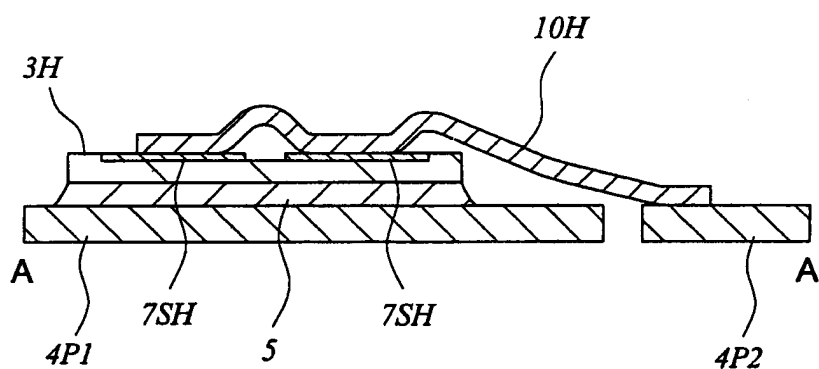


圖47

(a)



(b)



(c)

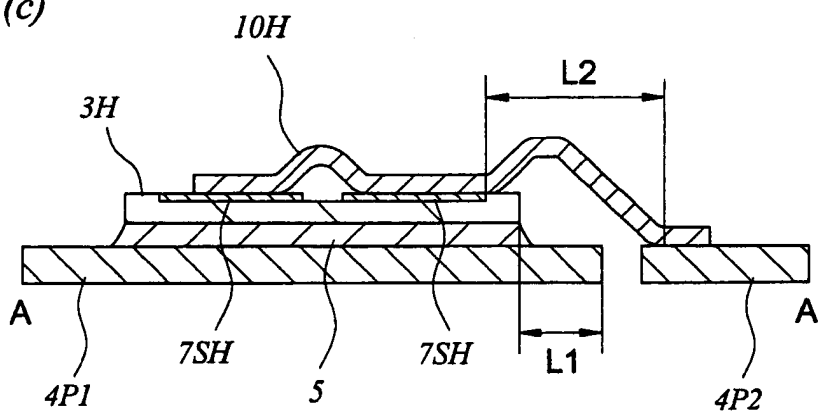
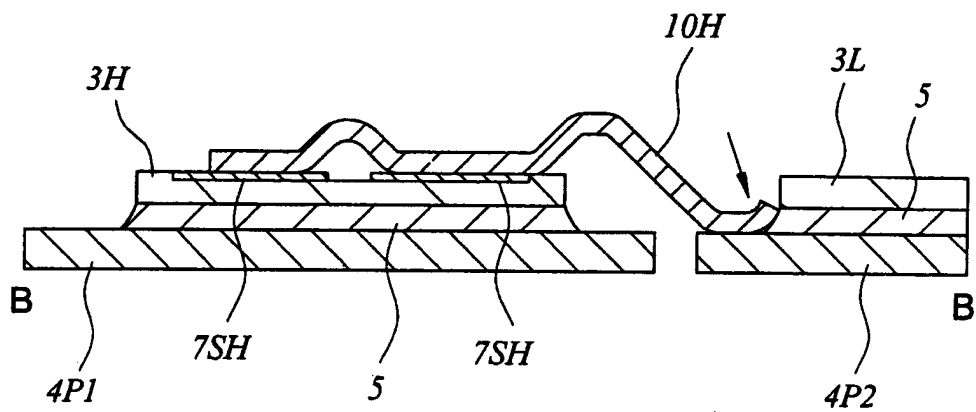
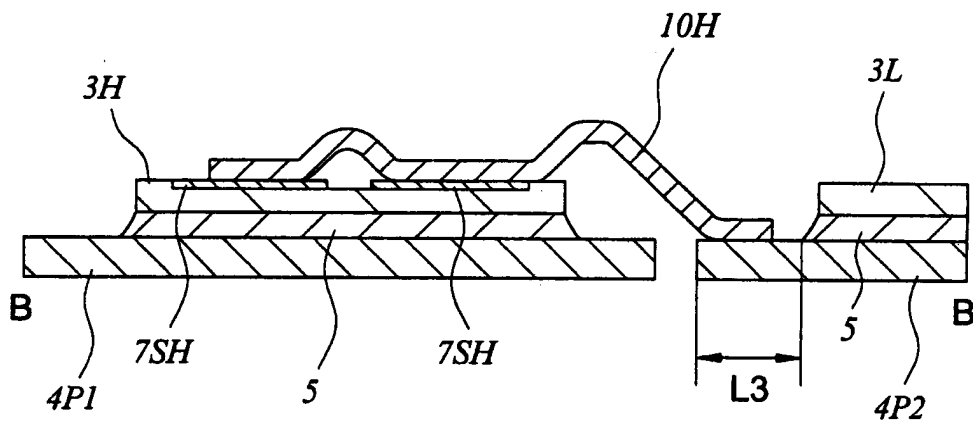


圖 48

(a)



(b)



四、指定代表圖：

(一)、本案指定代表圖為：第(16)圖。

(二)、本代表圖之元件代表符號簡單說明：

1D：半導體裝置

2：模塑樹脂

3H、3L：矽晶片（半導體晶片）

4D1、4D2：汲極引線

4G1、4G2：閘極引線

4S1、4S2：源極引線

4P1、4P2：晶粒焊墊部

7：源極焊墊

8：閘極焊墊

10：Al帶狀物

11：金線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無