(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 7 月 29 日(29.07.2010)

PCT

(10) 国際公開番号
WO 2010/084550 A1

(51) 国際特許分類:
H01L 25/065 (2006.01) *H01L 25/07* (2006.01)
H01L 23/58 (2006.01) *H01L 25/18* (2006.01)

(21) 国際出願番号: PCT/JP2009/006949

(22) 国際出願日: 2009 年 12 月 17 日(17.12.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-011732 2009 年 1 月 22 日(22.01.2009) JP

(71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社(Sanken Electric Co., Ltd.) [JP/JP]; 〒3528666 埼玉県新座市北野３丁目６番３号 Saitama (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 井上隆(INOUE, Takashi) [JP/JP]; 〒3528666 埼玉県新座市北野３丁目６番３号 サンケン電気株式会社内 Saitama (JP). 金澤正喜 (KANAZAWA, Masaki) [JP/JP]; 〒3528666 埼玉県新座市北野３丁目６番３号 サンケン電気株式会社内 Saitama (JP).

(74) 代理人: 堀城之, 外 (HORI, Shiroyuki et al.); 〒1000013 東京都千代田区霞が関３－３－１ 尚友会館１階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

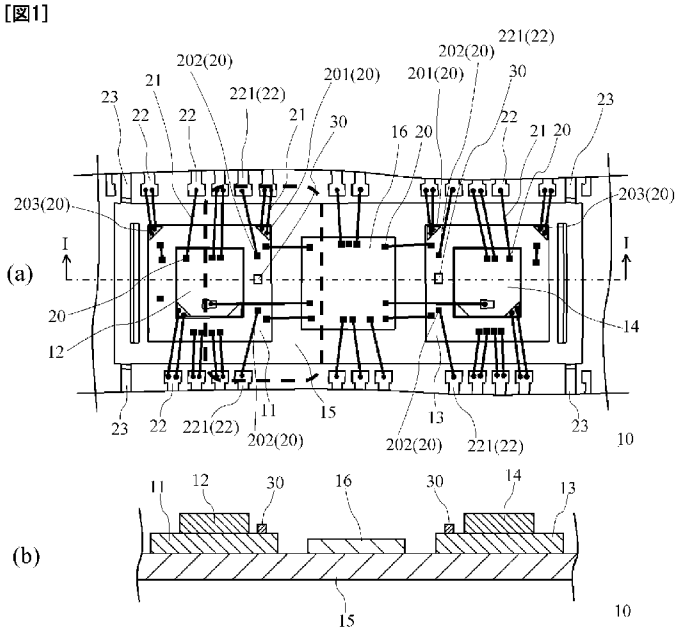
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SEMICONDUCTOR MODULE AND CONTROL METHOD OF SAME

(54) 発明の名称 : 半導体モジュール及びその制御方法

[図1]



(57) **Abstract**: A high density semiconductor module able to suitably detect temperature rise and perform suitable control. A multilayer structure comprising a lower layer chip (11) and an upper layer chip (12) is mounted on top of a lead frame (15) formed from copper or other material with high thermal conductivity. Similarly, another multilayer structure comprising a lower layer chip (13) and an upper layer chip (14) is mounted on top of the lead frame (15). Further, a control circuit chip (16) is mounted between these two multilayer structures. Temperature sensors (30) are mounted to the inward sides (the sides where the control circuit chip (16) is located) on the upper surfaces of the lower chips (11, 13). The temperature sensors (30) are set on top of the interconnect (41) which serves as the current path.

(57) 要約: 温度上昇を適切に感知して適切な制御を行うことのできる高密度の半導体モジュールを得る。 高熱伝導率をもつ銅等で構成されるリードフレーム１５上に、下層チップ１１と上層チップ１２が積層された積層構造が搭載されている。同様に、このリードフレーム１５上に、下層チップ１３と上層チップ１４が積層された積層構造が搭載されている。また、これらの２つの積層構造の間に、制御回路チップ１６が搭載される。下層チップ１１、１３の上面における内側（制御回路チップ１６のある側）に、温度センサ３０が搭載される。電流経路となる配線４１上に温度センサ３０が設置されている。

WO 2010/084550 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体モジュール及びその制御方法

技術分野

[0001] 本発明は、複数の半導体チップを搭載して構成される半導体モジュールの構成、及びその制御方法に関する。

背景技術

[0002] 例えば、自動車のランプ等を駆動するためには数百Ｖ以上の高電圧を要する場合がある。このため、ランプ駆動用には、この高電圧を発生させるための電源回路が形成された半導体モジュールが使用される。この半導体モジュールの回路構成の一例を図５に示す。この電源回路９０は、４つのＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）９１～９４を用いたフルブリッジ回路である。また、全体を制御する制御回路９５が接続されており、非常時に回路動作の切断等を行うことができる。この半導体モジュールの出力は、図５中の２つのＯＵＴ端子から取り出され、ランプ１００に印加される。なお、以下では、通常のＩＧＢＴのコレクタ・エミッタ間に内蔵ダイオードが接続された図に示された構成をＩＧＢＴと呼称する。

[0003] 図５の構成の回路構成を構成する各部品（ＩＧＢＴ等）が銅製のリードフレーム上に搭載され、パッケージ内に封入されて半導体モジュールが構成される。この半導体モジュールを小型化するためには、各部品を高密度に実装することが必要である。このために、例えば、特許文献１においては、リードフレーム上で部品（チップ）を積層することにより高密度化をした半導体モジュールが記載されている。

[0004] 一方、前記の通り、こうした半導体モジュールにおいては、高電圧、大電流が用いられる。ところが、例えばＩＧＢＴ等に過電流が流れた場合に、ＩＧＢＴ自身は破損しないがランプ１００に過電流が流れてランプ１００が破損することがある。こうした状況を抑止するために、上記のような積層チッ

プにおける下層のチップ中に、トランジスタと同様に予め温度センサ及び熱過負荷保護回路を形成しておく構成が特許文献２に記載されている。この構成においては、下層のチップが過電流によって発熱した際に、その温度が検出され、自動的にその動作を停止させることができる。

[0005] こうした構成により、過電流を負荷（ランプ）に供給することのない大電力用、かつ高密度の半導体モジュールを得ることができた。

先行技術文献

特許文献

[0006] 特許文献1：特開２０００－１６４８００号公報

特許文献2：特許第４０１４６５２号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献２に記載の構造において直接検出される温度は下層のチップ内の温度である。更に、下層のチップ内においてこの温度センサが配置される場所は、チップ内の各素子（ＩＧＢＴ等）や熱過負荷保護回路のレイアウトに影響されるため、限定される。従って、この温度センサを設置する個所には自由度がなく、最も温度が上昇する箇所にこの温度センサを配置することは実際には困難である。

[0008] 従って、温度上昇を適切に関知して適切な制御を行うことができる高密度の半導体モジュールを得ることは困難であった。

[0009] 本発明は、かかる問題点に鑑みてなされたものであり、上記問題点を解決する発明を提供することを目的とする。

課題を解決するための手段

[0010] 本発明は、上記課題を解決すべく、以下に掲げる構成とした。

本発明の半導体モジュールは、半導体素子が形成された下層チップ上に、半導体素子が形成された上層チップが積層された積層構造が基板上に設置された構成を具備する半導体モジュールであって、前記半導体モジュールの中

心側において、前記積層構造上における電流経路の上に温度センサが設置されたことを特徴とする。

本発明の半導体モジュールにおいて、前記温度センサは前記下層チップ上に設置されたことを特徴とする。

本発明の半導体モジュールにおいて、前記温度センサは前記上層チップ上に設置されたことを特徴とする。

本発明の半導体モジュールにおいて、複数の前記積層構造が前記基板上に設置されたことを特徴とする。

本発明の半導体モジュールは、２つ以上の前記積層構造と、他の半導体チップとが前記基板上に設置されたことを特徴とする。

本発明の半導体モジュールは、２つの前記積層構造の間に他の半導体チップが配列されて前記基板上に設置されたことを特徴とする。

本発明の半導体モジュールにおいて、前記他の半導体チップには前記半導体モジュールの動作を制御する制御回路が形成され、前記温度センサの出力は前記制御回路に接続されたことを特徴とする。

本発明の半導体モジュールは、前記温度センサからの出力信号を前記半導体モジュールの外部に取り出す端子を具備することを特徴とする。

本発明の半導体モジュールにおいて、前記下層チップの半導体素子と前記上層チップの半導体素子とでハーフブリッジ回路が構成されることを特徴とする。

本発明の半導体モジュールの制御方法は、半導体素子が形成された下層チップ上に、半導体素子が形成された上層チップが積層された積層構造が基板上に設置された構成を具備する半導体モジュールの制御方法であって、前記半導体モジュールの中心側において、前記積層構造上における電流経路の上に温度センサを設置し、該温度センサの出力に基づいて前記半導体モジュールの動作を遮断することを特徴とする。

本発明の半導体モジュールの制御方法において、前記半導体モジュールの動作を制御する制御回路が形成され前記温度センサの出力が前記制御回路に

接続された他の半導体チップを前記基板上に設置し、前記制御回路が前記半導体モジュールの動作を遮断することを特徴とする。

発明の効果

[0011] 本発明は以上のように構成されているので、温度上昇を適切に関知して適切な制御を行うことのできる高密度の半導体モジュールを得ることができる。

図面の簡単な説明

[0012] [図1]本発明の実施の形態に係る半導体モジュールの構成を示す上面図（ａ）及び断面図（ｂ）である。

[図2]本発明の実施の形態に係る半導体モジュールにおける温度センサ付近の構成を拡大して示す斜視図である。

[図3]本発明の実施の形態に係る半導体モジュールの変形例を示す斜視図である。

[図4]本発明の実施の形態に係る半導体モジュールの他の変形例を示す上面図である。

[図5]電源回路の構成の一例を示す図である。

発明を実施するための形態

[0013] 以下、本発明の半導体装置の製造方法を実施するための最良の形態となる半導体モジュールにつき説明する。この半導体モジュールにおいては、半導体チップが積層された積層構造が２組配置され、これらの積層構造の間に他の半導体チップである制御回路チップが配置される。

[0014] 図１（ａ）は、本発明の実施の形態となる半導体モジュール１０の構成の上面図であり、図１（ｂ）は、そのＩ－Ｉ方向における断面図である。実際にはこの構造の半導体モジュール１０は、パッケージ内でモールド材中に封入されているが、ここではパッケージ及びモールド材の記載は省略されている。

[0015] また、この半導体モジュール１０の回路構成には、図５中の破線で囲まれた範囲内のものが含まれる。すなわち、ＩＧＢＴ９１～９４、制御回路９５

が含まれ、ＩＧＢＴ９１～９４を用いたフルブリッジ回路が構成されている。ここでは、高熱伝導率をもつ銅等で構成されるリードフレーム（基板）１５上に、ハイサイド（高電位側）のＩＧＢＴ９１を内蔵する下層チップ１１とローサイド（低電位）のＩＧＢＴ９２を内蔵する上層チップ１２が積層された積層構造が搭載されている。同様に、このリードフレーム１５上に、ハイサイドのＩＧＢＴ９３を内蔵する下層チップ１３とローサイド（低電位）のＩＧＢＴ９４を内蔵する上層チップ１４が積層された積層構造が搭載されている。また、これらの２つの積層構造の間に、制御回路９５を内蔵する制御回路チップ（他の半導体チップ）１６が搭載される。なお、リードフレーム（基板）１５と下層チップ１１、１３との間、及び下層チップ１１、１３と上層チップ１２、１４との間は互いにはんだ層によって接合されている。また、リードフレーム（基板）１５と制御回路チップ１６とは絶縁性接着剤によって接合されている。ただし、これらの接合層については、図１等において、その記載は省略されている。

[0016] リードフレーム１５上に搭載されたこれらの各チップ間における電気的接続は、各チップの上面に形成された複数のパッド２０間に接続されたボンディングワイヤ（例えば３８μｍφの金線）２１によってなされ、上記の回路が構成される。ただし、図５における接続点Ａ（ＩＧＢＴ９１のエミッタとＩＧＢＴ９２のコレクタの接続点）、接続点Ｂ（ＩＧＢＴ９３のエミッタとＩＧＢＴ９４のコレクタの接続点）におけるこれらの接続は、それぞれ下層チップ１１と上層チップ１２間のはんだ層、下層チップ１３と上層チップ１４間のはんだ層によって行われる。図５におけるＯＵＴ端子に接続されるパッドは、パッド２０のうちの２つであるパッド２０１とされ、ＩＧＢＴ９１のコレクタ（接続点Ｃ）、ＩＧＢＴ９３のコレクタ（接続点Ｄ）に接続されるパッドは、パッド２０の中のうちの２つであるパッド２０３とされる。また、図１におけるパッド２０１、２０３はチップ角部に配置された三角形状であるが、これに限られるものではなく、他の部分に配置され、例えば四角形状とすることも可能である。

[0017] また、この半導体モジュールの入出力は、パッド２０と、上記の構成の外側においてパッケージ（図示せず）に形成された複数の端子２２とがボンディングワイヤ２１で同様に接続されることによって外部と接続される構成となっている。なお、例えば前記のパッド２０１、２０３に接続される場合のように、大電流が流れる箇所においては、ボンディングワイヤ２１を１本ではなく並列に２本以上用いてパッド２０と端子２２とを接続することができる。また、図示していないパッケージは、図１（ａ）における上下の両側に複数のリードが取り出され、図１（ｂ）におけるリードフレーム１５の下面が露出した構成のＳＯＰ（Ｓｍａｌｌ　Ｏｕｔｌｉｎｅ　Ｐａｃｋａｇｅ）となっている。なお、リードフレーム１５の４隅には、放熱端子２３が放熱のために直接接合されている。

[0018] この半導体モジュール１０においては、下層チップ１１、１３の上面における内側（制御回路チップ１６のある側）に、温度センサ３０が搭載される。温度センサ３０は、例えばダイオードで構成され、温度変動に伴う電圧変化によって温度を検出することができる。従って、温度センサ３０には２つの端子が設けられ、前記と同様に、パッド２０に含まれるパッド２０２と、ボンディングワイヤ２１とを介して、端子２２に含まれる端子２２１に接続される。これにより、ここで検出された温度も、この半導体モジュールの出力の一つとなり、外部からこの温度を認識することができる。

[0019] 図２は、図１の構造において、図１（ａ）中で破線で囲まれた部分の構成を詳細に示す拡大斜視図である。ここでは、下層チップ１１中には、パッド２０１から点線で示された配線４１が形成されており、ＩＧＢＴ９１のエミッタ（Ａ）に接続されている。すなわち、図５におけるＩＧＢＴ９１のエミッタ（Ａ）には、パッド２０１から配線４１を介して大電流が流れる。この電流経路となる配線４１上に温度センサ３０が設置されている。

[0020] また、温度センサ３０の２つの端子とパッド２０２との間の接続も、図２に示されるように、下層チップ１１中、あるいは下層チップ上に形成された配線４２を介して行われる。また、温度センサ３０自身に直接ボンディング

ワイヤ２１を接続する構成としてもよい。なお、図２に示された構造は、下層チップ１３、上層チップ１４においても同様である。

[0021] この構成においては、温度センサ３０は、下層チップ１１、１３において大電流が流れる箇所（配線４１）の直上の温度を測定することができる。すなわち、この温度センサ３０は、上記の積層構造において最も温度が高くなる箇所の温度を測定することができる。

[0022] 更に、この熱は、はんだ層を介して、高い熱伝導率をもつリードフレーム１５から放熱され、更に、リードフレーム１５の４隅の放熱端子２３を介して放熱される。また、モールド材を介してパッケージから放熱される。この際、上記の通り、この半導体モジュールは図１中で左右対称の形状をしているため、その両端部での放熱効率が高く、中央部で低くなる。従って、中央部の温度が高く、両側の温度が低い温度分布となる。従って、この温度センサ３０は、この半導体モジュール１０において最も温度の高くなる箇所の温度を測定することができる。

[0023] これに対し、特許文献２に記載の構造においては、同様に温度センサが用いられるものの、温度センサを半導体チップ内に半導体素子と同様に形成するため、その設置個所（温度測定個所）には自由度がない。あるいは、半導体チップ製造後にこの設置個所を変更することが不可能である。

[0024] 従って、この半導体モジュール１０においては、温度上昇を適切に感知し、この温度に基づいて適切な制御を行うことができる。従って、この半導体モジュールを安全に使用することができる。この際、下層チップと上層チップとが積層されているため、この半導体モジュールを高密度とすることもできる。

[0025] また、温度センサ３０からの出力を上記と同様にパッド２０、ボンディングワイヤ２１によって制御回路チップ１６に接続し、この制御を制御回路９５によって行わせることもできる。この場合、この制御がこの半導体モジュール内で自動的に行われることになる。すなわち、この半導体モジュールにおいては、温度センサ３０の出力に基づいてその動作をオフするという制御

を、半導体モジュール外、あるいは半導体モジュール内部で行うことができる。

[0026] また、図１の構成以外にも、チップのレイアウトに応じて温度センサ３０の位置は適宜変更できる。図３は、図１に示された以外の構成の一例を示す図である。この例においては、温度センサ３０は、下層チップ１１ではなく、上層チップ１２上に形成されている。この場合においても、電流経路（配線４１）の直上かつ内側（図３中の右側）に温度センサ３０を設置し、その出力が外部に取り出される構成となっている。

[0027] また、例えば、ＩＧＢＴを６個用いる構成として、例えば、ハーフブリッジ回路３個とした場合や、フルブリッジ回路１個とハーフブリッジ１個の構成を用いた場合には、図４にその上面図を示すように、ハイサイド側のＩＧＢＴを内蔵する下層チップ５１～５３上にそれぞれローサイド側のＩＧＢＴを内蔵する上層チップ５４～５６が積層され、制御回路チップ５７を含んで縦横２列にリードフレーム５８上に配列される。この場合においても、下層チップ５１～５３の上面の内側に、同様に温度センサ３０を設置することができる。なお、図４においては、パッド、ボンディングワイヤ、端子、配線等の記載は省略している。

[0028] 図３、図４の構成においても、温度上昇を適切に感知し、この温度に基づいて適切な制御を行うことができるという上記の点は同様である。

[0029] なお、上記の例では、温度センサ３０を電流経路（配線４１）の直上に設置したが、高温となった箇所の温度を適切に感知するという観点からは、これに限られるものではなく、電流経路の近傍に設置することもできる。

[0030] また、上記の例では、基板として銅製のリードフレームを用いた場合につき記載したが、これに限られるものではなく、例えば絶縁性のセラミック基板等を用いることも可能である。

[0031] なお、上記の例では、ＩＧＢＴが形成されたチップを下層チップ及び上層チップとした積層構造を用いた例につき記載したが、これに限られるものではない。例えば、パワーＭＯＳＦＥＴ、パワーダイオード等、他の半導体素

子であって、特に大電流で駆動する素子が形成されたチップを同様に積層して用いることができることは明らかである。この場合、図５に示す電源回路以外の回路においても同様の構成とすることができる。

符号の説明

[0032] １０　半導体モジュール

１１、１３、５１～５３　下層チップ

１２、１４　５４～５６　上層チップ

１５　リードフレーム（基板）

１６　制御回路チップ（他の半導体チップ）

２０、２０１、２０２、２０３　パッド

２１　ボンディングワイヤ

２２、２２１　端子

２３、放熱端子

３０　温度センサ

４１、４２　配線

９０　電源回路

９１～９４　絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ）

９５　制御回路

１００　ランプ

請求の範囲

[請求項1] 半導体素子が形成された下層チップ上に、半導体素子が形成された上層チップが積層された積層構造が基板上に設置された構成を具備する半導体モジュールであって、

前記半導体モジュールの中心側において、前記積層構造上における電流経路の上に温度センサが設置されたことを特徴とする半導体モジュール。

[請求項2] 前記温度センサは前記下層チップ上に設置されたことを特徴とする請求項１に記載の半導体モジュール。

[請求項3] 前記温度センサは前記上層チップ上に設置されたことを特徴とする請求項１に記載の半導体モジュール。

[請求項4] 複数の前記積層構造が前記基板上に設置されたことを特徴とする請求項１から請求項３までのいずれか１項に記載の半導体モジュール。

[請求項5] ２つ以上の前記積層構造と、他の半導体チップとが前記基板上に設置されたことを特徴とする請求項４に記載の半導体モジュール。

[請求項6] ２つの前記積層構造の間に他の半導体チップが配列されて前記基板上に設置されたことを特徴とする請求項４に記載の半導体モジュール。

[請求項7] 前記他の半導体チップには前記半導体モジュールの動作を制御する制御回路が形成され、前記温度センサの出力は前記制御回路に接続されたことを特徴とする請求項４から請求項６までのいずれか１項に記載の半導体モジュール。

[請求項8] 前記温度センサからの出力信号を前記半導体モジュールの外部に取り出す端子を具備することを特徴とする請求項１から請求項７までのいずれか１項に記載の半導体モジュール。

[請求項9] 前記下層チップの半導体素子と前記上層チップの半導体素子とでハーフブリッジ回路が構成されることを特徴とする請求項１から請求項８までのいずれか１項に記載の半導体モジュール。

[請求項10] 半導体素子が形成された下層チップ上に、半導体素子が形成された上層チップが積層された積層構造が基板上に設置された構成を具備する半導体モジュールの制御方法であって、

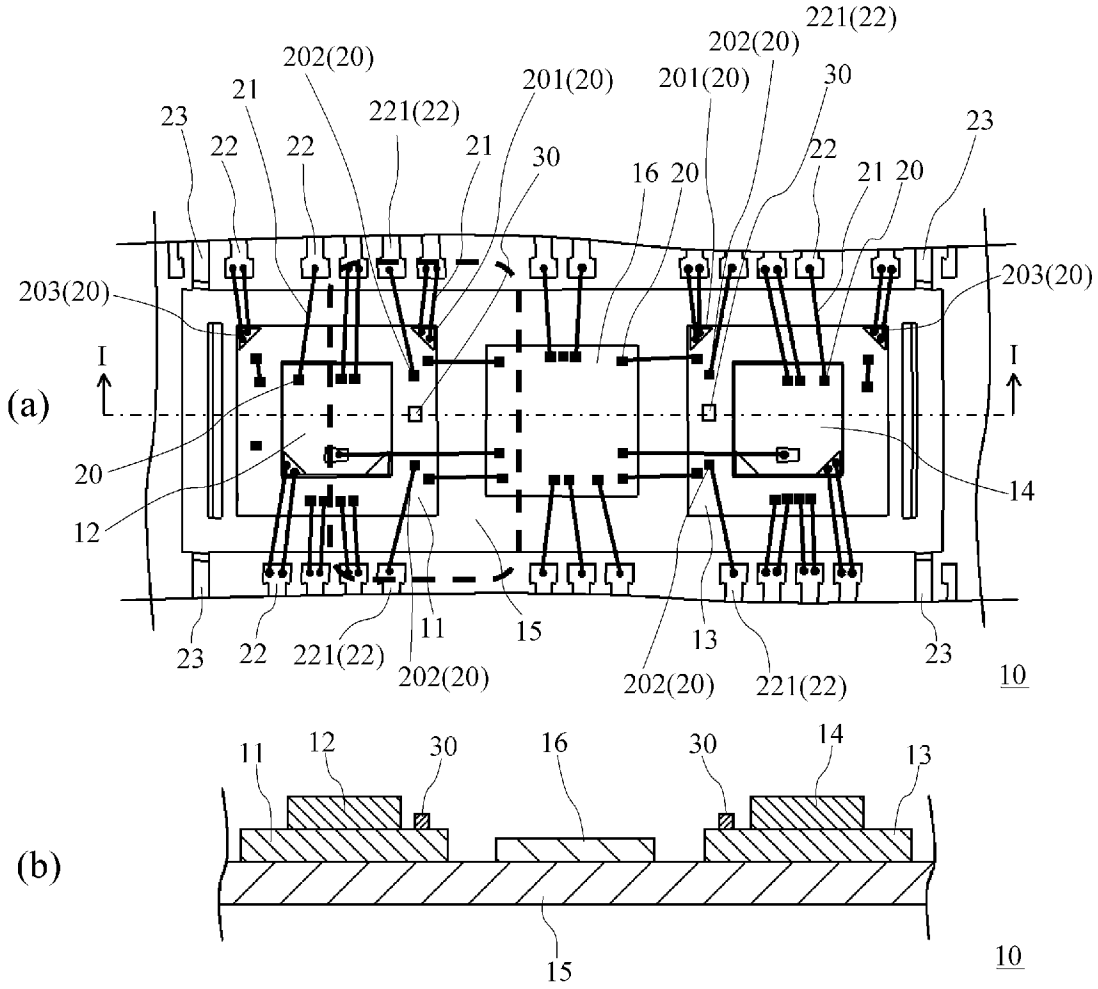
前記半導体モジュールの中心側において、前記積層構造上における電流経路の上に温度センサを設置し、

該温度センサの出力に基づいて前記半導体モジュールの動作を遮断することを特徴とする半導体モジュールの制御方法。

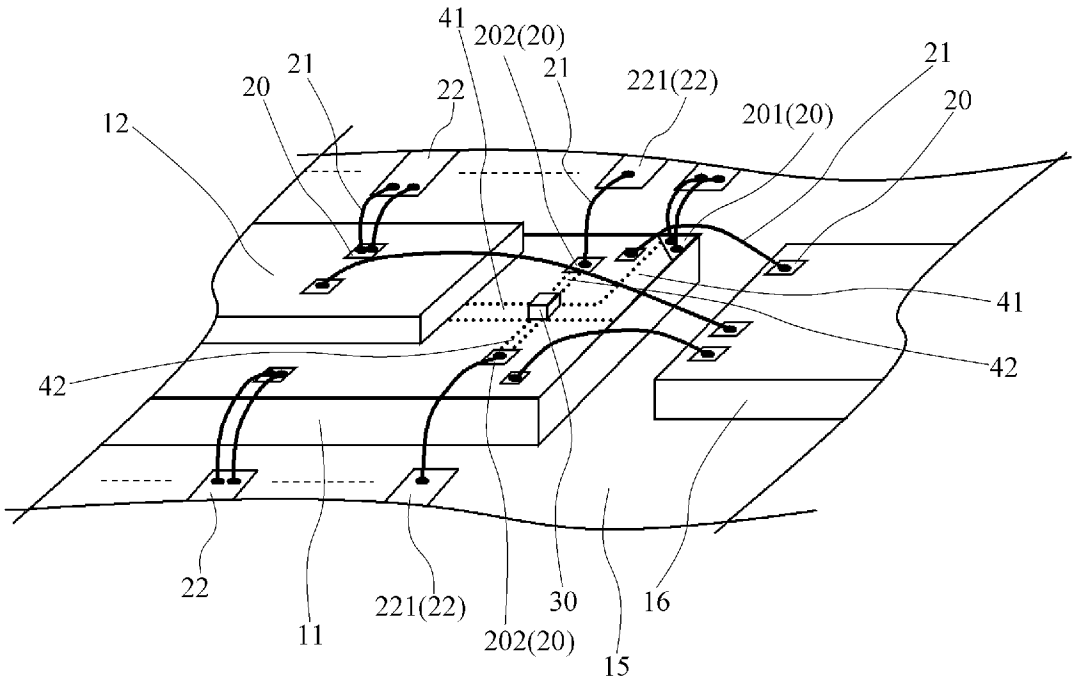
[請求項11] 前記半導体モジュールの動作を制御する制御回路が形成され前記温度センサの出力が前記制御回路に接続された他の半導体チップを前記基板上に設置し、

前記制御回路が前記半導体モジュールの動作を遮断することを特徴とする請求項１０に記載の半導体モジュールの制御方法。

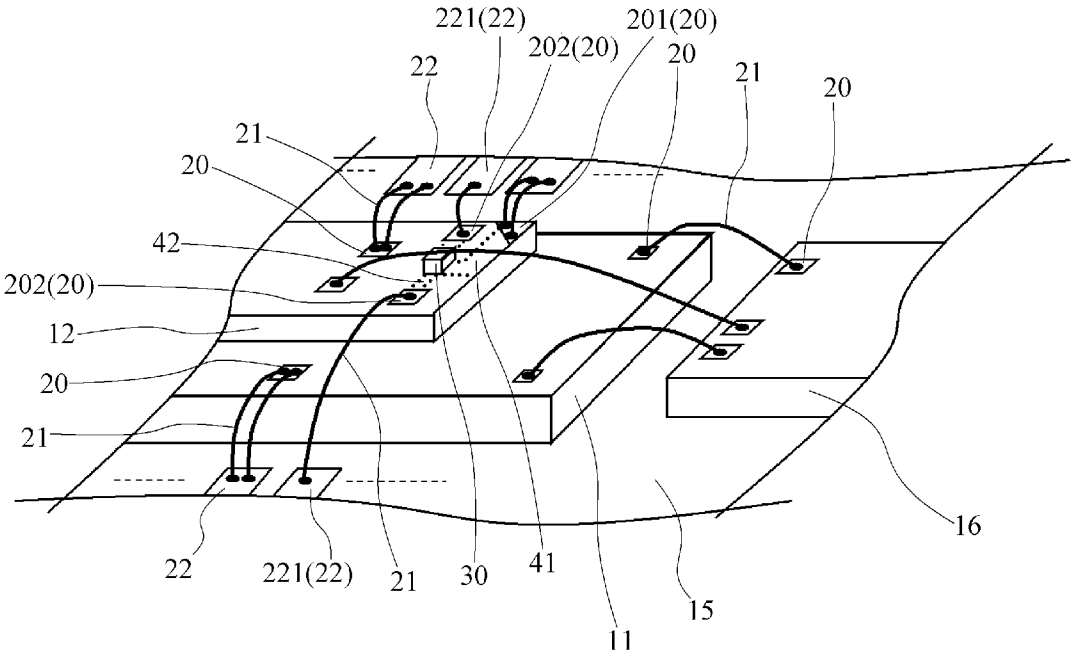
[図1]


(a)
(b)
202(20)
21
23
22
221(22)
201(20)
30
16
20
203(20)
I
12
14
11
15
13
10

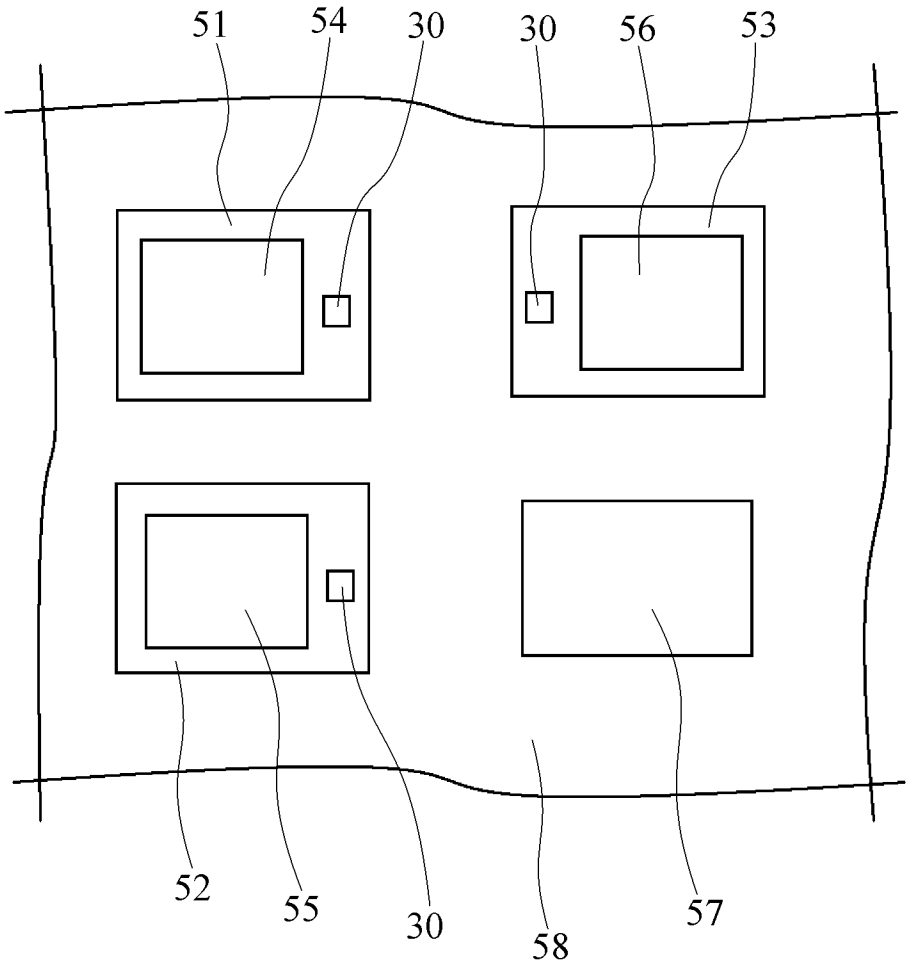
[図2]


41
202(20)
21
20
22
221(22)
201(20)
12
42
11
15
16
30

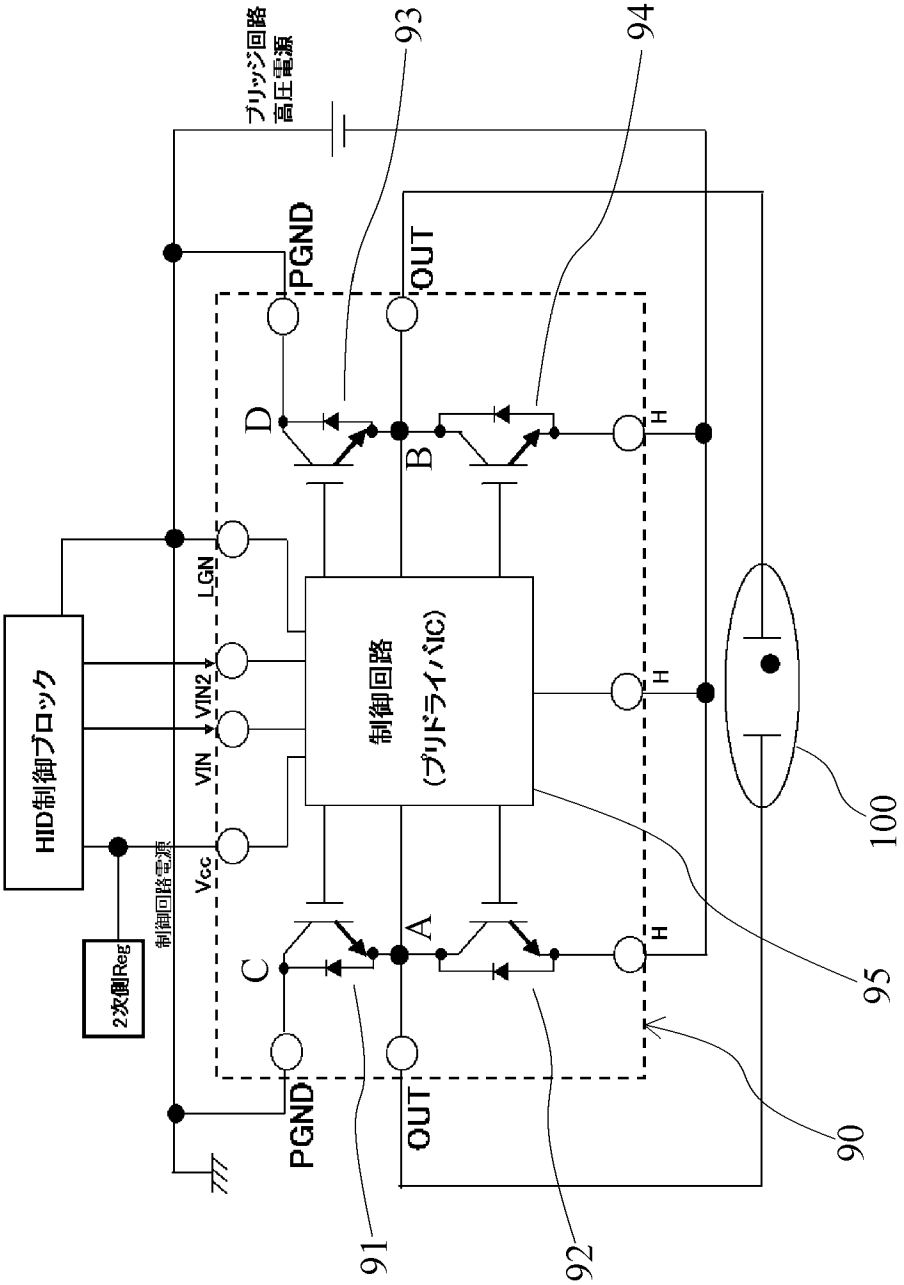
[図3]


221(22)
201(20)
202(20)
20
21
20
22
21
20
42
202(20)
12
20
21
16
22
221(22)
21
30
41
15
11

[図4]


51
54
30
30
56
53
52
55
30
58
57

[図5]


ブリッジ回路
高圧電源
93
94
PGND
OUT
D
B
H
LGN
HID制御ブロック
制御回路
(プリドライバIC)
VIN2
VIN
Vcc
制御回路電源
2次側Reg
C
A
100
95
90
91
92

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/006949

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/065(2006.01)i, *H01L23/58*(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/065, H01L23/58, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-344967 A (Hitachi, Ltd.), 14 December 2001 (14.12.2001), paragraphs [0025], [0090] to [0095]; fig. 16 to 20 & US 2001/0048616 A1 & US 2001/0046167 A1 & US 2002/0131318 A1 & US 2003/0206478 A1 & US 2005/0128853 A1 & TW 286317 B	1-3
X Y	JP 63-87758 A (Siemens AG.), 19 April 1988 (19.04.1988), page 2, lower left column, line 15 to page 4, upper left column, line 2; fig. 1 to 5 & US 2001/0048616 A1 & US 2001/0046167 A1 & US 2002/0131318 A1 & US 2003/0206478 A1 & US 2005/0128853 A1 & TW 286317 B	1-2,8-9 4-7,10-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 March, 2010 (02.03.10)	16 March, 2010 (16.03.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/006949

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-142689 A (Mitsubishi Electric Corp.), 16 May 2003 (16.05.2003), paragraphs [0103] to [0123]; fig. 8 & DE 10229625 A	4-7
Y	JP 2001-501043 A (Koninklijke Philips Electronics N.V.), 23 January 2001 (23.01.2001), page 16, lines 13 to 16; fig. 6 & US 6055148 A & GB 9715168 A0 & EP 927433 A & WO 1999/004433 A2	10-11
A	JP 7-122706 A (Rohm Co., Ltd.), 12 May 1995 (12.05.1995), column 3, line 11 to column 4, line 31; fig. 1 to 3 (Family: none)	1-11
A	JP 2001-156241 A (Matsushita Electric Works, Ltd.), 08 June 2001 (08.06.2001), column 3, lines 5 to 17; fig. 1 to 2 (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００６９４９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/065(2006.01)i, H01L23/58(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/065, H01L23/58, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１０年
日本国実用新案登録公報	１９９６－２０１０年
日本国登録実用新案公報	１９９４－２０１０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2001-344967 A (株式会社日立製作所) 2001.12.14, 【0025】, 【0090】-【0095】, 図 16-20 & US 2001/0048616 A1 & US 2001/0046167 A1 & US 2002/0131318 A1 & US 2003/0206478 A1 & US 2005/0128853 A1 & TW 286317 B	1-3
X Y	JP 63-87758 A (シーメンス、アクチエンゲゼルシヤフト) 1988.04.19, 第 2 頁左下欄第 15 行-第 4 頁左上欄第 2 行, FIG. 1-5 & US 2001/0048616 A1 & US 2001/0046167 A1 & US 2002/0131318 A1 & US 2003/0206478 A1 & US 2005/0128853 A1 & TW 286317 B	1-2, 8-9 4-7, 10-11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０２．０３．２０１０	国際調査報告の発送日 １６．０３．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｒ　９５３９ 田中　永一 電話番号　０３－３５８１－１１０１　内線　３４６９

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2003-142689 A (三菱電機株式会社) 2003.05.16, 【0103】-【0123】, 図 8 & DE 10229625 A	4-7
Y	JP 2001-501043 A (コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ) 2001.01.23, 第 16 頁第 13-16 行, 図 6 & US 6055148 A & GB 9715168 A0 & EP 927433 A & WO 1999/004433 A2	10-11
A	JP 7-122706 A (ローム株式会社) 1995.05.12, 第 3 欄第 11 行-第 4 欄第 31 行, 図 1-3　　(ファミリーなし)	1-11
A	JP 2001-156241 A (松下電工株式会社) 2001.06.08, 第 3 欄第 5-17 行, 図 1-2　　(ファミリーなし)	1-11