(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3724882号
(P3724882)
(45)発行日　平成17年12月7日(2005.12.7)　(24)登録日　平成17年9月30日(2005.9.30)

| (51)Int.Cl.[7] | F I | | |
|---|---|---|---|
| H04N 9/07 | H04N | 9/07 | A |
| G02B 5/20 | G02B | 5/20 | 101 |

請求項の数 7　(全 21 頁)

| | |
|---|---|
| (21)出願番号 | 特願平8-214802 |
| (22)出願日 | 平成8年8月14日(1996.8.14) |
| (65)公開番号 | 特開平10-262260 |
| (43)公開日 | 平成10年9月29日(1998.9.29) |
| 審査請求日 | 平成12年1月21日(2000.1.21) |
| 審判番号 | 不服2003-21261(P2003-21261/J1) |
| 審判請求日 | 平成15年10月31日(2003.10.31) |

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100078282
弁理士　山本　秀策
(74)代理人　100062409
弁理士　安村　高明
(74)代理人　100107489
弁理士　大塩　竹志
(72)発明者　渡辺　恭志
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

最終頁に続く

(54)【発明の名称】カラー固体撮像装置

(57)【特許請求の範囲】

【請求項１】

マトリクス状に配列された光電変換を行う複数の画素と、該複数の画素に対応して配置されたカラーフィルタと、を有する固体撮像装置であって、

該カラーフィルタは、分光スペクトル特性が互いに異なる第１のフィルタ、第２のフィルタ、及び第３のフィルタを含み、

該複数の画素は、第１の方向に沿ってピッチＬで配列されて行を形成し、各行は、該第１の方向に直交する第２の方向に沿ってピッチＬ／２で配列され、

偶数番目に配置される各行（偶数行）の該画素は、奇数番目に配置される各行（奇数行）の対応する画素に対してＬ／２だけ該第１の方向にシフトして配置され、

該第１のフィルタは、該奇数行に配列される全ての画素に対応して配置され、

該第２のフィルタは、該偶数行に配列される１画素おきに対応して配置され、

該第３のフィルタは、該偶数行における残りの画素に対応して配置され、

さらに、該第２のフィルタと該第３のフィルタとは、該第２の方向に交互に配置されている、カラー固体撮像装置。

【請求項２】

前記第１のフィルタは緑色フィルタ、第２のフィルタは赤色フィルタ、第３のフィルタは青色フィルタである、請求項１に記載のカラー固体撮像装置。

【請求項３】

前記マトリクス状に配置された複数の画素を、前記第１の方向及び前記第２の方向に走

査することにより、該複数の画素から映像信号が読み出される、請求項１または２に記載のカラー固体撮像装置。

【請求項４】

前記第１の方向に前記複数の画素を走査する第１の走査回路と、前記第２の方向に該複数の画素を走査する第２の走査回路とを備えている、請求項３に記載のカラー固体撮像装置。

【請求項５】

前記第１及び第２の走査回路は、前記マトリクス状に配置された複数の画素を、前記第１の方向及び前記第２の方向ともに順次もれなく走査する、請求項４に記載のカラー固体撮像装置。

【請求項６】

前記第２の走査回路の走査によって各画素から読み出された映像信号を運ぶ複数の垂直信号線と、

各垂直信号線に対して設けられ、該垂直信号線上の該映像信号を保持する複数のメモリ素子と、を有しており、前記第１の走査回路は、該複数のメモリ素子を走査することにより、該メモリ素子に保持された１つの画素の同一の映像信号を少なくとも２回読み出し、そのことにより、前記第２の方向の解像度が実質的に増加する、請求項５に記載のカラー固体撮像装置。

【請求項７】

前記複数のメモリ素子は、前記奇数行の画素に対して設けられた第１のメモリ素子群と、前記偶数行の画素に対して設けられた第２のメモリ素子群とを含み、該第１及び第２のメモリ素子群から読み出された映像信号を運ぶ複数の水平信号線が備えられており、

前記第１の走査回路は、所定の周期で該第１及び第２のメモリ素子群の各メモリ素子に保持されたそれぞれの１つの画素の同一の映像信号を少なくとも２回ずつ読み出し、

該複数の水平信号線のうちの１つの水平信号線から出力される映像信号が１つの水平列の映像信号から次の水平列の映像信号に変化するタイミングと、該複数の水平信号線のうちの該１つの水平信号線と異なる他の１つの水平信号線から出力される映像信号が１つの水平列の映像信号から次の水平列の映像信号に変化するタイミングとが異なっている、請求項６に記載のカラー固体撮像装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明はカラー固体撮像装置に関し、特にプログレッシブスキャン読み出しに用いた場合、高いカラー解像度を得る手法に関する。

【０００２】

【従来の技術】

２次元固体撮像装置は、近年、パーソナルコンピュータ向けの画像入力装置や電子スチルカメラへの需要が増大している。従来、２次元固体撮像装置は、主にビデオカメラ用に開発されてきており、このような２次元固体撮像装置は垂直走査方向に１画素おきに読み出すインターレース読み出し方式を基本としている。しかし、２次元固体撮像装置をパーソナルコンピュータやスチルカメラに用いる場合、ビデオカメラ等に用いる場合とは異なり、全ての画素を一度に順番に読み出す全画素読み出し（プログレッシブスキャン読み出し）を行うことが必要となる。このようなプログレッシブスキャン読み出しは、インターレース読み出しと比較して、１回の読み出しで得られる画像の垂直解像度が高く取れるという利点を有する。

【０００３】

プログレッシブスキャン読み出しにおいて、１個の２次元固体撮像装置を用いてカラー表示を行う単板カラー化方式が種々提案されている。それに対応したカラーフィルタ配列にも様々な方法が提案されている。特に色の再現性を重視する場合には、カラーフィルタには原色を用いることが望ましい。

【０００４】
図１７（ａ）は、一例として、２次元固体撮像装置としてプログレッシブスキャンＣＣＤを用い、緑（Ｇ），赤（Ｒ），青（Ｂ）の３原色を採用したカラーフィルタ配列５００を示している。このようなカラーフィルタ配列５００は、ベイヤー配列として知られており、例えば、中川他：「１／３インチ３３万画素全画素読み出し方式ＣＣＤ」、テレビジョン学会技術報告、１９９５年９月２２日、及びベイヤー：「カラー撮像素子」、特開昭５１－１１２２２８号公報等に記載されている。
【０００５】
図１７（ａ）に示されるように、カラーフィルタ配列５００では、Ｇに、他の２色（Ｒ，Ｂ）の２倍の画素を割り当て、かつＧを市松状に配列している。ＲとＢは、水平・垂直方向とも２画素周期で、直交格子（水平及び垂直方向の格子）上に配列されている。輝度信号は高い解像度を必要とするため、人間の目が高い感度を有する緑を全画素の１／２に配置することにより、輝度信号の解像度を高くすることができる。
【０００６】
図１７（ｂ）は、カラーフィルタ配列５００によるＧ、Ｒ、Ｂ各信号の空間解像度特性（２次元空間で各方向への解像可能領域）を示している。輝度信号に占める比率が大きいＧを市松状に配列することにより、図１７（ｂ）に示されるように、輝度信号は水平及び垂直方向には比較的高い解像度が得られる。しかし、斜め方向には十分な解像度を得ることができない。
【０００７】
図１８（ａ）は、もう１つの例として、２次元固体撮像装置としてプログレッシブスキャン方式と同等の動作をするＣＣＤを用い、Ｇ，Ｒ，Ｂ３原色を採用した場合のカラーフィルタ配列５１０を示している。このようなカラーフィルタ配列５１０は、例えば、曽我他：「デジタルカードカメラ」、テレビジョン学会技術報告（１９９３年３月４日）に記載されている。カラーフィルタ配列５１０においても、図１７（ａ）に示されるカラーフィルタ配列５００と同様、輝度信号に占める比率が大きいＧに、他の２色（Ｒ，Ｂ）の２倍の画素を割り当てているが、Ｇをストライプ状に配列している点がカラーフィルタ配列５００とは異なっている。カラーフィルタ５１０において、Ｒ及びＢは、水平方向には２画素周期、垂直方向には１画素周期で菱形格子（斜め格子）上に配列されている。図１８（ｂ）は、カラーフィルタ配列５１０による、Ｇ，Ｒ，Ｂ各信号の空間解像度特性を示している。図１８（ｂ）に示すように、輝度信号は垂直及び斜め方向には比較的高い解像度が得られるが、水平方向には十分な解像度が得られない。
【０００８】
【発明が解決しようとする課題】
上述の２次元固体撮像装置５００及び５１０は、共にプログレッシブスキャン型ないしはそれに相当する型のＣＣＤであり、画素は水平・垂直の格子状に配列されている。このため、カラーフィルタの配列を工夫しても、得られる空間解像度特性にはそれぞれの制約が生じている。
【０００９】
一方、２次元固体撮像装置として、ＣＣＤではなく、Ｘ－Ｙ走査方式を採用する場合には、画素配列の自由度はより大きくなる。例えば、図１９（ａ）は、Ｘ－Ｙ走査方式を採用したプログレッシブスキャン型の増幅型２次元固体撮像素子のカラーフィルタ配列５２０を示している。このようなカラーフィルタ配列５２０は、例えば、J.Hynecek"BCMD-An Improved Photosite Structure for High-Density Image Sensors",IEEE Trans.on Electron Devices, Vol.38,No5,May,1991に記載されている。
【００１０】
図１９（ａ）に示すように、カラーフィルタ５２０においては、水平方向を行として、各行が垂直方向において奇数番目の行と偶数番目の行とで、水平方向に１／２画素ピッチ分シフトするように配列されている。Ｇ、Ｒ、及びＢの各色フィルタは、各行内ではＲ－Ｇ－Ｂの順に３画素周期で繰り返され、更に、奇数番目行と偶数番目行とで同色のフィルタ

が３／２画素ピッチだけずれるように配列されている。従って、図１９（ｂ）に示すように、各色の空間解像度特性は一致する。Ｇ、Ｒ、及びＢとも比較的バランスの良い解像度が得られるが、水平解像度はなお不十分である。

【００１１】

更に、２次元固体撮像装置で得られたカラー画像をパーソナルコンピュータへ取り込む場合、輝度信号画素あるいはＧ画素が正方格子（直交格子で水平ピッチと垂直ピッチとが等しい場合）上に配置されることが望ましい。しかし、図１８（ａ）及び図１９（ａ）に示されるカラーフィルタ配列５１０や５２０ではこの要件を満たすことができない。また、図１８（ａ）のカラーフィルタ配列５１０の場合、水平画素ピッチＬを垂直画素ピッチＭの１／２（即ち、Ｌ＝Ｍ／２）とすれば、上記要件を満たすことが可能である。しかし、水平画素ピッチＬを大幅に縮小することは、２次元固体撮像素子の性能低下を招き易い。例えば、ＣＣＤ型２次元固体撮像装置の場合、転送可能な信号電荷量の低下を招くためダイナミックレンジの確保が困難となる。

【００１２】

また、Ｘ－Ｙ走査型固体撮像素子の場合では、図１９（ａ）に示すカラーフィルタ５２０の例のように、一般に、画素形状が正方形ないし円形に近い程、その性能が確保し易い。

【００１３】

本発明は、上記問題に鑑みてなされたものであり、プログレッシブスキャン型固体撮像装置を単板でカラー化する場合に、高い色再現性と高い空間解像度を得ることが可能である、新規なカラー固体撮像装置を提供することを目的とする。

【００１４】

【課題を解決するための手段】

本発明によるカラー固体撮像装置は、マトリクス状に配列された光電変換を行う複数の画素と、該複数の画素に対応して配置されたカラーフィルタと、を有する固体撮像装置であって、該カラーフィルタは、分光スペクトル特性が互いに異なる第１のフィルタ、第２のフィルタ、及び第３のフィルタを含み、該複数の画素は、第１の方向に沿ってピッチＬで配列されて行を形成し、各行は、該第１の方向に直交する第２の方向に沿ってピッチＬ／２で配列され、偶数番目に配置される各行（偶数行）の該画素は、奇数番目に配置される各行（奇数行）の対応する画素に対してＬ／２だけ該第１の方向にシフトして配置され、該第１のフィルタは、該奇数行に配列される全ての画素に対応して配置され、該第２のフィルタは、該偶数行に配列される１画素おきに対応して配置され、該第３のフィルタは、該偶数行における残りの画素に対応して配置され、さらに、該第２のフィルタと該第３のフィルタとは、該第２の方向に交互に配置されており、そのことにより上記目的が達成される。

【００２０】

好ましくは、前記第１のフィルタは緑色フィルタ、第２のフィルタは赤色フィルタ、第３のフィルタは青色フィルタであってもよい。

【００２１】

１つの実施形態において、前記マトリクス状に配置された複数の画素を、前記第１の方向及び前記第２の方向に走査することにより、該複数の画素から映像信号が読み出される場合がある。

【００２２】

１つの実施形態において、前記カラー固体撮像装置は、前記第１の方向に前記複数の画素を走査する第１の走査回路と、前記第２の方向に該複数の画素を走査する第２の走査回路とを備えている場合がある。

【００２３】

１つの実施形態において、前記第１及び第２の走査回路は、前記マトリクス状に配置された複数の画素を、前記第１の方向及び前記第２の方向ともに順次もれなく走査する場合がある。

【００２４】

１つの実施形態において、前記カラー固体撮像装置は、前記第２の走査回路の走査によって各画素から読み出された映像信号を運ぶ垂直信号線と、各垂直信号線に対して設けられ、該垂直信号線上の該映像信号を保持する複数のメモリ素子と、を有しており、前記第１の走査回路は、該複数のメモリ素子を走査することにより、該メモリ素子に保持された１つの画素の同一の映像信号を少なくとも２回読み出し、そのことにより、前記第２の方向の解像度が実質的に増加する。

【００２５】

１つの実施形態において、前記複数のメモリ素子は、前記奇数行の画素に対して設けられた第１のメモリ素子群と、前記偶数行の画素に対して設けられた第２のメモリ素子群とを含み、該第１及び第２のメモリ素子群から読み出された映像信号を運ぶ複数の水平信号線が備えられており、前記第１の走査回路は、所定の周期で該第１及び第２のメモリ素子群の各メモリ素子に保持されたそれぞれの１つの画素の同一の映像信号を少なくとも２回ずつ読み出し、該複数の水平信号線のうちの１つの水平信号線から出力される映像信号が１つの水平列の映像信号から次の水並列の映像信号に変化するタイミングと、該複数の水平信号線のうちの他の水平信号線から出力される映像信号が、１つの水並列の映像信号から次の水並列の映像信号に変化するタイミングとが異なっている場合がある。

【００２６】

以下、作用について説明する。

【００２７】

上述のようなカラーフィルタ配列とすることにより、輝度信号に占める割合が大きいＧ画素（第１のカラーフィルタ）は、第１の方向及び第２の方向共に一定間隔の格子状となる。第１の方向を水平方向、第２の方向を垂直方向とした場合に、水平方向、垂直方向、及び斜め方向ともに高い解像度を得ることができる。またＲ，Ｂ画素（第２及び第３のカラーフィルタ）に対しては、それぞれＧ画素の１／２の空間解像度が得られるので、バランスの良い色解像度を得ることができる。更に、Ｌ＝Ｍとした場合、Ｇ画素は正方格子となり、正方画素配列の輝度信号が得られるため、パーソナルコンピュータへのカラー画像の取り込みに極めて適した配列となる。

【００２８】

【発明の実施の形態】

以下図面を用いて本発明を詳細に説明する。

【００２９】

図１（ａ）、（ｂ）、及び（ｃ）は、それぞれ、本発明による２次元固体撮像装置におけるカラーフィルタ配列１００、１１０、及び１２０を示したものである。これらの図において、Ｉは第１の方向、IIは第２の方向を表している。また、Ｌは一定の寸法を表しており、第１の方向における画素ピッチに対応している。第１の方向に並ぶ画素列を行とすると、カラーフィルタ配列１００、１１０、及び１２０いずれにおいても、奇数番目の行（２ｎ－１：図中では、それぞれ、１００ａ、１１０ａ、及び１２０ａで示している）にはＧ画素のみが配置され、偶数番目の行（２ｎ：図中では、それぞれ、１００ｂ、１１０ｂ、及び１２０ｂで示している）にはＲ画素及びＢ画素が１画素おきに交互に配置されている。ただし、ｎは自然数としている。

【００３０】

図１（ａ）、（ｂ）、及び（ｃ）に示されるように、カラーフィルタ配列１００、１１０、及び１２０いずれにおいても、偶数番目の各行において、２ｎ番目と２（ｎ＋１）番目の行とでは、Ｒ画素とＢ画素との配置が逆になっている。また、第１の方向の画素ピッチはＬ、第２の方向の画素ピッチはＬ／２である。なお、図１（ａ）及び（ｃ）では第１の方向が水平方向、第２の方向が垂直方向に対応し、図１（ｂ）では第１の方向が垂直方向、第２の方向が水平方向に対応している。しかし、各色の空間配列は、カラーフィルタ配列１００、１１０、及び１２０において同等である。

【００３１】

特に、Ｇ画素は、カラーフィルタ配列１００、１１０、及び１２０のいずれにおいても、

水平及び垂直の両方向でピッチがＬとなる正方配列となる。このため、輝度信号に対して正方格子配列を実現できるので、パーソナルコンピュータへの画像入力等において極めて有用となる。

【００３２】

カラーフィルタ配列１００、１１０及び１２０は各色の空間配列が等しく、共に、図２に示すような解像度が得られる。即ち、カラーフィルタ配列１００、１１０及び１２０は同様の空間解像度特性を有している。図２において、$f_H$は水平方向の空間周波数、$f_V$は垂直方向の空間周波数をそれぞれ表している。図２からわかるように、カラーフィルタ配列１００、１１０、及び１２０のいずれにおいても、Ｇについては水平及び垂直両方向に１／（２Ｌ）まで、斜め４５°には√２／（２Ｌ）まで解像できることがわかる。またＲ及びＢは、空間全体でＧの１／２の解像度であるが、特に水平及び垂直の両方向には１／（２Ｌ）までの高い解像度が得られる。即ち、輝度信号及び色信号ともにバランスの良い高い解像度を得ることができる。

【００３３】

図３（ａ）に示すカラーフィルタ配列１３０は、図１（ａ）のカラーフィルタ配列１００のＲ画素及びＢ画素の配列のみを変更した例である。カラーフィルタ配列１３０においては、奇数番目の行（２ｎ－１：図中では、１３０ａで示している）にはＧ画素のみが配置され、偶数番目の行（２ｎ：図中では、１３０ｂで示している）にはＲ画素及びＢ画素が１画素おきに交互に配置されている。偶数番目の各行においてＲ画素及びＢ画素の配置は等しくなっている。また、第１の方向の画素ピッチはＬ、第２の方向の画素ピッチはＬ／２である。

【００３４】

従って、図３（ｂ）に示されるように、カラーフィルタ配列１３０は、Ｒ及びＢの空間解像度は垂直方向に高いが、水平方向には低くなる。

【００３５】

図４（ａ）に示すカラーフィルタ配列１４０は、図１（ａ）のカラーフィルタ配列１００におけるＲ画素及びＢ画素の配列のみを変更したさらに別の例である。カラーフィルタ配列１４０において、偶数番目の行（２ｎ：図中では、１４０ｂで示している）にはＲ画素のみ（ｎ＝２ｎ’－１）あるいはＢ画素のみ（ｎ＝２ｎ’）が配列されている。ただし、ｎ’は自然数としている。また、第１の方向の画素ピッチはＬ、第２の方向の画素ピッチはＬ／２である。

【００３６】

従って、図４（ｂ）に示されるように、カラーフィルタ配列１４０は、Ｒ及びＢの空間解像度は水平方向には高いが、垂直方向には低くなる。

【００３７】

以上の例においては、Ｇ画素の水平方向のピッチと垂直方向のピッチとが等しく設定されている。図５（ａ）、（ｂ）、及び（ｃ）に示されるカラーフィルタ配列２００、２１０、及び２２０は、それぞれ、図１（ａ）、（ｂ）、及び（ｃ）のカラーフィルタ配列１００、１１０、及び１２０において、Ｇ画素の水平方向のピッチと垂直方向のピッチとが等しくない場合の例である。即ち、図５（ａ）及び（ｃ）のカラーフィルタ配列２００及び２２０では、第１の方向の画素ピッチがＬ、第２の方向の画素ピッチがＭ／２で、Ｌ＞Ｍである。図５（ｂ）のカラーフィルタ配列２１０では、第１の方向の画素ピッチがＭ、第２の方向の画素ピッチがＬ／２で、Ｌ＞Ｍである。

【００３８】

なお、図５（ａ）及び（ｃ）では第１の方向Ｉが水平方向、第２の方向IIが垂直方向であり、図５（ｂ）では第１の方向Ｉが垂直方向、第２の方向IIが水平方向である。しかし、カラーフィルタ配列２００、２１０、及び２２０における各色の空間配列は同等である。Ｇ画素は、いずれのカラーフィルタ配列においても、水平方向のピッチはＬ、垂直方向のピッチはＭ、Ｌ＞Ｍの非正方配列となっている。

【００３９】

（実施例１）
図６は、カラーフィルタ配列２００、２１０、及び２２０における各色の空間解像度を示している。図６に示すように、カラーフィルタ配列２００、２１０、及び２２０のいずれにおいても、Ｇは水平方向に１／（２Ｌ）、垂直両方向に１／（２Ｍ）まで解像するが、Ｌ＞Ｍのため水平方向の解像度が垂直方向の解像度より低くなる。Ｒ及びＢについては、空間全体でＧの１／２の解像度であるが、水平及び垂直の両方向にはＧと同じ解像度が得られる。
【００４０】
２次元固体撮像装置をパーソナルコンピュータ等に用いる場合には、水平方向の解像度と垂直方向の解像度とが等しいことが望ましいが、ビデオカメラなどに用いる場合は必ずしもその必要はない。水平方向及び垂直方向の最適な解像度はカメラシステム全体の構成法に依存し、図５（ａ）～（ｃ）に示すカラーフィルタ配列２００～２２０、あるいは水平及び垂直方向の画素ピッチを逆にＬ＜Ｍとし、水平方向の解像度が垂直方向の解像度より高くなる方が有利である場合がある。
【００４１】
本発明による２次元固体撮像装置においては、奇数番目の行（２ｎ－１）と偶番目の行（２ｎ）との間で、画素配列が第１の方向に１／２画素分だけシフトしている。このような画素配列は、通常のＣＣＤ型撮像素子よりＸ－Ｙアドレス型固体撮像素子の方が実現しやすい。
【００４２】
図７は、図１に示すカラーフィルタ配列１００を採用したＸ－Ｙアドレス型撮像素子３００を示している。図７に示すように、撮像素子３００は、複数の画素１、垂直駆動線２、映像信号線３、垂直走査回路４、水平走査回路５、選択スイッチ６、水平信号線７、アンプ回路８、出力線９、及び駆動信号線１０を有している。
【００４３】
各画素１は、カラーフィルタ配列１００のＧ、Ｒ、及びＢに対応して、それぞれ、ｇ、ｒ、及びｂと標記されている。垂直駆動線２には垂直走査回路４から駆動信号が印加され、垂直駆動線２を介して対応する画素列が垂直方向に順次駆動される。駆動信号が印加された垂直駆動線２に接続する各画素の映像信号は、対応する映像信号線３上に読み出される。各映像信号線３は対応する選択スイッチ６に接続されている。選択スイッチ６は、水平走査回路５から駆動信号線１０を介して与えられる水平駆動信号によって駆動され、このことにより、各映像信号線３が水平方向に順次選択され、選択された映像信号線３上の映像信号が順次水平信号線７へ導かれる。水平信号線７上の映像信号は、アンプ回路８によって増幅されて出力線９を介して出力される。
【００４４】
図７に示す撮像素子３００の構成では、２行分の画素列（ｇ画素列及びｒｂ画素列）が１本の垂直駆動線２によって駆動され、さらに水平駆動線３が順次選択されることにより、各画素上の映像信号が水平方向に順次読み出される。即ち、図８に示すように、１本の垂直駆動線２に接続された２行の画素列３０１ａ及び３０１ｂから、各画素の映像信号がジグザグ型に一度に読み出される（図８の読み出し列▲１▼）。同様にして、次の垂直駆動線２に駆動信号が与えられると、この垂直駆動線２に接続された２行の画素列３０１ａ’及び３０１ｂ’から、各画素の映像信号がジグザグ型に読み出される（図８の読み出し列▲２▼）。このような映像信号の読み出し方法は、Ｘ－Ｙアドレス型撮像素子の場合、信号配線を工夫するだけで対応が可能である。
【００４５】
（実施例２）
図９は、図１に示すカラーフィルタ配列１００を採用したもう１つのＸ－Ｙアドレス型撮像素子３１０を示している。図７の撮像素子３００と同様の構成要素は同様の参照番号を付して示している。図９に示すように、撮像素子３１０は、複数の画素１、垂直駆動線２、映像信号線３、垂直走査回路４、水平走査回路５、選択スイッチ６、１対の水平信号線

７（Ｇ信号用の水平信号線７ａとＲ／Ｂ信号用の水平信号線７ｂとをあわせて７とする）、１対のアンプ回路８（水平信号線７ａ用の８ａと水平信号線７ｂ用の８ｂとをあわせて８とする）、出力線９（Ｇ信号用の出力線９ａとＲ／Ｂ信号用の出力線９ｂとをあわせて９とする）、駆動信号線１０、及びメモリ素子１１を有している。メモリ素子１１は、各映像信号線３に対して設けられており、サンプリングパルス$\phi_A$（Ｇ信号用）及び$\phi_B$（Ｒ／Ｂ信号用）に従って映像信号線３上の映像信号が書き込まれる。

【００４６】

各画素１は、カラーフィルタ配列１００のＧ、Ｒ、及びＢに対応して、それぞれ、ｇ、ｒ、及びｂと標記されている。垂直駆動線２は、各画素列（図中、ｉ～ｉ＋７が示されている）に対して１本ずつ設けられている。垂直駆動線２には垂直走査回路４から駆動信号が印加され、垂直駆動線２を介して対応する画素列が垂直方向に順次駆動される。駆動信号が印加された垂直駆動線２に接続する各画素の映像信号は、対応する映像信号線３上に読み出される。映像信号３上の映像信号は、サンプリングパルス信号$\phi_A$及び$\phi_B$に従ってメモリ素子１１に書き込まれる。

【００４７】

各メモリ素子１１は、選択スイッチ６を介して対応する水平信号線７に接続されている。信号駆動線１０には、水平走査回路５から水平駆動信号が与えられる。各信号駆動線１０は２つの選択スイッチ６に接続されている。選択スイッチ６が２つずつ同時に駆動されることにより、１対のメモリ素子１１の映像信号が対応する水平信号線７ａ及び７ｂ上に順次読み出される。水平信号線７ａ及び７ｂ上の映像信号は、対応するアンプ回路８ａ及び８ｂによって増幅され、それぞれ、対応する出力線９ａ及び９ｂからＧ信号及びＲ／Ｂ信号として出力される。

【００４８】

図１０（ａ）は、図９に示す画素１から読み出されたデータが、映像信号線３、メモリ素子１１、選択スイッチ６、水平信号線７、及びアンプ回路８を介して出力線９に読み出される経路を示している。水平信号線７には、読み出し用の負荷ＭＯＳトランジスタ１０１が接続されている。図１０（ａ）に示すように、メモリ素子１１は、例えば、サンプリング素子（ＭＯＳトランジスタ１２）及びバッファアンプ素子（ＭＯＳトランジスタ１３）の組み合わせによって構成できる。メモリ素子１１においては、ＭＯＳトランジスタ１２のゲートには、サンプリング信号（サンプルクロック）$\phi_S$が印加され、ＭＯＳトランジスタ１３のドレインには$V_{DD}$が印加されている。ここで、サンプリング信号$\phi_S$は、サンプリング信号$\phi_A$及び$\phi_B$のいずれかを示している。

【００４９】

画素１のデータは、以下のようにして、メモリ素子１１及び選択スイッチ６を介して水平信号線７に読み出される。図１０（ａ）及び（ｂ）に示すように、垂直駆動線２に駆動信号（Ｓ１０２）が印加されると、画素１から映像信号（データ）Ｓ１０３が映像信号線３上に読み出される。サンプリング信号$\phi_S$をＭＯＳトランジスタ１２のゲートに印加することにより、映像信号線３上の映像信号Ｓ１０３がサンプリングされて、ＭＯＳトランジスタ１３のゲートに印加される。ＭＯＳトランジスタ１３のゲートは純粋に容量性負荷であるため、ＭＯＳトランジスタ１２が非導通状態となった後も信号線３’上の電圧信号はそのままホールドされる（信号Ｓ１０３’）。信号Ｓ１０３’は、次にＭＯＳトランジスタ１２が導通するまで（即ち、サンプリング信号$\phi_S$の次のパルスが印加されるまで）そのまま維持される。従って、ＭＯＳトランジスタ１３の導通状態がそのまま維持され、図１０（ａ）に示すように、メモリ素子１１からの出力（信号線３”上の信号Ｓ１０３”）は、ＭＯＳトランジスタ１３のドレインからの直流電圧$V_{DD}$が維持される。このようにして、画素１から読み出されたデータがメモリ素子１１に記憶される。

【００５０】

信号線３”上の信号Ｓ１０３”（即ち、ＭＯＳトランジスタ１３のゲートに記憶された信号Ｓ１０３’）は、選択スイッチ６が水平駆動信号（Ｓ１０６）により導通することによって水平信号線７上に読み出される。負荷ＭＯＳトランジスタ１０１（図９には示してい

ない）は、選択スイッチ６が導通する前に一時的に導通し、水平信号線７の電位をクリア（接地電位に）する。負荷ＭＯＳトランジスタ１０１が非導通状態となった後に選択スイッチ６を導通させることにより、水平信号線４上には、常に、ＭＯＳトランジスタ１３のゲートに記憶されたデータに応じた信号（Ｓ１０３”）が映像信号（Ｓ１０７）として読み出される。このように、ＭＯＳトランジスタ１２と負荷ＭＯＳトランジスタ１０１とによってソースフォロワ回路が形成される。

【００５１】

上述のようにして、信号駆動線１０の駆動信号（Ｓ１０６）により選択スイッチ６を導通させることによって、ＭＯＳトランジスタ１３のゲートに記憶されたデータを何回でも読み出すことができる。

【００５２】

次に、撮像素子３１０の動作についてより詳細に説明する。図１１は、撮像素子３１０の駆動タイミングを示している。図１１に示すように、サンプリングパルス信号$\phi_A$及び$\phi_B$は、それぞれ、２Ｈ周期のサンプリングパルスを有しており（ここで、Ｈは１水平走査期間を表わしている）、各サンプリングパルスは、１Ｈおきにいずれかのサンプリングパルスが出力されるように配されている。従って、メモリ素子１１には、対応する映像信号線に接続された画素１の映像信号が２Ｈごとに書き込まれる（即ち、新たな映像信号に書き換えられる）ことになる。メモリ素子１１に書き込まれた映像信号は、次の映像信号が書き込まれるまで２Ｈの間保持される。

【００５３】

垂直走査回路４からは、駆動パルス信号$S_i$、$S_{i+1}$、$S_{i+2}$、・・・が、１Ｈ間隔で順次対応する垂直駆動線２上に出力され、各垂直駆動線に接続された画素１から映像信号が読み出される。読み出された映像信号は、対応するサンプリングパルス信号$\phi_A$及び$\phi_B$に従った所定のタイミングで、対応するメモリ素子１１に書き込まれる。

【００５４】

水平走査回路５は、１Ｈの期間内に、水平駆動信号ｈによって全ての駆動信号線１０を順次走査する。１本の駆動信号線１０が走査されると、対応する１対の選択スイッチ６が同時に選択され、対応する２つのメモリ素子１１に保持されている映像信号が、対応する水平信号線７ａ及び７ｂに同時に読み出される。

【００５５】

より具体的には、読み出し動作は、例えば以下のようにして行われる。まず駆動パルス信号$S_i$及びサンプリング信号$\phi_A$によって、垂直走査線２（ｉ）上の画素１からメモリ素子１１ａに映像信号（ｉ）が書き込まれる。この１Ｈ期間に水平駆動信号ｈによって駆動信号線１０が順次走査されることにより、各メモリ素子１１ａからは映像データ（ｉ）が水平信号線７ａ上に順次読み出され、Ｇ信号として出力される。同時に、各メモリ素子１１ｂからは映像信号（ｉ－１）が水平信号線７ｂ上に順次読み出され、Ｒ／Ｂ信号として出力される。ここで、映像信号（ｉ－１）は、１つ前の駆動パルス信号$S_{i-1}$及びサンプリング信号$\phi_A$によって書き込まれていた映像信号である。

【００５６】

次に、駆動パルス信号$S_{i+1}$及びサンプリング信号$\phi_B$によって、垂直走査線２（ｉ＋１）上の画素１からメモリ素子１１ｂに映像信号（ｉ＋１）が書き込まれる。この１Ｈ期間に水平駆動信号ｈによって駆動信号線１０が順次走査されることにより、各メモリ素子１１ａからは先の映像データ（ｉ）が再び水平信号線７ａ上に読み出され、Ｇ信号として出力される。同時に、各メモリ素子１１ｂからは今回読み込まれた映像信号（ｉ＋１）が水平信号線７ｂ上に順次読み出され、Ｒ／Ｂ信号として出力される。

【００５７】

従って、Ｇ信号は、２Ｈ期間の間、同一の映像信号が繰り返して出力される。即ち、（ｉ）、（ｉ）、（ｉ＋２）、（ｉ＋２）・・・のように同一の映像信号が２回ずつ出力され、Ｇ信号は２Ｈ周期でデータが変化する。同様に、Ｒ／Ｂ信号も、２Ｈ期間の間、同一の映像信号が繰り返して出力される。即ち、（ｉ＋１）、（ｉ＋１）、（ｉ＋３）、（ｉ＋

３）・・・のように同一の映像信号が２回ずつ出力され、Ｒ／Ｇ信号も２Ｈ周期でデータが変化する。Ｇ信号及びＲ／Ｂ信号の繰り返し周期は１Ｈだけずれており、２つの出力端子９ａ及び９ｂからは、図１１に読み出し列▲１▼、▲１▼’、▲２▼、▲２▼’、▲３▼、▲３▼’、・・・で示すように、隣接する２ライン分の信号が、１Ｈ期間毎に１ライン分ずつシフトして出力される。

【００５８】

図１２は、撮像素子３１０から映像信号が読み出される様子を摸式的に示している。図１２において、映像信号が２行の画素列からジグザグ型に一度に読み出される点は、図８に示す撮像素子３００からの読み出しの場合と同じである。しかし、撮像素子３１０の場合、撮像素子３００に比べて、各読み出し列▲１▼、▲２▼、▲３▼、▲４▼、・・・の間からも、読み出し信号列▲１▼’、▲２▼’、▲３▼’、・・・が得られるため、実質上の垂直走査線数が２倍となる利点がある。即ち、垂直解像度を２倍に高める効果がある。これは、同一の画素信号を２回読み出しているためであり、図１（ａ）のカラーフィルタ配列１００の利点を高めるものである。尚、以上ではカラーフィルタ配列１００によって説明したが、図１（ｂ）及び（ｃ）のカラーフィルタ配列１１０及び１２０の場合も同様である。

【００５９】

（実施例３）

図１３は、図１に示すカラーフィルタ配列１００を採用したまた別のＸ－Ｙアドレス型撮像素子３２０を示している。図７の撮像素子３００及び図９の撮像素子３１０と同様の構成要素は同様の参照番号を付して示している。図１３に示すように、撮像素子３２０は、複数の画素１、垂直駆動線２、映像信号線３、垂直走査回路４、水平走査回路５、選択スイッチ６、１対の水平信号線７（Ｇ信号用の水平信号線７ａとＲ／Ｂ信号用の水平信号線７ｂとをあわせて７とする）、１対のアンプ回路８（水平信号線７ａ用の８ａと水平信号線７ｂ用の８ｂとをあわせて８とする）、出力線９（Ｇ信号用の出力線９ａとＲ／Ｂ信号用の出力線９ｂとをあわせて９とする）、駆動信号線１０、メモリ素子１１、及び１Ｈ遅延線１４を有している。メモリ素子１１は、各映像信号線３に対して設けられており、サンプリングパルス$\varphi_A$に従って映像信号線３上の映像信号が書き込まれる。１Ｈ遅延線１４は、アンプ回路８ｂと出力線９ｂとの間に挿入されている。

【００６０】

各画素１は、カラーフィルタ配列１００のＧ、Ｒ、及びＢに対応して、それぞれ、ｇ、ｒ、及びｂと標記されている。垂直駆動線２は、隣接する２つの画素列（例えば、ｉ及びｉ＋１）に対して１本ずつ設けられている。垂直駆動線２には垂直走査回路４から駆動信号が印加され、垂直駆動線２を介して対応する画素列が２行ずつ垂直方向に順次駆動される。駆動信号が印加された垂直駆動線２に接続する各画素の映像信号は、対応する映像信号線３上に読み出される。映像信号信号３上の映像信号は、サンプリングパルス信号$\varphi_A$に従ってメモリ素子１１に書き込まれる。

【００６１】

各メモリ素子１１は、選択スイッチ６を介して対応する水平信号線７ａ及び７ｂの何れかに接続されている。信号駆動線１０には、水平走査回路５から水平駆動信号が与えられる。各信号駆動線１０は２つの選択スイッチ６に接続されている。選択スイッチ６が２つずつ同時に駆動されることにより、１対のメモリ素子１１の映像信号が対応する水平信号線７ａ及び７ｂ上に順次読み出される。水平信号線７ａ上の映像信号は、アンプ回路８ａによって増幅され、出力線９ａ及び９ｂからＧ信号として出力される。水平信号線７ｂ上の映像信号は、アンプ回路８ｂによって増幅され、１Ｈ遅延線によって１水平期間分だけ遅延されて出力線９ｂからＲ／Ｂ信号として出力される。

【００６２】

次に、撮像素子３２０の動作についてより詳細に説明する。図１４は、撮像素子３２０の駆動タイミングを示している。図１４に示すように、サンプリングパルス信号$\varphi_A$は、２Ｈ周期のサンプリングパルスを有している。従って、メモリ素子１１には、対応する映像

信号線３に接続された画素１の映像信号が２Ｈごとに書き込まれる（即ち、新たな映像信号に書き換えられる）ことになる。メモリ素子１１に書き込まれた映像信号は、次の映像信号が書き込まれるまで２Ｈの間保持される。

【００６３】

垂直走査回路４からは、２Ｈ期間毎に駆動パルス信号が垂直駆動線２上に与えられる。１本の垂直駆動線２によって、同時に１対の画素列（即ち、奇数番目のＧ画素列及び偶数番目のＲ／Ｂ画素列）から、対応する映像信号線３上に映像信号が読み出される。読み出された映像信号は、サンプリングパルス信号$\phi_A$に従って２Ｈ周期で対応するメモリ素子１１に書き込まれる。

【００６４】

水平走査回路５は、１Ｈの期間内に、水平駆動信号ｈによって全ての駆動信号線１０を順次走査する。１本の駆動信号線１０が走査されると、対応する１対の選択スイッチ６が同時に選択され、対応する２つのメモリ素子１１に保持されている映像信号が、対応する水平信号線７ａ及び７ｂに同時に読み出される。このとき、Ｇ画素列に対応する各メモリ素子１１からは映像データ（ｉ）が水平信号線７ａ上に順次読み出される（Ｇ信号）。同時に、Ｒ／Ｂ画素に対応する各メモリ素子１１からは映像信号（ｉ＋１）が水平信号線７ｂ上に順次読み出される。

【００６５】

このように、各画素１からは、２Ｈ期間の間、同一の映像信号が繰り返して読み出される。即ち、水平信号線７ａ上には、（ｉ）、（ｉ）、（ｉ＋２）、（ｉ＋２）・・・のように同一の映像信号が２回ずつ出力され、２Ｈ周期でデータが変化する。水平信号線７ａ上の信号は、アンプ回路８ａで増幅されて、Ｇ信号として出力線９ａから出力される。

【００６６】

同様に、水平信号線７ｂ上には、２Ｈ期間の間、同一の映像信号が繰り返して出力され、（ｉ＋１）、（ｉ＋１）、（ｉ＋３）、（ｉ＋３）・・・のように同一の映像信号が２回ずつ出力され、２Ｈ周期でデータが変化する。Ｒ／Ｂ信号は、アンプ回路８ｂで増幅された後、遅延線１４によって１Ｈだけ遅延されて出力される。

【００６７】

従って、２つの出力端子９ａ及び９ｂからは、図１４に読み出し列▲１▼、▲１▼’、▲２▼、▲２▼’、▲３▼、▲３▼’、・・・で示すように、隣接する２線分の信号が、１Ｈ期間毎に１線分ずつずれて出力される。このように、撮像素子３２０によっても、撮像素子３１０と同様の出力信号Ｇ、Ｒ、及びＢを得ることができる。

【００６８】

撮像素子３２０からの映像信号の読み出しを摸式的に示すと、撮像素子３１０と同様、図１２に示すようになる。撮像素子３２０によっても、映像信号は２行の画素列からジグザグ型に一度に読み出される。撮像素子３１０の場合と同様、撮像素子３２０においても、各読み出し列▲１▼、▲２▼、▲３▼、▲４▼、・・・の間からも、読み出し信号列▲１▼’、▲２▼’、▲３▼’、・・・が得られるため、実質上の垂直走査線数が２倍（即ち、垂直解像度が２倍）に高められる。これは、同一の画素信号を２回読み出しているためであり、図１（ａ）のカラーフィルタ配列１００の利点を高めるものである。

【００６９】

尚、以上ではカラーフィルタ配列１００によって説明したが、図１（ｂ）及び（ｃ）のカラーフィルタ配列１１０及び１２０の場合も同様である。また、メモリ素子１１は、実施例２で説明したのと同様にして構成する（図１０（ａ））ことができる。

【００７０】

（実施例４）

図１５は、図１に示すカラーフィルタ配列１００を採用したまた別のＸ－Ｙアドレス型撮像素子３３０を示している。図９に示す撮像素子３１０と同様の構成要素は同様の参照番号を付して示している。図１５に示すように、撮像素子３３０は、複数の画素１、垂直駆動線２、映像信号線３、垂直走査回路４、水平走査回路５、選択スイッチ６、複数の水平

信号線７（図１５は４本の場合であり、７ａ～７ｄが示されている）、各水平信号線７（７ａ～７ｄ）に設けられたアンプ回路８（８ａ～８ｄ）及び負荷ＭＯＳトランジスタ１０１（１０１ａ～１０１ｄ）、各アンプ回路８からの信号を出力する出力線９、駆動信号線１０、及びメモリ素子１１（１１ａ～１１ｄ）を有している。メモリ素子１１は、各映像信号線３に対して２個並列に設けられている。即ち、図１５に示すように、Ｇ信号が読み出される映像信号線３に対してはメモリ素子１１ａ及び１１ｃが設けられ、Ｒ及びＢ信号が読み出される映像信号線３に対してはメモリ素子１１ｂ及び１１ｄが設けられている。

【００７１】

各画素１は、カラーフィルタ配列１００のＧ、Ｒ、及びＢに対応して、それぞれ、ｇ、ｒ、及びｂと標記されている。垂直駆動線２は、各画素列（図中、ｉ～ｉ＋７が示されている）に対して１本ずつ設けられている。垂直駆動線２には垂直走査回路４から駆動信号が印加され、垂直駆動線２を介して対応する画素列が垂直方向に順次駆動される。駆動信号が印加された垂直駆動線２に接続する各画素の映像信号は、対応する映像信号線３上に読み出される。映像信号３上に読み出された映像信号のうち、Ｇ信号はサンプリングパルス信号$\phi_A$及び$\phi_C$に従って、Ｒ及びＢ信号はサンプリングパルス信号$\phi_B$及び$\phi_D$従って、対応するメモリ素子１１ａ～１１ｄに書き込まれる。

【００７２】

各メモリ素子１１ａ～１１ｄは、選択スイッチ６を介して対応する水平信号線７ａ～７ｄに接続されている。信号駆動線１０には、水平走査回路５から水平駆動信号が与えられる。各信号駆動線１０は４つの選択スイッチ６に接続されている。選択スイッチ６が４つずつ同時に駆動されることにより、４つのメモリ素子１１ａ～１１ｄの映像信号が、対応する水平信号線７ａ～７ｄ上に順次読み出される。水平信号線７ａ～７ｄ上の映像信号は、対応するアンプ回路８ａ～８ｄによって増幅され、対応する出力線９ａ～９ｄからＧ信号（$G_0$及び$G_1$）及びＲ／Ｂ信号（$(R/B)_1$及び$(R/B)_2$）として出力される。

【００７３】

図１６は、Ｘ－Ｙアドレス型撮像素子３３０の読み出し動作を示すタイミングチャートである。図１６に示すように、サンプリングパルス信号$\phi_A$～$\phi_D$は、それぞれ、４Ｈ周期のサンプリングパルスを有しており（ここで、Ｈは１水平走査期間を表わしている）、１Ｈおきにいずれかのサンプリングパルスが出力される。従って、メモリ素子１１には、対応する映像信号線に接続された画素１の映像信号が４Ｈごとに書き込まれ、新たな映像信号に書き換えられる。即ち、各メモリ素子１１に書き込まれた映像信号は、次の映像信号が書き込まれるまで４Ｈの間保持される。

【００７４】

垂直走査回路４からは、駆動パルス信号$S_i$、$S_{i+1}$、$S_{i+2}$、$S_{i+3}$・・・が、１Ｈ間隔で順次対応する垂直駆動線２上（ｉ、ｉ＋１、ｉ＋２、ｉ＋３、・・・）に出力され、各垂直駆動線２に接続された各画素１から映像信号が映像信号線３上に読み出される。読み出された映像信号は、対応するサンプリングパルス信号$\phi_A$～$\phi_D$に従った所定のタイミングで、対応するメモリ素子１１ａ～１１ｄに書き込まれる。

【００７５】

水平走査回路５は、１Ｈの期間内に、水平駆動信号ｈによって全ての駆動信号線１０を順次走査する。１本の駆動信号線１０が走査されると、対応する４つの選択スイッチ６が同時に選択され、対応する４つのメモリ素子１１ａ～１１ｄに保持されている映像信号が、対応する水平信号線７ａ～７ｄに同時に読み出される。

【００７６】

より具体的には、読み出し動作は、例えば以下のようにして行われる。図１６に示すように、まず駆動パルス信号$S_i$及びサンプリング信号$\phi_A$によって、垂直走査線２（ｉ）上の画素１からメモリ素子１１ａに映像信号（ｉ）が書き込まれる。このとき、メモリ素子１１ｂには、３Ｈ前の駆動パルス信号$S_{i-3}$及びサンプリング信号$\phi_A$によって書き込まれた映像信号（ｉ－３）が保持されている。同様に、メモリ素子１１ｃには、２Ｈ前に書き込まれた映像信号（ｉ－２）が保持され、メモリ素子１１ｄには、１Ｈ前に書き込まれた映

像信号（ｉ－１）が保持されている。

【００７７】

１Ｈ期間に水平駆動信号ｈによって駆動信号線１０が順次走査されることにより、各駆動信号線１０に接続された選択スイッチ６により、対応するメモリ素子１１ａ～１１ｄから同時に映像データが読み出される。即ち、メモリ素子１１ａからは映像データ（ｉ）が水平信号線７ａ上に読み出され$G_0$信号として出力され、メモリ素子１１ｂからは映像信号（ｉ－３）が水平信号線７ｂ上に読み出され（Ｒ／Ｂ）$_0$信号として出力され、メモリ素子１１ｃからは映像データ（ｉ－２）が水平信号線７ｃ上に読み出され$G_1$信号として出力され、メモリ素子１１ｄからは映像信号（ｉ－１）が水平信号線７ｄ上に読み出され（Ｒ／Ｂ）$_1$信号として出力される。

【００７８】

次に、駆動パルス信号$S_{i+1}$及びサンプリング信号$\phi_B$によって、垂直走査線２（ｉ＋１）上の画素１からメモリ素子１１ｂに映像信号（ｉ＋１）が書き込まれる。この１Ｈ期間に水平駆動信号ｈによって駆動信号線１０が順次走査されることにより、メモリ素子１１ａからは先の映像データ（ｉ）が再び水平信号線７ａ上に読み出されて$G_0$信号として出力され、メモリ素子１１ｂからは今回読み込まれた映像信号（ｉ＋１）が水平信号線７ｂ上に順次読み出されて（Ｒ／Ｂ）$_0$信号として出力される。同時に、メモリ素子１１ｃからは先の映像データ（ｉ－２）が水平信号線７ｃ上に読み出され引き続き$G_1$信号として出力され、メモリ素子１１ｄからは映像信号（ｉ－１）が水平信号線７ｄ上に読み出され引き続き（Ｒ／Ｂ）$_1$信号として出力される。

【００７９】

従って、$G_0$信号は、４Ｈ期間の間、同一の映像信号が繰り返して出力される。即ち、（ｉ）、（ｉ）、（ｉ）、（ｉ）、（ｉ＋４）、（ｉ＋４）、（ｉ＋４）、（ｉ＋４）・・・のように同一の映像信号が４回ずつ出力され、$G_0$信号は４Ｈ周期でデータが変化する。同様に、$G_1$信号、（Ｒ／Ｂ）$_0$信号、及び（Ｒ／Ｂ）$_1$信号も、４Ｈ期間の間、同一の映像信号が繰り返して出力される。$G_0$信号、$G_1$信号、（Ｒ／Ｂ）$_0$信号、及び（Ｒ／Ｂ）$_1$信号の繰り返し周期はそれぞれ４Ｈであり、かつ１Ｈだけずれている。従って、４つの出力端子９ａ～９ｄからは、図１６に示すように、隣接する４ライン分の信号が、１Ｈ期間毎に１ライン分ずつシフトされて出力される。このことにより、上下４画素間での信号処理を容易にし、色信号処理や画像圧縮処理などに有用となる。

【００８０】

尚、メモリ素子１１は、実施例２で説明したのと同様にして構成する（図１０（ａ））ことができる。

【００８１】

【発明の効果】

以上詳述したように、本発明のカラー固体撮像装置によれば、プログレッシブスキャン型固体撮像装置において、輝度信号に占める割合が大きいＧ画素は、第１の方向及び第２の方向共に一定間隔の格子状に配列される。このことにより、第１の方向を水平方向、第２の方向を垂直方向とした場合に、水平方向、垂直方向、及び斜め方向とも高い解像度を得ることができる。

【００８２】

また、Ｒ画素及びＢ画素はそれぞれＧ画素の１／２の空間解像度が得られ、バランスの良い色解像度を得ることができる。更に、水平方向の画素ピッチＬ、垂直方向の画素ピッチＭとして、Ｌ＝Ｍとした場合、Ｇ画素は正方格子となって輝度信号が正方画素に配列されるため、パーソナルコンピュータにカラー画像を取り込む際に極めて適した配列が得られる。また、第１の方向及び第２の方向をそれぞれ走査方向とするＸ－Ｙアドレス型固体撮像素子に本発明を適用することにより、その効果をよりよく実現できる。

【００８３】

また、１本の映像信号線につき２つ以上のメモリ素子を設け、対応して複数の水平信号線を設けることにより、上下に連続する複数画素の信号処理を容易にし、色信号処理や画像

圧縮処理などに有用な２次元固体撮像素子を実現できる。

【図面の簡単な説明】

【図１】（ａ）～（ｃ）は、それぞれ、本発明による２次元固体撮像装置のカラーフィルタ配列の例を示す図であり、第１の方向及び第２の方向ともにＧ画素のピッチが等しい場合を示す図である。

【図２】図１（ａ）～（ｃ）に示されるカラーフィルタ配列による空間解像度特性を示す図である。

【図３】（ａ）は、本発明による２次元固体撮像装置のカラーフィルタ配列の一例を示す図であり、（ｂ）は、（ａ）に示すカラーフィルタ配列による空間解像度特性を示す図である。

【図４】（ａ）は、本発明による２次元固体撮像装置のカラーフィルタ配列のもう１つの例を示す図であり、（ｂ）は、（ａ）に示すカラーフィルタ配列による空間解像度特性を示す図である。

【図５】（ａ）～（ｃ）は、それぞれ、本発明による２次元固体撮像装置のカラーフィルタ配列のまた別の例を示す図であり、第１の方向及び第２の方向のＧ画素のピッチが異なる場合を示している。

【図６】図５（ａ）～（ｃ）に示されるカラーフィルタ配列による空間解像度特性を示す図である。

【図７】本発明による２次元固体撮像装置の回路構成の一例を摸式的に示す図である。

【図８】図７に示す２次元固体撮像装置における信号読み出しを摸式的に説明する図である。

【図９】本発明による２次元固体撮像装置の回路構成のもう１つの例を摸式的に示す図である。

【図１０】（ａ）はメモリ素子の構成例を示す図であり、（ｂ）はメモリ素子からの読み出し動作を示すタイミングチャートである。

【図１１】図９に示す２次元固体撮像装置の読み出し動作を説明するタイミングチャートである。

【図１２】図９に示す２次元固体撮像装置における信号読み出しを摸式的に説明する図である。

【図１３】本発明による２次元固体撮像装置の回路構成のまた別の例を摸式的に示す図である。

【図１４】図１３に示す２次元固体撮像装置の読み出し動作を説明するタイミングチャートである。

【図１５】本発明による２次元固体撮像素子の回路構成のまた別の例を模式的に示す図である。

【図１６】図１５に示す２次元固体撮像装置の読み出し動作を説明するタイミングチャートである。

【図１７】従来の２次元固体撮像装置のカラーフィルタ配列の一例を示す図である。

【図１８】従来の２次元固体撮像装置のカラーフィルタ配列のもう１つの例を示す図である。

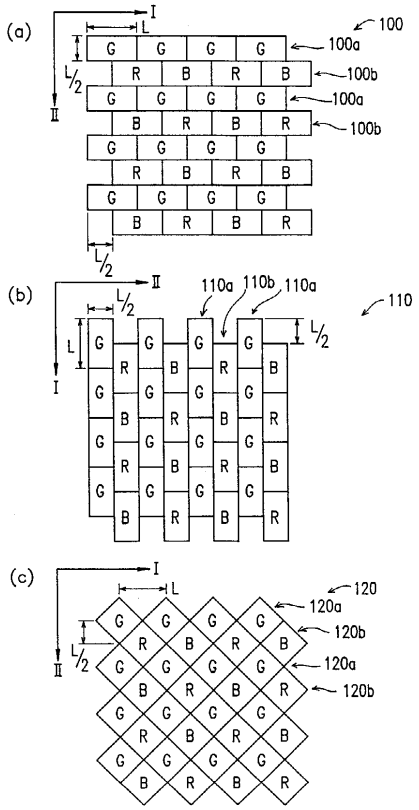
【図１９】従来の２次元固体撮像装置のカラーフィルタ配列のまた別の例を示す図である。

【符号の説明】

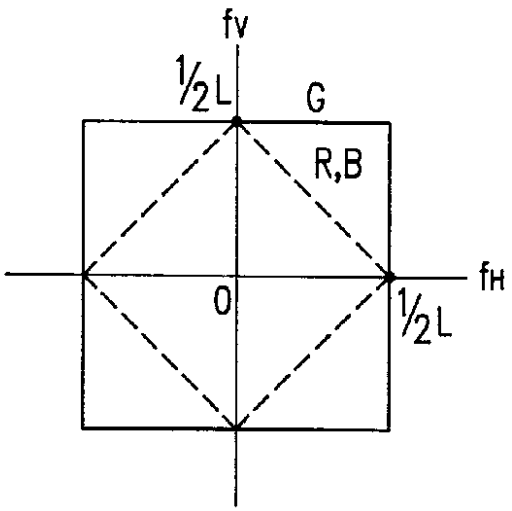
１　画素
２　垂直駆動線
３　映像信号線
４　垂直走査回路
５　水平走査回路
６　選択スイッチ
７　水平信号線

８　アンプ回路
９　出力信号線
１００　カラーフィルタ配列
３００　２次元固体撮像装置

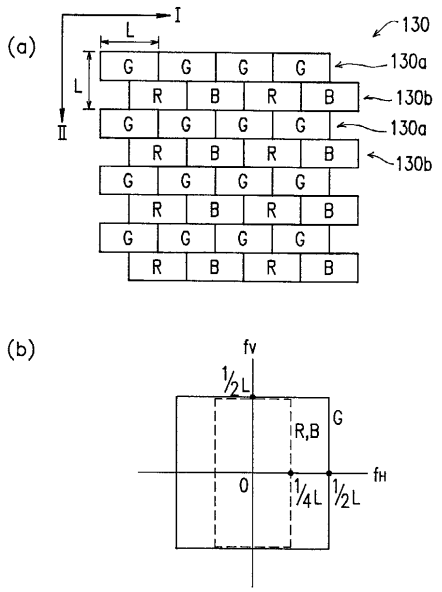
【図１】



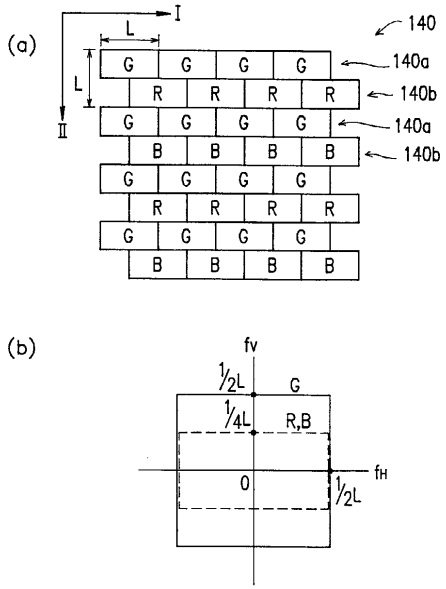

【図２】



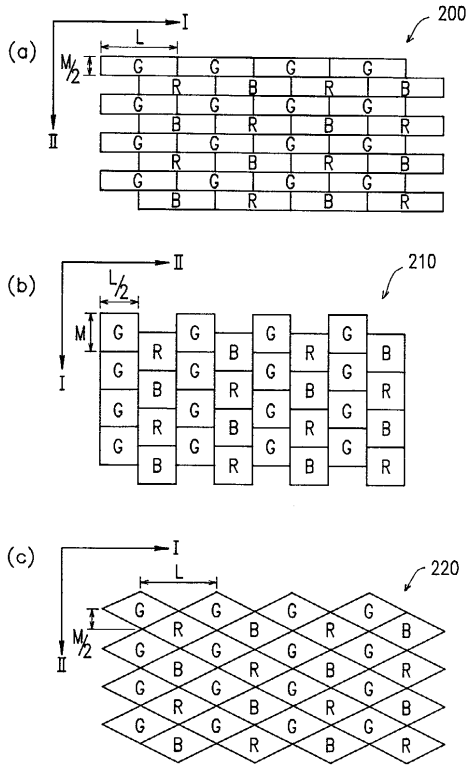
【図３】


(a)
I
II
L
130
130a
130b
G
R
B
(b)
fv
1/2L
R,B
G
0
1/4L
fH

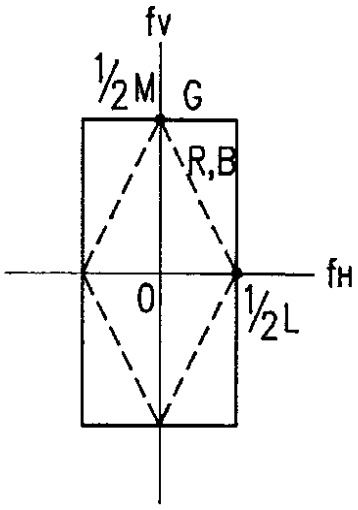
【図４】


(a)
I
II
L
140
140a
140b
G
R
B
(b)
fv
1/2L
G
1/4L
R,B
0
fH

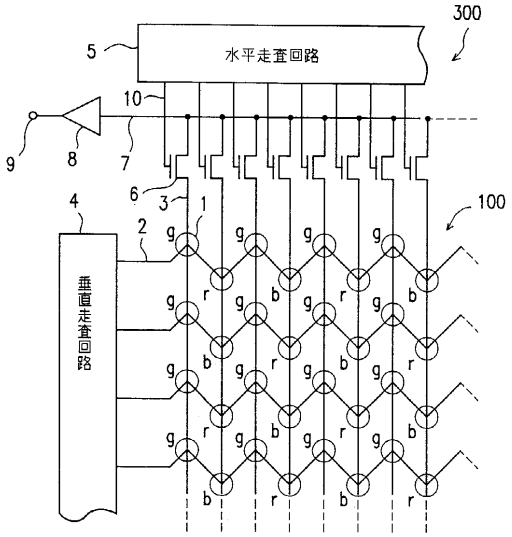
【図５】


(a)
200
(b)
210
(c)
220
I
II
L
M
G
R
B

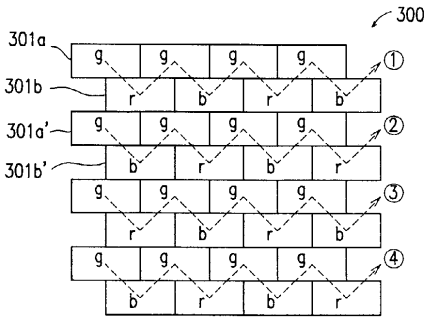
【図６】


fv
1/2M
G
R,B
0
1/2L
fH

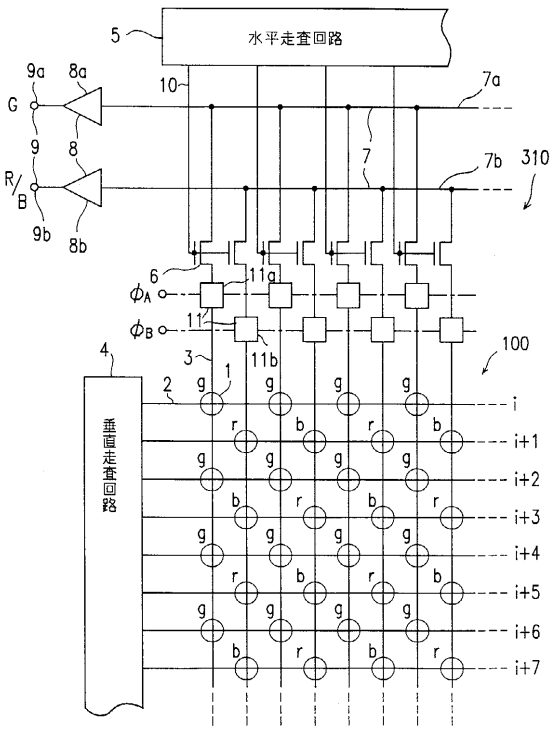
【図７】


300
5
水平走査回路
10
9
8
7
6
3
1
4
2
100
垂直走査回路
g
r
b

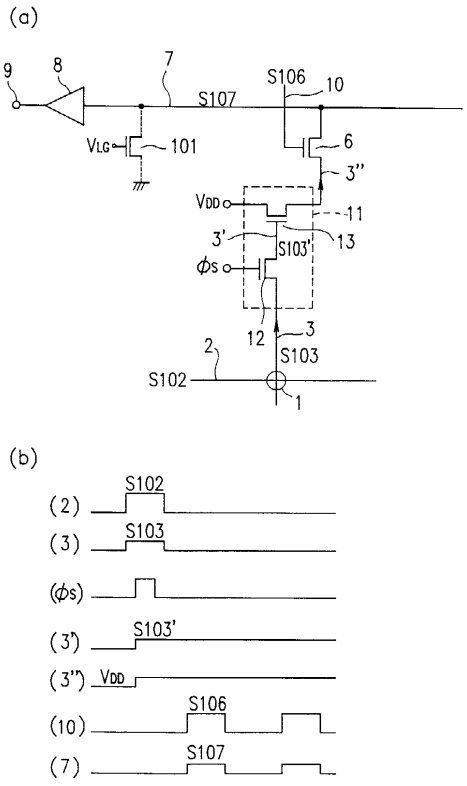
【図８】


300
301a
301b
301a'
301b'
①
②
③
④
g
r
b

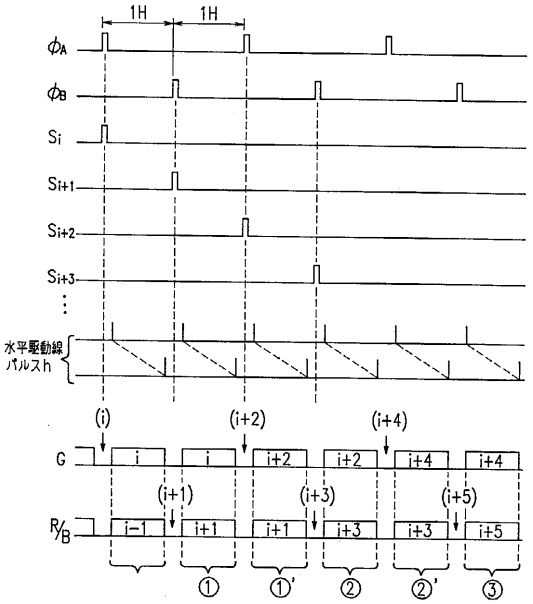
【図９】


5
水平走査回路
9a
8a
G
9
8
R/B
9b
8b
10
7a
7
7b
310
6
11a
$\phi_A$
$\phi_B$
11
11b
3
1
4
2
100
垂直走査回路
i
i+1
i+2
i+3
i+4
i+5
i+6
i+7

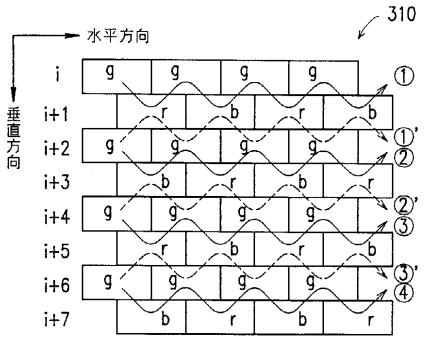
【図１０】


(a)
9
8
7
S106
10
S107
$V_{LG}$
101
6
3''
$V_{DD}$
11
3'
13
S103'
$\phi_S$
12
3
S103
2
S102
1
(b)
(2)
S102
(3)
S103
($\phi_S$)
(3')
S103'
(3'')
$V_{DD}$
(10)
S106
(7)
S107

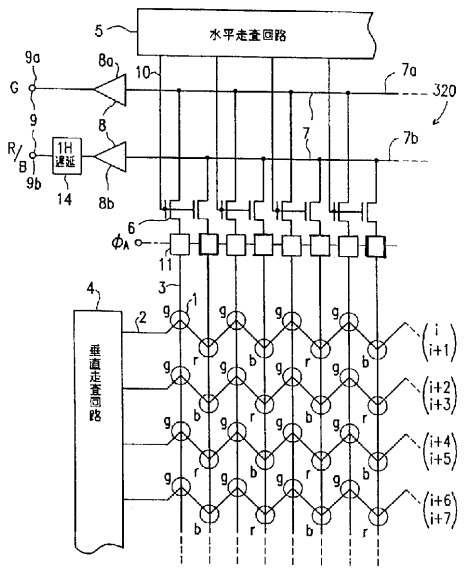
【図１１】



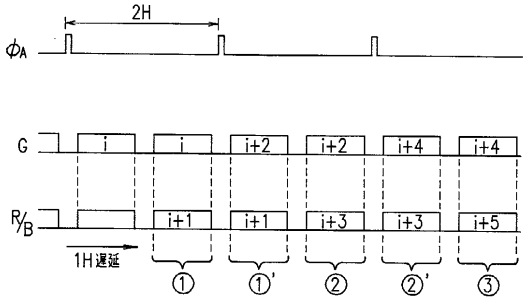

【図１２】



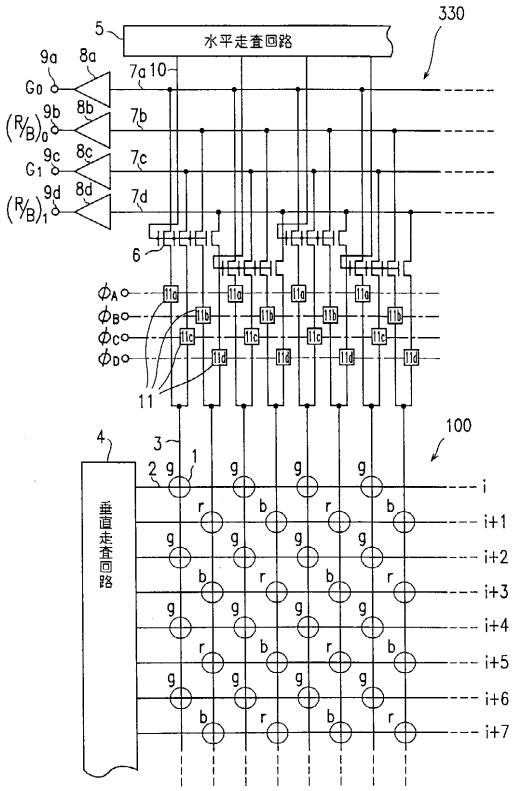

【図１３】



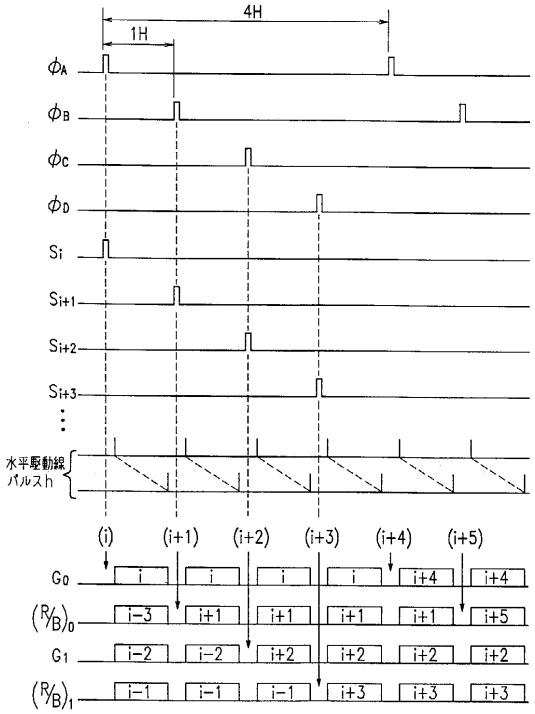

【図１４】



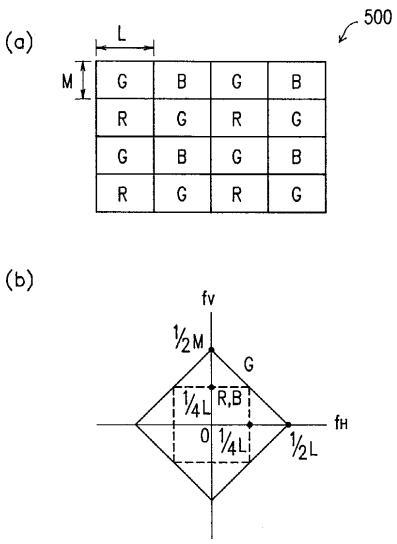
【図１５】



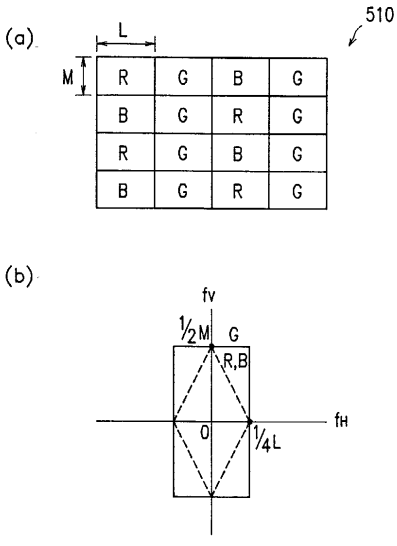

【図１６】



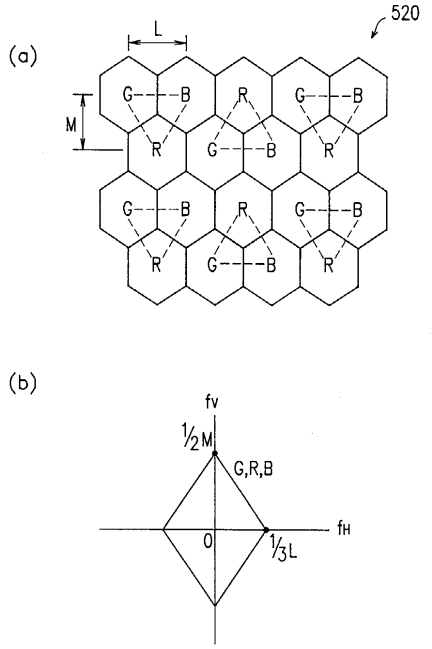

【図１７】




【図１８】



【図１９】



フロントページの続き

合議体
審判長　原　光明
審判官　北岡　浩
審判官　堀井　啓明

(56)参考文献　特開平２－２６８０８５（ＪＰ，Ａ）
特開昭６３－１４１４８５（ＪＰ，Ａ）