

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-537584

(P2017-537584A)

(43) 公表日 平成29年12月14日(2017.12.14)

(51) Int.Cl.	F I	テーマコード (参考)
H02M 1/08 (2006.01)	H02M 1/08 A	5H730
H03K 17/06 (2006.01)	H03K 17/06 O63	5H740
H03K 17/687 (2006.01)	H03K 17/687 F	5J055
H02M 3/155 (2006.01)	H02M 3/155 S	

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

(21) 出願番号 特願2017-519239 (P2017-519239)
 (86) (22) 出願日 平成27年10月9日 (2015.10.9)
 (85) 翻訳文提出日 平成29年5月23日 (2017.5.23)
 (86) 国際出願番号 PCT/US2015/054851
 (87) 国際公開番号 W02016/057878
 (87) 国際公開日 平成28年4月14日 (2016.4.14)
 (31) 優先権主張番号 62/062,445
 (32) 優先日 平成26年10月10日 (2014.10.10)
 (33) 優先権主張国 米国 (US)

(71) 出願人 511243668
 エフィシエント パワー コンヴァーショ
 ン コーポレーション
 アメリカ合衆国 90245 カリフォル
 ニア州, エルセガンド, エヌ・セブルヴェ
 ダ・ブルヴァード 909, スイート
 230
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 高電圧ゼロQRRブートスタート電源

(57) 【要約】

ハーフブリッジポロジに配置された電気回路である。電気回路は、ハイサイドトランジスタと、ローサイドトランジスタと、ハイサイドトランジスタのゲートに電氣的に結合されたゲートドライバ・レベルシフタと、ローサイドトランジスタのゲートに電氣的に結合されたゲートドライバと、ゲートドライバ・レベルシフタと並列に電氣的に結合されたキャパシタと、ゲートドライバ・レベルシフタの入力とゲートドライバの入力とに電氣的に結合された電圧源と、電圧源とキャパシタとの間に電氣的に結合されたブートストラップトランジスタを有する。Ga N電界効果トランジスタは、ハーフブリッジ回路のローサイドデバイス同期してスイッチングされる。

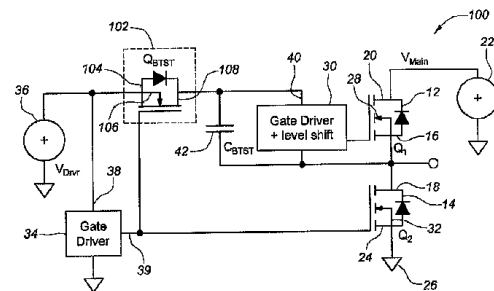


FIG. 2

【特許請求の範囲】

【請求項 1】

ハーフブリッジトポロジで配置された電気回路であって、
ハイサイドトランジスタと、
ローサイドトランジスタと、
前記ハイサイドトランジスタのゲートに電氣的に結合されたゲートドライバ・レベルシフタと、
前記ローサイドトランジスタのゲートに電氣的に結合されたゲートドライバと、
前記ゲートドライバ・レベルシフタと並列に電氣的に結合されたキャパシタと、
前記ゲートドライバ・レベルシフタの入力と前記ゲートドライバの入力とに電氣的に結合された電圧源と、
前記電圧源と前記キャパシタとの間に電氣的に結合されたブートストラップデバイスと、
を備え、
前記ブートストラップデバイスは、GaN電界効果トランジスタである、電気回路。

10

【請求項 2】

前記ブートストラップデバイスは、デプレッション形トランジスタであり、前記デプレッション形トランジスタのゲートは、前記ゲートドライバの出力に電氣的に結合されている、請求項 1 に記載の電気回路。

【請求項 3】

前記デプレッション形トランジスタは、前記ゲートドライバ・レベルシフタの前記入力に電氣的に結合されている、請求項 2 に記載の電気回路。

20

【請求項 4】

前記ブートストラップデバイスは、前記ローサイドトランジスタに同期している、請求項 1 に記載の電気回路。

【請求項 5】

前記ブートストラップデバイスは、エンハンスメント形トランジスタである、請求項 1 に記載の電気回路。

【請求項 6】

前記エンハンスメント形トランジスタはクランプされていない、請求項 5 に記載の電気回路。

30

【請求項 7】

前記エンハンスメント形トランジスタは、キャパシタと並列なツェナーダイオードでクランプされている、請求項 5 に記載の電気回路。

【請求項 8】

前記ゲートドライバに供給されるよりも高い電圧が、前記エンハンスメント形トランジスタに供給される、請求項 5 に記載の電気回路。

【請求項 9】

さらに、前記ゲートドライバと電氣的に通信するレギュレータを備える、請求項 5 に記載の電気回路。

【請求項 10】

さらに、前記エンハンスメント形トランジスタのドレインと前記ツェナーダイオードとの間に直列に抵抗を備える、請求項 7 に記載の電気回路。

40

【請求項 11】

前記抵抗は、前記エンハンスメント形トランジスタ内に集積化されている、請求項 10 に記載の電気回路。

【請求項 12】

前記エンハンスメント形トランジスタは、それぞれのソースに短絡された各ゲートに直列に結合された、2つのエンハンスメント形GaN電界効果トランジスタでクランプされている、請求項 5 に記載の電気回路。

【請求項 13】

50

さらに、前記のブートストラップデバイスであるトランジスタのゲートとソースとの間に電氣的に結合されたダイオードと、

前記のブートストラップデバイスであるトランジスタのゲートと前記ゲートドライバの出力との間に結合された第2のキャパシタと、を備える、請求項1に記載の電気回路。

【請求項14】

前記ブートストラップデバイスは、前記ハイサイドトランジスタ及び前記ローサイドトランジスタと集積化されている、請求項1に記載の電気回路。

【請求項15】

ハーフブリッジ回路をブートストラップする方法であって、
前記ハーフブリッジ回路のローサイドデバイスで、GaN電界効果トランジスタを同期してスイッチングするステップを含む、方法。

10

【請求項16】

前記ローサイドデバイスは、トランジスタである、請求項15に記載の方法。

【請求項17】

前記GaN電界効果トランジスタは、そのゲートが、前記ローサイドデバイスの前記ゲートと電氣的に通信するゲートドライバの出力と電氣的に通信する、請求項15に記載の方法。

【請求項18】

前記GaN電界効果トランジスタのソースとドレインにわたる電圧は、前記ローサイドトランジスタのソースとドレインにわたる電圧に等しい、請求項16に記載の方法。

20

【請求項19】

前記のローサイドデバイスであるトランジスタのゲートとソースにわたる電圧は、ゼロ(0)ボルトであり、前記GaN電界効果トランジスタのゲートとドレインにわたる電圧は、ドレイン電流の値が最低の場合に、マイナス5(-5)ボルトである、請求項18に記載の方法。

【請求項20】

前記GaN電界効果トランジスタは、クランプされていないエンハンスメント形トランジスタであり、

追加電圧は前記GaN電界効果トランジスタに供給され、増加し、前記GaN電界効果トランジスタのボディダイオードにわたる電圧降下を克服する、請求項15に記載の方法。

30

【請求項21】

前記GaN電界効果トランジスタはエンハンスメント形トランジスタであり、キャパシタ、ゲートドライバ・レベルシフタと並列なツェナーダイオードでクランプされ、前記ゲートドライバ・レベルシフタは、ハーフブリッジ回路のアップサイドデバイスと電氣的に通信する、請求項15に記載の方法。

【請求項22】

前記ツェナーダイオードは、前記キャパシタにわたる電圧を前記ローサイドデバイスの安全レベルにクランプする、請求項21に記載の方法。

【請求項23】

前記エンハンスメント形トランジスタのドレインとツェナーダイオードの間に、抵抗が直列に結合されている、請求項21に記載の方法。

40

【請求項24】

ダイオードが、駆動電圧と前記GaN電界効果トランジスタのゲートとの間に電氣的に結合されており、

キャパシタが、前記GaN電界効果トランジスタのゲートと前記ローサイドデバイスに対するゲートドライバの出力の間に電氣的に結合されている、請求項15に記載の方法。

【発明の詳細な説明】

【背景技術】

【0001】

発明の背景

50

図 1 は、従来のハーフブリッジトポロジ 10 を示す。図示のように、従来のトポロジ 10 は、Q 1 及び Q 2 の符号が付された一対のトランジスタ 12 及び 14 を含む。そのようなトポロジは、例えば、エンハンスメント形電界効果トランジスタ (FETs) で実現されてもよい。典型的には、トランジスタ 12 及び 14 はハイサイド及びローサイドスイッチと見なされる。ハイサイドトランジスタ 12 のソース 16 は、ハーフブリッジの出力でローサイドトランジスタ 14 のドレイン 18 に結合されている。ハイサイドトランジスタ 12 のドレイン 20 は高電圧源 22 (V_{Main}) に結合され、ローサイドトランジスタ 14 のソース 24 はグランド 26 に結合されている。さらに、ハイサイドトランジスタ 12 のゲート 28 は、ゲートドライバ・レベルシフタ 30 に結合されており、ローサイドトランジスタ 14 のゲート 32 はゲートドライバ 34 に結合される。ゲートドライバ・レベルシフタ 30 とゲートドライバ 34 とは、当技術分野で周知であり、ここでは詳細には説明しない。しかしながら、この構成は、動作中に 1 つのトランジスタ 12 又は 14 (Q 1 又は Q 2) をスイッチオンし、他のトランジスタをスイッチオフすることを可能にし、逆も同様であることが理解されるべきである。

【0002】

図 1 に示されるように、駆動電圧源 36 (V_{Drvr}) は、ハイサイドゲートドライバ・レベルシフタ 30 の入力 40 と結合されており、かつ、ローサイドゲートドライバ 34 の入力 38 に結合されている。この従来の設計では、ブートストラップキャパシタ 42 (C_{BST}) は、ハイサイドゲートドライバ・レベルシフタ 30 と並列に結合され、ブートストラップダイオード 44 (D_{BST}) は、駆動電圧源 36 V_{Drvr} とブートストラップキャパシタ 42 (C_{BST}) との間に結合される。ハイサイドトランジスタ Q 1 及びローサイドトランジスタ Q 2 に、eGaN FET を用いた場合、図 1 に示される構成は、ローサイドトランジスタが 14 (Q 2) の「ボディダイオード」が導通する場合には、例えばブートストラップキャパシタ 42 (C_{BST}) にまたがって (across)、約 7.5 V を生じる。しかしながら、電圧はいくつかの要因によって変わることがある。電圧は、動作条件及びローサイドトランジスタ 14 (Q 2) に使用されるトランジスタデバイスのタイプに依存して、約 6.5 V 以上にする事ができる。しかしながら、この構成では、ハイサイドゲートドライバ 30 は何らかの形式のレギュレータを必要とする。従来、これはハーフブリッジ構成内のハイサイドトランジスタに電力を供給するために使用される内部ブートストラップダイオードで実現されている。理想的には、ショットキーダイオードが、小さく、順方向電圧降下が低く、逆回復電荷がないために使用される。しかしながら、集積回路プロセスにおいて高電圧 (100 V) ショットキーダイオードを作成することは非常に困難であり、従って、逆回復電荷を有する PN 接合ダイオードがしばしば用いられる。さらに、高電圧ショットキーダイオードは、損失をもたらす逆回復電荷 (Q_{RR}) を有する。

【0003】

このために、このタイプのハーフブリッジトポロジのためにトランジスタ 12 及び 14 (Q 1 及び Q 2) に GaN FET を使用すると、ショットキーダイオード又は PN 接合ダイオードの逆回復電荷 Q_{RR} が性能に影響を与え、ハイサイドトランジスタにおいて損失を誘発する。通常、これらの損失は、回路内の他の電力損失メカニズムと比較して無視できる程度である。しかしながら、逆回復電荷損失は周波数に比例し、より高い動作周波数ではコンバータ損失のかなりの部分になる点まで増加する。したがって、ブートストラップの従来の方法は、高いスイッチング周波数の動作では効率的ではない。

【発明の概要】

【0004】

発明の概要

本発明は、ハーフブリッジトポロジのためのブートストラップサプライ (bootstrap supply) に関し、より詳細には、窒化ガリウム (GaN) FET を用いたブートストラップサプライに関する。有利には、GaN FET は、ゼロ逆回復電荷 Q_{RR} を有し、ハーフブリッジ回路のローサイドトランジスタと同期してスイッチングすることができるので、高

10

20

30

40

50

電圧アプリケーションに有用である。同期スイッチングは、F E Tのボディダイオードが導通した場合に、高ブートストラップサプライ電圧を阻止する。さらに、ブートストラップデバイスのゼロ逆回復電荷 Q_{RR} は、スイッチング性能を、特に超低用量キャパシタデバイスに対して著しく改善し、ハイサイドデバイス内への損失の誘発を低減する。

【 0 0 0 5 】

このために、ハーフブリッジトポロジに配置された電気回路が提供される。電気回路は、ハイサイドトランジスタと、ローサイドトランジスタと、ハイサイドトランジスタのゲートに電氣的に結合されたハイサイドゲートドライバ・レベルシフタと、ローサイドトランジスタのゲートに電氣的に結合されたローサイドゲートドライバと、ハイサイドゲートドライバ・レベルシフタと並列に電氣的に結合されたキャパシタと、ハイサイドゲートドライバ・レベルシフタの入力とローサイドゲートドライバの入力とに電氣的に結合された電圧源と、電圧源とキャパシタの間に結合されたブートストラップトランジスタとを備える。

10

【 0 0 0 6 】

いくつかの実施形態では、ブートストラップトランジスタはG a N電界効果トランジスタである。実施形態に応じて、ブートストラップトランジスタは、デプレッション形トランジスタ又はエンハンスメント形トランジスタであってもよい。ブートストラップトランジスタがデプレッション形トランジスタであるいくつかの実施形態では、デプレッション形トランジスタのゲートは、ゲートドライバの出力に電氣的に結合される。デプレッション形の実施形態では、デプレッション形トランジスタのドレインは、ハイサイドゲートドライバ・レベルシフタの入力に電氣的に結合される。

20

【 0 0 0 7 】

エンハンスメント形トランジスタがブートストラップデバイスとして使用される場合、実施形態に応じてクランプ (clamped) されてもクランプされていなくてもよい。エンハンスメント形トランジスタがクランプされている場合は、ブートストラップキャパシタと並列にツェナーダイオードでクランプすることができる。エンハンスメント形トランジスタのドレインとツェナーダイオードとの間に抵抗を直列に配置することができる。抵抗は、エンハンスメント形トランジスタに集積されてもよい。好ましくは、ツェナーダイオードは、ブートストラップキャパシタをまたぐ電圧をアッパーサイドデバイスに対する安全レベルにクランプする。

30

【 0 0 0 8 】

エンハンスメント形トランジスタは、それぞれのソースに短絡されたゲートと直列に結合された2つのエンハンスメント形G a N電界効果トランジスタでクランプされてもよい。

【 0 0 0 9 】

エンハンスメント形トランジスタが使用される実施形態では、エンハンスメント形トランジスタに供給される電圧は、ゲートドライバに供給される電圧よりも高い電圧であり得る。これらの実施形態のいくつかでは、1つ以上の電圧源を使用することができる。

【 0 0 1 0 】

いくつかの実施形態では、ローサイドゲートドライバを調整する必要がある場合がある。いくつかの実施形態では、レギュレータがローサイドゲートドライバとの電氣的な通信内に配置されてもよい。

40

【 0 0 1 1 】

いくつかの実施形態では、ダイオードは、電源電圧とトランジスタのゲートとの間に電氣的に結合され、第2のキャパシタは、トランジスタのゲートとゲートドライバの出力との間に電氣的に結合される。

【 0 0 1 2 】

本発明の別の態様では、ハーフブリッジ回路をブートストラップする方法が提供される。好ましい実施形態では、G a N電界効果トランジスタは、ハーフブリッジ回路の、好ましくはG a N電界効果トランジスタであるローサイドトランジスタと同期してスイッチン

50

グされる。

【 0 0 1 3 】

好ましい実施形態では、GaN電界効果トランジスタのソースとドレインにわたる電圧は、ローサイドデバイストランジスタのソースとドレインにわたる電圧に等しい。

【 0 0 1 4 】

いくつかの実施形態では、ローサイドデバイストランジスタのゲートとソースにわたる電圧はゼロ(0)ボルトであり、ドレイン電流の値が最低(worst)の場合に、GaN電界効果トランジスタのゲートとソースにわたる電圧はマイナス5(-5)ボルトである。

【図面の簡単な説明】

【 0 0 1 5 】

10

図面の簡単な説明

【図1】ハーフブリッジトポロジ回路のための従来のブートストラップサプライを示す図である。

【図2】本発明の第1の実施形態によるハーフブリッジトポロジのためのブートストラップサプライを示す図である。

【図3】ブートストラップデバイスとしてeGaNトランジスタを使用した回路の好ましい実施形態のタイミングチャートを示す図である。

【図4】本発明の第2の実施形態200によるハーフブリッジトポロジのためのブートストラップサプライを示す図である。

【図5】図3の実施形態の変形例を示す図である。

20

【図6】本発明の追加の実施形態によるハーフブリッジトポロジのためのブートストラップサプライを示す図である。

【発明を実施するための形態】

【 0 0 1 6 】

以下の詳細な説明では、本発明の例示的な実施形態を参照する。例示的な実施形態は、当業者がそれらを実施できるように十分詳細に記載されている。他の実施形態を採用してもよく、様々な構造的、論理的及び電氣的な変更を行うことができることを理解されたい。

【 0 0 1 7 】

図2は、本発明の第1の実施形態100によるハーフブリッジトポロジのためのブートストラップサプライを示す。図示されているように、図2の設計は、上述した従来のハーフブリッジトポロジ10と同じ構成要素の多くを含む。すなわち、ハイサイドトランジスタ12及びローサイドトランジスタ14(Q1及び42)が設けられ、そのそれぞれのゲートは、それぞれ、ハイサイドゲートドライバ・レベルシフタ30へ、及び、ローサイドゲートドライバ34へ結合される。しかしながら、図1の従来の設計とは対照的に、図2の例示的な設計は、ブートストラップデバイス102として、デプレッション形トランジスタ(例えば、nチャンネルのデプレッション形電界効果トランジスタ(FET))が用いられている。好ましくは、ブートストラップデバイス102(Q_{BTST})は、GaN FETである。

30

【 0 0 1 8 】

図示のように、ブートストラップデバイス102(Q_{BTST})のソース104は、電圧源36(V_{Drvr})に結合される。ブートストラップデバイス102(Q_{BTST})のゲート106は、ローサイドゲートドライバ34の出力39に結合される。ブートストラップデバイス102(Q_{BTST})のドレイン108は、ハイサイドゲートドライバ・レベルシフタ30の入力40に結合される。有利には、例示的な実施形態のブートストラップデバイス102(Q_{BTST})は、ローサイドトランジスタ14(Q2)のスイッチングに同期され、従来の設計について上述したブートストラップキャパシタ42(C_{srt})にわたる7.5Vを克服する(overcome)。

40

【 0 0 1 9 】

ブートストラップデバイス102(Q_{BTST})のソースとドレインにわたる電圧V_s

50

D は、トランジスタ 14 (Q_2) のソースとドレインにわたる電圧と同じであるべきである。さらに、トランジスタ 14 (Q_2) のゲートとソースにわたる電圧 $V_{GS} = 0$ ボルトであり、ブートストラップデバイス 102 (Q_{BST}) のゲートとソースにわたる電圧 V_{GS} は - 5 ボルトであり、ただし、ドレイン電流 (I_D) の値は最低の場合である。ドレインとソースの間の電圧 V_{DS} が、ブートストラップデバイス 102 (Q_{BST}) とメイントランジスタ 12 及び / 又は 14 ($FETs$ Q_1 及び / 又は Q_2) の両方に対して同じ定格を有しているべきだが、ブートストラップデバイス 102 (Q_{BST}) は著しく小さく (より高い $R_{DS(on)}$) できる。さらに、ブートストラップデバイス 102 (Q_{BST}) は、集積化されたハーフブリッジデバイスペア内に集積化することができる。

10

【 0020 】

同期 FET の実装を保証するために、ブートストラップ回路 10 は、ゲートドライバへ及び電力回路への最小の影響を有し、いかなる条件においても動作し、回路 10 は厳しい条件下でロバストであるように設計されている必要がある。好ましい実施形態では、次の条件、すなわちローサイド FET 逆導通 (reverse conduction)、ローサイド逆導通 (高損失 C_{oss} 遷移) 後のハードスイッチング、部分ゼロ電圧スイッチング ($PZVS$)、自己整流後のアップパ FET の逆導、及び、最も厳しくない条件のゼロ電圧スイッチング (ZVS)、によって説明されうる。

【 0021 】

上述したように、ブートストラップデバイス 102 に FET を使用する実施形態は、好ましくは同期される。図 3 は、 FET ブートストラップデバイス 102 を含むブートストラップ回路の好ましい実施形態のタイミングチャートを示す。正しいタイミングは、上に列挙した厳しい条件の影響を操作又は除去するのを助ける。動作中に、ローサイドトランジスタ 14 のゲート電圧の上昇に続いて、スイッチノード電圧がハイからローに遷移するのは時間がかかる。小同期 FET ブートストラップデバイス 102 が時期を早めてオンにされたとすると、ドレイン電圧はまだハイである。この条件では、スイッチノードは 5 V に結合されており、破滅的な結果となる。したがって、この発生を避けるために、同期 FET ブートストラップデバイス 102 のターンオンは、十分に遅らされなければならない。この遅れは、 $V_{GS_Q_{low}}$ 及び V_{GS_BST} の立ち上がりの差として、図 3 に示されている。同様の理由から、同期 FET ブートストラップデバイス 102 のターンオフは、ローサイドトランジスタ 14 と同時に行われなければならない。これも図 3 に示されている。

20

30

【 0022 】

上に列挙した厳しい条件に耐える実施形態を設計するための別の重要な設計パラメータは、オフ状態マージンである。ローサイドトランジスタ 14 と同期 FET ブートストラップデバイス 102 の両方が $eGaN$ FET デバイスであることができるので、両者は、オフ保持されているときに、同様の逆導通電圧降下を有しうる。これらの条件の下では、同期 FET ブートストラップデバイス 102 にとって、ローサイドトランジスタ 14 とともに又はローサイドトランジスタ 14 の代わりに主電流を逆転して導通させることが可能である。これは、ブートストラップキャパシタ 42 にわたる過電圧状態をもたらし、ハイサイドトランジスタのゲート 28 の故障をもたらす虞がある。この発生を防止するために、いくつかの実施形態では、同期 FET ブートストラップデバイス 102 のオフ状態電圧は - 1 V に保持され、それにより、逆導通電圧が増加し、ローサイドトランジスタ 14 よりも著しく高くなり、従って導通を防止する。適切なオフ状態マージンの一例を図 4 に示す。

40

【 0023 】

タイミング及びオフ状態マージンに加えて、好ましい実施形態は、ブートストラップデバイス 102 のドレイン回路がより高い電圧に共鳴するのを防止する回路レイアウトを使用する。同期 FET ブートストラップデバイス 102 のドレイン回路は、より高い電圧に共鳴する虞があり、これはブートストラップキャパシタ 42 を充電することができるより

50

高い電圧にリングすることができ、ハイサイドトランジスタゲート 28 の故障をもたらす。

【0024】

図 4 は、本発明の第 2 の実施形態 200 による、ハーフブリッジトポロジのためのブートストラップサプライを示す。図示されているように、図 4 の実施形態は、上述されたように、従来のハーフブリッジトポロジ 10 と同じ構成要素の多くを含む。すなわち、ハイサイドトランジスタ 12 及びローサイドトランジスタ 14 (Q_1 及び Q_2) は、それぞれのゲート 28 及び 32 が、ゲートドライバ・レベルシフタ 30 とゲートドライバ 34 とにそれぞれ結合されている。しかしながら、図 1 の従来の設計 10 とは対照的に、ブートストラップデバイス 102 (Q_{BST}) は、電圧源 36 (V_{Drvr}) 及びブートストラップキャパシタ 42 (C_{BST}) の間に結合された、クランプされていないエンハンスメント形デバイスである。さらに、追加の供給電圧 202 V_{SD_GAN} が、ブートストラップデバイス 102 (Q_{BST}) にも供給され、増加し、ブートストラップデバイスの GaN FET ボディダイオードにわたる電圧降下を克服する。電圧源 204 (V_{Drvr}) は、ローサイドゲートドライバ 38 に、追加の供給電圧 202 (V_{SD_GAN}) なしで印加される。この構成は、トランジスタ 14 のボディダイオードが導通すると、ブートストラップキャパシタ 42 (C_{BST}) にわたる約 7.5 V を生じる。しかしながら、ゲートドライバ 34 は、この構成に対して何らかの形式の調整を必要とする。実施形態に応じて、ゲートドライバ 34 は、内部的又は外部的に調整されてもよい。他の実施形態では、回路 10 のタイミングは、ローサイドゲートドライバ 34 を調整することができる。例えば、回路 10 を駆動する電圧源 36 を調整することができ、その調整は、回路が正常に動作するときに、順次ブートストラップキャパシタ 42 に伝えられることができる。図 2 の実施形態と同様に、ブートストラップデバイス 102 (Q_{BST}) のソースとドレインにわたる電圧 V_{SD} は、トランジスタ 14 (Q_2) のソースとドレインにわたる電圧と同一又は類似でなければならない。

【0025】

図 5 の実施形態 300 は、図 4 の実施形態 200 の変形例を示す。基本的な違いは、ブートストラップ電源が、ブートストラップキャパシタ 42 (C_{BST}) に並列に結合されたツェナークランプ 302 (すなわち、ツェナーダイオード D_{CLMP}) でクランプされることである。図 5 に示す実施形態 300 では、抵抗 304 R_{lim} は、ブートストラップデバイス 102 (Q_{BST}) のドレイン 108 とツェナークランプ D_{CLMP} との間に直列に結合されている。図 5 の構成は、トランジスタ 14 (Q_2) のボディダイオードが導通した場合に、ブートストラップキャパシタ 42 (C_{BST}) にわたる電圧を安全な動作制限内に維持するために、ツェナークランプ 302 を用いる。さらに、ツェナークランプ 302 (D_{CLMP}) は電圧をトランジスタ 12 (Q_1) の安全制限にクランプし、抵抗 304 (R_{lim}) はクランプ中の電圧バッファを提供する。図 2 の実施形態 100 と同様に、ブートストラップデバイス 102 (Q_{BST}) のソース及びドレインにわたる電圧 V_{SD} は、トランジスタ 14 (Q_2) のソース及びドレインにわたる電圧と同一又は類似でなければならない。図 4 の構成 200 と同様に、ブートストラップデバイス 102 のボディダイオードにわたる電圧降下を克服するために、追加の供給電圧 202 (V_{SD_GAN}) が、同様にブートストラップデバイス 102 に供給されている。

【0026】

図 5 の例示的实施形態の一改良において、電流制御機能を備える抵抗 304 (R_{lim}) は、ブートストラップデバイス 3102 内に集積化されてもよい。いくつかの実施形態では、抵抗は $R_{DS(on)}$ すなわち、適切な抵抗を備えた FET の内部抵抗、を用いて集積化されてもよい。他の実施形態では、例えば金属バス (busing) などの抵抗素子を追加することができる。他の実施形態では、他の抵抗素子を使用することができる。抵抗素子 304 を集積することの利点の 1 つは、外部素子を除去することである。

【0027】

さらに他の実施形態では、ツェナークランプ 302 は、それぞれのソースに短絡された

ゲートと直列に結合された2つのエンハンスメントGaN FETを使用することによって達成することができる。この設計は、回路設計のための最大の集積化を可能に示す。

【0028】

図6は、本開示の追加の実施形態400によるハーフブリッジトポロジのためのブートストラップサプライを示す。図示のように、図6の実施形態は、図2に示される実施形態100に関して上で説明されたハーフブリッジトポロジと同じ構成要素の多くを含む。例えば、実施形態400は、ハイスイドトランジスタ12とローサイドトランジスタ14と(Q1とQ2と)を含み、それぞれのゲート28とゲート32とがそれぞれゲートドライバ・レベルシフタ30とゲートドライバ34とに結合される。しかしながら、図2の設計とは対照的に、ブートストラップサプライは、同期エンハンスメント形デバイスの実装と見なすことができる。図示のように、ブートストラップデバイス102 (Q_{BTST})は、駆動電圧源36 (V_{Drvr})とハイスイドゲートドライバ・レベルシフタ30との間に結合されている。さらに、エンハンスメントダイオード402 (D_{ENH})が、駆動電圧源36 (V_{Drvr})とブートストラップデバイス102 (Q_{BTST})のゲート106との間に結合されている。さらに、エンハンスメントキャパシタ404 (C_{ENH})がブートストラップデバイス102 (Q_{BTST})のゲート106と、ローゲートドライバ34の出力38との間に、結合されている。

【0029】

いくつかの実施形態では、エンハンスメントダイオード402 (D_{ENH})は、外部コンポーネントの数を削減するためにブートストラップデバイス102に集積化されていてもよい。さらに他の実施形態では、エンハンスメントダイオード402と並列のエンハンスメント形抵抗もまた、ブートストラップデバイス102に集積化されていてもよい。

【0030】

有利なことに、図5の実施形態のブートストラップデバイス102 (Q_{BTST})は、従来の設計では上述したようにブートストラップキャパシタ42 (C_{BTST})にわたる7.5Vを克服するトランジスタ14 (Q2)のスイッチングに同期している。同期することにより、ローサイドトランジスタ14の「ボディダイオード」が、ハイスイドトランジスタゲート28の過充電を防止する。例示的な実施形態では、ブートストラップデバイス102 (Q_{BTST})のソースとドレインにわたる電圧V_{SD}は、トランジスタ14 (Q2)のソースとドレインにわたる電圧と同じであるべきである。さらに、トランジスタ14 (Q2)のソースとドレインにわたる電圧(V_{GS}) = 0ボルトであり、ブートストラップデバイス102 (Q_{BTST})のソースとドレインにわたる電圧(V_{GS})との間の電圧は、ドレイン電流I_Dの値が最低の場合に-5である。例示的な構成では、エンハンスメントダイオード402 (D_{ENH})の電圧降下は、ブートストラップデバイス102 (Q_{BTST})のゲートとソースにわたる電圧V_{GS}を0Vよりも低下させ、したがってソースとドレインにわたる電圧V_{SD}が上昇し、追加マージンのためのトランジスタ14 (Q2)とブートストラップデバイス102 (Q_{BTST})との間の差異を増加させる。さらに、エンハンスメントキャパシタ404 (C_{ENH})は、従来のブートストラップサプライと同じ方法で(例えば、5Vに)充電される。しかしながら、使用されるエンハンスメントダイオード402 (D_{ENH})は、ゼロ又は超低逆回復電化量Q_{RP}を有する低電圧(例えば<20V)ショットキーダイオードであってもよい。

【0031】

上述の例示的な実施形態の各々について、ブートストラップデバイス102 (Q_{BTST})を駆動するための構成に、メイントランジスタ12及び14 (Q1及びQ2)にスイッチング遷移、最も好ましくは、トランジスタ14 (Q2)のターンオンイベントを完了するための時間を許すための、追加のタイミングを付けくわえることができると好ましい。さらに、ブートストラップデバイス102 (Q_{BTST})がオンになると、抵抗と同じように両方向に電流を伝導することができる。さらに、エンハンスメントキャパシタ(C_{ENH})にわたる電圧は、オフ状態の間にブートストラップデバイス102 (Q_{BTST})の追加のボディダイオード電圧マージンを付け加えるために、制御され(低減される)

10

20

30

40

50

ことができ、トランジスタ(Q2)のボディダイオードの導通の逆電圧が、ブートストラップサプライ電圧を安全動作制限を超えて増大させる可能性をさらに低減させる。

【0032】

いくつかの実施形態は、ブートストラップトランジスタ102がオンになる前にローサイドトランジスタ14が完全にオンになることを可能にするタイミング回路をさらに含むことができる。タイミング回路はまた、ローサイドトランジスタ14のゲートの電圧がゼロ(0)に低下したときに、ブートストラップトランジスタ102を直ちに、又はできるだけ早くオフにすることができる。

【0033】

実験を通して、上述した実施形態は、抑制されていないと共鳴する虞があるブートストラップトランジスタ102のドレインインダクタンスに敏感であることが明らかになっている。トランジスタの設計/選択によって一般的にインダクタンス設計を維持する以外に、小さな直列抵抗がブートストラップトランジスタ102のドレインの後に直列に追加することができる。この抵抗を、ブートストラップトランジスタ102に集積化してもよい。いくつかの実施形態では、抵抗はブートストラップトランジスタ102の設計により、約3 の高RDS(on)と集積化されてもよい。さらに他の実施形態では、抵抗は、(RDS(on)ではなく別の)ただ集積された減衰抵抗であってもよい。

【0034】

図2、4乃至6に示す例示的な各実施形態のブートストラップデバイスに使用されるトランジスタは、好ましくは、GaN FETであると好ましい。最後に、上述したブートストラップデバイスの構成は、窒化ガリウム「GaN」FETを駆動するために提供されるが、例示的な実施形態には決して限定されず、(例えば、ハーフブリッジトポロジのための)通常のMOSFETを駆動するために使用されてもよい。さらに、上述した技術は、ハーフブリッジトランジスタもMOSFETであれば、ブートストラップデバイス102としてMOSFETを使用しても動作しない。これには2つの主な理由がある。1)適切に作動するために、ブートストラップトランジスタはGaNの逆導通電圧特性を利用しなければならず、電圧降下は負のゲート電圧の大きさによってプログラムされる。これは、内部ダイオードが導通しないようにしなければならないときに、内部ダイオードからの電磁波耐性を獲得する。MOSFETはこのように動作することができず、従って、主電源回路の一部となり、破壊的な結果を招く可能性がある。2) MOSFETはQrrを有するが、eGaN FETはQrrを有さない。(何らかの理由で) MOSFETダイオードが導通すると、ここで示した技術の利点は完全に失われる。

【0035】

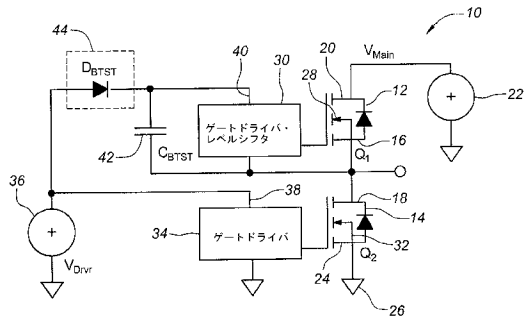
上記の説明及び図面は、本明細書に記載された特徴及び利点を達成する特定の実施形態を例示するものとしてだけ考慮されるべきである。特定のプロセス条件に対する変更及び置換を行うことができる。したがって、本発明の実施形態は、前述の説明及び図面によって限定されているとみなされない。

10

20

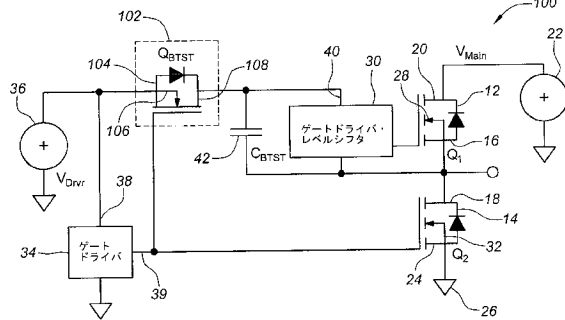
30

【図 1】

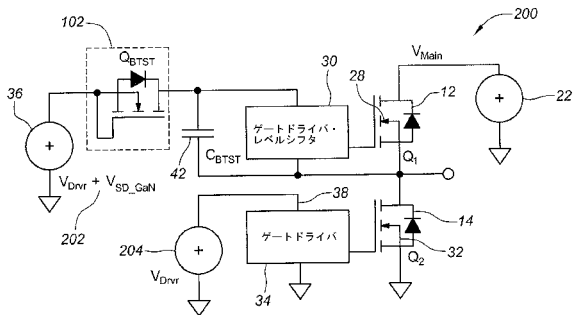


(先行技術)

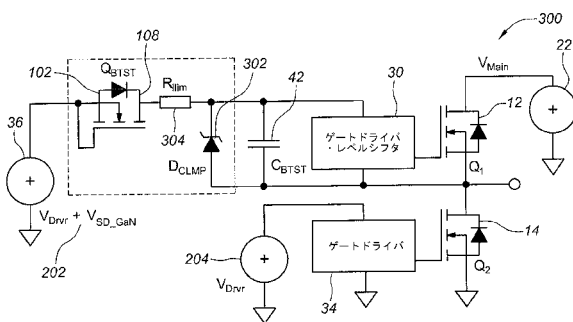
【図 2】



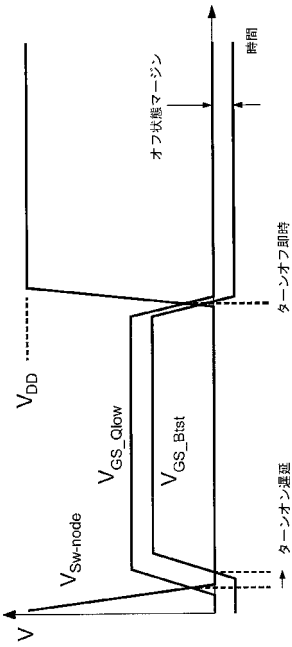
【図 4】



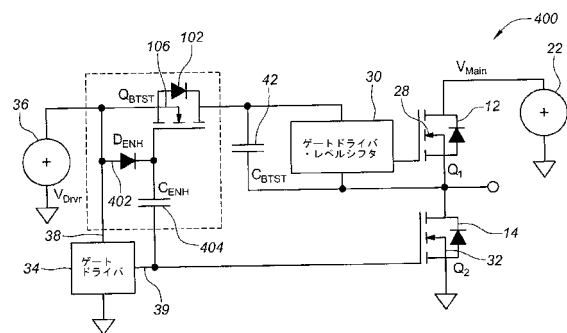
【図 5】



【図 3】



【図 6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2015/054851																								
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H03K 17/687 (2015.01) CPC - H03K 17/687 (2015.10) According to International Patent Classification (IPC) or to both national classification and IPC																										
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC(8) - G11C 5/00, 5/14; H03K 17/00, 17/51, 17/56, 17/687 (2015.01) USPC - 327/108, 427, 530, 589 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched CPC - G11C 5/00, 5/14; H03K 17/00, 17/51, 17/56, 17/687 (2015.10) Search terms used: half-bridge circuit, high side, low side, transistors, bootstrap, gate driver (Keyword delimited) Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Orbit, Google Patents, Google, ProQuest																										
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 60%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 30%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2011/0018813 A1 (WANG) 27 January 2011 (27.01.2011) entire document</td> <td>1, 5-7, 9, 10, 15</td> </tr> <tr> <td>Y</td> <td></td> <td>2-4, 8, 11-14</td> </tr> <tr> <td>X</td> <td>US 2014/0169052 A1 (INTERNATIONAL RECTIFIER CORPORATION) 19 June 2014 (19.06.2014) entire document</td> <td>16-21</td> </tr> <tr> <td>Y</td> <td></td> <td>2-4, 22-25</td> </tr> <tr> <td>Y</td> <td>US 2013/0119965 A1 (MARVIN et al) 16 May 2013 (16.05.2013) entire document</td> <td>8, 11, 12, 22-24</td> </tr> <tr> <td>Y</td> <td>US 5,182,468 A (ERDELYI et al) 26 January 1993 (26.01.1993) entire document</td> <td>13</td> </tr> <tr> <td>Y</td> <td>US 5,373,435 A (JAYARAMAN et al) 13 December 1994 (13.12.1994) entire document</td> <td>14, 25</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2011/0018813 A1 (WANG) 27 January 2011 (27.01.2011) entire document	1, 5-7, 9, 10, 15	Y		2-4, 8, 11-14	X	US 2014/0169052 A1 (INTERNATIONAL RECTIFIER CORPORATION) 19 June 2014 (19.06.2014) entire document	16-21	Y		2-4, 22-25	Y	US 2013/0119965 A1 (MARVIN et al) 16 May 2013 (16.05.2013) entire document	8, 11, 12, 22-24	Y	US 5,182,468 A (ERDELYI et al) 26 January 1993 (26.01.1993) entire document	13	Y	US 5,373,435 A (JAYARAMAN et al) 13 December 1994 (13.12.1994) entire document	14, 25
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																								
X	US 2011/0018813 A1 (WANG) 27 January 2011 (27.01.2011) entire document	1, 5-7, 9, 10, 15																								
Y		2-4, 8, 11-14																								
X	US 2014/0169052 A1 (INTERNATIONAL RECTIFIER CORPORATION) 19 June 2014 (19.06.2014) entire document	16-21																								
Y		2-4, 22-25																								
Y	US 2013/0119965 A1 (MARVIN et al) 16 May 2013 (16.05.2013) entire document	8, 11, 12, 22-24																								
Y	US 5,182,468 A (ERDELYI et al) 26 January 1993 (26.01.1993) entire document	13																								
Y	US 5,373,435 A (JAYARAMAN et al) 13 December 1994 (13.12.1994) entire document	14, 25																								
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																										
Date of the actual completion of the international search 30 November 2015		Date of mailing of the international search report <div style="font-size: 1.2em; font-weight: bold;">28 DEC 2015</div>																								
Name and mailing address of the ISA/ Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, VA 22313-1450 Facsimile No. 571-273-8300		Authorized officer Blaine R. Copenhaver PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774																								

