

公告本

申請日期	89.10.3
案 號	89120521
類 別	G11C1/4

A4
C4

(以上各欄由本局填註)

發明 專利 說明 書 480492

一、發明 名稱	中 文	用於儲存類比電壓之四端子 EEPROM 記憶格及利用其儲存每 EEPROM 記憶格多個位元之記憶體系統
	英 文	FOUR-TERMINAL EEPROM CELL FOR STORING AN ANALOG VOLTAGE AND MEMORY SYSTEM USING THE SAME TO STORE MULTIPLE BITS PER EEPROM CELL
二、發明 創作人	姓 名	羅伯特.派迪
	國 籍	美 國
	住、居所	美國.伊利諾州 60555,華倫市,南 751 雅芳路 1 號
三、申請人	姓 名 (名稱)	羅伯特.派迪
	國 籍	美 國
	住、居所 (事務所)	美國.伊利諾州 60555,華倫市,南 751 雅芳路 1 號
	代 表 人 姓 名	

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期：1999.10.12 案號：09/417,040 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (i)

本發明之領域

本發明係有關於 EEPROM 記憶格，且更特定地有關於一種能夠被更正確地程式化之 EEPROM 記憶格。

本發明之背景

EEPROM 記憶格通常是被用來每個記憶格儲存單一數位的位元。然而，每個記憶格儲存超過一個位元的記憶體已經被描述。此種記憶體通常被稱為“多位準”記憶體。多位準記憶體擁有用來顯著降低每個位元之儲存的成本之潛力。

一個 EEPROM 記憶格可以被視為一個場效電晶體，其具有一個被隔離的閘極。在程式化期間，電荷係藉由隧穿過程而被轉移至閘極。儲存在閘極之上的電荷量係決定源極-汲極路徑的導電度。為了每個記憶格儲存 N 個位元，每個記憶格必須提供對應於 2^N 個不同的電荷位準之 2^N 個分開的可區別之狀態。能夠被儲存的位元之最大的數量係依據被用來量測導電度的電路之靈敏度以及依據寫入電路在程式化過程的期間精確地控制被轉移至浮動閘極的電荷量之能力而定。雖然具有所要的精確度來儲存與區別 256 階之感測電路係為已知，電荷之精確的程式化仍然呈現出問題。

電荷係藉由使得電子隧穿通過隔離閘極的氧化物而被轉移至該浮動閘極。在 EEPROM 記憶格中，該隧穿係藉由一電壓施加在該包含一個隧穿窗口的電晶體之浮動閘極以及一部份的通道區域之間而被驅動的。在程式化的動作期

五、發明說明()

間，在浮動閘極之上有效的電位是藉由已經被置放在閘極之上的電荷以及驅動隧穿之被施加的電場所產生之電位的總和。因此，在程式化期間被量測的通道之導電度將會不同於隧穿電場在程式化結束而被關閉之後所量測的導電度。於是，在程式化過程中的任意時點，在浮動閘極之上的電荷量並無法藉由在程式化過程期間量測通道的導電度來加以正確地決定。此外，記憶格到記憶格的變異並不容許依據對於每種可能的電荷位準之預設的程式化時間來程式化。此種狀況係因為電荷轉移速率是依據已經在浮動閘極之上的電荷量而定之事實而更加複雜。

因此，為了獲得多位準記憶格之所需的程式化精確度，重複的程式化演算法係被利用。這些演算法係施加該隧穿電場一段時間。該隧穿電場接著被關閉，並且被儲存的電荷量係被量測。此過程係被重複，直到所要的電荷位準被提供為止。

此種重複的程式化技術遭遇到兩個問題。首先，寫入記憶格所需的時間可能相當長。應注意的是，必須讓記憶格穩定下來，來能夠量測電荷。其次，記憶格能夠被程式化之準確度係受限於在每次重複中所使用的電荷增量之大小。此程式化的誤差一般將是在重複的最後步驟中所轉移的電荷增量之一半。因此，若小的增量被利用來提供精確度時，則將會需要相當大的重複次數，而導致無法接受的寫入時間。若大的增量被利用時，則精確度將會過低而無法提供每個記憶格大數目的位元。被儲存在每個記憶格中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

的位元數目增加時，這些問題的嚴重性便快速地增高。

限制每個記憶格能夠被儲存的位元數目之第二個問題係起因於浮動閘極之電荷洩漏的有限速率。此種洩漏的問題在每個記憶格儲存一個位元之記憶格中並不嚴重，因為要達到錯誤發生時需要自浮動閘極洩漏大約一半的電荷。於是，一位元的記憶格具有以年計算的維持時間。在儲存 N 個位元的記憶格中，錯誤將會發生在洩漏的電荷量達到 $2^{-(N+1)}$ 之際。因此，若一位元的記憶格具有 10 年的維持時間時，一個 4 位元的記憶格將會有少於 83 個月的維持時間，而一個 8 位元的記憶格將會有少於 2 個星期的維持時間。

廣泛而言，本發明之目的係為提供一種改良的多位準 EEPROM 記憶格以及利用其之記憶體。

本發明之另一目的係為提供一種改良的多位準 EEPROM 記憶格，其狀態可以在隧穿電場被施加之際加以量測。

仍是本發明之另一目的係為提供一種具有改良的維持時間之多位準記憶體。

本發明之這些與其它的目的對於熟習此項技術者而言，從以下本發明的詳細說明與附圖將會變得明白。

本發明之概要

本發明是一種依據獨特的 EEPROM 記憶體之非依電性的記憶體。該非依電性的記憶體係包含複數個資料記憶格、一個資料程式化電路、以及一個第一資料線路。每個資

五、發明說明 (4)

料記憶格係包含一個 EEPROM 記憶格以及第一與第二隔離電晶體。該 EEPROM 記憶格係包含一個在該基板中的源極區域、一個在該基板中的汲極區域、一個通道區域，在該通道區域導通時係連接該源極與汲極區域。一個浮動閘極係位在該通道區域之上，在該浮動閘極之上的電位係決定該通道區域的導電度。一個別的程式化電極係藉由一個隧穿窗口耦接至該浮動閘極，並且一個程式化閘極係重疊該浮動閘極。該第一隔離電晶體係回應於一個被耦接至該隔離電晶體之選擇控制信號，而連接該 EEPROM 記憶格之源極與汲極區域中之一至該第一資料線路。該第二隔離電晶體係回應於一個被耦接至該第二隔離電晶體之寫入致能信號，而連接該程式化電極至該資料程式化電路。該資料程式化電路係程式化該些資料記憶格中所選的一個記憶格，其係藉由接收一個將被儲存在該資料記憶格中的資料值並且產生與耦接一個程式化信號至該第二隔離電晶體，該程式化信號係具有一段由所收到的資料值所決定之持續期間。該資料程式化電路係包含一個電導率比較電路，其係比較該第一資料線路的電導率和由該資料值所決定之電導率值，並且當被比較的電導率具有一種預設關係時結束該程式化信號。該記憶體也包含複數個第一參考記憶格、一個第一參考程式化電路、以及一個第一參考線路，每個第一參考記憶格係結構上地相同於該資料記憶格。每個參考記憶格的第一隔離電晶體係回應於一個被耦接至該隔離電晶體的選擇控制信號，而連接該 EEPROM 記憶格之源極與汲

(請先閱讀背面之注意事項再填寫本頁)

註
訂
線

五、發明說明 (4)

極區域之一至該第一參考線路。該第二隔離電晶體係回應於一個被耦接至該第二隔離電晶體的寫入致能信號，而連接該程式化電極至該第一參考程式化電路。該第一參考程式化電路係藉由將一個第一參考程式化信號耦接至該第二隔離電晶體來程式化該些參考資料記憶格之所選的一個記憶格。有一個第一參考記憶格對應於每個資料記憶格，並且該第一參考記憶格係在每次該對應的資料記憶格被程式化時加以程式化。當在該所選的資料記憶格中之 EEPROM 記憶格連接至該第一資料線路，並且在該對應的參考記憶格中之 EEPROM 記憶格連接至該第一參考線路時，一個資料記憶格係藉由比較該第一資料線路的電導率和該第一參考線路來加以讀取。該資料讀取電路係產生一個依據所比較的電導率而定的輸出值。在本發明利用多個參考記憶格的實施例中，該等不同的參考記憶格係在每次該對應的資料記憶格被程式化時，被程式化以不同的固定值。在這些參考記憶格中的值係在讀取動作期間被內插，以決定被儲存在該對應的資料記憶格中之資料值。在本發明的較佳實施例中，該等 EEPROM 記憶格係被建構使得該浮動閘極以及程式化閘極為電容性地耦合在一個 C_{pf} 的耦合電容之下，並且該程式化電極以及浮動閘極為電容性地耦合在一個 C_{if} 的耦合電容之下，其中 $C_{pf} > 10C_{if}$ 。

圖式之簡要說明

圖 1 是一個習知的 EEPROM 記憶格 10 之概要圖。

圖 2 是一個根據本發明的 EEPROM 記憶格 20 之一實

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (b)

施例的概要圖。

圖 3 是被用於本發明之一實施例中的寫入電路之概要圖。

圖 4 是連接至一個 EEPROM 記憶格以及 4 個參考記憶格的讀取電路之概要圖。

圖 5 是一個根據本發明的 EEPROM 記憶格之另一實施例的概要圖。

主要部份代表符號之簡要說明

9	通道
10	EEPROM 記憶格
11	源極
12	汲極
13	浮動閘極
14	控制閘極
15	隧穿窗口
20	EEPROM 記憶格
21	汲極
22	源極
23	浮動閘極
24	程式化閘極
25	隧穿窗口
26	程式化電極
31	EEPROM
32	選擇電晶體

五、發明說明 (9)

33	輸入線路
34	數位至類比轉換器
35	電流鏡
36	電晶體
37	電晶體
38	電流源
39	電容器
40	比較器
42	延遲
50	EEPROM 記憶格
51-54	參考記憶格
60	讀取電路
61	電流鏡
62	電阻器
63	驅動電路
64	比較器
65	優先順序編碼器
66	輸出值
80	EEPROM
81	汲極
82	源極
83	浮動閘極
84	控制閘極
85	隧穿窗口

(請先閱讀背面之注意事項再填寫本頁)

註
訂
線

五、發明說明 (8)

86 程式化電極

87 平衡電極

本發明之詳細說明

本發明提供其優點的方式可以由參考習知的 EEPROM 記憶格 10 之概要圖的圖 1 而更容易理解。電荷係被儲存在一個浮動閘極 13 之上，該浮動閘極 13 係位在一個具有一源極 11 與汲極 12 之場效電晶體的通道 9 之上。此閘極係完全由二氧化矽所包圍。如同藉由該些閘極間、以假想線所表現之電容器所指地，浮動閘極 13 係電容性地耦合至該通道以及控制閘極 14。該通道的導電度係由浮動閘極 13 之上的電壓所控制的。於是，此電壓係依據該浮動閘極之上所儲存的電荷而定。

電荷係藉由施加一個足夠的電壓在該浮動閘極與該通道之間，以使得該電荷來隧穿過一個隧穿窗口 15 而被移動在該通道與該浮動閘極之間。爲了程式化該元件，控制閘極 14 係被保持在接地，並且一個電壓係被施加至源極 11。此電壓的一部份係電容性地耦合至浮動閘極 13。出現在浮動閘極 13 之上的電壓部份係依據 C_1 與 C_2 的相對值而定。由於該浮動閘極必須位在該通道的整個寬度上，以控制該通道中的導電度，因此 C_1 大致等於 C_2 ，因而該浮動閘極係被升高到一個大約爲該程式化電壓的一半之電位。

利用一個別的程式化電極之習知技術的 EEPROM 記憶格係轉移該程式化電壓之稍微小一點的部分至該浮動閘極；然而，所轉移的量仍然過高而無法允許連續的。例如，

五、發明說明 (9)

美國專利 4,853,895(在此被納入作為參考)係教示一種 EEPROM 記憶格，其中一個別的程式化電極係被建構在該程式化閘極中的孔內，以解決當該隧穿窗口太靠近該通道時所遭遇到的某些洩漏的問題。

此存在於該浮動閘極之上的程式化電壓係使得在該浮動閘極之上的電荷量之任何的判定變得非常困難。此外，該源極被維持在該程式化電壓之需求係使得建構一個容許該通道的導電度在該程式化動作期間被量測之量測電路變得困難。因此，如上所述，習知元件係必須在每次將要進行在該閘極之上的電荷之判斷時，暫停該程式化動作。

本發明係藉由利用一個如圖 2 中所示之個別的程式化電極來避免這些問題，圖 2 是根據本發明的 EEPROM 記憶格 20 之一實施例的概要圖。EEPROM 20 係類似於習知的 EEPROMs 在於其具有一個控制在源極 22 與汲極 21 之間的通道之導電度的浮動閘極 23。電荷係經由一個隧穿窗口 25 而往返移動於該浮動閘極。本發明係利用一個別的程式化電極 26 來施加該程式化電壓。本發明係不同於習知的 EEPROM 記憶格在於利用一個用該程式化電極以及該些閘極之間的電容性耦合之個別的程式化電極。不同於習知的元件，程式化電極 26 至該浮動閘極之電容性耦合係被選為介於浮動閘極 23 與程式化閘極 24 之間的電容性耦合之一小部份。

程式化電極 26 只需要在該隧穿窗口被產生的小區域之上重疊該浮動閘極即可。於是，介於程式化電極 26 與浮動

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (\circ)

閘極 23 之間的電容性耦合係遠小於該通道與該浮動閘極之間的電容性耦合。此外，此電容係遠小於浮動閘極 23 與程式化閘極 24 之間的電容。以 C_{if} 表示在浮動閘極 23 與程式化電極 26 之間的電容，並且以 C_{pf} 表示在浮動閘極 23 與程式化閘極 24 之間的電容。

考量一種程式化的動作，其中程式化電極 26 的電位是 V ，而該程式化閘極係被保持在接地。由於該 $C_{pf} \gg C_{if}$ ，因此本質上所有的電位差將會出現在浮動閘極 23 與程式化電極 26 之間。亦即，浮動閘極 23 本質上將保持在接地。此提供了兩種優點。第一，程式化 EEPROM20 所需的電壓係比正常所需的值為降低的，因為所有的電位係被用來驅動電荷經過該隧穿窗口。第二，該程式化電壓並不干擾到該浮動閘極之上的電位；因此，該通道的導電度係反映目前在該浮動閘極之上的電荷量，而非該程式化電壓。

也應注意的是，此種配置在程式化期間係不利用到 EEPROM 20 的源極與汲極。於是，這些端子可以被連接至一個持續地量測流經該通道的電流之電路。當該電流到達所要的位準時，該程式化電壓係被關斷。

EEPROM 20 係以一種類似於習知的 EEPROM 記憶格之抹除的方式來加以抹除。程式化閘極 24 係被升壓至一個高電壓，而程式化電極 26 係被保持大約接地。於是，浮動閘極 23 被留下相對於該基板為淨的負電荷。應注意的是，出現在該浮動閘極之上的抹除電位之部分係大致等於該抹除電位的一半，因為此電壓係根據 C_{if} 與 C_{ic} 之總和，即該

五、發明說明 (11)

通道與該浮動閘極之間的電容性耦合而電容性地被分壓。

該 EEPROM 被程式化成爲記憶體之一部份的方式可以參考圖 3 而更加容易理解，圖 3 是該寫入電路之概要圖。在該記憶體中的每個記憶格係包含一個 EEPROM 以及用於該 EEPROM 之選擇電晶體。一個典型的 EEPROM 與其選擇電晶體係分別被顯示在 31 與 32 之處。在該記憶體中其它的 EEPROMs 已被省略來簡化該圖式。假設該選擇電晶體 32 係爲導通的。將被程式化到 EEPROM 31 中之多位元資料值係出現在一個電流爲基礎的數位至類比轉換器 34 之輸入線路 33 上。D/A 34 係設定流經一個電流鏡 35 之一電晶體 36 的電流。另一個電晶體 37 係連接至 EEPROM 31。一個可用開關控制的電流源 38 與電容器 39 係產生一個斜線上升電壓，該電壓被施加至 EEPROM 31 的程式化電極。該斜線上升電壓的斜率最好是被設定使得在該浮動閘極之上的電位維持接近於在該程式化電極之上的電位。當流經 EEPROM 31 的電流到達一個對應於流經 D/A 34 的電流值時，比較器 40 係將電流源 38 關斷，因而該程式化係完成。

雖然在該程式化電極與該浮動閘極之間的電容性耦合是非常小的，但它不爲 0。此導致在該 EEPROM 的程式化中之一個小錯誤。實際上，比較器 40“看見”比當該寫入選擇被關斷時將會流經的電流更大的流經 EEPROM 31 之電流。此錯誤是否爲重要的係端視被儲存在 EEPROM 31 中的位元數目而定。一種第一階的校正可以藉由插入一延遲

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (\ /)

42 在電流鏡 35 與比較器 40 之間以校正此錯誤。此延遲係使得該程式化電路過調(overshoot)，因為比較器 40 將會遵照由一個比目前被施加到 EEPROM 31 之更低的程式化電壓所產生之電流來動作。藉由調整此延遲，上述的錯誤能夠實質地被降低。

本發明上述的實施例係利用一個斜線上升的信號來程式化該 EEPROM。然而，其它的程式化模式也可以被利用。例如，該記憶格可以藉由施加短的脈衝至該程式化電極，直到該 EEPROM 導通在所要的位準之下為止，以一種類似於習知的 EEPROM 程式化中所利用的方式來加以程式化。此外，該 EEPROM 記憶格可以藉由施加一個 DC 位準至該程式化電極，直到該記憶格導通在所要的位準為止來加以程式化。該斜線上升的方式是較佳的，因為其使得在該隧穿窗口中的閘極氧化物受到較小的壓力。

若被置放在該浮動閘極之上的電荷並未自該閘極洩漏時，則該 EEPROM 記憶格可以用一種類似於被用來程式化該記憶格之方式加以讀取。換言之，被儲存在該記憶格中的值將會是當被施加至 D/A 34 時剛好使得比較器 40 改變狀態之值。在此系統中，將會利用一種連續逼近的 A/D 以取代 D/A 34。

然而，如同以上所指出地，即使是 EEPROM 記憶格有著有限的洩漏速率，其係在大數目的位元被儲存在每個 EEPROM 中之際係為重要的。為了克服此問題，本發明係利用一種校正此洩漏之讀取的方式。應注意的是，來自該

(請先閱讀背面之注意事項再填寫本頁)

狀
訂
線

五、發明說明 (17)

浮動閘極的電荷洩漏之速率係依據被儲存在該閘極之上的電荷量而定。因此，非線性的校正是必須的。本發明係利用一種校正的機制，其係將非線性的校正曲線表示成片段的線性曲線。

本發明讀取一個 EEPROM 記憶格之方式可以參考圖 4 而更容易於理解，圖 4 是連接至一個 EEPROM 記憶格 50 以及 4 個參考記憶格 51-54 之讀取電路 60 的概要圖。一般而言，該 EEPROM 記憶格係被組織成字元，該些字元係包括複數個記憶格，例如記憶格 50。該些字元係平行地被讀取與寫入。每個字元也包含複數個參考記憶格，該些參考記憶格係同時被寫入。每個參考記憶格係以不同的值加以程式化，使得該組參考記憶格係儲存介於能夠被儲存在該 EEPROM 記憶格 50 中的最小值與最大值之間的值。爲了簡化以下的論述，將假設每個 EEPROM 記憶格係儲存 4 個位元。在此例中，參考記憶格 51 係被程式化以 1111，參考記憶格 52 係被程式化以 1011、參考記憶格 53 係被程式化以 0111、並且參考記憶格 54 係被程式化以 0011。

該讀取電路在電流鏡的幫助之下，係轉換每個 EEPROM 記憶格的電導率成爲電流。一個典型的電流鏡係顯示在 61 之處。來自 EEPROM 50 的電流於是與一條具有 4 個由參考記憶格 51-54 所定義之非線性的點之片段的線性曲線上所取的 16 點做比較。該比較係藉由使得該電流通過一個例如是電阻器 62 的電阻器來轉換來自該電流鏡之每個電流成爲一個電壓而加以達成的。所產生的電壓係經由

五、發明說明 (14)

單一增益的驅動電路 63 而被施加至一串 4 個電阻器以提供該線性曲線上的四個點。該 15 個點係藉由 15 個顯示在 64 之處的比較器來和藉由在 EEPROM 50 之上的電流鏡所產生的電壓做比較。該比較的結果係藉由一個優先順序編碼器 65 加以解碼，以產生該輸出值 66。

如上所指出地，介於該程式化電極與浮動閘極之間有限的電容係在程式化期間於該浮動閘極之上引起小的電壓偏移，其可能帶來一個重大的錯誤在每個 EEPROM 記憶格儲存大數目的位元之記憶體系統中。若一個第二程式化電極被加入該 EEPROM 記憶格時，此偏移係可以被消除。現在參考圖 5，其係為根據本發明之 EEPROM 記憶格的另一實施例之概要圖。EEPROM 80 係類似於上述的 EEPROM 20 在於被儲存在該浮動閘極 33 之上的電荷係控制介於汲極 81 與源極 82 之間的通道之導電度。該電荷係藉由一個程式化電極 86、透過隧穿窗口 85 而被轉移至浮動閘極 83。在程式化動作的期間，程式化電極 86 與控制閘極 84 係本質上如同上述參考 EEPROM 20 一般地運作。該元件也以上述參考 EEPROM 20 的方式加以抹除。

EEPROM 80 不同於 EEPROM 20 之處在於第二程式化電極 87(在以下的論述中稱之為平衡電極)係被利用來消除上述的電壓偏移。平衡電極 87 被利用來除去該偏移之方式可以參考一個簡單的程式化範例而更容易加以理解。考量其中 EEPROM 80 是藉由使得在程式化電極 86 之上的電壓從 0 到 V 斜線上升、而保持控制閘極 84 在接地之下而來

五、發明說明 (\(\sphericalangle\))

加以程式化的情形。爲了此範例，假設在平衡電極 87 與浮動閘極 83 之間的電容性耦合相同於程式化電極 86 與浮動閘極 83 之間的電容性耦合。若在平衡電極 87 之上的電位同時從 0 到 $-V$ 斜線下降時，則藉由平衡電極 87 所帶來的偏移將會抵消由程式化電極 86 所產生的偏移。

雖然利用上述範例的系統是可以動作的，但是其將會遭受到兩個問題。第一，負電位的使用係帶來該系統製造上的問題。理想上，應只有需要正電源。此問題的解決之道係根據只要該偏移在程式化與讀取期間都保持爲固定的，則該偏移是可接受的一項觀察。因此，任何其中藉由該平衡與該程式化電極所提供的對於偏移之貢獻的總和在程式化期間是固定的程式化的方式都將適當地作用，假設該兩種貢獻之總和也出現在讀取的期間。例如，考量其中該些電容性耦合仍然是相同的，並且該些電極係被形成斜線使得程式化電極 86 從 0 到 V 斜線上升而平衡電極 87 從 V 到 0 斜線下降的情形。在此例中，於程式化之後而在讀取期間中，程式化電極 86 係被固定到接地，而平衡電極 87 係被固定到 V 。明顯的是，若在該過程期間，該平衡電極被一直連接至 V 以及該平衡電極被一直連接至 0 時，浮動閘極 83 係受到相同之將會產生的偏移。

其次，該平衡電極理想上應該經由相同於該隧穿閘極之氧化物類型而被耦接至該浮動閘極，以確保所要的對稱性存在於該兩個電極之間。然而，若相同的隧穿氧化物之配置被採用時，則隧穿在該 EEPROM 被程式化之後將會發

五、發明說明 (\b)

生在該平衡閘極與該浮動閘極之間。爲了避免此種隧穿，本發明的較佳實施例係利用一項觀察爲隧穿是一種頗爲非線性的過程，因此，有一個電壓臨界值是，在其之下時顯著的隧穿無法發生。只要該平衡電極之上所施加的電位小於此臨界值，便沒有隧穿會發生。因此，在本發明的較佳實施例中，介於該浮動閘極與該平衡電極之間的窗口面積係三倍於該浮動閘極與該程式化電極之間的窗口面積。在程式化期間，被施加到該平衡電極的電壓是 $(V-v)/3$ ，其中 V 是被施加到該程式化電極的最大電位，而 v 是目前在該程式化電極之上的電位。接著，在程式化完成之後，該程式化電極係被固定到 0，而該平衡電極係被固定到 $V/3$ 。應注意的是，3 的倍數是有些隨意的意味。對於任何特定的設計之最佳的倍數是一個在程式化電壓與元件尺寸之間經過計算的取捨值。

從以上的說明與附圖，各種對於本發明之修改對於熟習此項技術者而言都將變爲明顯的。於是，本發明僅限於以下的申請專利範圍之範疇。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：)

用於儲存類比電壓之四端子 EEPROM 記憶格及利用其
儲存每 EEPROM 記憶格多個位元之記憶體系統

一種依據獨特的 EEPROM 記憶體之非依電性的記憶體。該非依電性的記憶體係包含複數個資料記憶格、一個資料程式化電路、以及一個第一資料線路。每個資料記憶格係包含一個具有一個別的程式化電極之 EEPROM 記憶格以及第一與第二隔離電晶體。該程式化電極係藉由一個隧穿窗口耦接至該浮動閘極。該第一隔離電晶體係連接該 EEPROM 記憶格至該第一資料線路。該第二隔離電晶體係回應於一個寫入致能信號，而連接該程式化電極至該資料

英文發明摘要 (發明之名稱： FOUR-TERMINAL EEPROM CELL FOR STORING AN ANALOG VOLTAGE AND MEMORY SYSTEM USING THE SAME TO STORE MULTIPLE BITS PER EEPROM CELL)

A non-volatile memory based on a unique EEPROM memory. The non-volatile memory includes a plurality of data memory cells, a data programming circuit, and a first data line. Each data memory cell includes an EEPROM cell having a separate programming electrode and first and second isolation transistors. The programming electrode is coupled to the floating gate by a tunneling window. The first isolation transistor connects the EEPROM cell to the first data line. The second isolation transistor connects the programming electrode to the data programming circuit in response to a write enable signal. The data programming circuit programs a selected data memory cell by receiving a data value to be stored in that data memory cell and generating and coupling a programming signal to the second isolation transistors, the programming signal having a duration that is determined by the received data value. The memory also includes a plurality of first reference memory cells, a first reference programming circuit, and a first reference line, each first reference memory cell is structurally the same as the data memory cells. There is one first reference memory cell corresponding to each data memory cell, and that first reference cell is programmed with a predetermined value

四、中文發明摘要(發明之名稱:)

程式化電路。該資料程式化電路係程式化一個所選的資料記憶格，其係藉由接收一個將被儲存在該資料記憶格中的資料值並且產生與耦接一個程式化信號至該第二隔離電晶體，該程式化信號係具有一段由所收到的資料值所決定之持續期間。該記憶體也包含複數個第一參考記憶格、一個第一參考程式化電路、以及一個第一參考線路，每個第一參考記憶格係結構上地相同於該等資料記憶格。有一個第一參考記憶格對應於每個資料記憶格，並且該第一參考記憶格係在每次該對應的資料記憶格被程式化時加以程式化以一個預設的值。一個資料記憶格係藉由比較該第一資料線路的電導率和該第一參考線路來加以讀取。該資料讀取

英文發明摘要(發明之名稱:)

each time the corresponding data memory cell is programmed. A data memory cell is read by comparing the conductance of the first data line to the first reference line. The data reading circuit generates an output value that depends on the compared conductances. In embodiments of the invention using multiple reference cells, the various reference cells are programmed with different fixed values each time the corresponding data memory cell is programmed. The values in these reference cells are interpolated during the reading operation to determine the data value stored in the corresponding data memory cell.

四、中文發明摘要 (發明之名稱：)

電路係產生一個依據所比較的電導率而定的輸出值。在本發明利用多個參考記憶格的實施例中，該等不同的參考記憶格係在每次該對應的資料記憶格被程式化時，被程式化以不同的固定值。在這些參考記憶格中的值係在讀取動作期間被內插，以決定被儲存在該對應的資料記憶格中之資料值。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種形成在一半導體基板之上的電氣可抹除、可程式化的記憶格，該記憶格係包括：

一個在該基板中之源極區域；

一個在該基板中之汲極區域；

一個通道區域，其係在該通道區域導通時連接該源極以及汲極區域；

一個位在該通道區域之上的浮動閘極，在該浮動閘極之上的電位係決定該通道區域的導電度；

一個藉由一隧穿窗口耦接至該浮動閘極之程式化電極；以及

一個重疊該浮動閘極的程式化閘極，其中該浮動閘極以及該程式化閘極係電容性地耦合在一 C_{pf} 之耦合電容之下，並且該程式化電極以及該浮動閘極也是電容性地耦合在一 C_{if} 之耦合電容之下，並且其中 $C_{pf} > 10C_{if}$ 。

2. 一種形成在一半導體基板之上的電氣可抹除、可程式化的記憶格，該記憶格係包括：

一個在該基板中之源極區域；

一個在該基板中之汲極區域；

一個通道區域，其係在該通道區域導通時連接該源極以及汲極區域；

一個位在該通道區域之上的浮動閘極，在該浮動閘極之上的電位係決定該通道區域的導電度；

一個藉由一隧穿窗口耦接至該浮動閘極之程式化電極

；

六、申請專利範圍

一個重疊該浮動閘極的程式化閘極；以及

一個重疊該浮動閘極之一部份、在除了該隧穿窗口以外的區域中之平衡電極。

3.如申請專利範圍第 2 項之記憶格，其中該程式化電極以及該浮動閘極也是電容性地耦合在一 C_{if} 之耦合電容之下，並且其中該平衡電極以及該浮動閘極係電容性地耦合在一至少 $2 * C_{if}$ 的耦合電容之下。

4.一種非依電性的記憶體，其係包括複數個資料記憶格、一個資料程式化電路、以及一個第一資料線路，其中每個資料記憶格係包括一個 EEPROM 記憶格以及第一與第二隔離電晶體，該 EEPROM 記憶格係包括：

一個在該基板中之源極區域；

一個在該基板中之汲極區域；

一個通道區域，其係在該通道區域導通時連接該源極以及汲極區域；

一個位在該通道區域之上的浮動閘極，在該浮動閘極之上的電位係決定該通道區域的導電度；

一個藉由一隧穿窗口耦接至該浮動閘極之程式化電極；以及

一個重疊該浮動閘極的程式化閘極，

其中該第一隔離電晶體係回應於一個被耦接至該隔離電晶體之選擇控制信號，而連接該 EEPROM 記憶格之源極與汲極區域中之一至該第一資料線路，並且該第二隔離電晶體係回應於一個被耦接至該第二隔離電晶體之寫入致能

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

信號，而連接該程式化電極至該資料程式化電路，並且

其中該資料程式化電路係程式化該些資料記憶格中所選的一個記憶格，其係藉由接收一個將被儲存在該資料記憶格中的資料值並且產生與耦接一個程式化信號至該第二隔離電晶體，該程式化信號係具有一段由所收到的資料值所決定之持續期間。

5.如申請專利範圍第 4 項之記憶體，其中該資料程式化電路係包括一個電導率比較電路，該電導率比較電路係比較該第一資料線路的電導率和一個由該資料值所決定之電導率值，並且當所比較的電導率具有一種預設的關係時結束該程式化信號。

6.如申請專利範圍第 5 項之記憶體電路，其中該電導率比較電路係包括一個電流鏡以及一個比較器，該電流鏡係使得一個電流流經該第一資料線路，並且使得一個與流經該第一資料線路的電流成比例之電流流經一個具有由該資料值所決定之電阻的電阻器；並且該比較器係比較橫跨在該電阻器之上的電位和一個參考電位。

7.如申請專利範圍第 4 項之記憶體，其中該程式化信號係包括一電壓斜線上升。

8.如申請專利範圍第 4 項之記憶體，其中該程式化信號係包括一連串的脈衝。

9.如申請專利範圍第 4 項之記憶體，其中該程式化信號是一個 DC 信號。

10.如申請專利範圍第 4 項之記憶體，其更包括複數個第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

參考記憶格、一個第一參考程式化電路、以及一個第一參考線路，每個第一參考記憶格係包括一個 EEPROM 記憶格以及第一與第二隔離電晶體，該 EEPROM 記憶格係包括：

- 一個在該基板中之源極區域；
- 一個在該基板中之汲極區域；
- 一個通道區域，其係在該通道區域導通時連接該源極以及汲極區域；

- 一個位在該通道區域之上的浮動閘極，在該浮動閘極之上的電位係決定該通道區域的導電度；

- 一個藉由一隧穿窗口耦接至該浮動閘極之程式化電極；以及

- 一個重疊該浮動閘極的程式化閘極，

其中該第一隔離電晶體係回應於一個被耦接至該隔離電晶體之選擇控制信號，而連接該 EEPROM 記憶格之源極與汲極區域中之一至該第一參考線路，並且該第二隔離電晶體係回應於一個被耦接至該第二隔離電晶體之寫入致能信號，而連接該程式化電極至該第一參考程式化電路，並且

其中該第一參考程式化電路係藉由耦合一個第一參考程式化信號至該第二隔離電晶體來程式化該些參考資料記憶格中之一所選的記憶格。

11. 如申請專利範圍第 10 項之記憶體，其中有一個第一參考記憶格對應於各個資料記憶格，並且其中該第一參考記憶格係在每次該對應的資料記憶格被程式化時係被程式化。

六、申請專利範圍

Y2.如申請專利範圍第 11 項之記憶體，其更包括一個讀取電路，該讀取電路係包括：

一個讀取選擇電路，其係用以選擇該些資料記憶格中之一第一記憶格以及對應於該資料記憶格之第一參考記憶格；以及

一個資料讀取電路，其係用以在該所選的資料記憶格中之 EEPROM 記憶格被連接至該第一資料線路並且在該對應的參考記憶格中之 EEPROM 記憶格被連接至該第一參考線路時，比較該第一資料線路的電導率和該第一參考線路，該資料讀取電路係產生一個依據所比較的電導率而定之輸出值。

Y3.如申請專利範圍第 12 項之記憶體，其更包括複數個第二參考記憶格、一個第二參考程式化電路、以及一個第二參考線路，每個第二參考記憶格係包括一個 EEPROM 記憶格以及第一與第二隔離電晶體，該 EEPROM 記憶格係包括：

一個在該基板中之源極區域；

一個在該基板中之汲極區域；

一個通道區域，其係在該通道區域導通時連接該源極以及汲極區域；

一個位在該通道區域之上的浮動閘極，在該浮動閘極之上的電位係決定該通道區域的導電度；

一個藉由一隧穿窗口耦接至該浮動閘極之程式化電極；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一個重疊該浮動閘極的程式化閘極，

其中該第一隔離電晶體係回應於一個被耦接至該隔離電晶體之選擇控制信號，而連接該 EEPROM 記憶格之源極與汲極區域中之一至該第二參考線路，並且該第二隔離電晶體係回應於一個被耦接至該第二隔離電晶體之寫入致能信號，而連接該程式化電極至該第二參考程式化電路，

其中該第二參考程式化電路係藉由耦合一個第二參考程式化信號至該第二參考記憶格的第二隔離電晶體來程式化該些參考資料記憶格中之一所選的記憶格，

其中有一個第二參考記憶格對應於各個資料記憶格，並且其中該第二參考記憶格係在每次該對應的資料記憶格被程式化時係被程式化，並且其中

當在該所選的資料記憶格中之 EEPROM 記憶格被連接至該第一資料線路並且在該對應的第二參考記憶格中之 EEPROM 記憶格被連接至該第二參考線路時，該資料讀取電路也比較該第一資料線路的電導率和該第二參考線路的電導率，該資料讀取電路係產生一個依據該第一與第二參考線路兩者所比較的電導率而定的輸出值。

14.如申請專利範圍第 13 項之記憶體，其中該資料讀取電路包含一個用於內插該第一與第二參考線路的電導率以獲得一個匹配於該第一資料線路的電導率之電導率的電路。

89120521

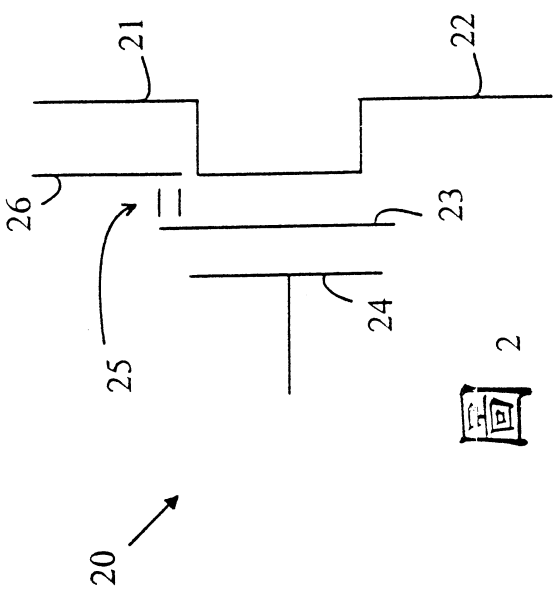


圖 2

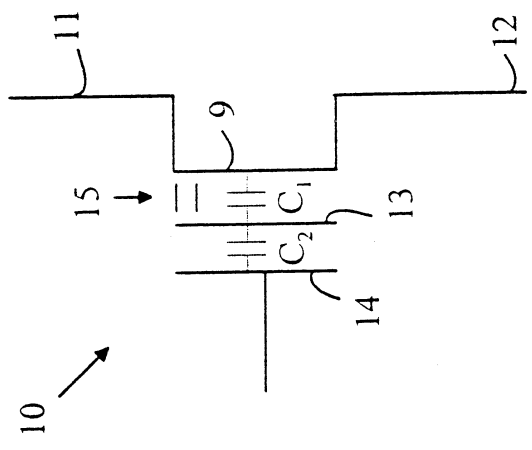


圖 1

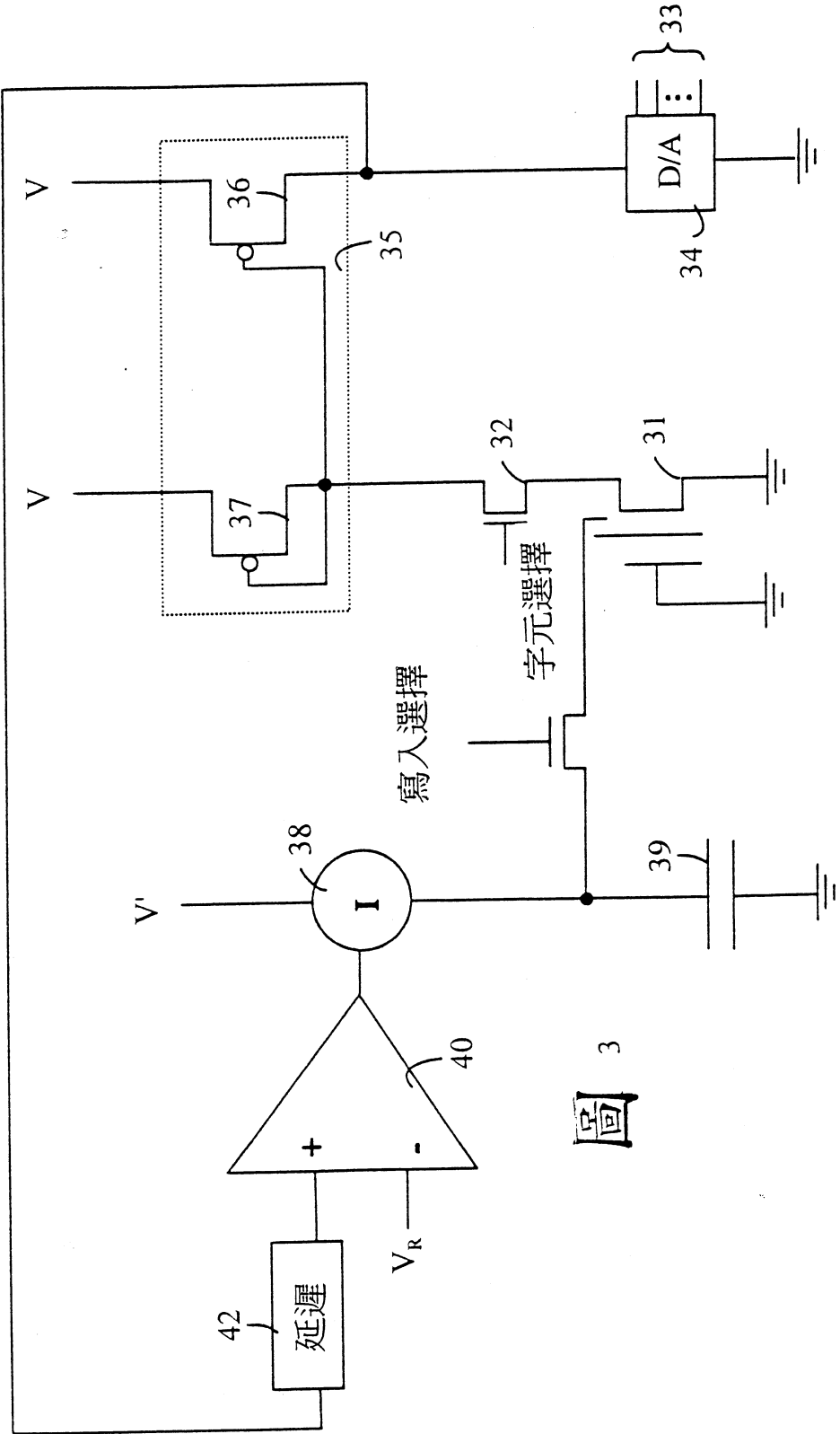


圖 3

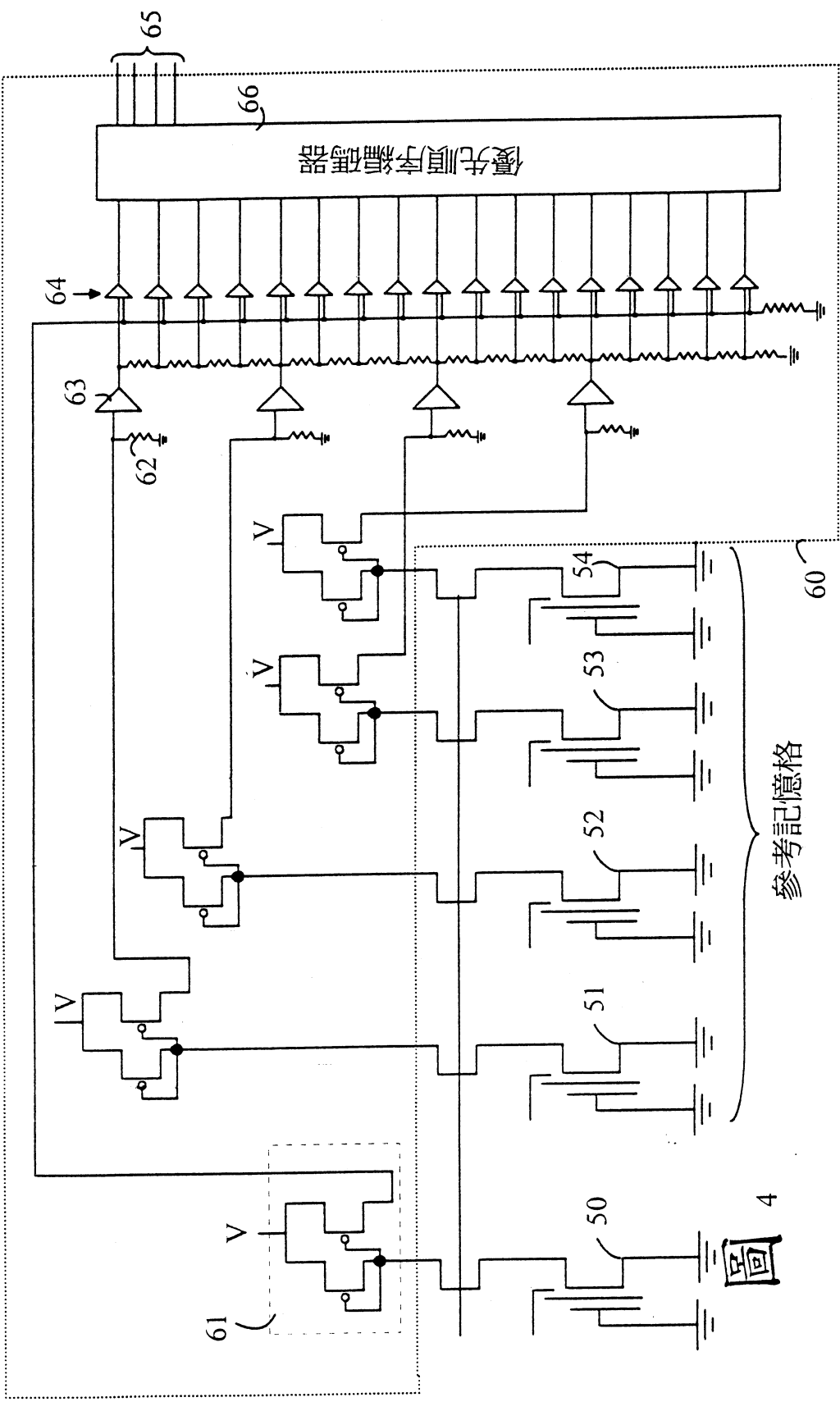


圖 4

參考記憶格

