

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5610930号
(P5610930)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 6 S
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 2 2
	HO 1 L 29/78 6 2 6 C

請求項の数 18 (全 40 頁)

(21) 出願番号	特願2010-191998 (P2010-191998)	(73) 特許権者	000006013
(22) 出願日	平成22年8月30日 (2010. 8. 30)		三菱電機株式会社
(65) 公開番号	特開2012-49428 (P2012-49428A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成24年3月8日 (2012. 3. 8)	(74) 代理人	110001195
審査請求日	平成25年3月25日 (2013. 3. 25)		特許業務法人深見特許事務所
		(72) 発明者	寺島 知秀
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		審査官	鈴木 聡一郎
		(56) 参考文献	特開平06-188438 (JP, A)
			特開平04-259259 (JP, A)
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

主表面を有する半導体基板と、

前記半導体基板の主表面に接触するように形成され、第1厚みおよび前記第1厚みよりも厚い第2厚みを有する誘電体部と、

前記誘電体部に接触するように形成され、第1不純物濃度を有する第1導電型の半導体領域と、

前記半導体領域のうち前記第1厚みを有する前記誘電体部の部分の直上に位置する第1領域において、前記半導体領域の表面から第1深さにわたり形成された第1導電型の第1不純物領域と、

前記第1領域において、前記第1不純物領域を側方と下方とから取り囲むように、前記半導体領域の表面から前記第1深さよりも深い第2深さにわたり形成された第2導電型の第2不純物領域と、

前記第1不純物領域と前記半導体領域とによって挟まれた前記第2不純物領域の部分の表面上にゲート絶縁膜を介在させて形成されたゲート電極部と、

前記第2不純物領域から距離を隔てられた、前記半導体領域のうち前記第2厚みを有する前記誘電体部の部分の直上に位置する第2領域において、前記半導体領域の表面から第3深さにわたり形成された第2不純物濃度を有する第2導電型の第3不純物領域と、

前記第2領域における所定の位置において、前記半導体領域の表面から前記誘電体部に達するように形成された、導電性領域を含む空乏層阻止部と、

10

20

前記第 3 不純物領域に対して、前記第 2 不純物領域の側に形成された第 1 導電型の他の空乏層阻止部と

を備えた、半導体装置。

【請求項 2】

前記空乏層阻止部は、前記第 3 不純物領域に対して前記第 2 不純物領域が位置する側と反対側に配置される第 1 配置、および、前記第 3 不純物領域と前記空乏層阻止部とが一方
向に沿って交互に配置された第 2 配置のいずれかの配置となるように形成された、請求項 1 記載の半導体装置。

【請求項 3】

前記空乏層阻止部は、前記第 1 不純物濃度よりも高い第 3 不純物濃度を有する第 1 導電型の第 4 不純物領域により形成された、請求項 2 記載の半導体装置。

10

【請求項 4】

前記空乏層阻止部は、前記半導体領域とは電氣的に絶縁され、前記第 3 不純物領域に電氣的に接続された導電体部により形成された、請求項 2 記載の半導体装置。

【請求項 5】

前記空乏層阻止部は、

前記半導体領域を貫通して前記半導体領域の表面から前記誘電体部に達するように形成された絶縁体部と、

前記絶縁体部を取り囲む前記半導体領域の部分に形成され、前記第 1 不純物濃度よりも高い第 3 不純物濃度を有する第 1 導電型の第 4 不純物領域と
により形成された、請求項 2 記載の半導体装置。

20

【請求項 6】

前記空乏層阻止部は第 1 配置となるように形成され、

前記第 3 不純物領域を側方と下方とから取り囲むように、前記半導体領域の表面から前記第 3 深さよりも深い第 4 深さにわたり形成された第 1 導電型の第 5 不純物領域を備え、

前記第 5 不純物領域は前記他の空乏層阻止部を含む、請求項 2～5 のいずれかに記載の半導体装置。

【請求項 7】

前記空乏層阻止部は第 1 配置となるように形成され、

前記第 2 領域における、前記第 3 不純物領域に対して前記第 2 不純物領域が位置する側において、前記半導体領域の表面から所定の深さにわたり形成され、前記第 3 不純物領域に電氣的に接続されて、前記第 1 不純物濃度よりも高い第 4 不純物濃度を有する第 1 導電型の第 6 不純物領域を備え、

30

前記第 6 不純物領域は前記他の空乏層阻止部を含む、請求項 2～5 のいずれかに記載の半導体装置。

【請求項 8】

前記空乏層阻止部は第 1 配置となるように形成され、

前記第 2 領域における、前記第 3 不純物領域に対して前記第 2 不純物領域が位置する側とは反対の側において、前記半導体領域の表面から所定の深さにわたり形成され、前記第 3 不純物領域に電氣的に接続されて、前記第 1 不純物濃度よりも高い第 4 不純物濃度を有する第 1 導電型の第 6 不純物領域を備えた、請求項 2～5 のいずれかに記載の半導体装置

40

。

【請求項 9】

前記空乏層阻止部は第 1 配置となるように形成され、

前記第 2 領域において、前記半導体領域の表面から所定の深さにわたり形成され、前記第 3 不純物領域に電氣的に接続されて、前記第 1 不純物濃度よりも高い第 3 不純物濃度を有する第 1 導電型の複数の第 6 不純物領域を備えるとともに、前記第 3 不純物領域を複数備え、

複数の前記第 3 不純物領域と複数の前記第 6 不純物領域は、前記空乏層阻止部が延在する方向に沿って交互に配置された、請求項 2～5 のいずれかに記載の半導体装置。

50

【請求項 1 0】

前記第 2 領域において、前記第 3 不純物領域および前記第 6 不純物領域を側方と下方とから取り囲むように形成され、前記第 2 不純物濃度よりも低い第 5 不純物濃度を有する第 2 導電型の第 7 不純物領域を備えた、請求項 7～9 のいずれかに記載の半導体装置。

【請求項 1 1】

前記第 2 領域において、前記第 7 不純物領域を側方と下方とから取り囲むように形成された第 1 導電型の第 8 不純物領域を備えた、請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記空乏層阻止部は第 2 配置となるように形成され、

前記第 2 領域における、前記第 3 不純物領域に対して前記第 2 不純物領域が位置する側において、前記半導体領域の表面から所定の深さにわたり形成され、前記第 3 不純物領域に電氣的に接続されて、前記第 1 不純物濃度よりも高い第 4 不純物濃度を有する第 1 導電型の第 6 不純物領域と、

前記第 2 領域において、前記第 3 不純物領域および前記第 6 不純物領域を側方と下方とから取り囲むように形成され、前記第 2 不純物濃度よりも低い第 5 不純物濃度を有する第 2 導電型の第 7 不純物領域と

を備えた、請求項 2～5 のいずれかに記載の半導体装置。

【請求項 1 3】

前記空乏層阻止部は第 2 配置となるように形成され、

前記第 2 領域における、前記第 3 不純物領域に対して前記第 2 不純物領域が位置する側とは反対の側において、前記半導体領域の表面から所定の深さにわたり形成され、前記第 3 不純物領域に電氣的に接続されて、前記第 1 不純物濃度よりも高い第 4 不純物濃度を有する第 1 導電型の第 6 不純物領域と、

前記第 2 領域において、前記第 3 不純物領域および前記第 6 不純物領域を側方と下方とから取り囲むように形成され、前記第 2 不純物濃度よりも低い第 5 不純物濃度を有する第 2 導電型の第 7 不純物領域と

を備えた、請求項 2～5 のいずれかに記載の半導体装置。

【請求項 1 4】

主表面を有する半導体基板と、

前記半導体基板の主表面に接触するように形成され、第 1 厚みおよび前記第 1 厚みよりも厚い第 2 厚みを有する誘電体部と、

前記誘電体部に接触するように形成され、第 1 不純物濃度を有する第 1 導電型の半導体領域と、

前記半導体領域のうち前記第 1 厚みを有する前記誘電体部の部分の直上に位置する第 1 領域において、前記半導体領域の表面から第 1 深さにわたり形成された第 2 不純物濃度を有する第 2 導電型の第 1 不純物領域と、

前記半導体領域のうち前記第 2 厚みを有する前記誘電体部の部分の直上に位置する第 2 領域に向かって前記第 1 不純物領域から延在し、前記半導体領域の表面から所定の深さにわたり形成され、前記第 2 不純物濃度よりも低い第 3 不純物濃度を有する第 2 導電型の第 2 不純物領域と、

前記第 2 不純物領域から距離を隔てられ、前記第 2 領域において前記半導体領域の表面から所定の深さにわたり形成された第 2 導電型の第 3 不純物領域と、

前記第 2 不純物領域と前記第 3 不純物領域とによって挟まれた前記半導体領域の部分の表面上にゲート絶縁膜を介在させて形成されたゲート電極部と、

前記第 2 領域における所定の位置において、前記半導体領域の表面から前記誘電体部に達するように形成された、導電性領域を含む空乏層阻止部とを備え、

前記空乏層阻止部は、前記第 3 不純物領域と前記空乏層阻止部とが一方向に沿って交互に配置されるように形成された、半導体装置。

【請求項 1 5】

前記空乏層阻止部は、前記第 1 不純物濃度よりも高い第 4 不純物濃度を有する第 1 導電型の第 4 不純物領域により形成された、請求項 1 4 記載の半導体装置。

【請求項 1 6】

主表面を有する半導体基板と、

前記半導体基板の主表面に接触するように形成され、第 1 厚みおよび前記第 1 厚みよりも厚い第 2 厚みを有する誘電体部と、

前記誘電体部に接触するように形成され、第 1 不純物濃度を有する第 1 導電型の半導体領域と、

前記半導体領域のうち前記第 1 厚みを有する前記誘電体部の部分の直上に位置する第 1 領域において、前記半導体領域の表面から第 1 深さにわたり形成された第 2 不純物濃度を有する第 2 導電型の第 1 不純物領域と、

10

前記半導体領域のうち前記第 2 厚みを有する前記誘電体部の部分の直上に位置する第 2 領域に向かって前記第 1 不純物領域から延在し、前記半導体領域の表面から所定の深さにわたり形成され、前記第 2 不純物濃度よりも低い第 3 不純物濃度を有する第 2 導電型の第 2 不純物領域と、

前記第 2 不純物領域から距離を隔てられ、前記第 2 領域において前記半導体領域の表面から所定の深さにわたり形成された第 2 導電型の第 3 不純物領域と、

前記第 2 不純物領域と前記第 3 不純物領域とによって挟まれた前記半導体領域の部分の表面上にゲート絶縁膜を介在させて形成されたゲート電極部と、

前記第 2 領域における所定の位置において、前記半導体領域の表面から前記誘電体部に達するように形成された、導電性領域を含む空乏層阻止部と
を備え、

20

前記空乏層阻止部は、前記半導体領域とは電氣的に絶縁され、前記第 3 不純物領域に電氣的に接続された導電体部により形成された、半導体装置。

【請求項 1 7】

主表面を有する半導体基板と、

前記半導体基板の主表面に接触するように形成され、第 1 厚みおよび前記第 1 厚みよりも厚い第 2 厚みを有する誘電体部と、

前記誘電体部に接触するように形成され、第 1 不純物濃度を有する第 1 導電型の半導体領域と、

30

前記半導体領域のうち前記第 1 厚みを有する前記誘電体部の部分の直上に位置する第 1 領域において、前記半導体領域の表面から第 1 深さにわたり形成された第 2 不純物濃度を有する第 2 導電型の第 1 不純物領域と、

前記半導体領域のうち前記第 2 厚みを有する前記誘電体部の部分の直上に位置する第 2 領域に向かって前記第 1 不純物領域から延在し、前記半導体領域の表面から所定の深さにわたり形成され、前記第 2 不純物濃度よりも低い第 3 不純物濃度を有する第 2 導電型の第 2 不純物領域と、

前記第 2 不純物領域から距離を隔てられ、前記第 2 領域において前記半導体領域の表面から所定の深さにわたり形成された第 2 導電型の第 3 不純物領域と、

前記第 2 不純物領域と前記第 3 不純物領域とによって挟まれた前記半導体領域の部分の表面上にゲート絶縁膜を介在させて形成されたゲート電極部と、

40

前記第 2 領域における所定の位置において、前記半導体領域の表面から前記誘電体部に達するように形成された、導電性領域を含む空乏層阻止部と
を備え、

前記空乏層阻止部は、

前記半導体領域を貫通して前記半導体領域の表面から前記誘電体部に達するように形成された絶縁体部と、

前記絶縁体部を取り囲む前記半導体領域の部分に形成され、前記第 1 不純物濃度よりも高い第 4 不純物濃度を有する第 1 導電型の第 4 不純物領域と
により形成された、半導体装置。

50

【請求項 18】

前記空乏層阻止部は、前記第3不純物領域に対して前記第2不純物領域が位置する側と反対側に配置される第1配置、および、前記第3不純物領域と前記空乏層阻止部とが一方向に沿って交互に配置された第2配置のいずれかの配置となるように形成された、請求項16または17に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、主としてインバータ回路等に適用される半導体装置に関するものである。

【背景技術】

【0002】

誘導電動機等の負荷を動作させるために、直流電圧を交流電圧に変換するインバータ回路が用いられている。インバータ回路には、IGBTをスイッチングさせる素子としてゲート絶縁型バイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）が適用されている。

【0003】

この種の半導体装置では、SOI（Silicon On Insulator）基板が適用されている。SOI基板では、半導体基板の主表面上に絶縁膜を介在させてN⁻半導体層が形成されている。N⁻半導体層には、その表面から所定の深さにわたり第1N型不純物領域が形成されている。その第1N型不純物領域を側方と下方から取り囲むように、第1P型不純物領域が形成されている。第1N型不純物領域とN⁻半導体層とによって挟まれた第1P型不純物領域の部分の表面上にゲート絶縁膜を介在させてゲート電極が形成されている。また、第1P型不純物領域の表面と第1N型不純物領域の表面とに接触するように、エミッタ電極が形成されている。

【0004】

第1P型不純物領域と距離を隔てられたN⁻半導体層の所定の領域には、その表面から所定の深さにわたり第2P型不純物領域が形成されている。第2P型不純物領域の表面に接触するようにコレクタ電極が形成されている。第2P型不純物領域に対して第1P型不純物領域が位置する側に所定の距離を隔てられた所定のN⁻半導体層の所定の領域には、その表面から所定の深さにわたり、空乏層のストッパとしての第2N型不純物領域が形成されている。エミッタ電極、コレクタ電極およびゲート電極により、IGBTの各電極が構成される。

【0005】

半導体装置がオフの状態では、第1P型不純物領域とN⁻半導体層との界面から主としてN⁻半導体層へ向かって空乏層が広がる。このとき、N⁻半導体層の不純物濃度と厚さを調整することによって、N⁻半導体層の全体を空乏化させることができ、N⁻半導体層の表面における電界がおおよそ均一になる状態において最大の耐圧が得られる。

【0006】

この状態のもとで、エミッタ（電極）とコレクタ（電極）との距離（間隔）を広げていくと、最終的にはコレクタ（電極）直下のN⁻半導体層の部分における電界の集中によって全体の耐圧が制限されることになる。上述したIGBTの場合、耐圧は、空乏層の端が第2P型不純物領域に接触するパンチスルー現象によって決まるか、あるいは、第2P型不純物領域、N⁻半導体層および第1P型不純物領域によって構成される寄生のPNPトランジスタのリーク電流によって決まることになる。

【0007】

従来、半導体装置の耐圧を上げるため、上述したように、空乏層のストッパとしての第2N型不純物領域を設ける手法が一般に採用されている。また、コレクタ電極をエミッタ側に向かって延在させる手法も採用されている。

【0008】

10

20

30

40

50

一方、発明者は、特許文献1において、半導体基板とN⁻半導体層との間に所定の厚みを有する誘電体部を設けた半導体装置を提案した。この半導体装置では、コレクタ電極の直下に位置する誘電体部の厚みが、それ以外の領域に位置する誘電体部の厚みよりも厚く形成される。半導体基板、誘電体部およびN⁻半導体層の構造（積層構造）では、電界強度は各誘電率の比の逆数になる。このため、厚みのより厚い誘電体部を設けることによって、その誘電体部における電圧降下をより大きくすることができ、その分、空乏層が拡がるとうとする、コレクタ（電極）直下のN⁻半導体層の部分における電圧降下を小さくすることができる。その結果、半導体装置全体の耐圧マージンが上がり、半導体装置の耐圧特性を向上させることができる。

【先行技術文献】

10

【特許文献】

【0009】

【特許文献1】特開平06-188438号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述したように、従来の半導体装置では、耐圧特性を向上させるために種々の提案がなされてきている。半導体装置としては、IGBTの他に、IGBTをスイッチング動作させる信号を発生する素子として適用されているpチャネル型のMOS（Metal Oxide Semiconductor）トランジスタ（PMOS）についても、耐圧特性の向上が求められている。

20

【0011】

本半導体装置は、上述した開発の一環でなされたものであり、その目的は、さらなる耐圧特性の向上が図られる半導体装置を提供することである。

【課題を解決するための手段】

【0012】

本発明に係る半導体装置は、主表面を有する半導体基板と、誘電体部と、第1不純物濃度を有する第1導電型の半導体領域と、第1導電型の第1不純物領域と、第2導電型の第2不純物領域と、ゲート電極部と、第2不純物濃度を有する第2導電型の第3不純物領域と、導電性領域を含む空乏層阻止部と、第1導電型の他の空乏層阻止部とを備えている。誘電体部は、半導体基板の主表面に接触するように形成され、第1厚みおよび第1厚みよりも厚い第2厚みを有する。第1不純物濃度を有する第1導電型の半導体領域は、誘電体部に接触するように形成されている。第1導電型の第1不純物領域は、半導体領域のうち第1厚みを有する誘電体部の部分の直上に位置する第1領域において、半導体領域の表面から第1深さにわたり形成されている。第2導電型の第2不純物領域は、第1領域において、第1不純物領域を側方と下方とから取り囲むように、半導体領域の表面から第1深さよりも深い第2深さにわたり形成されている。ゲート電極部は、第1不純物領域と半導体領域とによって挟まれた第2不純物領域の部分の表面上にゲート絶縁膜を介在させて形成されている。第2不純物濃度を有する第2導電型の第3不純物領域は、第2不純物領域から距離を隔てられた、半導体領域のうち第2厚みを有する誘電体部の部分の直上に位置する第2領域において、半導体領域の表面から第3深さにわたり形成されている。導電性領域を含む空乏層阻止部は、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように形成されている。第1導電型の他の空乏層阻止部は、第3不純物領域に対して、第2不純物領域の側に形成されている。

30

40

【0013】

本発明に係る他の半導体装置は、主表面を有する半導体基板と、誘電体部と、第1不純物濃度を有する第1導電型の半導体領域と、第2不純物濃度を有する第2導電型の第1不純物領域と、第3不純物濃度を有する第2導電型の第2不純物領域と、第2導電型の第3不純物領域と、ゲート電極部と、導電性領域を含む空乏層阻止部とを備えている。誘電体部は、半導体基板の主表面に接触するように形成され、第1厚みおよび第1厚みよりも厚い第2厚みを有する。第1不純物濃度を有する第1導電型の半導体領域は、誘電体部に接

50

触するように形成されている。第2不純物濃度を有する第2導電型の第1不純物領域は、半導体領域のうち第1厚みを有する誘電体部の部分の直上に位置する第1領域において、半導体領域の表面から第1深さにわたり形成されている。第3不純物濃度を有する第2導電型の第2不純物領域は、半導体領域のうち第2厚みを有する誘電体部の部分の直上に位置する第2領域に向かって第1不純物領域から延在し、半導体領域の表面から所定の深さにわたり形成されている。第2導電型の第3不純物領域は、第2不純物領域から距離を隔てられ、第2領域において半導体領域の表面から所定の深さにわたり形成されている。ゲート電極部は、第2不純物領域と第3不純物領域とによって挟まれた半導体領域の部分の表面上にゲート絶縁膜を介在させて形成されている。導電性領域を含む空乏層阻止部は、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように形成されている。その空乏層阻止部は、第3不純物領域と空乏層阻止部とが一方向に沿って交互に配置されるように形成されている。

10

本発明に係るさらに他の半導体装置は、主表面を有する半導体基板と、誘電体部と、第1不純物濃度を有する第1導電型の半導体領域と、第2不純物濃度を有する第2導電型の第1不純物領域と、第3不純物濃度を有する第2導電型の第2不純物領域と、第2導電型の第3不純物領域と、ゲート電極部と、導電性領域を含む空乏層阻止部とを備えている。誘電体部は、半導体基板の主表面に接触するように形成され、第1厚みおよび第1厚みよりも厚い第2厚みを有する。第1不純物濃度を有する第1導電型の半導体領域は、誘電体部に接触するように形成されている。第2不純物濃度を有する第2導電型の第1不純物領域は、半導体領域のうち第1厚みを有する誘電体部の部分の直上に位置する第1領域において、半導体領域の表面から第1深さにわたり形成されている。第3不純物濃度を有する第2導電型の第2不純物領域は、半導体領域のうち第2厚みを有する誘電体部の部分の直上に位置する第2領域に向かって第1不純物領域から延在し、半導体領域の表面から所定の深さにわたり形成されている。第2導電型の第3不純物領域は、第2不純物領域から距離を隔てられ、第2領域において半導体領域の表面から所定の深さにわたり形成されている。ゲート電極部は、第2不純物領域と第3不純物領域とによって挟まれた半導体領域の部分の表面上にゲート絶縁膜を介在させて形成されている。導電性領域を含む空乏層阻止部は、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように形成されている。その空乏層阻止部は、半導体領域とは電氣的に絶縁され、第3不純物領域に電氣的に接続された導電体部により形成されている。

20

30

本発明に係るさらに他の半導体装置は、主表面を有する半導体基板と、誘電体部と、第1不純物濃度を有する第1導電型の半導体領域と、第2不純物濃度を有する第2導電型の第1不純物領域と、第3不純物濃度を有する第2導電型の第2不純物領域と、第2導電型の第3不純物領域と、ゲート電極部と、導電性領域を含む空乏層阻止部とを備えている。誘電体部は、半導体基板の主表面に接触するように形成され、第1厚みおよび第1厚みよりも厚い第2厚みを有する。第1不純物濃度を有する第1導電型の半導体領域は、誘電体部に接触するように形成されている。第2不純物濃度を有する第2導電型の第1不純物領域は、半導体領域のうち第1厚みを有する誘電体部の部分の直上に位置する第1領域において、半導体領域の表面から第1深さにわたり形成されている。第3不純物濃度を有する第2導電型の第2不純物領域は、半導体領域のうち第2厚みを有する誘電体部の部分の直上に位置する第2領域に向かって第1不純物領域から延在し、半導体領域の表面から所定の深さにわたり形成されている。第2導電型の第3不純物領域は、第2不純物領域から距離を隔てられ、第2領域において半導体領域の表面から所定の深さにわたり形成されている。ゲート電極部は、第2不純物領域と第3不純物領域とによって挟まれた半導体領域の部分の表面上にゲート絶縁膜を介在させて形成されている。導電性領域を含む空乏層阻止部は、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように形成されている。その空乏層阻止部は、半導体領域を貫通して半導体領域の表面から誘電体部に達するように形成された絶縁体部と、絶縁体部を取り囲む半導体領域の部分に形成され、第1不純物濃度よりも高い第4不純物濃度を有する第1導電型の第4不純物領域とにより形成されている。

40

50

【発明の効果】

【0014】

本発明に係る半導体装置によれば、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように導電性領域を含む空乏層阻止部が形成され、さらに、第3不純物領域に対して、第2不純物領域の側に第1導電型の他の空乏層阻止部が形成されている。これにより、オフ状態において、第2不純物領域と半導体領域との界面から半導体領域へ向かって拡がる空乏層が第3不純物領域にまで拡がるのを、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0015】

本発明に係る他の半導体装置によれば、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように導電性領域を含む空乏層阻止部が形成されており、その空乏層阻止部は、第3不純物領域と空乏層阻止部とが一方向に沿って交互に配置されるように形成されている。これにより、オフ状態において、第1不純物領域と半導体領域との界面から半導体領域へ向かって拡がる空乏層が第3不純物領域にまで拡がるのを、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

本発明に係るさらに他の半導体装置によれば、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように導電性領域を含む空乏層阻止部が形成されており、その空乏層阻止部は、半導体領域とは電氣的に絶縁され、第3不純物領域に電氣的に接続された導電体部により形成されている。これにより、オフ状態において、第1不純物領域と半導体領域との界面から半導体領域へ向かって拡がる空乏層が第3不純物領域にまで拡がるのを、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

本発明に係るさらに他の半導体装置によれば、第2領域における所定の位置において、半導体領域の表面から誘電体部に達するように導電性領域を含む空乏層阻止部が形成されており、その空乏層阻止部は、半導体領域を貫通して半導体領域の表面から誘電体部に達するように形成された絶縁体部と、絶縁体部を取り囲む半導体領域の部分に形成され、第1不純物濃度よりも高い第4不純物濃度を有する第1導電型の第4不純物領域とにより形成されている。これにより、オフ状態において、第1不純物領域と半導体領域との界面から半導体領域へ向かって拡がる空乏層が第3不純物領域にまで拡がるのを、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【図面の簡単な説明】

【0016】

【図1】本発明の各実施の形態に係る半導体装置が適用されるインバータ回路を示す図である。

【図2】本発明の実施の形態1に係る半導体装置を示す部分平面図である。

【図3】同実施の形態において、図2に示す断面線I-I-I-I-I-I-Iにおける断面図である。

【図4】同実施の形態において、半導体装置のオン動作を説明するための断面図である。

【図5】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図6】比較例に係る半導体装置を示す部分断面図である。

【図7】比較例に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための部分断面図である。

【図8】同実施の形態において、耐圧を説明するための電界強度とN⁻半導体層の表面からの深さとの関係を示すグラフである。

【図9】同実施の形態において、変形例に係る半導体装置を示す部分平面図である。

【図10】本発明の実施の形態2に係る半導体装置を示す部分断面図である。

【図 1 1】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 1 2】本発明の実施の形態 3 に係る半導体装置を示す部分断面図である。

【図 1 3】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 1 4】本発明の実施の形態 4 に係る半導体装置を示す部分断面図である。

【図 1 5】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 1 6】本発明の実施の形態 5 に係る半導体装置を示す部分断面図である。

【図 1 7】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。 10

【図 1 8】同実施の形態において、変形例 1 に係る半導体装置を示す部分断面図である。

【図 1 9】同実施の形態において、変形例 1 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 2 0】同実施の形態において、変形例 2 に係る半導体装置を示す部分平面図である。

【図 2 1】同実施の形態において、図 2 0 に示す断面線 X X I - X X I における断面図である。

【図 2 2】同実施の形態において、図 2 0 に示す断面線 X X I I - X X I I における断面図である。

【図 2 3】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。 20

【図 2 4】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 2 5】本発明の実施の形態 6 に係る半導体装置を示す部分断面図である。

【図 2 6】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 2 7】同実施の形態において、変形例 1 に係る半導体装置を示す部分断面図である。

【図 2 8】同実施の形態において、変形例 1 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 2 9】同実施の形態において、変形例 2 に係る半導体装置を示す部分断面図である。 30

【図 3 0】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 3 1】同実施の形態において、変形例 3 に係る半導体装置を示す部分平面図である。

【図 3 2】同実施の形態において、変形例 3 に係る半導体装置を示す部分拡大平面図である。

【図 3 3】同実施の形態において、図 3 2 に示す断面線 X X X I I I - X X X I I I における部分断面図である。

【図 3 4】同実施の形態において、図 3 2 に示す断面線 X X X I V - X X X I V における部分断面図である。

【図 3 5】同実施の形態において、変形例 3 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。 40

【図 3 6】同実施の形態において、変形例 3 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 3 7】本発明の実施の形態 7 に係る半導体装置を示す部分平面図である。

【図 3 8】同実施の形態において、図 3 7 に示す断面線 X X X V I I I - X X X V I I I における断面図である。

【図 3 9】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 4 0】比較例に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための部分断面図である。 50

【図 4 1】同実施の形態において、変形例 1 に係る半導体装置を示す部分断面図である。

【図 4 2】同実施の形態において、変形例 1 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 4 3】同実施の形態において、変形例 2 に係る半導体装置を示す部分断面図である。

【図 4 4】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための断面図である。

【図 4 5】本発明の実施の形態 8 に係る半導体装置を示す部分平面図である。

【図 4 6】同実施の形態において、半導体装置を示す部分拡大平面図である。

【図 4 7】同実施の形態において、図 4 6 に示す断面線 X L V I I - X L V I I における部分断面図である。

【図 4 8】同実施の形態において、図 4 6 に示す断面線 X L V I I I - X L V I I I における部分断面図である。

【図 4 9】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。

【図 5 0】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 5 1】同実施の形態において、変形例 1 に係る半導体装置を示す部分拡大平面図である。

【図 5 2】同実施の形態において、図 5 1 に示す断面線 L I I - L I I における部分断面図である。

【図 5 3】同実施の形態において、図 5 1 に示す断面線 L I I I - L I I I における部分断面図である。

【図 5 4】同実施の形態において、変形例 1 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。

【図 5 5】同実施の形態において、変形例 1 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 5 6】同実施の形態において、変形例 2 に係る半導体装置を示す部分拡大平面図である。

【図 5 7】同実施の形態において、図 5 6 に示す断面線 L V I I - L V I I における部分断面図である。

【図 5 8】同実施の形態において、図 5 6 に示す断面線 L V I I I - L V I I I における部分断面図である。

【図 5 9】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。

【図 6 0】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 6 1】本発明の実施の形態 9 に係る半導体装置を示す部分拡大平面図である。

【図 6 2】同実施の形態において、図 6 1 に示す断面線 L X I I - L X I I における部分断面図である。

【図 6 3】同実施の形態において、図 6 1 に示す断面線 L X I I I - L X I I I における部分断面図である。

【図 6 4】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。

【図 6 5】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 6 6】本発明の実施の形態 10 に係る半導体装置を示す部分拡大平面図である。

【図 6 7】同実施の形態において、図 6 6 に示す断面線 L X V I I - L X V I I における部分断面図である。

【図 6 8】同実施の形態において、図 6 6 に示す断面線 L X V I I I - L X V I I I における部分断面図である。

10

20

30

40

50

【図 6 9】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。

【図 7 0】同実施の形態において、半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 7 1】同実施の形態において、変形例 1 に係る半導体装置を示す部分拡大平面図である。

【図 7 2】同実施の形態において、図 7 1 に示す断面線 L X X I I I - L X X I I I における部分断面図である。

【図 7 3】同実施の形態において、図 7 1 に示す断面線 L X X I I I I - L X X I I I I における部分断面図である。

10

【図 7 4】同実施の形態において、変形例 1 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。

【図 7 5】同実施の形態において、変形例 1 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【図 7 6】同実施の形態において、変形例 2 に係る半導体装置を示す部分拡大平面図である。

【図 7 7】同実施の形態において、図 7 6 に示す断面線 L X X V I I I - L X X V I I I における部分断面図である。

【図 7 8】同実施の形態において、図 7 6 に示す断面線 L X X V I I I I - L X X V I I I I における部分断面図である。

20

【図 7 9】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 1 の断面図である。

【図 8 0】同実施の形態において、変形例 2 に係る半導体装置のオフ状態における空乏層の拡がり方を説明するための第 2 の断面図である。

【発明を実施するための形態】

【0 0 1 7】

まず、はじめに、本半導体装置が適用される回路の一例として、誘導電動機 5 4 を駆動させるインバータ回路について簡単に説明する。図 1 に示すように、インバータ回路 5 0 の第 1 ドライバ回路 5 1 には、誘導電動機 5 4 に電流を送り込む動作（動作 A）を行うためのスイッチング素子として、第 1 I G B T（B T 1）が設けられている。一方、第 2 ドライバ回路 5 2 には、誘導電動機 5 4 から電流を引き出す動作（動作 B）を行うためのスイッチング素子として第 2 I G B T（B T 2）が設けられている。

30

【0 0 1 8】

第 1 I G B T（B T 1）と第 2 I G B T（B T 2）とは直列に接続されて、その接続点 5 3 に誘導電動機 5 4 が接続されている。第 1 I G B T（B T 1）のゲートは第 1 ドライバ回路 5 1 に接続され、第 2 I G B T（B T 2）のゲートは第 2 ドライバ回路 5 2 に接続されている。第 1 ドライバ回路 5 1 と第 2 ドライバ回路 5 2 とにより第 1 I G B T（B T 1）と第 2 I G B T（B T 2）とを交互にオン、オフさせることによって、動作 A と動作 B とが交互に行われることになる。

【0 0 1 9】

40

このとき、接続点 5 3 では、その電位が電源電圧と接地電位との間で変動する。このため、電位の変動に対して第 1 I G B T（B T 1）のゲートをオン、オフさせるための一定のパルス電位（信号）を発生させるために、第 1 ドライバ回路 5 1 には、p チャネル型の M O S トランジスタ（P M O S）P T を含む回路が設けられている。この回路では、M O S トランジスタのドレイン電圧の変動に対してドレイン電流がほぼ同じ値を示す性質（飽和領域）を利用して一定のパルス電位が発生されることになる。

【0 0 2 0】

各実施の形態では、上述したインバータ回路に適用される I G B T と p チャネル型の M O S トランジスタについて具体的に説明する。

【0 0 2 1】

50

実施の形態 1

ここでは、IGBTの第1例について説明する。図2および図3に示すように、半導体基板1の主表面に接触するように誘電体部3が形成されている。誘電体部3には、相対的に厚みの薄い部分3aと相対的に厚みの厚い部分3bとが設けられている。厚みの厚い部分3bでは、誘電体膜12が形成されている。その誘電体部3の表面に接触するように、所定の厚さのN⁻半導体層2が形成されている。N⁻半導体層2の不純物濃度は、たとえば、 $5 \times 10^{14} / \text{cm}^3 \sim 5 \times 10^{15} / \text{cm}^3$ 程度である。誘電体部3のうち相対的に厚みの薄い部分3aの直上に位置するN⁻半導体層2の領域（領域A）では、N⁻半導体層2の表面から所定の深さにわたり、N型不純物領域5が形成されている。そのN型不純物領域5を側方と下方とから取り囲むように、N⁻半導体層2の表面からN型不純物領域5よりも深い領域にわたりP型不純物領域4が形成されている。N型不純物領域5とN⁻半導体層2とによって挟まれたP型不純物領域4の部分の表面上にゲート絶縁膜8を介在させてゲート電極9が形成されている。また、P型不純物領域4およびN型不純物領域5に接触するように、エミッタ電極10が形成されている。

10

【0022】

一方、P型不純物領域4から距離を隔てられた、誘電体部3のうち相対的に厚みの厚い部分3bの直上に位置するN⁻半導体層2の領域（領域B）では、N⁻半導体層2の表面から所定の深さにわたりP型不純物領域6が形成されている。そのP型不純物領域6に接触するように、コレクタ電極11が形成されている。また、P型不純物領域4とP型不純物領域6との間に位置するN⁻半導体層2の部分には、その表面から所定の深さにわたり、空乏層のストッパとしてN型不純物領域7が形成されている。さらに、領域Bでは、N⁻半導体層2の表面から誘電体部3に達するように、空乏層阻止部として、N⁻半導体層2の不純物濃度よりも高い不純物濃度を有するN型不純物領域13が形成されている。N型不純物領域13の不純物濃度は、たとえば、 $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ 程度である。なお、この不純物濃度は、N⁻半導体層2の表面から不純物イオンを導入することによって形成する場合には、その表面付近の不純物濃度になる。

20

【0023】

図2に示すように、N型不純物領域13は一方向に延在するように形成されている。そのN型不純物領域13を周方向から取り囲むように、P型不純物領域6およびN型不純物領域7が配置されている。さらに、そのN型不純物領域7等を周方向から取り囲むように、P型不純物領域4、N型不純物領域5、ゲート電極9およびエミッタ電極10が配置されている。

30

【0024】

次に、上述した半導体装置（IGBT）の動作について説明する。図4に示すように、まず、ゲート電極9に所定のしきい値電圧よりも高い電圧を印加することにより、ゲート電極9の直下に位置するP型不純物領域4の部分にチャンネルが形成される。チャンネルが形成されると、エミッタ電極10からN型不純物領域5およびチャンネルを経てN⁻半導体層2へ電子eが注入され、一方、コレクタ電極11からP型不純物領域6を経てN⁻半導体層2へホールhが注入される。これにより、N⁻半導体層2の抵抗値が電導度変調により下がり、コレクタ側からエミッタ側へ向かって電流が流れる状態（オン状態）となる。

40

【0025】

一方、ゲート電極9にしきい値電圧よりも低い電圧を印加すると、P型不純物領域4に形成されたチャンネルが消滅する。チャンネルが消滅すると、N⁻半導体層2への電子の注入が止まり、N⁻半導体層2に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極10あるいはコレクタ電極11へ排出されることによって消滅して、最終的に電流が遮断される状態（オフ状態）となる。このとき、エミッタ電極10の電位はほぼ接地電位であるのに対して、コレクタ電極11には、たとえば、約500～600V程度の電圧が印加された状態になる。

【0026】

このため、図5に示すように、逆バイアスが作用するP型不純物領域4とN⁻半導体層

50

2との界面から空乏層31が拡がることになる。ここで、 N^- 半導体層2へ向かって拡がる空乏層31の端を空乏層端31aにて示し、P型不純物領域4へ向かって拡がる空乏層31の端を空乏層端31bにて示す。図5に示すように、空乏層31は、主として不純物濃度が比較的低い N^- 半導体層2へ向かって拡がり、その空乏層端31aは、空乏層のストッパとしてのN型不純物領域7が配置されている領域の近傍にまで達する。特に、上述した半導体装置では、 N^- 半導体層2の表面から誘電体部3に達するN型不純物領域13が形成されていることで、空乏層31がP型不純物領域6にまで拡がるのを確実に阻止して耐圧特性を向上させることができる。このことについて、比較例を交えて説明する。

【0027】

比較例に係る半導体装置は、 N^- 半導体層2の表面から誘電体部3に達するN型不純物領域13が形成されていない点を除けば、図3等に示される半導体装置と同様の構造である。図6に示すように、半導体基板101の主表面に接触するように、相対的に厚みの薄い部分103aと相対的に厚みの厚い部分103bとを含む誘電体部103が形成されている。その誘電体部103の表面に接触するように、所定の厚さの N^- 半導体層102が形成されている。 N^- 半導体層102における所定の領域では、 N^- 半導体層102の表面から所定の深さにわたり、N型不純物領域105が形成されている。

【0028】

そのN型不純物領域105を側方と下方とから取り囲むように、 N^- 半導体層102の表面からN型不純物領域105よりも深い領域にわたりP型不純物領域104が形成されている。N型不純物領域105と N^- 半導体層102とによって挟まれたP型不純物領域104の部分の表面上にゲート絶縁膜108を介在させてゲート電極109が形成されている。P型不純物領域104およびN型不純物領域105に接触するように、エミッタ電極110が形成されている。

【0029】

一方、P型不純物領域104から距離を隔てられた N^- 半導体層102の所定の領域では、 N^- 半導体層102の表面から所定の深さにわたりP型不純物領域106が形成されている。そのP型不純物領域106に接触するように、コレクタ電極111が形成されている。P型不純物領域104とP型不純物領域106との間に位置する N^- 半導体層102の部分には、その表面から所定の深さにわたり、空乏層のストッパとしてN型不純物領域107が形成されている。

【0030】

比較例に係る半導体装置では、ゲート電極109に所定のしきい値電圧よりも高い電圧を印加することにより N^- 半導体層102へ電子eとホールhが注入されて、 N^- 半導体層102の抵抗値が電導度変調によって下がり、コレクタ側からエミッタ側へ向かって電流が流れる状態（オン状態）となる。

【0031】

一方、ゲート電極109にしきい値電圧よりも低い電圧を印加することにより N^- 半導体層102への電子の注入が止まり、 N^- 半導体層102に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極110あるいはコレクタ電極111へ排出されることによって消滅して、電流が遮断される状態（オフ状態）となる。オフ状態では、逆バイアスが作用するP型不純物領域104と N^- 半導体層102との界面から、主として、不純物濃度が比較的低い N^- 半導体層102へ向かって拡がる。

【0032】

このとき、図7に示すように、 N^- 半導体層102へ向かって拡がろうとする空乏層のうち、 N^- 半導体層102の表面とその近傍の領域では、ストッパとしてのN型不純物領域107によってその拡がりが増大される。一方、P型不純物領域106の下方に位置する N^- 半導体層102の領域では、空乏層端131aはP型不純物領域106の近傍にまで達することになる。このため、比較例に係る半導体装置の耐圧は、空乏層端131aがP型不純物領域106に接触するパンチスルー現象によって決定されるか、あるいは、P型不純物領域106、 N^- 半導体層102およびP型不純物領域104によって構成され

10

20

30

40

50

る寄生のPNPトランジスタのリーク電流によって決定されることになる。このため、さらなる耐圧特性の向上には限界がある。

【0033】

これに対して、上述した半導体装置では、前提となる構造として、誘電体部3のうち相対的に厚みの厚い部分3bの直上に位置するN⁻半導体層2の領域に、高電圧が印加されるP型不純物領域6が形成されている。誘電体部3とN⁻半導体層2の積層構造では、電界強度は各誘電率の比の逆数になる。誘電体部3の誘電率（約3.7程度）は、N⁻半導体層2の誘電率（約11.7程度）よりも低く、しかも、その誘電体部3がより厚く形成されている。

【0034】

図8は、電界強度とN⁻半導体層の表面からの深さとの関係を示すグラフである。半導体装置の耐圧は、グラフによって囲まれた領域の面積に相当する。その耐圧のうち、N⁻半導体層2における電圧降下は面積SE1に相当し、誘電体部における電圧降下は面積SE2に相当する。コレクタ電極11が配置されている領域の誘電体部（部分3b）を厚くして、誘電体部（部分3b）における電圧降下をより大きくすることで、その領域に位置するN⁻半導体層2の部分における電圧降下をより小さくすることができる。これにより、コレクタ電極11に接続されているP型不純物領域6へ向かって空乏層が広がるのを抑えても、半導体装置の耐圧が低下するのを抑制することができる。

【0035】

図5に示すように、上述した半導体装置では、そのような空乏層の拡がりを抑える空乏層阻止部としてN型不純物領域13を備えている。N型不純物領域13は、N⁻半導体層2の不純物濃度よりも高い不純物濃度を有し、N⁻半導体層2の表面から誘電体部3（部分3b）に達するように形成されている。これにより、P型不純物領域6の下方に位置するN⁻半導体層2の部分からP型不純物領域6へ向かって空乏層が広がるのを、半導体装置の耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0036】

なお、上述した半導体装置では、誘電体部3の厚みの厚い部分3bに誘電体膜12を形成した場合について説明した。厚みの厚い部分3bでは、誘電体膜12を形成する代わりに空洞部を形成してもよい。空洞部の誘電率（約1.0程度）は、誘電体膜の誘電率よりも小さい。このため、誘電体部（部分3b）における電圧降下がさらに大きくなる分、N⁻半導体層2の部分における電圧降下がさらに小さくなる。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。

【0037】

変形例

なお、上述した半導体装置では、平面構造として、図2に示すように、P型不純物領域6は、N型不純物領域13を取り囲むように形成された場合を例に挙げて説明した。P型不純物領域6の平面構造としては、図9に示すように、延在するN型不純物領域13に対して、延在方向と交差する一方と他方とにそれぞれ間隔を隔てて、P型不純物領域6を配置させてもよい。このような配置の半導体装置においても、P型不純物領域6へ向かって空乏層31が広がるのを、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0038】

実施の形態2

ここでは、IGBTの第2例について説明する。図10に示すように、誘電体部3のうち相対的に厚みの厚い部分3bの直上に位置するN⁻半導体層2の領域（領域B）において、N⁻半導体層2の表面から誘電体部3に達するように、空乏層阻止部として、絶縁膜14と導電体部15が形成されている。導電体部15は、たとえば、ポリシリコン膜等から形成され、N⁻半導体層2とは絶縁膜14により電氣的に絶縁されて、コレクタ電極1

10

20

30

40

50

1に電氣的に接続されている。なお、これ以外の構成については、図3に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を繰り返さないこととする。

【0039】

上述した半導体装置（IGBT）では、ゲート電極9に所定のしきい値電圧よりも高い電圧を印加することによりN⁻半導体層2へ電子とホールが注入されて、N⁻半導体層2の抵抗値が電導度変調によって下がり、コレクタ側からエミッタ側へ向かって電流が流れる状態（オン状態）となる。

【0040】

一方、ゲート電極9にしきい値電圧よりも低い電圧を印加することによりN⁻半導体層2への電子の注入が止まり、N⁻半導体層2に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極10あるいはコレクタ電極11へ排出されることによって消滅して、最終的に電流が遮断される状態（オフ状態）となる。オフ状態では、逆バイアスが作用するP型不純物領域4とN⁻半導体層2との界面から、主として、N⁻半導体層2へ向かって空乏層が広がる。

【0041】

このとき、図11に示すように、領域Bでは、空乏層阻止部として、N⁻半導体層2の表面から誘電体部3に達するように、絶縁膜14と導電体部15が形成されている。これにより、前述したように、P型不純物領域6の下方に位置するN⁻半導体層2の部分からP型不純物領域6へ向かって空乏層31が広がるのを、半導体装置の耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0042】

ところで、半導体基板1、誘電体部3およびN⁻半導体層2を備えた積層構造は、SOI基板として提供される。SOI基板のN⁻半導体層2に種々の素子を形成する場合には、互いの素子を電氣的に分離する必要がある。そのために、トレンチ分離構造が採用されている。トレンチ分離構造では、N⁻半導体層2を貫通して誘電体部3に達するトレンチが形成されて、そのトレンチ内に絶縁膜を介してポリシリコン膜等が形成されることになる。

【0043】

上述した半導体装置では、そのようなトレンチ分離構造を形成する際に、同時に、P型不純物領域6の近傍にトレンチ分離構造を形成することで、新たな工程を追加することなく、そのトレンチ分離構造を絶縁膜14と導電体部15を備えた空乏層阻止部として利用することができる。

【0044】

実施の形態3

ここでは、IGBTの第3例について説明する。図12に示すように、誘電体部のうち相対的に厚みの厚い部分3bの直上に位置するN⁻半導体層2の領域（領域B）において、N⁻半導体層2の表面から誘電体部3に達するように、空乏層阻止部として、N型不純物領域13と絶縁膜14が形成されている。なお、これ以外の構成については、図3に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を繰り返さないこととする。

【0045】

上述した半導体装置（IGBT）では、ゲート電極9に所定のしきい値電圧よりも高い電圧を印加することによりN⁻半導体層2へ電子とホールが注入されて、N⁻半導体層2の抵抗値が電導度変調によって下がり、コレクタ側からエミッタ側へ向かって電流が流れる状態（オン状態）となる。

【0046】

一方、ゲート電極9にしきい値電圧よりも低い電圧を印加することによりN⁻半導体層2への電子の注入が止まり、N⁻半導体層2に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極10あるいはコレクタ電極11へ排出されるこ

とによって消滅し、最終的に電流が遮断される状態（オフ状態）となる。オフ状態では、逆バイアスが作用する P 型不純物領域 4 と N⁻半導体層 2 との界面から、主として、N⁻半導体層 2 へ向かって空乏層が広がる。

【0047】

このとき、図 13 に示すように、領域 B では、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように、N 型不純物領域 13 と絶縁膜 14 が形成されている。これにより、前述したように、P 型不純物領域 6 の下方に位置する N⁻半導体層 2 の部分から P 型不純物領域 6 へ向かって空乏層 31 が広がるのを、半導体装置の耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

10

【0048】

また、上述したように、N⁻半導体層 2 に形成される素子を電氣的に分離するために、トレンチが形成されることになる。上述した半導体装置では、そのようなトレンチを N⁻半導体層 2 に形成する際に、同時に、P 型不純物領域 6 の近傍にトレンチを形成し、そのトレンチの側壁に N 型の不純物イオンを注入することによって N 型不純物領域 13 を形成することができる。これにより、N⁻半導体層 2 の表面から N 型の不純物を拡散させることによって N 型不純物領域を形成する場合と比べて、N 型の不純物の横方向への拡散を抑えることができ、素子面積をより小さくするのに寄与することができる。

【0049】

実施の形態 4

20

ここでは、IGBT の第 4 例について説明する。この半導体装置は、図 3 に示す半導体装置における N 型不純物領域 7 を、P 型不純物領域 6 を取り囲む N 型不純物領域に置き換えたものである。図 14 に示すように、P 型不純物領域 6 を側方と下方とから取り囲むように N 型不純物領域 7b が形成されている。なお、これ以外の構成については、図 3 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を繰り返さないこととする。

【0050】

上述した半導体装置（IGBT）では、ゲート電極 9 に所定のしきい値電圧よりも高い電圧を印加することにより N⁻半導体層 2 へ電子とホールが注入されて、N⁻半導体層 2 の抵抗値が電導度変調によって下がり、コレクタ側からエミッタ側へ向かって電流が流れる状態（オン状態）となる。

30

【0051】

一方、ゲート電極 9 にしきい値電圧よりも低い電圧を印加することにより N⁻半導体層 2 への電子の注入が止まり、N⁻半導体層 2 に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極 10 あるいはコレクタ電極 11 へ排出されることによって消滅して、最終的に電流が遮断される状態（オフ状態）となる。図 15 に示すように、オフ状態では、逆バイアスが作用する P 型不純物領域 4 と N⁻半導体層 2 との界面から、主として、N⁻半導体層 2 へ向かって空乏層が広がる。

【0052】

上述した半導体装置（IGBT）の場合、P 型不純物領域 6 を取り囲むように N 型不純物領域 7b が形成されているために、オン状態にする際に、N⁻半導体層 2 へのホールの注入効率が多少下がることになる。しかしながら、オフ状態においては、P 型不純物領域 6 へ向かって空乏層が広がるのを、P 型不純物領域 6 を取り囲むように形成された N 型不純物領域 7b と、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成された N 型不純物領域 13 とによって、半導体装置の耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

40

【0053】

なお、上述した半導体装置では、空乏層阻止部として、図 3 に示される N 型不純物領域 13 を適用した場合について説明した。空乏層阻止部としては、この他に、図 10 に示さ

50

れるように、トレンチ内に絶縁膜 1 4 および導電体部 1 5 を形成した構造を適用しても、空乏層が広がるのを、耐圧を低下させることなく確実に抑えることができ、半導体装置の耐圧特性を向上させることができる。また、図 1 2 に示されるように、トレンチの側壁に N 型不純物領域 1 3 を形成し、そのトレンチに絶縁膜 1 4 を充填した構造を適用しても、空乏層が広がるのを、耐圧を低下させることなく確実に抑えることができ、半導体装置の耐圧特性を向上させることができる。

【0054】

実施の形態 5

ここでは、IGBT の第 5 例について説明する。この半導体装置は、図 3 に示す半導体装置における N 型不純物領域 7 を、コレクタ電極に接続させたものである。図 1 6 に示すように、コレクタ電極 1 1 に電氣的に接続されるように、N⁻半導体層 2 の表面から所定の深さにわたり N 型不純物領域 1 6 が形成されている。

【0055】

上述した半導体装置では、ゲート電極 9 に所定のしきい値電圧よりも高い電圧を印加することにより、N 型不純物領域 5 から N⁻半導体層 2 へ電子が注入される。このとき、コレクタ電極 1 1 に接続された N 型不純物領域 1 6 が形成されていることで、注入された電子の一部が N 型不純物領域 1 6 へ流れる MOSFET の動作が行われ、この間、ホールの注入は抑制されることになる。N⁻半導体層 2 への電子の注入量が徐々に増えると、P 型不純物領域 6 から N⁻半導体層 2 へホールも注入されて、IGBT として動作をすることになる。

【0056】

一方、ゲート電極 9 にしきい値電圧よりも低い電圧を印加することにより N⁻半導体層 2 への電子の注入が止まり、N⁻半導体層 2 に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極 1 0 あるいはコレクタ電極 1 1 へ排出されることによって消滅して、最終的に電流が遮断される状態（オフ状態）となる。このとき、N⁻半導体層 2 に注入されるホールの量が抑制されていることでより速くオフ状態になり、半導体装置の動作を高速化することができる。

【0057】

オフ状態では、逆バイアスが作用する P 型不純物領域 4 と N⁻半導体層 2 との界面から、主として、N⁻半導体層 2 へ向かって空乏層が広がる。このとき、図 1 7 に示すように、領域 B では、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように、N 型不純物領域 1 3 が形成されている。これにより、前述したように、P 型不純物領域 6 の下方に位置する N⁻半導体層 2 の部分から P 型不純物領域 6 へ向かって空乏層 3 1 が広がるのを、半導体装置の耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0058】

なお、この半導体装置では、MOSFET と IGBT の中間の動作をさせるために、N⁻半導体層 2 に注入された電子がコレクタ電極に直接流れ込むようにコレクタ電極が N⁻半導体層 2 に電氣的に接続されていることが重要であるため、N 型不純物領域 1 6 を省略しても同様の効果が得られる。また、この場合には、空乏層のストッパとして N 型不純物領域 7（図 3 参照）を設ける必要がある。

【0059】

変形例 1

上述した半導体装置では、N 型不純物領域 1 6 を、P 型不純物領域 6 に対して P 型不純物領域 4 の側に配置した場合（配置 A）について説明した。N 型不純物領域 1 6 の配置パターンとしては、この他に、図 1 8 に示すように、N 型不純物領域 1 6 を、P 型不純物領域 6 に対して P 型不純物領域 4 が位置する側とは反対の側に配置してもよい（配置 B）。この場合、オン動作の際に、N⁻半導体層 2 に注入された電子が N 型不純物領域 1 6 へ流れる経路が配置 A の場合に比べて多少遠回りになるため、MOSFET として動作する時

10

20

30

40

50

間がより短くなり、その分 I G B T として動作することになる。

【0060】

図 19 に示すように、配置 B の場合においても、オフ状態においては、P 型不純物領域 6 へ向かって空乏層が広がるのを、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成された N 型不純物領域 13 によって、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0061】

変形例 2

また、N 型不純物領域 16 の配置パターンとしては、図 20、図 21 および図 22 に示すように、N 型不純物領域 16 と P 型不純物領域 6 とを、N 型不純物領域 13 が延在する方向に沿って交互に配置させてもよい（配置 C）。図 23 および図 24 に示すように、配置 C の場合においても、オフ状態においては、P 型不純物領域 6 へ向かって空乏層が広がるのを、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成された N 型不純物領域 13 によって、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0062】

実施の形態 5 に係る半導体装置では、N 型不純物領域 16 と P 型不純物領域 6 の配置パターンやサイズ等を変えることで、I G B T と M O S F E T の動作の比率を変えることができ、用途に応じた半導体装置を提供することが可能になる。

【0063】

なお、上述した半導体装置では、空乏層阻止部として、図 3 に示される N 型不純物領域 13 を適用した場合について説明した。空乏層阻止部としては、この他に、図 10 に示されるように、トレンチ内に絶縁膜 14 および導電体部 15 を形成した構造を適用しても、空乏層の広がりを耐圧を低下させることなく確実に抑えて、半導体装置の耐圧特性を向上させることができる。また、図 12 に示されるように、トレンチの側壁に N 型不純物領域 13 を形成し、そのトレンチに絶縁膜 14 を充填した構造を適用しても、空乏層の広がりを耐圧を低下させることなく確実に抑えて、半導体装置の耐圧特性を向上させることができる。

【0064】

実施の形態 6

ここでは、I G B T の第 6 例について説明する。この半導体装置は、図 16 に示される N 型不純物領域 16 および P 型不純物領域 6 を側方と下方とから取り囲むように P⁻不純物領域を形成したものである。図 25 に示すように、N 型不純物領域 16 および P 型不純物領域 6 を側方と下方とから取り囲むように、N⁻半導体層 2 の表面から所定の深さにわたり P⁻不純物領域 17 が形成されている。P⁻不純物領域 17 の不純物濃度は、P 型不純物領域 6 の不純物濃度よりも低く設定されている。

【0065】

上述した半導体装置では、ゲート電極 9 に所定のしきい値電圧よりも高い電圧を印加することにより、N 型不純物領域 5 から N⁻半導体層 2 へ電子が注入される。このとき、コレクタ電極 11 に接続されている N 型不純物領域 16 が、不純物濃度の低い P⁻不純物領域 17 によって取り囲まれていることで、注入された電子の一部が P⁻不純物領域 17 を通って N 型不純物領域 16 へ流れることになる。このため、P 型不純物領域 6 から N⁻半導体層 2 へのホールの注入が抑制されることになるが、図 5 に示される半導体装置の場合と比べて、P⁻不純物領域 17 が形成されていることで、弱いながらもホールの注入を確保することができる。つまり、図 5 に示される半導体装置では、オン動作の当初では、M O S F E T の動作をするのに対して、本半導体装置では当初から I G B T の動作することになる。

【0066】

一方、ゲート電極 9 にしきい値電圧よりも低い電圧を印加することにより N⁻半導体層 2 への電子の注入が止まり、N⁻半導体層 2 に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極 10 あるいはコレクタ電極 11 へ排出されることによって消滅して、最終的に電流が遮断される状態（オフ状態）となる。このとき、N⁻半導体層 2 に注入されるホールの量が抑制されていることでより速くオフ状態になり、半導体装置の動作を高速化することができる。

【0067】

オフ状態では、逆バイアスが作用する P 型不純物領域 4 と N⁻半導体層 2 との界面から、主として、N⁻半導体層 2 へ向かって空乏層が広がる。このとき、図 26 に示すように、領域 B では、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように、N 型不純物領域 13 が形成されている。これにより、前述したように、P 型不純物領域 6 の下方に位置する N⁻半導体層 2 の部分から P 型不純物領域 6 へ向かって空乏層 31 が広がるのを、半導体装置の耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

10

【0068】

なお、この半導体装置では、N⁻半導体層 2 に注入された電子がコレクタ電極 11 に直接流れ込むことが重要であるため、N 型不純物領域 16 を省略しても同様の効果が得られる。

【0069】

20

変形例 1

上述した半導体装置では、N 型不純物領域 16 を、P 型不純物領域 6 に対して P 型不純物領域 4 の側に配置した場合（配置 A）について説明した。N 型不純物領域 16 の配置パターンとしては、この他に、図 27 に示すように、N 型不純物領域 16 を、P 型不純物領域 6 に対して P 型不純物領域 4 が位置する側とは反対の側に配置してもよい（配置 B）。

【0070】

図 28 に示すように、配置 B の場合においても、オフ状態においては、P 型不純物領域 6 へ向かって空乏層が広がるのを、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成された N 型不純物領域 13 によって、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

30

【0071】

変形例 2

また、図 29 に示すように、P⁻不純物領域 17 を側方と下方とから取り囲むように、N⁻半導体層 2 の表面から所定の深さにわたり N 型不純物領域 22 を形成してもよい。

【0072】

この場合には、図 30 に示すように、オフ状態においては、P 型不純物領域 6 へ向かって空乏層が広がるのを、P⁻不純物領域 17 を取り囲むように形成された N 型不純物領域 22 と、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成された N 型不純物領域 13 とによって、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。なお、図 29 に示される構造において、N 型不純物領域 16 と P 型不純物領域 6 の配置を、図 27 に示すように入れ換えてもよく、この場合においても、半導体装置の耐圧特性を向上させることができる。

40

【0073】

変形例 3

さらに、N 型不純物領域 16 と P 型不純物領域 6 の配置パターンとしては、図 31、図 32、図 33 および図 34 に示すように、N 型不純物領域 16 と P 型不純物領域 6 とを、N 型不純物領域 13 が延在する方向に沿って交互に配置させてもよい（配置 C）。図 35 および図 36 に示すように、配置 C の場合においても、オフ状態においては、P 型不純物

50

領域 6 へ向かって空乏層が広がるのを、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成された N 型不純物領域 1 3 によって、耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0074】

なお、上述した半導体装置では、空乏層阻止部として、図 3 に示される N 型不純物領域 1 3 を適用した場合について説明した。空乏層阻止部としては、この他に、図 10 に示されるように、トレンチ内に絶縁膜 1 4 および導電体部 1 5 を形成した構造を適用してもよい。この場合においても、空乏層の広がりを、耐圧を低下させることなく確実に抑えて、半導体装置の耐圧特性を向上させることができる。また、図 12 に示されるように、トレン

10

チの側壁に N 型不純物領域 1 3 を形成し、そのトレンチに絶縁膜 1 4 を充填した構造を適用してもよい。この場合にも、空乏層の広がりを、耐圧を低下させることなく確実に抑えて、半導体装置の耐圧特性を向上させることができる。

【0075】

実施の形態 7

ここでは、インバータ回路に適用される p チャネル型の MOS トランジスタ (PMOS) の第 1 例について説明する。図 37 および図 38 に示すように、半導体基板 1 の主表面に接触するように誘電体部 3 が形成されている。誘電体部 3 には、相対的に厚みの薄い部分 3 a と相対的に厚みの厚い部分 3 b とが設けられている。その誘電体部 3 の表面に接触するように、所定の厚さの N⁻半導体層 2 が形成されている。N⁻半導体層 2 の不純物濃度は、たとえば、 $5 \times 10^{14} / \text{cm}^3 \sim 5 \times 10^{15} / \text{cm}^3$ 程度である。誘電体部 3 のうち相対的に厚みの薄い部分 3 a の直上に位置する N⁻半導体層 2 の領域 (領域 A) では、N⁻半導体層 2 の表面から所定の深さにわたり、P 型不純物領域 4 が形成されている。P 不純物領域 4 の不純物濃度は、たとえば、 $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ 程度である。その P 型不純物領域 4 に接触するように、ドレイン電極 1 9 が形成されている。また、N⁻半導体層 2 の表面から所定の深さにわたり、P 型不純物領域 4 に接し P 型不純物領域 4 の不純物濃度よりも低い不純物濃度を有する P⁻不純物領域 1 8 が形成されている。P⁻不純物領域 1 8 の不純物濃度は、たとえば、 $2 \times 10^{15} / \text{cm}^3 \sim 2 \times 10^{16} / \text{cm}^3$ 程度である。

20

30

【0076】

一方、P⁻不純物領域 1 8 から距離を隔てられた、誘電体部 3 のうち相対的に厚みの厚い部分 3 b の直上に位置する N⁻半導体層 2 の領域 (領域 B) では、N⁻半導体層 2 の表面から所定の深さにわたり P 型不純物領域 6 が形成されている。その P 型不純物領域 6 に接触するように、ソース電極 2 0 が形成されている。また、P⁻不純物領域 1 8 と P 型不純物領域 6 とによって挟まれた N⁻半導体層 2 の部分の表面上にゲート絶縁膜 8 を介在させてゲート電極 9 が形成されている。さらに、領域 B では、N⁻半導体層 2 の表面から誘電体部 3 に達するように、空乏層阻止部として、N⁻半導体層 2 の不純物濃度よりも高い不純物濃度を有する N 型不純物領域 1 3 が形成されている。

【0077】

図 37 に示すように、N 型不純物領域 1 3 は一方向に延在するように形成されている。P 型不純物領域 6 は N 型不純物領域 1 3 に沿って配置されている。ゲート電極 9 は、平面的にその P 型不純物領域 6 等を周方向から取り囲むように配置されている。

40

【0078】

次に、上述した半導体装置 (PMOS) の動作について説明する。ソース電位よりも所定の電位だけ低い電圧をゲート電極 9 に印加することにより、ゲート電極 9 の直下に位置する N⁻半導体層 2 の部分にチャンネルが形成される。チャンネルが形成されると、ソース電極 2 0 からドレイン電極 1 9 へ電流が流れる状態 (オン状態) になる。

【0079】

一方、ゲート電極 9 に印加する電位を上げると、N⁻半導体層 2 に形成されたチャンネル

50

が消滅してオフ状態となる。このとき、ドレイン電極 19 の電位はほぼ接地電位であるのに対して、ソース電極 20 には、たとえば、約 500 ～ 600 V 程度の電圧が印加された状態になる。

【0080】

このため、図 39 に示すように、逆バイアスが作用する P 型不純物領域 4 および P⁻不純物領域 18 と N⁻半導体層 2 との界面から空乏層 31 が拡がることになる。図 39 に示すように、空乏層 31 は、主として不純物濃度が比較的低い N⁻半導体層 2 へ向かって拡がり、その空乏層端 31a は、空乏層のストップとしての N 型不純物領域 7 が配置されている領域の近傍にまで達する。特に、上述した半導体装置では、N⁻半導体層 2 の表面から誘電体部 3 に達する N 型不純物領域 13 が形成されていることで、空乏層 31 が P 型不純物領域 6 にまで拡がるのを、耐圧を低下させることなく確実に阻止して、半導体装置の耐圧特性を向上させることができる。このことについて、比較例を交えて説明する。

10

【0081】

比較例に係る半導体装置は、N⁻半導体層 2 の表面から誘電体部 3 に達する N 型不純物領域 13 が形成されていない点を除けば、図 38 等に示される半導体装置と同様の構造である。図 40 に示すように、半導体基板 101 の主表面に接触するように、相対的に厚みの薄い部分 103a と相対的に厚みの厚い部分 103b とを含む誘電体部 103 が形成されている。その誘電体部 103 の表面に接触するように、所定の厚さの N⁻半導体層 102 が形成されている。

20

【0082】

N⁻半導体層 102 における所定の領域では、N⁻半導体層 102 の表面から所定の深さにわたり、P 型不純物領域 104 が形成されている。その P 型不純物領域 104 に接触するように、ドレイン電極 119 が形成されている。また、N⁻半導体層 102 の表面から所定の深さにわたり、P 型不純物領域 104 に接し P 型不純物領域 104 の不純物濃度よりも低い不純物濃度を有する P⁻不純物領域 118 が形成されている。

【0083】

一方、P⁻不純物領域 118 から距離を隔てられた N⁻半導体層 102 の所定の領域では、N⁻半導体層 102 の表面から所定の深さにわたり、P 型不純物領域 106 が形成されている。P⁻不純物領域 118 と P 型不純物領域 106 とによって挟まれた N⁻半導体層 102 の部分の表面上にゲート絶縁膜 108 を介在させてゲート電極 109 が形成されている。P 型不純物領域 106 に接触するように、ソース電極 120 が形成されている。

30

【0084】

比較例に係る半導体装置では、ソース電位よりも所定の電位だけ低い電圧をゲート電極 109 に印加することにより、オン状態になる。一方、ゲート電極 109 に印加する電位を上げると、オフ状態となる。このとき、図 40 に示すように、逆バイアスが作用する P 型不純物領域 104 および P⁻不純物領域 118 と N⁻半導体層 102 との界面から空乏層 131 が拡がり、P 型不純物領域 106 の下方に位置する N⁻半導体層 102 の領域では、空乏層端 131a は P 型不純物領域 106 の近傍にまで達することになる。

【0085】

このため、比較例に係る半導体装置の耐圧は、空乏層端 131a が P 型不純物領域 106 に接触するパンチスルー現象等によって決定されるか、あるいは、P 型不純物領域 104、N⁻半導体層 102 および P 型不純物領域 106 によって構成される寄生の PNP トランジスタのリーク電流によって決定されることになる。また、この不具合に対して、通常、P 型不純物領域 6 を取り囲むように N 型不純物領域を形成する対策が講じられる。しかしながら、N 型不純物領域を形成することによって N⁻半導体層 102 の表面では不純物濃度が上昇し、しきい値電圧 V_{th} が上昇することになる。このため、さらなる耐圧特性の向上には限界がある。

40

【0086】

これに対して、上述した半導体装置では、前提となる構造として、図 3 に示される半導体装置と同様に、誘電体部 3 のうち相対的に厚みの厚い部分 3b の直上に位置する N⁻半

50

導体層 2 の領域に、高電圧が印加される P 型不純物領域 6 が形成されている。これにより、誘電体部（部分 3 b）における電圧降下をより大きくして、その領域に位置する N⁻半導体層 2 の部分における電圧降下をより小さくすることができ、ソース電極 20 に接続されている P 型不純物領域 6 へ向かって空乏層が広がるのを抑えても、半導体装置の耐圧が低下するのを抑制することができる。また、しきい値電圧 V_{th} が上昇することもない。

【0087】

上述した半導体装置では、そのような空乏層の伸びを抑える空乏層阻止部として、N 型不純物領域 13 を備えている。N 型不純物領域 13 は、N⁻半導体層 2 の不純物濃度よりも高い不純物濃度を有し、N⁻半導体層 2 の表面から誘電体部 3（部分 3 b）に達するように形成されている。これにより、P 型不純物領域 6 の下方に位置する N⁻半導体層 2 の部分から P 型不純物領域 6 へ向かって空乏層 31 が広がるのを、半導体装置の耐圧を低下させることなく確実に阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

10

【0088】

変形例 1

上述した半導体装置では、空乏層阻止部として、N⁻半導体層 2 の表面から誘電体部 3 に達する N 型不純物領域 13 を例に挙げて説明した。空乏層阻止部としては、図 10 に示されるように、トレンチ内に絶縁膜 14 および導電体部 15 を形成した構造を適用してもよい。この場合には、図 41 に示すように、N⁻半導体層 2 の表面から所定の深さにわたり N 型不純物領域 21 が形成されている。また、その N 型不純物領域と P 型不純物領域 6 とに接触するようにソース電極 20 が形成されている。トレンチ内に絶縁膜 14 を介在させて形成された導電体部 15 とソース電極 20 とが電氣的に接続されている。

20

【0089】

図 42 に示すように、この半導体装置においても、オフ状態では、P 型不純物領域 6 の下方に位置する N⁻半導体層 2 の部分から P 型不純物領域 6 へ向かって空乏層 31 が広がるのを、耐圧を低下させることなく阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0090】

変形例 2

また、空乏層阻止部としては、図 12 に示されるように、トレンチの側壁に N 型不純物領域 13 を形成し、そのトレンチに絶縁膜 14 を充填した構造を適用してもよい。この場合には、図 43 に示すように、トレンチの側壁に形成される N 型不純物領域 13 と P 型不純物領域 6 に接触するようにソース電極 20 が形成される。

30

【0091】

図 44 に示すように、この半導体装置においても、オフ状態では、P 型不純物領域 6 の下方に位置する N⁻半導体層 2 の部分から P 型不純物領域 6 へ向かって空乏層 31 が広がるのを、耐圧を低下させることなく阻止することができる。その結果、耐圧のマージンが上がり、半導体装置の耐圧特性をさらに向上させることができる。

【0092】

実施の形態 8

40

ここでは、図 3 に示される半導体装置に基づく平面構造のバリエーションについて説明する。図 45 に示すように、コレクタ電極が接続される P 型不純物領域 6 と、空乏層阻止部としての N 型不純物領域 13 とが、一方向に沿って交互に配置されている。図 46 および図 47 に示すように、P 型不純物領域 6 は、N⁻半導体層 2 の表面から所定の深さにわたり形成されている。また、図 46 および図 48 に示すように、N 型不純物領域 13 は、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成されている。なお、これ以外の構成については、図 3 等 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を繰り返さないこととする。

【0093】

上述した半導体装置では、ゲート電極 9 に所定のしきい値電圧よりも高い電圧を印加す

50

ることによりN⁻半導体層2へ電子とホールが注入されて、N⁻半導体層2の抵抗値が電導度変調によって下がり、コレクタ側からエミッタ側へ向かって電流が流れる状態（オン状態）となる。

【0094】

一方、ゲート電極9にしきい値電圧よりも低い電圧を印加することによりN⁻半導体層2への電子の注入が止まり、N⁻半導体層2に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極10あるいはコレクタ電極11へ排出されることによって消滅して、最終的に電流が遮断される状態（オフ状態）となる。オフ状態では、逆バイアスが作用するP型不純物領域4とN⁻半導体層2との界面から、主として、N⁻半導体層2へ向かって空乏層が広がる。

10

【0095】

このとき、図49に示すように、N型不純物領域13が配置されている部分では、空乏層が広がるのを、N型不純物領域13によって、耐圧を低下させることなく阻止することができる（空乏層端31a）。これにより、N型不純物領域13によって挟まれるようにP型不純物領域6が配置されている部分では、そのようなN型不純物領域が配置されていない場合と比べて、図50に示すように、P型不純物領域6へ向かって空乏層が広がるのが、耐圧を低下させることなく阻止されることになる（空乏層端31a）。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。

【0096】

変形例1

20

平面構造のバリエーションとして、図3に示す半導体装置に基づく平面構造を例に挙げて説明した。そのバリエーションとしては、図10に示される半導体装置に基づくものであってもよい。この場合には、図51に示すように、コレクタ電極が接続されるP型不純物領域6と、空乏層阻止部としての絶縁膜14および導電体部15とが、一方向に沿って交互に配置されている。図51および図52に示すように、P型不純物領域6は、N⁻半導体層2の表面から所定の深さにわたり形成されている。また、図51および図53に示すように、絶縁膜14および導電体部15は、N⁻半導体層2の表面から誘電体部3に達するように形成されている。

【0097】

この半導体装置においても、図54に示すように、オフ状態において、絶縁膜14および導電体部15が配置されている部分では、空乏層が広がるのを、絶縁膜14および導電体部15によって、耐圧を低下させることなく阻止することができる（空乏層端31a）。これにより、絶縁膜14および導電体部15によって挟まれるようにP型不純物領域6が配置されている部分では、そのような絶縁膜14および導電体部15が配置されていない場合と比べて、図55に示すように、P型不純物領域6へ向かって空乏層が広がるのが、耐圧を低下させることなく阻止されることになる（空乏層端31a）。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。

30

【0098】

変形例2

さらに、平面構造のバリエーションとしては、図12に示される半導体装置に基づくものであってもよい。この場合には、図56に示すように、コレクタ電極が接続されるP型不純物領域6と、空乏層阻止部としてのN型不純物領域13および絶縁膜14とが、一方向に沿って交互に配置されている。図56および図57に示すように、P型不純物領域6は、N⁻半導体層2の表面から所定の深さにわたり形成されている。また、図56および図58に示すように、N型不純物領域13および絶縁膜14は、N⁻半導体層2の表面から誘電体部3に達するように形成されている。

40

【0099】

この半導体装置においても、図59に示すように、オフ状態において、N型不純物領域13および絶縁膜14が配置されている部分では、空乏層が広がるのを、N型不純物領域13および絶縁膜14によって、耐圧を低下させることなく阻止することができる（空乏

50

層端 3 1 a)。これにより、N 型不純物領域 1 3 および絶縁膜 1 4 によって挟まれるように P 型不純物領域 6 が配置されている部分では、そのような N 型不純物領域 1 3 および絶縁膜 1 4 が配置されていない場合と比べて、図 6 0 に示すように、P 型不純物領域 6 へ向かって空乏層が広がるのが、耐圧を低下させることなく阻止されることになる（空乏層端 3 1 a）。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。

【0100】

実施の形態 9

ここでは、図 2 5 に示される半導体装置に基づく平面構造のバリエーションについて説明する。図 6 1 に示すように、コレクタ電極が接続される P 型不純物領域 6 等と、空乏層阻止部としての絶縁膜 1 4 および導電体部 1 5 とが、一方向に沿って交互に配置されている。図 6 1 および図 6 2 に示すように、P 型不純物領域 6 は、N⁻半導体層 2 の表面から所定の深さにわたり形成されている。また、図 6 1 および図 6 3 に示すように、絶縁膜 1 4 および導電体部 1 5 は、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成されている。なお、これ以外の構成については、図 2 4 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を繰り返さないこととする。

【0101】

上述した半導体装置では、ゲート電極 9 に所定のしきい値電圧よりも高い電圧を印加することにより N⁻半導体層 2 へ電子とホールが注入されて、N⁻半導体層 2 の抵抗値が電導度変調によって下がり、コレクタ側からエミッタ側へ向かって電流が流れる状態（オン状態）となる。

【0102】

一方、ゲート電極 9 にしきい値電圧よりも低い電圧を印加することにより N⁻半導体層 2 への電子の注入が止まり、N⁻半導体層 2 に蓄積されていた電子とホールは、再結合することによって消滅したり、エミッタ電極 1 0 あるいはコレクタ電極 1 1 へ排出されることによって消滅して、最終的に電流が遮断される状態（オフ状態）となる。オフ状態では、逆バイアスが作用する P 型不純物領域 4 と N⁻半導体層 2 との界面から、主として、N⁻半導体層 2 へ向かって空乏層が広がる。

【0103】

このとき、図 6 4 に示すように、絶縁膜 1 4 および導電体部 1 5 が配置されている部分では、空乏層が広がるのを、絶縁膜 1 4 および導電体部 1 5 によって、耐圧を低下させることなく阻止することができる（空乏層端 3 1 a）。これにより、絶縁膜 1 4 および導電体部 1 5 によって挟まれるように P 型不純物領域 6 が配置されている部分では、そのような絶縁膜 1 4 および導電体部 1 5 が配置されていない場合と比べて、図 6 5 に示すように、P 型不純物領域 6 へ向かって空乏層が広がるのが、耐圧を低下させることなく阻止されることになる（空乏層端 3 1 a）。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。また、図 6 1 および図 6 2 に示される構造において、N 型不純物領域 1 6 と P 型不純物領域の配置を入れ換えて、N 型不純物領域 1 6 が P 型不純物領域 6 によって挟まれる構造の場合においても、半導体装置の耐圧特性を向上させることができる。

【0104】

なお、上述した半導体装置では、空乏層阻止部として、トレンチ内に絶縁膜 1 4 および導電体部 1 5 を形成した構造を例に挙げて説明した。空乏層阻止部としては、この他に、図 3 に示される N 型不純物領域 1 3 を形成した構造を適用してもよい。この場合にも、空乏層が広がるのを、耐圧を低下させることなく確実に抑えて、半導体装置の耐圧特性を向上させることができる。また、図 1 2 に示されるように、トレンチの側壁に N 型不純物領域 1 3 を形成し、そのトレンチに絶縁膜 1 4 を充填した構造を適用してもよい。この場合にも、空乏層が広がるのを、耐圧を低下させることなく確実に抑えて、半導体装置の耐圧特性を向上させることができる。

【0105】

実施の形態 10

ここでは、図 38 に示される半導体装置に基づく平面構造のバリエーションについて説明する。図 66 に示すように、ソース電極が接続される P 型不純物領域 6 と、空乏層阻止部としての N 型不純物領域 13 とが、一方向に沿って交互に配置されている。図 66 および図 67 に示すように、P 型不純物領域 6 は、N⁻半導体層 2 の表面から所定の深さにわたり形成されている。また、図 66 および図 68 に示すように、N 型不純物領域 13 は、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成されている。なお、これ以外の構成については、図 38 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を繰り返さないこととする。

【0106】

10

上述した半導体装置では、ソース電位よりも所定の電位だけ低い電圧をゲート電極 9 に印加することにより、ゲート電極 9 の直下に位置する N⁻半導体層 2 の部分にチャンネルが形成される。チャンネルが形成されると、ソース電極 20 からドレイン電極 19 へ電流が流れる状態（オン状態）になる。

【0107】

一方、ゲート電極 9 に印加する電位を上げると、N⁻半導体層 2 に形成されたチャンネルが消滅してオフ状態となる。オフ状態では、逆バイアスが作用する P 型不純物領域 4 および P⁻不純物領域 18 と N⁻半導体層 2 との界面から空乏層 31 が広がる。

【0108】

このとき、図 69 に示すように、N 型不純物領域 13 が配置されている部分では、空乏層が広がるのを、N 型不純物領域 13 によって、耐圧を低下させることなく阻止することができる（空乏層端 31a）。これにより、N 型不純物領域 13 によって挟まれるように P 型不純物領域 6 が配置されている部分では、そのような N 型不純物領域 13 が配置されていない場合と比べて、図 70 に示すように、P 型不純物領域 6 へ向かって空乏層が広がるのが、耐圧を低下させることなく阻止されることになる（空乏層端 31a）。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。

20

【0109】

変形例 1

平面構造のバリエーションとして、図 38 に示す半導体装置に基づく平面構造を例に挙げて説明した。そのバリエーションとしては、図 41 に示される半導体装置に基づくものであってもよい。この場合には、図 71 に示すように、ソース電極 20a が接続される P 型不純物領域 6 と、空乏層阻止部としての絶縁膜 14 および導電体部 15 とが、一方向に沿って交互に配置されている。図 71 および図 72 に示すように、P 型不純物領域 6 は、N⁻半導体層 2 の表面から所定の深さにわたり形成されている。また、図 71 および図 73 に示すように、絶縁膜 14 および導電体部 15 は、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成されている。P 型不純物領域 6 と導電体部 15 とは、ソース電極 20a と電極 20b を介して電氣的に接続されている。

30

【0110】

この半導体装置においても、図 74 に示すように、オフ状態において、絶縁膜 14 および導電体部 15 が配置されている部分では、空乏層が広がるのを、絶縁膜 14 および導電体部 15 によって、耐圧を低下させることなく阻止することができる（空乏層端 31a）。これにより、絶縁膜 14 および導電体部 15 によって挟まれるように P 型不純物領域 6 が配置されている部分では、そのような絶縁膜 14 および導電体部 15 が配置されていない場合と比べて、図 75 に示すように、P 型不純物領域 6 へ向かって空乏層が広がるのが、耐圧を低下させることなく阻止されることになる（空乏層端 31a）。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。

40

【0111】

変形例 2

さらに、平面構造のバリエーションとしては、図 43 に示される半導体装置に基づくも

50

のであってもよい。この場合には、図 7 6 に示すように、ソース電極 2 0 が接続される P 型不純物領域 6 と、空乏層阻止部としての N 型不純物領域 1 3 および絶縁膜 1 4 とが、一方向に沿って交互に配置されている。図 7 6 および図 7 7 に示すように、P 型不純物領域 6 は、N⁻半導体層 2 の表面から所定の深さにわたり形成されている。また、図 7 6 および図 7 8 に示すように、N 型不純物領域 1 3 および絶縁膜 1 4 は、N⁻半導体層 2 の表面から誘電体部 3 に達するように形成されている。N 型不純物領域 1 3 と P 型不純物領域 6 とは、ソース電極 2 0 によって電氣的に接続されている。

【0 1 1 2】

この半導体装置においても、図 7 9 に示すように、オフ状態において、N 型不純物領域 1 3 および絶縁膜 1 4 が配置されている部分では、空乏層が拡がるのを、N 型不純物領域 1 3 および絶縁膜 1 4 によって、耐圧を低下させることなく阻止することができる（空乏層端 3 1 a）。これにより、N 型不純物領域 1 3 および絶縁膜 1 4 によって挟まれるように P 型不純物領域 6 が配置されている部分では、そのような N 型不純物領域 1 3 および絶縁膜 1 4 が配置されていない場合と比べて、図 8 0 に示すように、P 型不純物領域 6 へ向かって空乏層が拡がるのが、耐圧を低下させることなく阻止されることになる（空乏層端 3 1 a）。その結果、耐圧のマージンがさらに上がり、半導体装置の耐圧特性を確実に向上させることができる。

【0 1 1 3】

上述した各半導体装置では、インバータ回路に適用される半導体装置を例に挙げて説明したが、上述した半導体装置は、インバータ回路に限られず、高い耐圧が要求される電力用半導体素子として適用することができる。

【0 1 1 4】

今回開示された実施の形態は例示であってこれに制限されるものではない。本発明は上記で説明した範囲ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0 1 1 5】

本発明は、インバータ回路等に適用される半導体装置として有効に利用される。

【符号の説明】

【0 1 1 6】

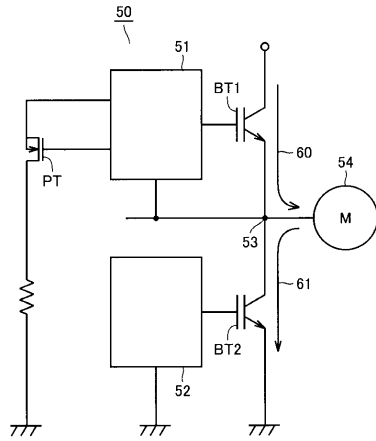
1 半導体基板、2 N⁻半導体層、3 誘電体部、4 P 型不純物領域、5 N 型不純物領域、6 P 型不純物領域、7 N 型不純物領域、7 b N 型不純物領域、8 ゲート絶縁膜、9 ゲート電極、1 0 エミッタ電極、1 1 コレクタ電極、1 2 誘電体膜、1 3 N 型不純物領域、1 4 絶縁膜、1 5 導電体部、1 6 N 型不純物領域、1 7 P⁻不純物領域、1 8 P⁻不純物領域、1 9 ドレイン電極、2 0 ソース電極、2 1 N 型不純物領域、2 2 N 型不純物領域、3 1 空乏層、3 1 a 空乏層端、3 1 b 空乏層端、5 0 駆動制御回路、5 1 第 1 駆動回路部、5 2 第 2 駆動回路部、5 3 接続点、5 4 誘導電動機、6 0, 6 1 矢印、B T 1 第 1 I G B T、B T 2 第 2 I G B T、P T M O S トランジスタ。

10

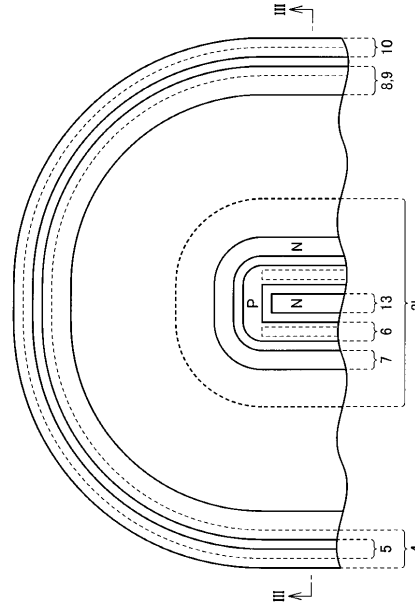
20

30

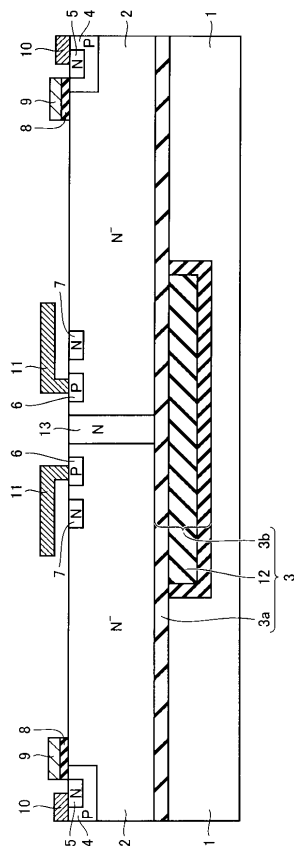
【図 1】



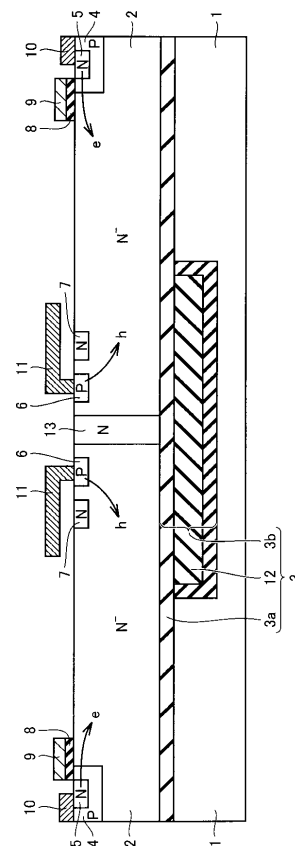
【図 2】



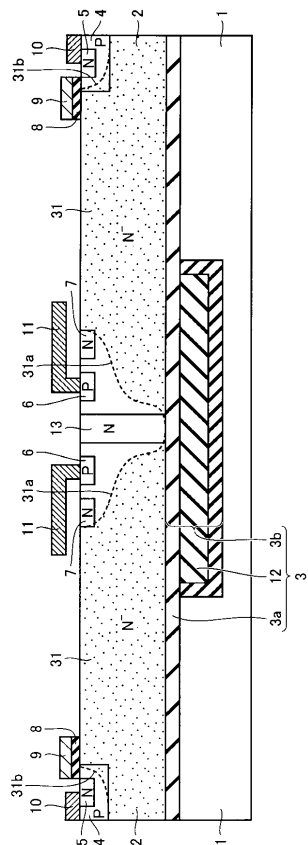
【図 3】



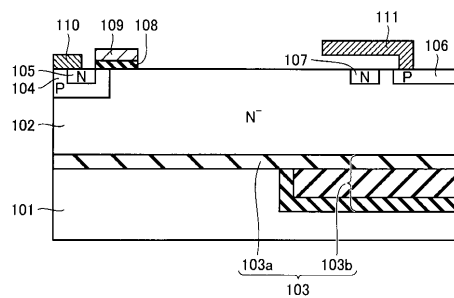
【図 4】



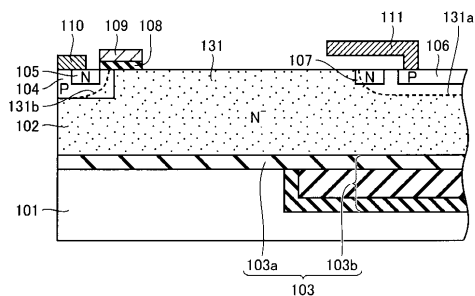
【図 5】



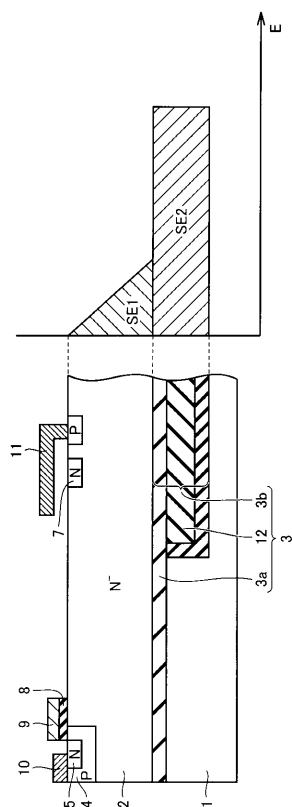
【图 6】



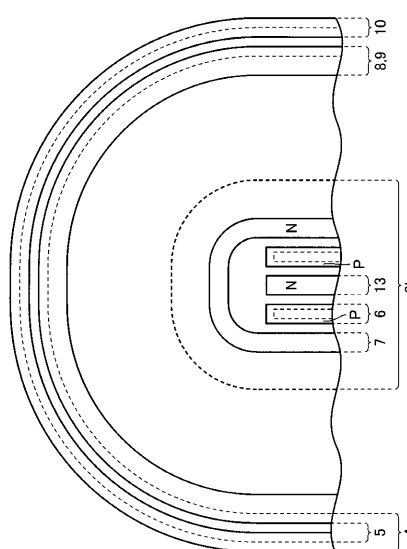
【图 7】



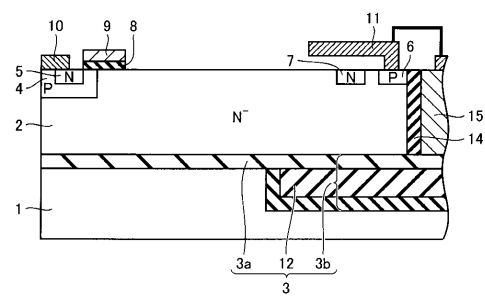
【図 8】



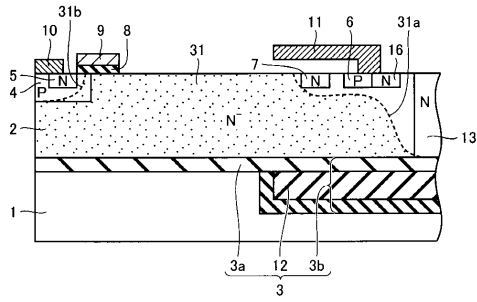
【图 9】



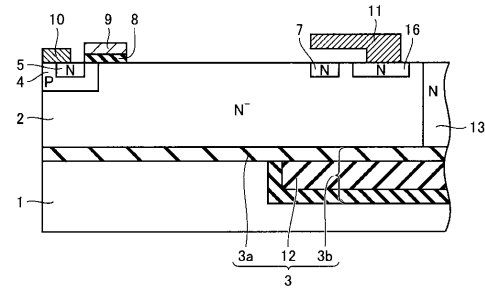
【図 10】



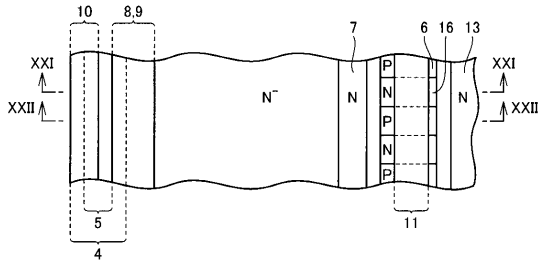
【図 19】



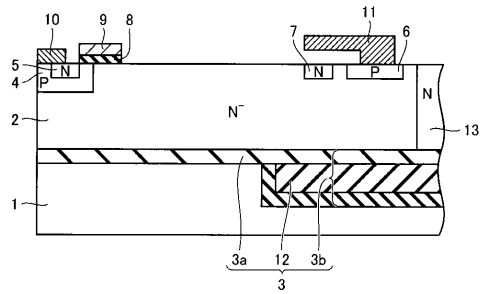
【図 21】



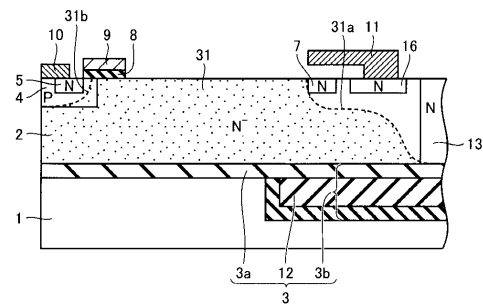
【図 20】



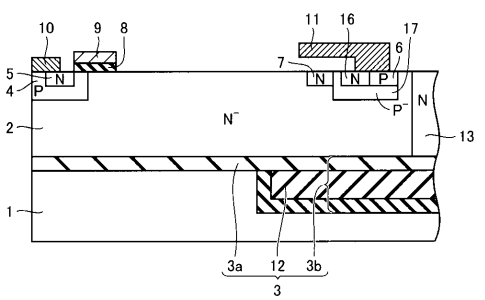
【図 22】



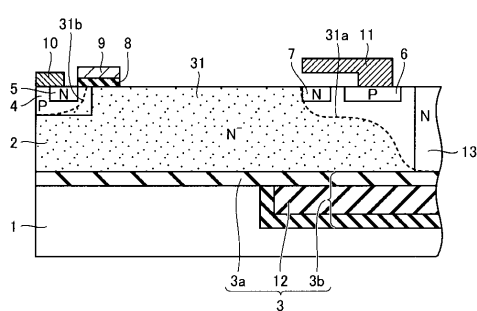
【図 23】



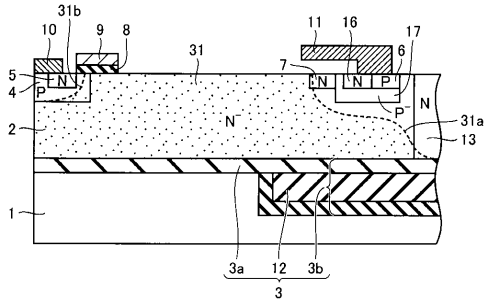
【図 25】



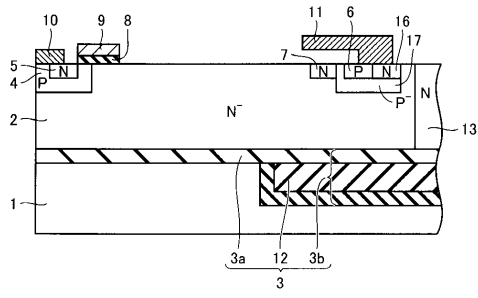
【図 24】



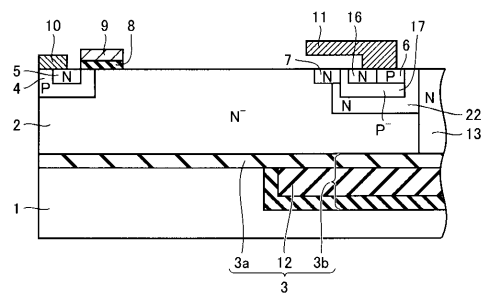
【図 26】



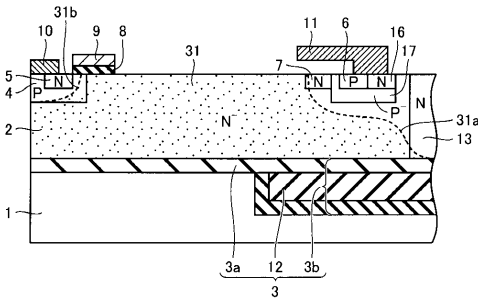
【図 27】



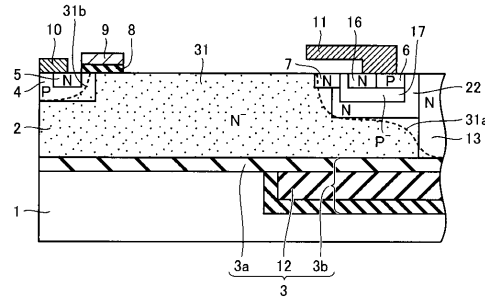
【図 29】



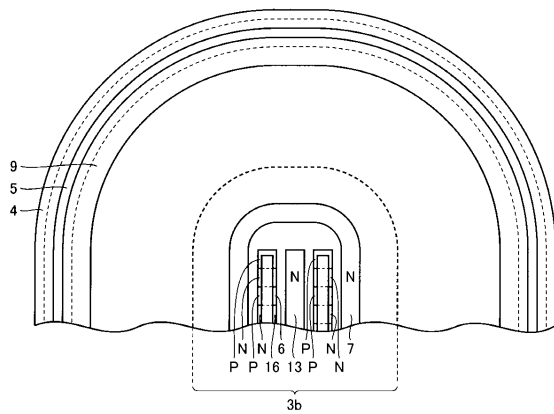
【図 28】



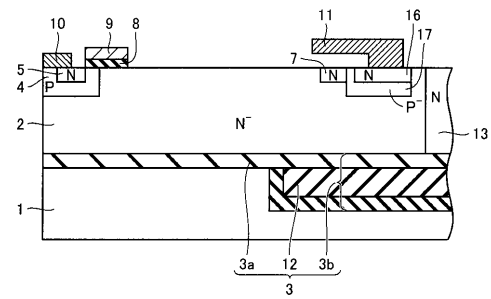
【図 30】



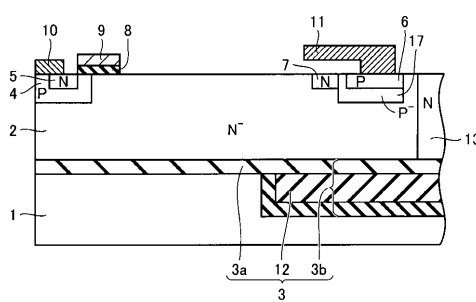
【図 31】



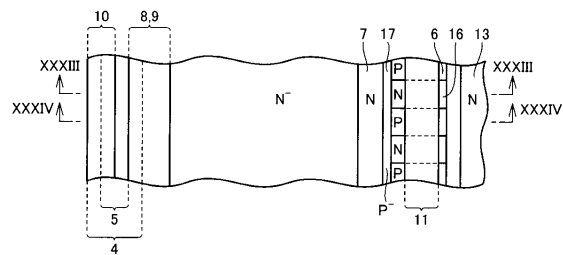
【図 33】



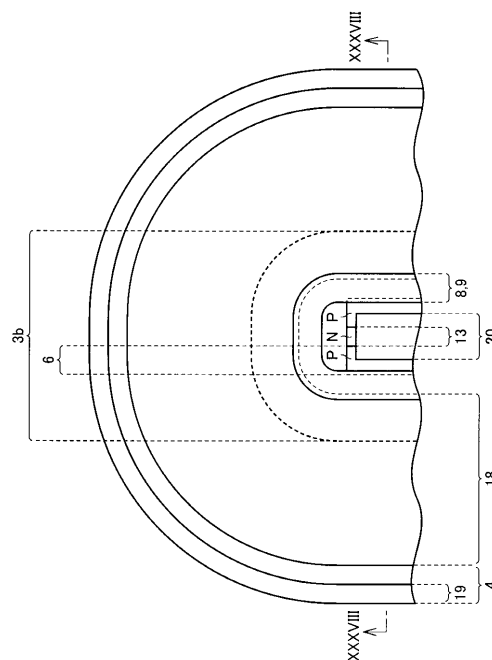
【図 34】



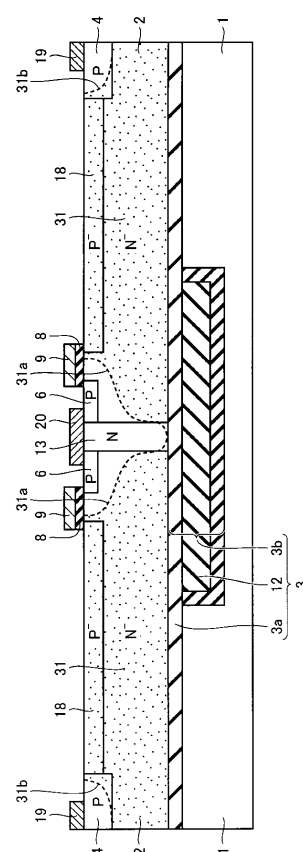
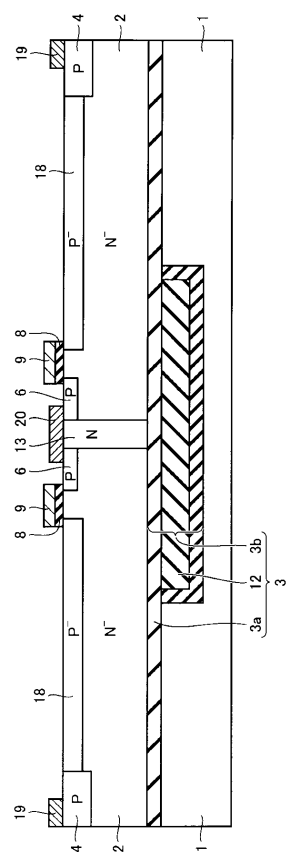
【図 32】



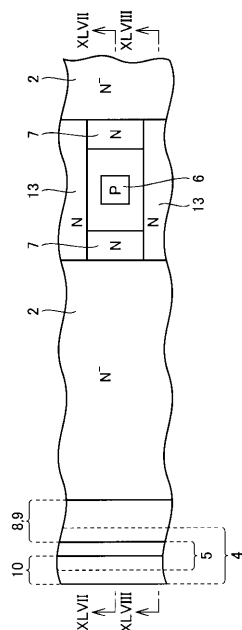
【図 3 7】



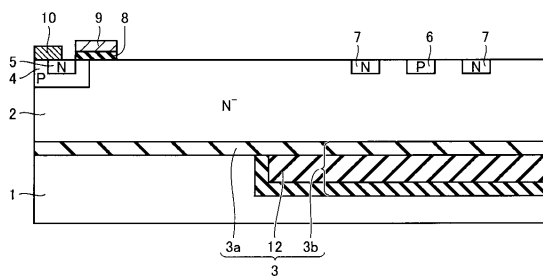
【図 39】



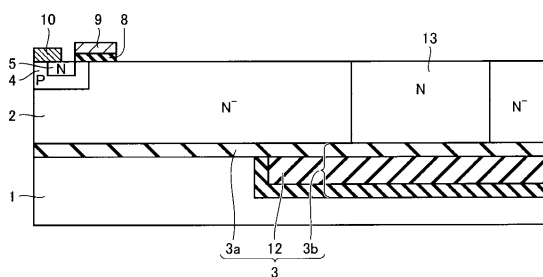
【图 4 6】



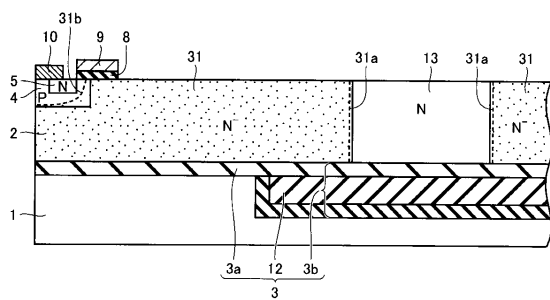
【图 4 7】



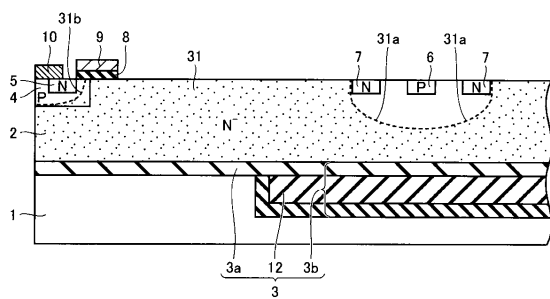
【図 48】



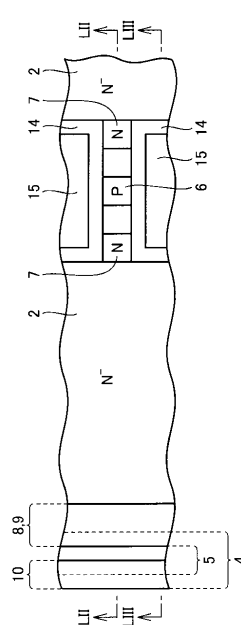
【図 49】



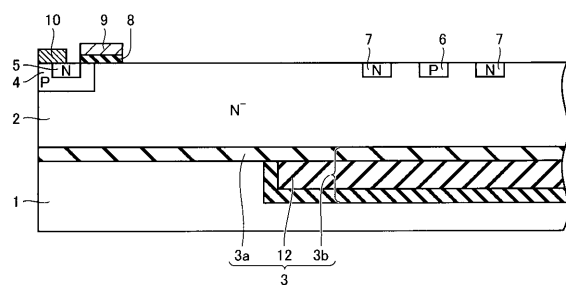
【図 50】



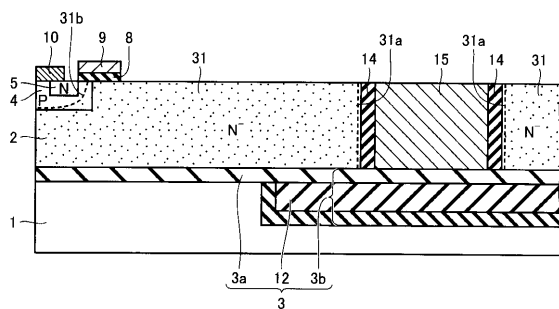
【図 5 1】



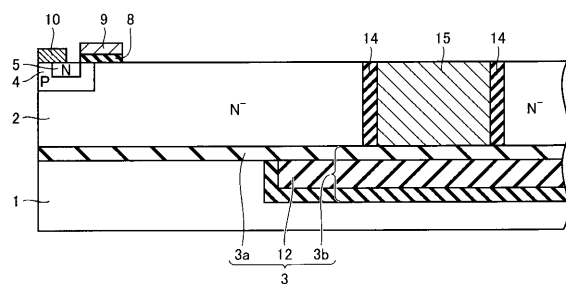
【図 5 2】



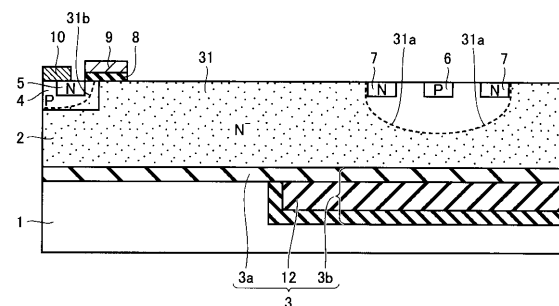
【図 5 4】



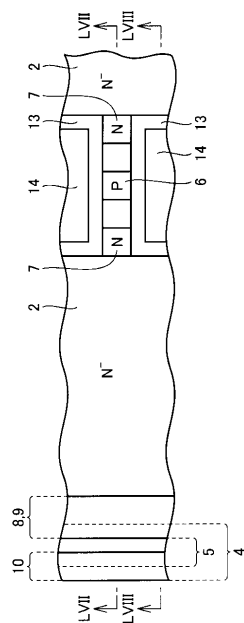
【図 5 3】



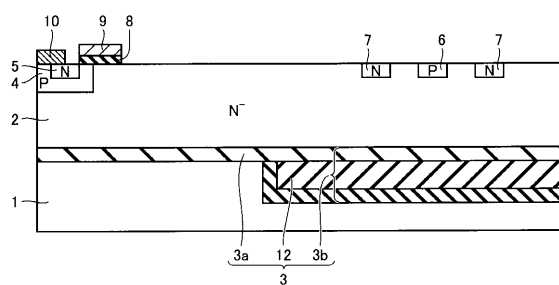
【図 5 5】



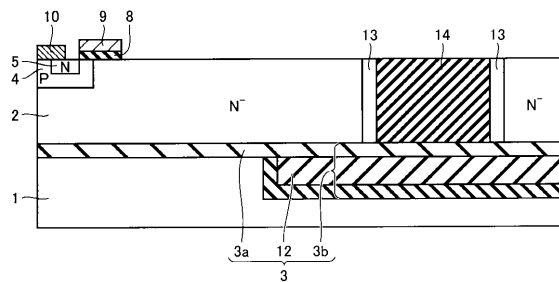
【図 5 6】



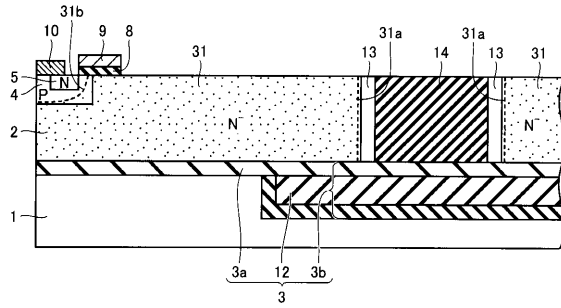
【図 5 7】



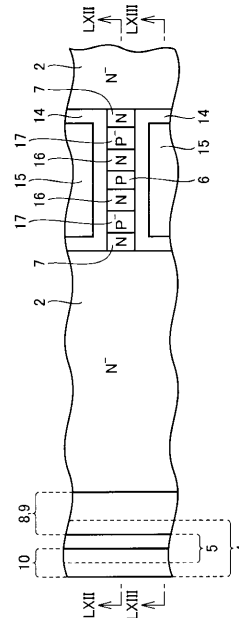
【図 5 8】



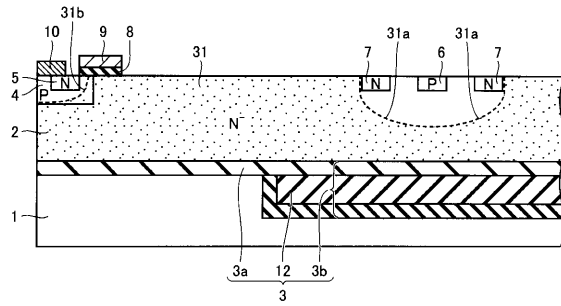
【図 59】



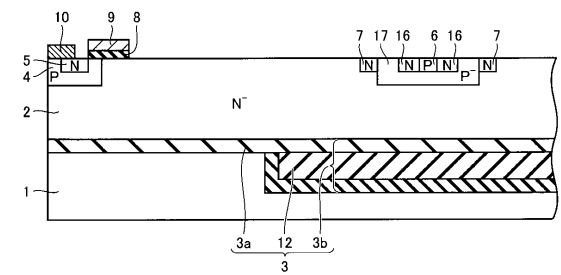
【図 61】



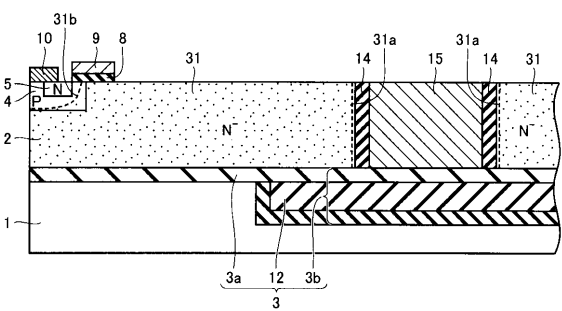
【図 60】



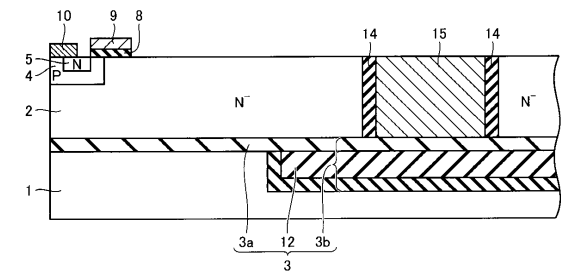
【図 62】



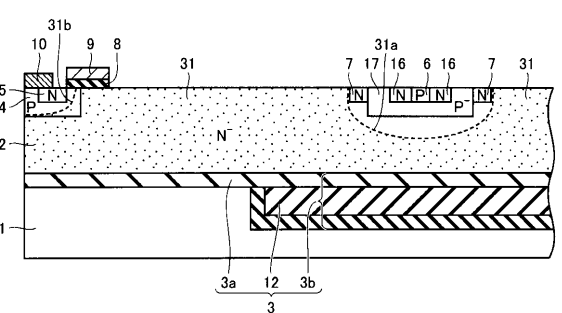
【図 64】



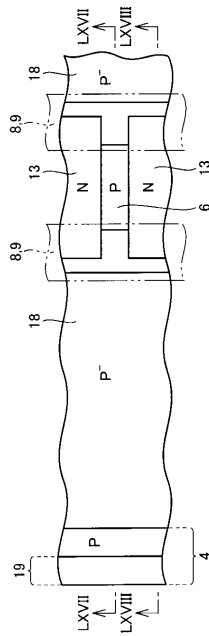
【図 63】



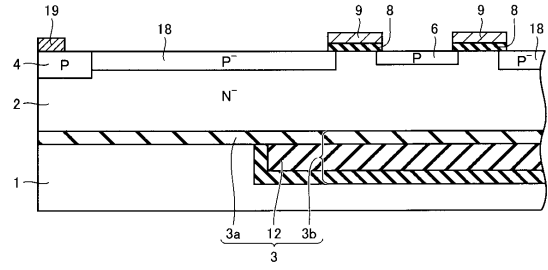
【図 65】



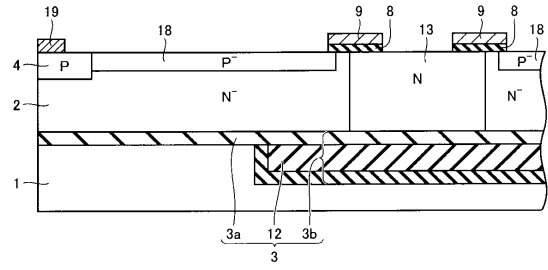
【図 66】



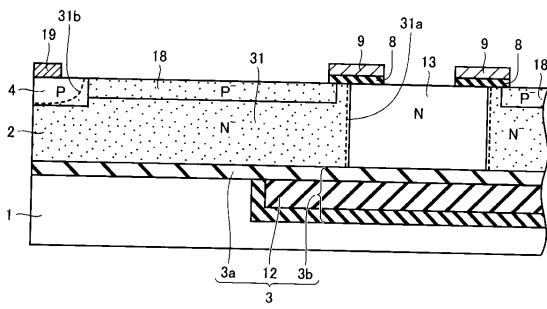
【図 67】



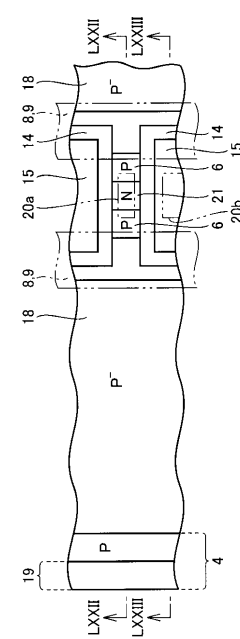
【図 68】



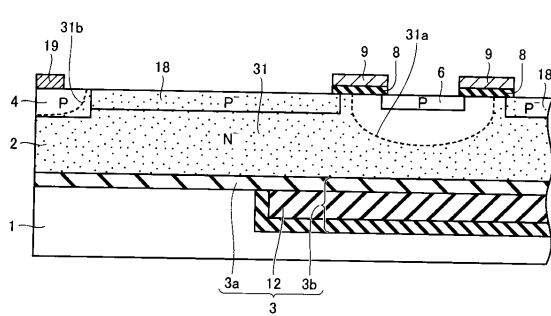
【図 69】



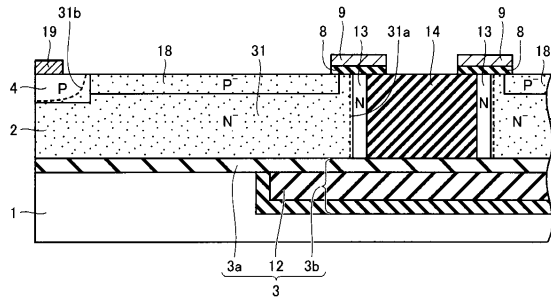
【図 71】



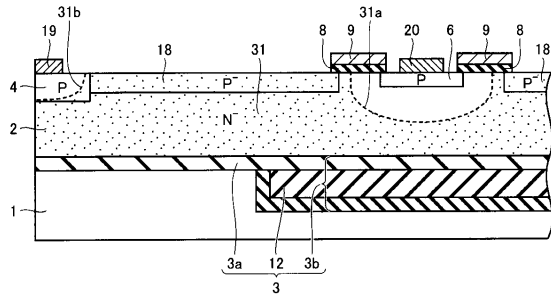
【図 70】



【図 79】



【図 80】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78

H01L 29/786