

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/035882

発行日 平成26年2月3日 (2014.2.3)

(43) 国際公開日 平成24年3月22日 (2012.3.22)

(51) Int.Cl. F 1 テーマコード (参考)
H03K 5/08 (2006.01) H03K 5/08 E 5J039

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

<p>出願番号 特願2012-533909 (P2012-533909)</p> <p>(21) 国際出願番号 PCT/JP2011/066749</p> <p>(22) 国際出願日 平成23年7月22日 (2011.7.22)</p> <p>(31) 優先権主張番号 特願2010-207226 (P2010-207226)</p> <p>(32) 優先日 平成22年9月15日 (2010.9.15)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 000006220 ミツミ電機株式会社 東京都多摩市鶴牧2丁目11番地2</p> <p>(74) 代理人 100107766 弁理士 伊東 忠重</p> <p>(74) 代理人 100070150 弁理士 伊東 忠彦</p> <p>(72) 発明者 井上 文裕 東京都多摩市鶴牧2丁目11番地2 ミツミ電機株式会社内</p> <p>Fターム(参考) 5J039 DA09 DB11 KK18 MM01</p>
--	---

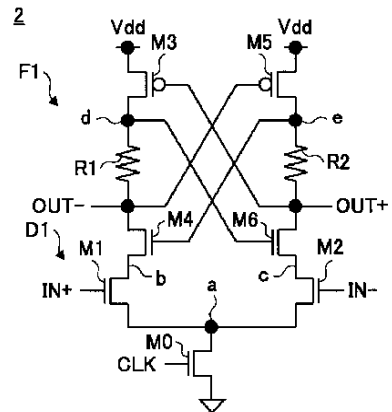
最終頁に続く

(54) 【発明の名称】 コンパレータ及びそれを備えるAD変換器

(57) 【要約】

クロック信号CLKに同期してオン/オフするトランジスタM0と、トランジスタM0のオン/オフに同期して比較動作を行う差動対(M1, M2)と、差動対(M1, M2)による比較結果を出力する正帰還部F1とを有する、コンパレータであって、正帰還部F1が、PMOSトランジスタM3とNMOSトランジスタM4との間に挿入された抵抗R1と、PMOSトランジスタM5とNMOSトランジスタM6との間に挿入された抵抗R2とを備え、抵抗R1の低電位側にPMOSトランジスタM5のゲートが接続され、抵抗R1の高電位側にNMOSトランジスタM6のゲートが接続され、抵抗R2の低電位側にPMOSトランジスタM3のゲートが接続され、抵抗R2の高電位側にNMOSトランジスタM4のゲートが接続されている、コンパレータ。

【図4】



【特許請求の範囲】

【請求項 1】

クロック信号に同期してオン/オフするスイッチと、
前記スイッチのオン/オフに同期して比較動作を行う差動対と、
前記差動対による比較結果を出力する正帰還部とを有する、コンパレータであって、
前記正帰還部が、

第 1 の P M O S トランジスタと第 1 の N M O S トランジスタとの間に挿入された第 1 の抵抗と、第 2 の P M O S トランジスタと第 2 の N M O S トランジスタとの間に挿入された第 2 の抵抗とを備え、

前記第 1 の抵抗の低電位側に前記第 2 の P M O S トランジスタのゲートが接続され、前記第 1 の抵抗の高電位側に前記第 2 の N M O S トランジスタのゲートが接続され、前記第 2 の抵抗の低電位側に前記第 1 の P M O S トランジスタのゲートが接続され、前記第 2 の抵抗の高電位側に前記第 1 の N M O S トランジスタのゲートが接続されている、ことを特徴とする、コンパレータ。

10

【請求項 2】

前記第 1 の抵抗及び前記第 2 の抵抗の抵抗値が、前記正帰還部の電源電圧が低くなるにつれて高くなる、請求項 1 に記載のコンパレータ。

【請求項 3】

前記第 1 の抵抗及び前記第 2 の抵抗が、ゲートを低電位に接続した P M O S トランジスタ、ゲートを高電位に接続した N M O S トランジスタ又はそれらのトランジスタの並列構成である、請求項 2 に記載のコンパレータ。

20

【請求項 4】

前記スイッチは、前記第 1 の抵抗及び前記第 2 の抵抗であり、

前記第 1 の抵抗及び前記第 2 の抵抗は、第 1 のクロック信号がゲートに入力される N M O S トランジスタと、前記第 1 のクロック信号に対してレベルが反転した第 2 のクロック信号がゲートに入力される P M O S トランジスタとの並列構成を有し、

前記差動対の基準電極が定電位に固定された、請求項 2 に記載のコンパレータ。

【請求項 5】

前記第 1 の P M O S トランジスタ及び前記第 2 の P M O S トランジスタを、前記第 2 のクロック信号に応じて、オン/オフさせる回路を有する、請求項 4 に記載のコンパレータ。

30

【請求項 6】

前記第 1 の P M O S トランジスタ及び前記第 1 の N M O S トランジスタが、第 1 の C M O S インバータの構成素子であり、

前記第 2 の P M O S トランジスタ及び前記第 2 の N M O S トランジスタが、第 2 の C M O S インバータの構成素子である、請求項 1 に記載のコンパレータ。

【請求項 7】

請求項 1 に記載のコンパレータを備える、A D 変換器。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、クロック信号に同期してオン/オフするスイッチと、前記スイッチのオン/オフに同期して比較動作を行う差動対と、前記差動対による比較結果を出力する正帰還部とを有するコンパレータ、及びそれを備える A D 変換器に関する。

【背景技術】

【0002】

図 1 は、従来ダイナミックコンパレータ 1 の構成図である。ダイナミックコンパレータ 1 は、正帰還をかけた 2 つの C M O S インバータ I V 1 , I V 2 と、入力電圧 I N + と I N - の大小判別を行う差動対 D 1 と、クロック信号 C L K に従ってダイナミックコンパレータ 1 のオン/オフを切り替えるスイッチ M 0 とを有している。第 1 の C M O S インバ

50

ータIV1は、PMOSトランジスタM3とNMOSトランジスタM4から構成され、第2のCMOSインバータIV2は、PMOSトランジスタM5とNMOSトランジスタM6から構成される。差動対D1は、NMOSトランジスタM1とNMOSトランジスタM2から構成される。ダイナミックコンパレータ1がスイッチM0によってオンすると、差動対D1に供給されている入力電圧IN+とIN-の差分に応じた電流差が生ずることにより、負荷として接続された第1のCMOSインバータIV1と第2のCMOSインバータIV2との間に能力差が発生することで、入力電圧IN+とIN-の大小判別が可能となる。

【0003】

なお、ダイナミックコンパレータに関する先行技術文献として、例えば特許文献1が知られている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】日本国公開特許公報第2007-318457号

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところが、電源電圧をVdd、PMOSトランジスタM3、M5の閾値電圧をVth_p、NMOSトランジスタM4、M6の閾値電圧をVth_nとすると、 $Vdd < Vth_p + Vth_n$ のときのような低電圧の電源電圧Vddで動作する場合、CMOSインバータIV1、IV2に十分な電流を流す能力が発生しないため、正帰還をかけても出力が切り替わらず、正常に大小判別を行うことができない。

20

【0006】

例えば、図2は、CMOSインバータの入出力が釣り合った状態を示している。Veff_pは、PMOSトランジスタM3のオーバードライブ電圧を表し、Veff_nは、NMOSトランジスタM4のオーバードライブ電圧を表している。電源電圧Vddが高いときには、PMOSトランジスタM3のゲート-ソース間に駆動電圧($Vth_p + Veff_p$)を印加することによりPMOSトランジスタM3はオンし、NMOSトランジスタM4のゲート-ソース間に駆動電圧($Vth_n + Veff_n$)を印加することによりNMOSトランジスタM4はオンする。しかしながら、電源電圧Vddが低くなりすぎると、トランジスタM3とM4をオン可能な駆動電圧が不足することにより、トランジスタM3とM4にドレイン電流Idを流すことができなくなるため、正帰還を正しく機能させることができない。

30

【0007】

すなわち、電源電圧Vddの状態がオーバードライブ電圧Veffを十分確保できない低電圧状態のときには、図3に示されるように、クロック信号CLKがハイレベルになっても、正帰還をかけた2つのCMOSインバータの出力電圧OUT+とOUT-が容易に静定しないため、所望の時間内に入力電圧IN+とIN-の大小判別を行うことができない(入力電圧IN+とIN-の大小の判定時間が延びてしまう)。

【0008】

そこで、本発明は、 $Vdd < Vth_p + Vth_n$ のときのような低電源電圧状態においても、正常に動作することが可能なコンパレータ及びそれを備えるAD変換器の提供を目的とする。

40

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明に係るコンパレータは、
 クロック信号に同期してオン/オフするスイッチと、
 前記スイッチのオン/オフに同期して比較動作を行う差動対と、
 前記差動対による比較結果を出力する正帰還部とを有する、コンパレータであって、
 前記正帰還部が、
 第1のPMOSトランジスタと第1のNMOSトランジスタとの間に挿入された第1の

50

抵抗と、第 2 の P M O S トランジスタと第 2 の N M O S トランジスタとの間に挿入された第 2 の抵抗とを備え、

前記第 1 の抵抗の低電位側に前記第 2 の P M O S トランジスタのゲートが接続され、前記第 1 の抵抗の高電位側に前記第 2 の N M O S トランジスタのゲートが接続され、前記第 2 の抵抗の低電位側に前記第 1 の P M O S トランジスタのゲートが接続され、前記第 2 の抵抗の高電位側に前記第 1 の N M O S トランジスタのゲートが接続されている、ことを特徴とするものである。

【 0 0 1 0 】

また、上記目的を達成するため、本発明に係る A D 変換器は、本発明に係るコンパレータを備えるものである。

【発明の効果】

【 0 0 1 1 】

本発明によれば、 $V_{dd} < V_{th_p} + V_{th_n}$ のときのような低電源電圧状態においても、正常に動作することができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】従来のダイナミックコンパレータ 1 の構成図である。

【図 2】C M O S インバータの入出力が釣り合った状態を示している。

【図 3】従来技術の場合の判定時間を示した図である。

【図 4】本発明の第 1 の実施形態であるダイナミックコンパレータ 2 の構成図である。

【図 5】本発明を適用した場合の判定時間を示した図である。

【図 6】本発明の第 2 の実施形態であるダイナミックコンパレータ 3 の構成図である。

【図 7】本発明の第 3 の実施形態であるダイナミックコンパレータ 4 の構成図である。

【図 8】本発明の実施形態である型 A D 変換器の構成図である。

【図 9】本発明の第 4 の実施形態であるダイナミックコンパレータ 5 の構成図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、図面を参照して、本発明を実施するための形態の説明を行う。なお、各図面において、ゲートに丸印を付したトランジスタは P チャネル型 M O S トランジスタを表し、ゲートに丸印を付していないトランジスタは N チャネル型 M O S トランジスタを表す。

【 0 0 1 4 】

図 4 は、本発明の第 1 の実施形態であるダイナミックコンパレータ 2 の構成図である。ダイナミックコンパレータ 2 は、クロック信号 C L K に同期してオン/オフするスイッチとして機能するトランジスタ M 0 と、トランジスタ M 0 のオン/オフに同期して比較動作を行う差動対 D 1 と、差動対 D 1 による比較結果を出力する正帰還部 F 1 とを有し、C M O S プロセスを含む半導体集積回路に集積されている。

【 0 0 1 5 】

トランジスタ M 0 は、ゲートに供給されるクロック信号 C L K がハイレベルのときオンし、ゲートに供給されるクロック信号 C L K がローレベルのときオフする。トランジスタ M 0 がオン状態で、差動対 D 1 は比較動作を行うことが可能となり、トランジスタ M 0 がオフ状態で、差動対 D 1 は比較動作を行うことが不可能となる。トランジスタ M 0 は、ソースがグランドに接続され、ドレインが差動対 D 1 のソースに接続されている。

【 0 0 1 6 】

差動対 D 1 は、ソースがノード a で共通接続された一対のトランジスタ M 1 と M 2 によって構成されている。トランジスタ M 1 のゲートに入力電圧 I N + が供給され、トランジスタ M 2 のゲートに入力電圧 I N - が供給される。差動対 D 1 は、入力電圧 I N + と I N - の大小関係を比較する。

【 0 0 1 7 】

正帰還部 F 1 は、第 1 の C M O S インバータを構成するトランジスタ M 3 , M 4 と、トランジスタ M 3 と M 4 との間に挿入された第 1 の抵抗 R 1 と、第 2 の C M O S インバータ

10

20

30

40

50

を構成するトランジスタM5、M6と、トランジスタM5とM6との間に挿入された第2の抵抗R2とを備えている。正帰還部F1は、電源電圧Vddと差動対D1のドレインとの間に配置されている。トランジスタM3とM5のソースは、電源電圧Vddに接続され、トランジスタM4のソースは、トランジスタM1のドレインにノードbで接続され、トランジスタM6のソースは、トランジスタM2のドレインにノードcで接続されている。

【0018】

また、抵抗R1の低電位側に接続されたトランジスタM4のドレインに、トランジスタM5のゲートが接続されている。抵抗R1の高電位側のノードdに接続されたトランジスタM3のドレインに、トランジスタM6のゲートが接続されている。抵抗R2の低電位側に接続されたトランジスタM6のドレインに、トランジスタM2のゲートが接続されている。抵抗R2の高電位側のノードeに接続されたトランジスタM5のドレインに、トランジスタM4のゲートが接続されている。

【0019】

出力電圧OUT-は、抵抗R1とトランジスタM4のドレインとの接続点から取り出され、出力電圧OUT+は、抵抗R2とトランジスタM6のドレインとの接続点から取り出される。

【0020】

正帰還部F1がこのような構成を有することにより、電源電圧Vddが低電圧状態であっても、CMOSインバータの各ゲートに十分な電圧が印加できるため、図5に示されるように、図3に比べて、低電圧動作における出力の静定時間を短縮することができ、所望の時間内に入力電圧IN+とIN-の大小判別を行うことができる。

【0021】

すなわち、抵抗R1に流れる電流によって発生する抵抗R1の両端電圧により、トランジスタM6のゲート電位を持ち上げるとともに、トランジスタM5のゲート電位を引き下げることができる。同様に、抵抗R2に流れる電流によって発生する抵抗R2の両端電圧により、トランジスタM4のゲート電位を持ち上げるとともに、トランジスタM3のゲート電位を引き下げることができる。その結果、トランジスタM3、M4、M5、M6それぞれのゲート-ソース間に印加されるゲート駆動電圧を上げることができるので、電源電圧Vddが低電圧状態であっても、正帰還を正しく機能させることができる。

【0022】

図6は、本発明の第2の実施形態であるダイナミックコンパレータ3の構成図である。図4と同様の構成については、その説明を省略する。CMOSインバータのPMOSトランジスタとNMOSトランジスタとの間に挿入される抵抗は、図4に示したような通常の抵抗体でもよいが、図6のダイナミックコンパレータ3の正帰還部F2は、ゲートを低電位（例えば、グランド）に接続したPMOSトランジスタとゲートを高電位（例えば、電源電圧Vdd）に接続したNMOSトランジスタとを並列に組み合わせた構成を抵抗として使用する構成である。以下、このように並列に組み合わせた構成を「並列トランジスタ」という。並列トランジスタPT1は、トランジスタM7とM8から構成され、並列トランジスタPT2は、トランジスタM9とM10から構成される。

【0023】

この場合、並列トランジスタPT1及びPT2は、低電源電圧状態では抵抗値が高くなり、高電源電圧状態では抵抗値が低くなるような可変抵抗として機能する。なぜならば、電源電圧Vddがある程度下がると、並列トランジスタPT1及びPT2のゲート-ソース間電圧を十分に確保できなくなり、並列トランジスタPT1及びPT2のオン抵抗が増加して、並列トランジスタPT1及びPT2に電流が流れにくくなるからである。並列トランジスタPT1及びPT2が可変抵抗として機能することで、CMOSインバータにほとんど電流が流れないような低電源電圧状態においても、抵抗の両端（すなわち、並列トランジスタPT1及びPT2のドレイン-ソース間）に十分な電位差を発生させることができるので、図4の場合よりも電源電圧Vddが低電圧の状態でも、ダイナミックコンパレータ3の正常動作が可能となる。

10

20

30

40

50

【 0 0 2 4 】

なお、図 6 に図示した構成に対して、並列トランジスタ P T 1 を、ゲートが高電位に接続されたトランジスタ M 7 に置き換え、且つ、並列トランジスタ P T 2 を、ゲートが高電位に接続されたトランジスタ M 9 に置き換えた構成でもよい（トランジスタ M 8 , M 1 0 を削除）。また、図 6 に図示した構成に対して、並列トランジスタ P T 1 を、ゲートが低電位に接続されたトランジスタ M 8 に置き換え、且つ、並列トランジスタ P T 2 を、ゲートが低電位に接続されたトランジスタ M 1 0 に置き換えた構成でもよい（トランジスタ M 7 , M 9 を削除）。しかしながら、並列トランジスタ P T 1 及び P T 2 のオン抵抗は、一方のトランジスタのみの構成に比べて、電源電圧 V d d の変化に対する変動が小さいため、図 6 に図示した構成は、電源電圧 V d d が低電圧の状態ダイナミックコンパレータの動作が安定するという点で有利である。

10

【 0 0 2 5 】

図 7 は、本発明の第 3 の実施形態であるダイナミックコンパレータ 4 の構成図である。上述の実施形態と同様の構成については、その説明を省略する。ダイナミックコンパレータ 4 は、トランジスタ M 1 に C R フィルタ F L 1 が接続され、トランジスタ M 2 のゲートに C R フィルタ F L 2 が接続された構成を有している。このような C R フィルタを構成することによって、入力されたクロック信号 C L K に同期してダイナミックコンパレータ 4 が大小判別を行うときに（具体的には、ノード a の電圧レベルが反転するときに）、差動対 D 1 のゲート容量を介して入力電圧 I N + , I N - に重畳するノイズを抑えることができる。

20

【 0 0 2 6 】

C R フィルタ F L 1 は、トランジスタ M 1 のゲートに直列接続された抵抗 R 3 と、トランジスタ M 1 のゲート - グランド間に配置されたキャパシタ C 1 とから構成される。C R フィルタ F L 2 は、トランジスタ M 2 のゲートに直列接続された抵抗 R 4 と、トランジスタ M 2 のゲート - グランド間に配置されたキャパシタ C 2 とから構成される。

【 0 0 2 7 】

例えば、図 8 に示した 型 A D 変換器 1 0 のように、積分器の出力電圧がダイナミックコンパレータの差動対に入力される構成の場合、積分器と差動対との間にノイズフィルタ（具体的には、C R フィルタ F L 1 及び F L 2 ）を設けることによって、積分器の出力に伝わるノイズを抑えることができるので、A D 変換精度が低下することを抑えることができる。また、積分器の出力にノイズが伝わっても、積分器に用いているオペアンプ A 2 の動作が正常動作に回復するまでの時間を短縮することができる。

30

【 0 0 2 8 】

また、2 次以上の 型 A D 変換器において、積分器間の接続部など、サンプリング時に出力が変動する箇所に、ノイズフィルタを挿入することによって、A D 変換精度の低下を抑えることができる。図 8 の場合、1 段目の積分器のオペアンプ A 1 と 2 段目の積分器のサンプルホールド回路 S H 2 との間に、C R フィルタ F L 3 及び F L 4 が挿入されている。

【 0 0 2 9 】

C R フィルタ F L 3 は、オペアンプ A 1 の第 1 の出力部とサンプルホールド回路 S H 2 の第 1 の入力部との間に直列に配置された抵抗 R 5 と、サンプルホールド回路 S H 2 の第 1 の入力部とグランドとの間に配置されたキャパシタ C 1 5 とから構成される。C R フィルタ F L 4 は、オペアンプ A 1 の第 2 の出力部とサンプルホールド回路 S H 2 の第 2 の入力部との間に直列に配置された抵抗 R 6 と、サンプルホールド回路 S H 2 の第 2 の入力部とグランドとの間に配置されたキャパシタ C 1 6 とから構成される。

40

【 0 0 3 0 】

型 A D 変換器 1 0 は、アナログの差動入力電圧 I n p u t + , I n p u t - を、ハイレベル又はローレベルのデジタルの差動出力信号 Q , Q X に変換する。信号 Q は、ダイナミックコンパレータの出力電圧 O U T + に相当し、信号 Q X は、ダイナミックコンパレータの出力電圧 O U T - に相当する。

50

【0031】

サンプルホールド回路SH1は、差動入力電圧Input+、Input-を差動出力信号Q、QXに従ってサンプルホールドし、そのサンプルホールドした電圧を1段目の積分器に供給する。1段目の積分器は、差動入力差動出力型のオペアンプA1と、オペアンプA1の差動入出力部間に接続されたキャパシタC11、C12とを備える。1段目の積分器の出力は、CRフィルタFL3、FL4を介して、サンプルホールド回路SH2に入力される。サンプルホールド回路SH2は、CRフィルタFL3、FL4を介して入力された1段目の積分器の出力を差動出力信号Q、QXに従ってサンプルホールドし、そのサンプルホールドした電圧を2段目の積分器に供給する。2段目の積分器は、差動入力差動出力型のオペアンプA2と、オペアンプA2の差動入出力部間に接続されたキャパシタC13、C14とを備える。2段目の積分器の出力は、CRフィルタFL1、FL2を介して、ダイナミックコンパレータに入力される。

10

【0032】

図9は、本発明の第4の実施形態であるダイナミックコンパレータ5の構成図である。上述の実施形態と同様の構成については、その説明を省略する。

【0033】

ダイナミックコンパレータ5は、図6の構成に対して、トランジスタM0が削除され、差動入力を受ける差動対D1の基準電極(図9の場合、トランジスタM1、M2のソース電極)が一定の低電位(例えば、グランド)に固定されている。そして、ダイナミックコンパレータ5の低電圧動作を可能にするための並列トランジスタPT1及びPT2は、互いにレベルが反転したクロック信号CLKとCLK_Nが入力されることで、図6の場合と同様の可変抵抗の機能に加えて、差動対D1の比較動作の実行可否を切り替える機能も備えている。

20

【0034】

図6の構成の場合、上述したように、ノードaがスイッチM0によってグランドに接続される時、差動対D1のゲート-ソース間容量を通して過渡的に電流が流れて、入力電圧IN+、IN-にノイズが重畳するおそれがある。しかしながら、図9の構成のように、差動対D1のソース電極が定電位に固定されることで、差動対D1のゲート-ソース間電圧の変動が抑えられるため、入力電圧IN+、IN-に重畳するノイズを抑制できる。また、重畳ノイズを抑制できるため、入力電圧IN+、IN-を供給する前段の回路の安定性が向上する。

30

【0035】

図9のダイナミックコンパレータ5の正帰還部F3の場合、NMOSトランジスタM7、M9のゲートそれぞれに共通のクロック信号CLKが入力され、PMOSトランジスタM8、M10のゲートそれぞれに共通のクロック信号CLK_Nが入力される。トランジスタM7にクロック信号CLKが入力され、トランジスタM8にクロック信号CLK_Nが入力されることで、トランジスタM7、M8は同じタイミングでオンする。トランジスタM9、M10についても同様である。トランジスタM7、M9は、クロック信号CLKがハイレベルのときオンし、ローレベルのときオフする。トランジスタM8、M10は、クロック信号CLK_Nがハイレベルのときオフし、ローレベルのときオンする。

40

【0036】

クロック信号CLKがローレベルであり且つクロック信号CLK_Nがハイレベルのとき、並列トランジスタPT1及びPT2は共にオフするため、差動対D1は比較動作を行うことが不可能となる。逆に、クロック信号CLKがハイレベルであり且つクロック信号CLK_Nがローレベルのとき、並列トランジスタPT1及びPT2は共にオンするため、差動対D1は比較動作を行うことが可能となる。クロック信号CLK及びCLK_Nのハイレベルは、電源電圧Vddのレベルに設定すればよく、クロック信号CLK及びCLK_Nのローレベルはグランドレベルに設定すればよい。

【0037】

クロック信号CLKのハイレベルを電源電圧Vddのレベルに設定すると、電源電圧Vddが

50

減少するにつれて、並列トランジスタPT1及びPT2のオン抵抗が増加する。そのため、クロック信号CLK, CLK_Nのレベルが差動対D1の比較動作を可能にするレベルのとき、並列トランジスタPT1及びPT2のオン抵抗の増加によって、トランジスタM4, M6のゲート電位を持ち上げるとともに、トランジスタM3, M5のゲート電位を引き下げることができる。その結果、トランジスタM3, M4, M5, M6それぞれのゲート-ソース間に印加されるゲート駆動電圧を上げることができるので、電源電圧Vddが低電圧状態であっても、正帰還を正しく機能させることができる。

【0038】

また、トランジスタM3とM5を、クロック信号CLK_Nに応じて、オン/オフさせるスタンバイ回路を設けてもよい。図9には、スタンバイ回路SB1が例示されている。スタンバイ回路SB1は、クロック信号CLK_Nがゲートに入力されるNMOSトランジスタM11とM12から構成される。このようなスタンバイ回路を設けることで、各トランジスタのノードの電荷(例えば、トランジスタのソース(又は、ドレイン)と基板との間の寄生容量の電荷)をクロック信号CLK_Nのクロック周期毎に初期化できる。つまり、各トランジスタのノードの電荷が変化しても、その電荷をクロック信号CLK_Nのクロック周期毎に一定の値に戻すことができるので、ダイナミックコンパレータの比較精度を向上できる。

10

【0039】

図9のスタンバイ回路SB1の場合、トランジスタM11, M12のソースは、グラウンドに接続されている。トランジスタM11のドレインは、トランジスタM5のゲート(すなわち、並列トランジスタPT1とトランジスタM4のドレインとの間の比較結果の出力点)に接続されている。トランジスタM12のドレインは、トランジスタM3のゲート(すなわち、並列トランジスタPT2とトランジスタM6のドレインとの間の比較結果の出力点)に接続される。

20

【0040】

クロック信号CLK_Nのレベルが差動対D1の比較動作が行われるローレベルのとき、トランジスタM11, M12はオフする。そのため、スタンバイ回路SB1は、クロック信号CLK_Nがローレベルのときには、差動対D1の比較動作に作用しない。

【0041】

一方、クロック信号CLK_Nのレベルが差動対D1の比較動作が行われないハイレベルのとき、トランジスタM11, M12はオンする。トランジスタM11, M12がオンすると、並列トランジスタPT1とトランジスタM4とトランジスタM5との接続ノード及び並列トランジスタPT2とトランジスタM6とトランジスタM3との接続ノードが共にローレベル(グラウンドレベル)になる。また、トランジスタM11, M12がオンすると、トランジスタM3, M5はオンするので、並列トランジスタPT1とトランジスタM3とトランジスタM6との接続ノードd及び並列トランジスタPT2とトランジスタM5とトランジスタM4との接続ノードeが共にハイレベル(電源電圧Vddのレベル)になる。このように、クロック信号CLK_Nがローレベルからハイレベルに切り替わるたびに、各接続ノードを一定のレベルに初期化できる。

30

【0042】

以上、本発明の好ましい実施例について詳説したが、本発明は、上述した実施例に制限されることはなく、本発明の範囲を逸脱することなく、上述した実施例に種々の変形及び置換を加えることができる。

40

【0043】

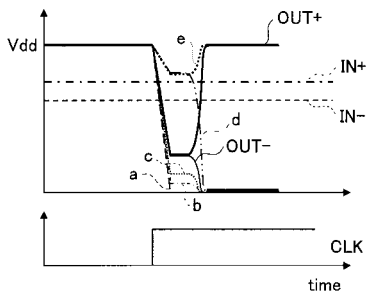
例えば、本発明の実施形態として、一对のNMOSトランジスタで構成された差動対を有するダイナミックコンパレータを示したが、本発明は、一对のPMOSトランジスタで構成された差動対を有するダイナミックコンパレータにも適用することができる。

【0044】

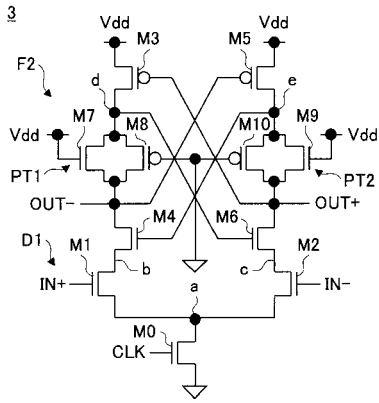
また、本発明は、裨掛けされたトランジスタ(例えば、図4の場合、M3, M4, M5, M6)のそれぞれに、各トランジスタのドレイン-ソース間を短絡可能なスイッチ素子

50

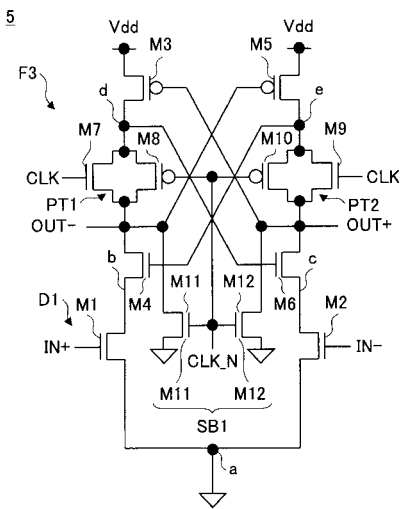
【 図 5 】



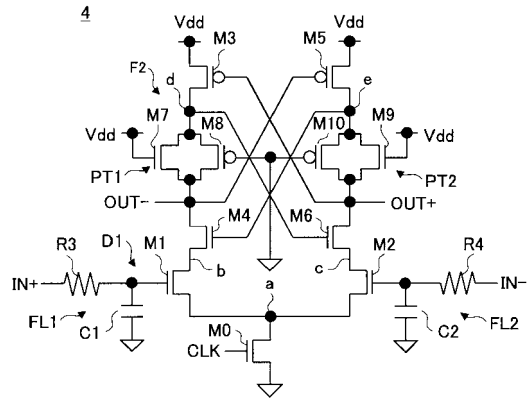
【 図 6 】



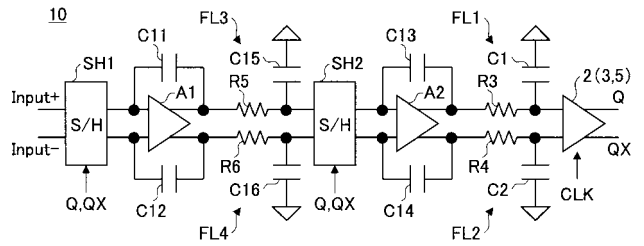
【 図 9 】



【 図 7 】



【 図 8 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2011/066749
A. CLASSIFICATION OF SUBJECT MATTER H03K5/08(2006.01) i, H03M1/12(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03K5/08, H03M1/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-195891 A (NEC IC Microcomputer Systems, Ltd.), 15 July 1992 (15.07.1992), entire text; fig. 1 (Family: none)	1-7
A	JP 7-74600 A (Yokogawa Electric Corp.), 17 March 1995 (17.03.1995), entire text; fig. 4 (Family: none)	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 August, 2011 (03.08.11)		Date of mailing of the international search report 16 August, 2011 (16.08.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 6 6 7 4 9									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K5/08(2006.01)i, H03M1/12(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K5/08, H03M1/12											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	J P 4-195891 A (日本電気アイシーマイコンシステム株式会社) 1992.07.15、全文、第1図 (ファミリーなし)	1-7									
A	J P 7-74600 A (横河電機株式会社) 1995.03.17、全文、図4 (ファミリーなし)	1-7									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 03.08.2011		国際調査報告の発送日 16.08.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 石田 勝	5 X 3572								
		電話番号 03-3581-1101	内線 3596								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。