



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월17일
(11) 등록번호 10-2192195
(24) 등록일자 2020년12월10일

(51) 국제특허분류(Int. Cl.)
H01L 23/488 (2006.01)
(21) 출원번호 10-2014-0095964
(22) 출원일자 2014년07월28일
심사청구일자 2019년01월22일
(65) 공개번호 10-2016-0013737
(43) 공개일자 2016년02월05일
(56) 선행기술조사문헌
JP2013042018 A*
KR1020140017295 A*
KR1020110128388 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김순범
경기도 수원시 권선구 세권로 334, 333동 106호(권선동, 주공아파트)
김태은
경기도 화성시 노작로 175, 905호(반송동, 센트럴 시티)
박은혜
경기도 화성시 병점동로 88-14, 206호(진안동, 인행빌딩)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 16 항

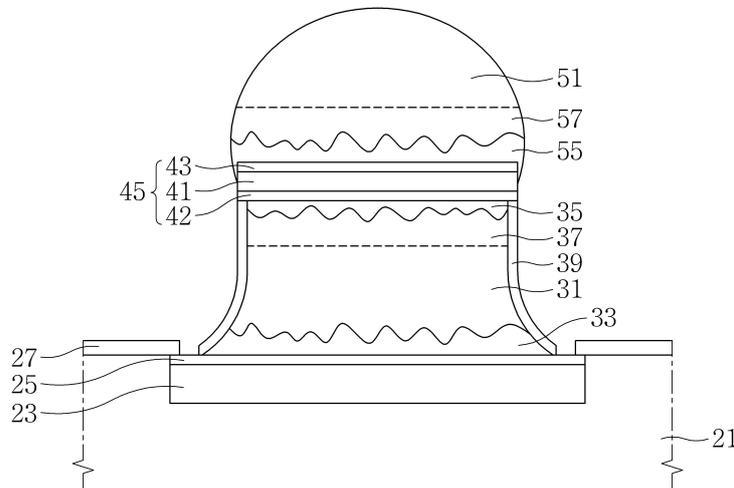
심사관 : 정구원

(54) 발명의 명칭 솔더 조인트를 갖는 반도체 소자 및 그 형성 방법

(57) 요약

높은 신뢰성의 솔더 조인트를 갖는 반도체 소자에 관한 것이다. 도전성 패드 상에 고온 솔더가 형성된다. 상기 고온 솔더 상에 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더가 형성된다. 상기 고온 솔더 및 상기 저온 솔더 사이에 배리어 층이 형성된다. 상기 고온 솔더 내의 Sn 함량은 상기 저온 솔더보다 높다.

대표도 - 도1



명세서

청구범위

청구항 1

도전성 패드;

상기 도전성 패드 상의 고온 솔더;

상기 고온 솔더 상에 형성되고 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더; 및

상기 고온 솔더 및 상기 저온 솔더 사이의 배리어 층을 포함하되,

상기 고온 솔더 내의 Sn 함량은 상기 저온 솔더보다 높고,

상기 고온 솔더의 수평 폭은 상기 도전성 패드에 가까워질수록 확장되며, 상기 고온 솔더의 측면은 상기 배리어 층에 가까워질수록 상기 도전성 패드의 상부표면에 대해 수직인 프로파일을 포함하고, 상기 도전성 패드에 가까워질수록 콘케이브(concave)한 프로파일을 포함하는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 고온 솔더는 순수-주석(pure-Sn)을 포함하는 반도체 소자.

청구항 3

제1 항에 있어서,

상기 고온 솔더는 90 wt% 이상의 Sn 함량을 갖는 혼합물을 포함하는 반도체 소자.

청구항 4

제1 항에 있어서,

상기 저온 솔더는 플럭스를 포함하되, 상기 고온 솔더는 플럭스를 포함하지 않는 반도체 소자.

청구항 5

제1 항에 있어서,

상기 고온 솔더의 측면에 형성된 측면 산화물을 더 포함하는 반도체 소자.

청구항 6

제5 항에 있어서,

상기 측면 산화물은 SnO를 포함하는 반도체 소자.

청구항 7

제1 항에 있어서,

상기 저온 솔더의 측면은 콘벡스(convex)한 프로파일을 포함하는 반도체 소자.

청구항 8

삭제

청구항 9

삭제

청구항 10

제1 항에 있어서,

상기 배리어 층 및 상기 고온 솔더 사이의 제1 금속간 화합물(Inter-Metallic Compound; IMC); 및
상기 배리어 층 및 상기 저온 솔더 사이의 제2 금속간 화합물(IMC)을 더 포함하는 반도체 소자.

청구항 11

제10 항에 있어서,

상기 배리어 층은

제1 배리어 층; 및

상기 제1 배리어 층 상의 제2 배리어 층을 포함하되, 상기 제1 배리어 층은 상기 제2 배리어 층보다 두꺼운 반도체 소자.

청구항 12

제11 항에 있어서,

상기 제1 배리어 층은 Ni을 포함하고, 상기 제2 배리어 층은 Bi를 포함하는 반도체 소자.

청구항 13

제11 항에 있어서,

상기 제2 금속간 화합물(IMC) 및 상기 저온 솔더 사이의 제1 확산 영역을 더 포함하되, 상기 제1 확산 영역은 상기 제2 배리어 층 및 상기 저온 솔더의 물질들을 포함하는 반도체 소자.

청구항 14

제11 항에 있어서,

상기 제1 배리어 층 상의 제3 배리어 층을 더 포함하되,

상기 제1 배리어 층은 상기 제2 배리어 층 및 상기 제3 배리어 층 사이에 형성되고, 상기 제3 배리어 층은 Bi를 포함하는 반도체 소자.

청구항 15

제14 항에 있어서,

상기 제1 금속간 화합물(IMC) 및 상기 고온 솔더 사이의 제2 확산 영역을 더 포함하되, 상기 제2 확산 영역은 상기 제3 배리어 층 및 상기 고온 솔더의 물질들을 포함하는 반도체 소자.

청구항 16

제1 도전성 패드;

상기 제1 도전성 패드와 마주보는 제2 도전성 패드;

상기 제1 도전성 패드 및 상기 제2 도전성 패드 사이의 고온 솔더;

상기 고온 솔더 및 상기 제2 도전성 패드 사이에 형성되고 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더; 및

상기 고온 솔더 및 상기 저온 솔더 사이의 배리어 층을 포함하되,

상기 고온 솔더 내의 Sn 함량은 상기 저온 솔더보다 높고,

상기 고온 솔더의 수평 폭은 상기 도전성 패드에 가까워질수록 확장되며, 상기 고온 솔더의 측면은 상기 배리어 층에 가까워질수록 상기 도전성 패드의 상부표면에 대해 수직인 프로파일을 포함하고, 상기 도전성 패드에 가까워질수록 콘케이브(concave)한 프로파일을 포함하는 반도체 소자.

청구항 17

제16 항에 있어서,

상기 저온 솔더 및 상기 제2 도전성 패드에 가깝고 상기 고온 솔더 및 상기 제1 도전성 패드에 멀리 떨어진 플럭스 찌꺼기를 더 포함하는 반도체 소자.

청구항 18

반도체 패키지의 일면에 형성된 도전성 패드;

상기 도전성 패드 상의 고온 솔더;

상기 고온 솔더 상에 형성되고 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더; 및

상기 고온 솔더 및 상기 저온 솔더 사이의 배리어 층을 포함하되,

상기 고온 솔더의 수평 폭은 상기 도전성 패드에 가까워질수록 확장되며, 상기 고온 솔더의 측면은 상기 배리어 층에 가까워질수록 상기 도전성 패드의 상부표면에 대해 수직한 프로파일을 포함하고, 상기 도전성 패드에 가까워질수록 콘케이브(concave)한 프로파일을 포함하는 반도체 소자.

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 높은 신뢰성의 솔더 조인트를 갖는 반도체 소자에 관한 것이다.

배경 기술

[0002] 반도체 패키지들, 반도체 칩들, 및 메인 보드(main board) 사이의 전기적 접속을 위하여 솔더 조인트를 이용하는 다양한 방법들이 연구되고 있다. 상기 솔더 조인트의 신뢰성은 솔더 포스트, 솔더 범프, 또는 솔더 볼의 구조 및 물질에 의하여 결정될 수 있다. 상기 솔더 조인트에 발생하는 크랙(crack)과 같은 다양한 종류의 결함들에 의하여 반도체 칩들이 탑재된 전자 시스템의 특성 저하 및 수명 단축 사례가 보고되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는, 높은 신뢰성의 솔더 조인트를 갖는 반도체 소자를 제공하는 데 있다.

[0004] 본 발명이 해결하고자 하는 다른 과제는, 높은 신뢰성의 솔더 조인트를 갖는 반도체 소자의 형성 방법을 제공하는 데 있다.

[0005] 본 발명이 해결하고자 하는 다양한 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 달성하기 위하여 본 발명 기술적 사상의 실시 예들은, 반도체 소자를 제공한다. 이 소자는 도전성 패드 상의 고온 솔더를 포함한다. 상기 고온 솔더 상에 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더가 형성된다. 상기 고온 솔더 및 상기 저온 솔더 사이에 배리어 층이 형성된다. 상기 고온 솔더 내의 Sn 함량은 상기 저온 솔더보다 높다.

[0007] 상기 고온 솔더는 순수-주석(pure-Sn)을 포함할 수 있다.

- [0008] 상기 고온 솔더는 90 wt% 이상의 Sn 함량을 갖는 혼합물을 포함할 수 있다.
- [0009] 상기 고온 솔더는 플럭스를 포함하지 않으며, 상기 저온 솔더는 플럭스를 포함할 수 있다.
- [0010] 상기 고온 솔더의 측면에 형성된 측면 산화물을 포함할 수 있다. 상기 측면 산화물은 SnO를 포함할 수 있다.
- [0011] 상기 고온 솔더의 측면은 콘케이브(concave)한 프로파일을 포함할 수 있다. 상기 저온 솔더의 측면은 콘벡스(convex)한 프로파일을 포함할 수 있다.
- [0012] 상기 고온 솔더의 측면은 상기 배리어 층에 가까워질수록 상기 도전성 패드의 상부표면에 대하여 수직인 프로파일을 포함하고, 상기 고온 솔더의 측면은 상기 도전성 패드에 가까워질수록 콘케이브(concave)한 프로파일을 포함할 수 있다.
- [0013] 상기 고온 솔더의 측면은 상기 도전성 패드의 상부표면에 대하여 수직인 프로파일을 포함하고, 상기 저온 솔더의 측면은 콘벡스(convex)한 프로파일을 포함할 수 있다.
- [0014] 상기 배리어 층 및 상기 고온 솔더 사이에 제1 금속간 화합물(Inter-Metallic Compound; IMC)이 형성될 수 있다. 상기 배리어 층 및 상기 저온 솔더 사이에 제2 금속간 화합물(IMC)이 형성될 수 있다.
- [0015] 상기 배리어 층은 제1 배리어 층 및 상기 제1 배리어 층 상의 제2 배리어 층을 포함할 수 있다. 상기 제1 배리어 층은 상기 제2 배리어 층보다 두꺼울 수 있다. 상기 제1 배리어 층은 Ni을 포함할 수 있다. 상기 제2 배리어 층은 Bi를 포함할 수 있다.
- [0016] 상기 제2 금속간 화합물(IMC) 및 상기 저온 솔더 사이에 제1 확산 영역이 형성될 수 있다. 상기 제1 확산 영역은 상기 제2 배리어 층 및 상기 저온 솔더의 물질들을 포함할 수 있다.
- [0017] 상기 제1 배리어 층 상에 제3 배리어 층이 형성될 수 있다. 상기 제1 배리어 층은 상기 제2 배리어 층 및 상기 제3 배리어 층 사이에 형성될 수 있다. 상기 제3 배리어 층은 Bi를 포함할 수 있다.
- [0018] 상기 제1 금속간 화합물(IMC) 및 상기 고온 솔더 사이에 제2 확산 영역이 형성될 수 있다. 상기 제2 확산 영역은 상기 제3 배리어 층 및 상기 고온 솔더의 물질들을 포함할 수 있다.
- [0019] 또한, 본 발명 기술적 사상의 실시 예들은, 다른 반도체 소자를 제공한다. 이 소자는 제1 도전성 패드와 마주보는 제2 도전성 패드를 포함한다. 상기 제1 도전성 패드 및 상기 제2 도전성 패드 사이에 고온 솔더가 형성된다. 상기 고온 솔더 및 상기 제2 도전성 패드 사이에 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더가 형성된다. 상기 고온 솔더 및 상기 저온 솔더 사이에 배리어 층이 형성된다. 상기 고온 솔더 내의 Sn 함량은 상기 저온 솔더보다 높다.
- [0020] 상기 저온 솔더 및 상기 제2 도전성 패드에 가깝고 상기 고온 솔더 및 상기 제1 도전성 패드에 멀리 떨어진 플럭스 찌꺼기를 포함할 수 있다.
- [0021] 이에 더하여, 본 발명 기술적 사상의 실시 예들은, 다른 반도체 소자를 제공한다. 이 소자는 반도체 패키지의 일면에 형성된 도전성 패드를 포함한다. 상기 도전성 패드 상에 고온 솔더가 형성된다. 상기 고온 솔더 상에 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더가 형성된다. 상기 고온 솔더 및 상기 저온 솔더 사이에 배리어 층이 형성된다. 상기 고온 솔더의 측면은 상기 저온 솔더와 다른 모양을 갖는다.
- [0022] 상기 고온 솔더의 측면은 콘케이브(concave)한 프로파일을 포함할 수 있다.
- [0023] 상기 고온 솔더의 측면은 상기 배리어 층에 가까워질수록 상기 도전성 패드의 상부표면에 대하여 수직인 프로파일을 포함하고, 상기 고온 솔더의 측면은 상기 도전성 패드에 가까워질수록 콘케이브(concave)한 프로파일을 포함할 수 있다.
- [0024] 상기 저온 솔더의 측면은 콘벡스(convex)한 프로파일을 포함할 수 있다.
- [0025] 상기 고온 솔더의 측면은 상기 도전성 패드의 상부표면에 대하여 수직인 프로파일을 포함할 수 있다.
- [0026] 나아가서, 본 발명 기술적 사상의 실시 예들은, 반도체 소자의 형성 방법을 제공한다. 이 방법은 도전성 패드를 형성하는 것을 포함한다. 상기 도전성 패드 상에 고온 솔더가 형성된다. 상기 고온 솔더 상에 배리어 층이 형성된다. 상기 배리어 층 상에 상기 고온 솔더보다 낮은 용점을 갖는 저온 솔더가 형성된다. 상기 고온 솔더 내의 Sn 함량은 상기 저온 솔더보다 높다.
- [0027] 상기 고온 솔더, 상기 배리어 층, 및 상기 저온 솔더를 형성하는 것은 희생 플레이트 상에 관통 홀을 갖는 필름

을 형성하는 것을 포함할 수 있다. 상기 관통 홀 내에 상기 고온 솔더, 상기 배리어 층, 및 상기 저온 솔더를 형성할 수 있다. 상기 희생 플레이트를 제거할 수 있다. 상기 도전성 패드 상에 상기 고온 솔더를 접착할 수 있다. 상기 필름을 제거할 수 있다.

- [0028] 상기 도전성 패드 상에 상기 고온 솔더를 접착하는 것은 TC(thermo-compression) bonding, TS(thermo-sonic) bonding, 또는 이들의 조합을 이용하여 수행할 수 있다.
- [0029] 리플로우(reflow) 공정을 이용하여 상기 저온 솔더의 표면을 둥글게 형성할 수 있다.
- [0030] 상기 고온 솔더는 순수-주석(pure-Sn)을 포함할 수 있다.
- [0031] 상기 고온 솔더는 플럭스를 포함하지 않으며, 상기 저온 솔더는 플럭스를 포함할 수 있다
- [0032] 상기 고온 솔더의 측면에 측면 산화물을 형성할 수 있다. 상기 측면 산화물은 SnO를 포함할 수 있다.
- [0033] 상기 고온 솔더의 측면은 콘케이브(concave)한 프로파일을 포함하고, 상기 저온 솔더의 측면은 콘벡스(convex)한 프로파일을 포함할 수 있다.
- [0034] 상기 고온 솔더의 측면은 상기 배리어 층에 가까워질수록 상기 도전성 패드의 상부표면에 대하여 수직한 프로파일을 포함하고, 상기 고온 솔더의 측면은 상기 도전성 패드에 가까워질수록 콘케이브(concave)한 프로파일을 포함할 수 있다.
- [0035] 상기 고온 솔더의 측면은 상기 도전성 패드의 상부표면에 대하여 수직한 프로파일을 포함하고, 상기 저온 솔더의 측면은 콘벡스(convex)한 프로파일을 포함할 수 있다.
- [0036] 상기 배리어 층 및 상기 고온 솔더 사이에 제1 금속간 화합물(Inter-Metallic Compound; IMC)을 형성할 수 있다. 상기 배리어 층 및 상기 저온 솔더 사이에 제2 금속간 화합물(IMC)을 형성할 수 있다.
- [0037] 상기 배리어 층을 형성하는 것은 제1 배리어 층을 형성하고, 상기 제1 배리어 층 상에 제2 배리어 층을 형성하는 것을 포함할 수 있다. 상기 제1 배리어 층은 상기 제2 배리어 층보다 두꺼울 수 있다. 상기 제1 배리어 층은 Ni을 포함할 수 있다. 상기 제2 배리어 층은 Bi를 포함할 수 있다.
- [0038] 상기 제2 금속간 화합물(IMC) 및 상기 저온 솔더 사이에 제1 확산 영역을 형성할 수 있다. 상기 제1 확산 영역은 상기 제2 배리어 층 및 상기 저온 솔더의 물질들을 포함할 수 있다.
- [0039] 상기 제1 배리어 층 상에 제3 배리어 층을 형성할 수 있다. 상기 제1 배리어 층은 상기 제2 배리어 층 및 상기 제3 배리어 층 사이에 형성되고, 상기 제3 배리어 층은 Bi를 포함할 수 있다.
- [0040] 상기 제1 금속간 화합물(IMC) 및 상기 고온 솔더 사이에 제2 확산 영역을 형성할 수 있다. 상기 제2 확산 영역은 상기 제3 배리어 층 및 상기 고온 솔더의 물질들을 포함할 수 있다.
- [0041] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0042] 본 발명 기술적 사상의 실시 예들에 따르면, 도전성 패드 상에 고온 솔더, 배리어 층, 및 저온 솔더가 차례로 형성된다. 상기 고온 솔더는 상기 도전성 패드 및 상기 저온 솔더 사이의 스트레스를 완화하는 역할을 할 수 있다. 상기 배리어 층은 상기 고온 솔더 및 상기 저온 솔더가 서로 혼합되는 것을 방지하는 역할을 할 수 있다. 높은 신뢰성의 솔더 조인트를 갖는 반도체 소자를 구현할 수 있다.

도면의 간단한 설명

- [0043] 도 1내지 도 13은 본 발명 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 단면도들 이다.
 도 14 내지 도 25는 본 발명 기술적 사상의 실시 예들에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들 이다.
 도 26 및 도 27은 본 발명의 기술적 사상의 실시 예들에 따른 전자 장치의 시스템 블록도들 이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시

예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0045] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다 (comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0046] 하나의 소자(elements)가 다른 소자와 '접속된(connected to)' 또는 '커플링된(coupled to)' 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 '직접 접속된(directly connected to)' 또는 '직접 커플링된(directly coupled to)'으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. '및/또는'은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0047] 공간적으로 상대적인 용어인 '아래(below)', '아래(beneath)', '하부(lower)', '위(above)', '상부(upper)' 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 '아래(below)' 또는 '아래(beneath)'로 기술된 소자는 다른 소자의 '위(above)'에 놓여질 수 있다. 따라서, 예시적인 용어인 '아래'는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0048] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드 지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0049] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0050] 본 명세서에서 '전면(front side)'과 '후면(back side)'는 본 발명의 기술적 사상을 이해하기 쉽도록 설명하기 위하여 상대적인 개념으로 사용된 것이다. 따라서, '전면'과 '후면'은 특정한 방향, 위치 또는 구성 요소를 지칭하는 것이 아니고 서로 호환될 수 있다. 예를 들어, '전면'이 '후면'이라고 해석될 수도 있고 '후면'이 '전면'으로 해석될 수도 있다. 따라서, '전면'을 '제1'이라고 표현하고 '후면'을 '제2'라고 표현할 수도 있고, '후면'을 '제1'로 표현하고 '전면'을 '제2'라고 표현할 수도 있다. 그러나, 하나의 실시 예 내에서는 '전면'과 '후면'이 혼용되지 않는다.
- [0051] 본 명세서에서 '가깝다(near)'라는 표현은 대칭적 개념을 갖는 둘 이상의 구성 요소들 중 어느 하나가 다른 특정한 구성 요소에 대해 상대적으로 가깝게 위치하는 것을 의미한다. 예를 들어, 제1 단부(first end)가 제1 면(first side)에 가깝다는 표현은 제1 단부가 제2 단부보다 제1 면에 더 가깝다는 의미이거나, 제1 단부가 제2 면보다 제1 면에 더 가깝다는 의미로 이해될 수 있다.
- [0052] 도 1내지 도 13은 본 발명 기술적 사상의 실시 예들에 따른 반도체 소자를 설명하기 위한 단면도들 이다.
- [0053] 도 1을 참조하면, 반도체 패키지(21)의 일면에 도전성 패드(23)가 형성될 수 있다. 상기 도전성 패드(23) 상에 고온 솔더(31), 배리어 층(45), 및 저온 솔더(51)가 형성될 수 있다. 상기 저온 솔더(51)는 상기 고온 솔더(31)에 비하여 낮은 용점을 가질 수 있다. 예를 들면, 상기 고온 솔더(31)는 상기 저온 솔더(51)에 비하여 15 °C 이상 높은 용점을 보일 수 있다. 상기 저온 솔더(51)는 230°C 미만의 용점을 갖는 물질을 포함할 수 있다.
- [0054] 상기 반도체 패키지(21)는 반도체 칩, 인쇄회로기판, 및 봉지재와 같은 다양한 구성을 선택적으로 포함할 수 있

으나 간략한 설명을 위하여 생략하기로 한다. 상기 도전성 패드(23)는 상기 반도체 패키지(21) 내의 인쇄회로기판 상에 형성될 수 있다. 상기 도전성 패드(23)는 핑거 전극 또는 랜딩 패드에 해당될 수 있다. 상기 도전성 패드(23)는 Cu 또는 Al과 같은 도전성 물질을 포함할 수 있다.

- [0055] 상기 도전성 패드(23)의 상부 표면에 마감 층(finish layer; 25)이 형성될 수 있다. 상기 마감 층(25)의 두께는 상기 도전성 패드(23)보다 얇을 수 있다. 상기 마감 층(25)은 상기 도전성 패드(23)의 상부 표면을 덮을 수 있다. 상기 마감 층(25)은 Ni, Au, Ag, Pt, Zn, P, In, Cd, Sb, Sn, Bi, As, Cr, Ti, Ta, Pd, Co, Mn, V, Mg, 또는 이들의 조합을 포함할 수 있다. 상기 마감 층(25)은 UBM(under bump metal)에 해당될 수 있다. 상기 마감 층(25)은 상기 도전성 패드(23) 및 상기 고온 솔더(31) 사이에 보존될 수 있다.
- [0056] 상기 반도체 패키지(21)의 일면에 솔더레지스트와 같은 패키지 절연 막(27)이 형성될 수 있다. 상기 패키지 절연 막(27)은 상기 마감 층(25)의 가장자리를 덮을 수 있다. 다른 실시 예에서, 상기 마감 층(25)이 생략된 경우, 상기 패키지 절연 막(27)은 상기 도전성 패드(23)의 가장자리를 덮을 수 있다.
- [0057] 상기 고온 솔더(31)는 제1 금속간 화합물(Inter-Metallic Compound; IMC; 33), 제1 확산 영역(37), 및 제2 금속간 화합물(IMC; 35)을 포함할 수 있다. 상기 고온 솔더(31)의 측면에 측면 산화물(39)이 형성될 수 있다. 상기 배리어 층(45)은 제1 배리어 층(41), 제2 배리어 층(42), 및 제3 배리어 층(43)을 포함할 수 있다. 상기 저온 솔더(51)는 제3 금속간 화합물(IMC; 55) 및 제2 확산 영역(57)을 포함할 수 있다.
- [0058] 상기 고온 솔더(31)는 상기 저온 솔더(51)에 비하여 높은 용점을 가질 수 있다. 상기 고온 솔더(31)는 230℃ 이상의 용점을 갖는 물질을 포함할 수 있다. 예를 들면, 상기 고온 솔더(31)는 250℃ 이상의 용점을 보일 수 있다. 상기 고온 솔더(31)는 90 wt% 이상의 Sn 함량을 갖는 혼합물 또는 합금일 수 있다. 상기 고온 솔더(31)는 순수-주석(pure-tin; pure-Sn)일 수 있다. 상기 고온 솔더(31) 내의 Sn 함량은 상기 저온 솔더(51)에 비하여 높을 수 있다.
- [0059] 상기 제1 금속간 화합물(Inter-Metallic Compound; IMC; 33)은 상기 마감 층(25) 및 상기 고온 솔더(31) 사이에 형성될 수 있다. 상기 제1 금속간 화합물(IMC; 33)은 상기 마감 층(25) 및 상기 고온 솔더(31)의 물질들을 포함할 수 있다. 다른 실시 예에서, 상기 제1 금속간 화합물(IMC; 33)은 상기 마감 층(25), 상기 도전성 패드(23) 및 상기 고온 솔더(31)의 물질들을 포함할 수 있다. 상기 마감 층(25)이 생략된 경우, 상기 제1 금속간 화합물(IMC; 33)은 상기 도전성 패드(23) 및 상기 고온 솔더(31)의 물질들을 포함할 수 있다.
- [0060] 상기 제1 확산 영역(37)은 상기 제2 금속간 화합물(IMC; 35) 및 상기 고온 솔더(31) 사이에 형성될 수 있다. 상기 제1 확산 영역(37)은 상기 제2 배리어 층(42) 및 상기 고온 솔더(31)의 물질들을 포함할 수 있다. 상기 고온 솔더(31)는 상기 제1 금속간 화합물(IMC; 33) 및 상기 제1 확산 영역(37) 사이에 보존될 수 있다. 다른 실시 예에서, 상기 제1 확산 영역(37)은 생략될 수 있다.
- [0061] 상기 제2 금속간 화합물(IMC; 35)은 상기 제2 배리어 층(42) 및 상기 제1 확산 영역(37) 사이에 형성될 수 있다. 상기 제2 금속간 화합물(IMC; 35)은 상기 제2 배리어 층(42) 및 상기 고온 솔더(31)의 물질들을 포함할 수 있다. 다른 실시 예에서, 상기 제2 금속간 화합물(IMC; 35)은 상기 제1 배리어 층(41), 상기 제2 배리어 층(42) 및 상기 고온 솔더(31)의 물질들을 포함할 수 있다. 상기 제2 배리어 층(42)이 생략된 경우, 상기 제2 금속간 화합물(IMC; 35)은 상기 제1 배리어 층(41) 및 상기 고온 솔더(31)의 물질들을 포함할 수 있다.
- [0062] 상기 측면 산화물(39)은 상기 고온 솔더(31)의 노출된 표면을 따라 형성될 수 있다. 상기 측면 산화물(39)은 SnO(tin oxide)를 포함할 수 있다. 상기 저온 솔더(51)는 플럭스를 포함할 수 있는 반면, 상기 고온 솔더(31)는 플럭스를 포함하지 않는다.
- [0063] 상기 배리어 층(45)은 상기 고온 솔더(31) 및 상기 저온 솔더(51) 사이에 형성될 수 있다. 상기 배리어 층(45)은 상기 고온 솔더(31) 및 상기 저온 솔더(51)가 혼합되는 것을 방지하는 역할을 할 수 있다. 상기 배리어 층(45)은 Ni, Au, Ag, Pt, Zn, P, In, Cd, Sb, Sn, Bi, Cu, As, Cr, Ti, Ta, Pd, Co, Mn, V, Mg, Al, 또는 이들의 조합을 포함할 수 있다. 상기 제1 배리어 층(41)은 상기 제2 배리어 층(42) 및 상기 제3 배리어 층(43) 사이에 형성될 수 있다. 상기 제1 배리어 층(41)은 상기 제2 배리어 층(42) 또는 상기 제3 배리어 층(43) 보다 두꺼울 수 있다. 예를 들면, 상기 제1 배리어 층(41)은 Ni, Cu, 또는 이들의 조합을 포함할 수 있다.
- [0064] 상기 제2 배리어 층(42)은 상기 제2 금속간 화합물(IMC; 35) 및 상기 제1 배리어 층(41) 사이에 보존될 수 있다. 예를 들면, 상기 제2 배리어 층(42)은 Bi를 포함할 수 있다. 다른 실시 예에서, 상기 제2 배리어 층(42)은 상기 제2 금속간 화합물(IMC; 35) 및 상기 제1 확산 영역(37) 내부로 모두 확산될 수 있다. 상기 제2 금속간 화합물(IMC; 35)은 상기 제1 배리어 층(41)에 직접적으로 접촉될 수 있다. 상기 제2 배리어 층(42)은 생략될 수

있다.

- [0065] 상기 제3 배리어 층(43)은 상기 제3 금속간 화합물(IMC; 55) 및 상기 제1 배리어 층(41) 사이에 보존될 수 있다. 예를 들면, 상기 제3 배리어 층(43)은 Bi를 포함할 수 있다. 다른 실시 예에서, 상기 제3 배리어 층(43)은 상기 제3 금속간 화합물(IMC; 55) 및 상기 제2 확산 영역(57) 내부로 모두 확산될 수 있다. 상기 제3 금속간 화합물(IMC; 55)은 상기 제1 배리어 층(41)에 직접적으로 접촉될 수 있다. 상기 제3 배리어 층(43)은 생략될 수 있다.
- [0066] 상기 저온 솔더(51)는 상기 고온 솔더(31)에 비하여 낮은 용점을 가질 수 있다. 상기 저온 솔더(51)는 Sn 을 포함할 수 있다. 상기 저온 솔더(51) 내의 Sn 함량은 상기 고온 솔더(31)에 비하여 낮을 수 있다. 상기 제3 금속간 화합물(IMC; 55)은 상기 제3 배리어 층(43) 및 상기 제2 확산 영역(57) 사이에 형성될 수 있다. 상기 제3 금속간 화합물(IMC; 55)은 상기 제3 배리어 층(43) 및 상기 저온 솔더(51)의 물질들을 포함할 수 있다. 다른 실시 예에서, 상기 제3 금속간 화합물(IMC; 55)은 상기 제1 배리어 층(41), 상기 제3 배리어 층(43) 및 상기 저온 솔더(51)의 물질들을 포함할 수 있다. 상기 제3 배리어 층(43)이 생략된 경우, 상기 제3 금속간 화합물(IMC; 55)은 상기 제1 배리어 층(41) 및 상기 저온 솔더(51)의 물질들을 포함할 수 있다.
- [0067] 상기 제2 확산 영역(57)은 상기 제3 금속간 화합물(IMC; 55) 및 상기 저온 솔더(51) 사이에 형성될 수 있다. 상기 제2 확산 영역(57)은 상기 제3 배리어 층(43) 및 상기 저온 솔더(51)의 물질들을 포함할 수 있다. 상기 저온 솔더(51)는 상기 제2 확산 영역(57) 상에 보존될 수 있다. 다른 실시 예에서, 상기 제2 확산 영역(57)은 생략될 수 있다.
- [0068] 상기 저온 솔더(51)의 측면은 상기 고온 솔더(31)의 측면과 다른 모양을 보일 수 있다. 상기 저온 솔더(51)의 표면은 둥글게 형성될 수 있다. 상기 고온 솔더(31)의 수평 폭은 상기 도전성 패드(23)에 가까워질수록 확장될 수 있다. 상기 고온 솔더(31)의 측면은 상기 배리어 층(45)에 가까워질수록 상기 도전성 패드(23)의 상부표면에 대하여 수직에 가까운 프로파일을 보일 수 있다. 상기 고온 솔더(31)의 측면은 상기 도전성 패드(23)에 가까워질수록 콘케이브(concave)한 프로파일을 보일 수 있다. 상기 저온 솔더(51)의 측면은 콘벡스(convex)한 프로파일을 보일 수 있다.
- [0069] 상기 측면 산화물(39) 및 상기 패키지 절연 막(27) 사이에 상기 마감 층(25)이 노출될 수 있다. 다른 실시 예에서, 상기 고온 솔더(31) 및 상기 패키지 절연 막(27) 사이에 상기 도전성 패드(23)가 노출될 수 있다. 상기 도전성 패드(23)는 상기 고온 솔더(31)보다 큰 폭을 보일 수 있다.
- [0070] 다른 실시 예에서, 상기 도전성 패드(23)는 상기 반도체 패키지(21) 내의 반도체 칩 상에 형성될 수 있다. 상기 도전성 패드(23)는 반도체 웨이퍼의 일면에 형성될 수 있다. 상기 도전성 패드(23)는 재 배선 층(redistribution layer; RDL)에 해당될 수 있다.
- [0071] 상기 고온 솔더(31), 상기 배리어 층(45), 및 상기 저온 솔더(51)는 솔더 포스트, 솔더 볼, 또는 솔더 범프로 해석될 수 있다.
- [0072] 도 2를 참조하면, 제2 금속간 화합물(IMC; 35)은 제1 배리어 층(41)에 직접적으로 접촉될 수 있다. 제3 금속간 화합물(IMC; 55)은 상기 제1 배리어 층(41)에 직접적으로 접촉될 수 있다. 상기 제1 배리어 층(41)은 상기 제2 금속간 화합물(IMC; 35) 및 상기 제3 금속간 화합물(IMC; 55) 사이에 보존될 수 있다.
- [0073] 도 3을 참조하면, 배리어 층(45)은 제1 배리어 층(41) 및 제3 배리어 층(43)을 포함할 수 있다. 상기 제2 배리어 층(도 1의 42) 및 상기 제1 확산 영역(도 1의 37)은 생략될 수 있다. 제2 금속간 화합물(IMC; 35)은 상기 제1 배리어 층(41)에 직접적으로 접촉될 수 있다. 제3 금속간 화합물(IMC; 55)은 상기 제3 배리어 층(43)에 직접적으로 접촉될 수 있다.
- [0074] 도 4를 참조하면, 고온 솔더(31)의 측면은 노출될 수 있다. 상기 측면 산화물(도 1의 39)은 생략될 수 있다.
- [0075] 도 5를 참조하면, 고온 솔더(31)의 측면은 도전성 패드(23)의 상부표면에 대하여 수직에 가까운 프로파일을 보일 수 있다. 저온 솔더(51)의 측면은 콘벡스(convex)한 프로파일을 보일 수 있다.
- [0076] 도 6을 참조하면, 반도체 패키지(22) 상에 도전성 패드(23)가 형성될 수 있다. 상기 반도체 패키지(22)는 반도체 웨이퍼 또는 반도체 칩을 포함할 수 있다. 상기 도전성 패드(23)는 재 배선 층(redistribution layer; RDL)에 해당될 수 있다. 상기 도전성 패드(23) 상에 마감 층(finish layer; 25)이 형성될 수 있다. 상기 반도체 패키지(22)의 일면에 패키지 절연 막(27)이 형성될 수 있다. 상기 패키지 절연 막(27)은 상기 마감 층(25)의 가장자리를 덮을 수 있다. 상기 도전성 패드(23) 상에 고온 솔더(31), 배리어 층(45), 및 저온 솔더(51)가 형성될

수 있다. 상기 고온 솔더(31), 상기 배리어 층(45), 및 상기 저온 솔더(51)는 솔더 범프로 해석될 수 있다. 상기 패키지 절연 막(27)은 측면 산화물(39)과 접촉될 수 있다. 상기 고온 솔더(31)의 측면은 상기 도전성 패드(23)의 상부표면에 대하여 수직에 가까운 프로파일을 보일 수 있다.

- [0077] 도 7을 참조하면, 고온 솔더(31)의 측면은 노출될 수 있다. 상기 고온 솔더(31)의 측면은 도전성 패드(23)의 상부표면에 대하여 수직에 가까운 프로파일을 보일 수 있다. 패키지 절연 막(27)은 제1 금속간 화합물(IMC; 33)과 접촉될 수 있다.
- [0078] 도 8을 참조하면, 반도체 패키지(21) 상에 상부 반도체 패키지(121)가 탑재될 수 있다. 상기 반도체 패키지(21)의 일면에 도전성 패드(23)가 형성될 수 있다. 상기 도전성 패드(23) 상에 마감 층(finish layer; 25)이 형성될 수 있다. 상기 마감 층(finish layer; 25) 상에 고온 솔더(31) 및 배리어 층(45)이 차례로 적층될 수 있다. 상기 고온 솔더(31)는 제1 금속간 화합물(Inter-Metallic Compound; IMC; 33), 제1 확산 영역(37), 및 제2 금속간 화합물(IMC; 35)을 포함할 수 있다. 상기 고온 솔더(31)의 측면에 측면 산화물(39)이 형성될 수 있다. 상기 배리어 층(45)은 제1 배리어 층(41), 제2 배리어 층(42), 및 제3 배리어 층(43)을 포함할 수 있다.
- [0079] 상기 상부 반도체 패키지(121)의 일면에 상부 도전성 패드(123)가 형성될 수 있다. 상기 상부 도전성 패드(123) 상에 상부 마감 층(125)이 형성될 수 있다. 상기 상부 반도체 패키지(121)의 일면에 솔더레지스트와 같은 상부 패키지 절연 막(127)이 형성될 수 있다. 상기 상부 패키지 절연 막(127)은 상기 상부 마감 층(125)의 가장자리를 덮을 수 있다. 상기 상부 마감 층(125) 상에 상부 고온 솔더(131) 및 상부 배리어 층(145)이 차례로 적층될 수 있다. 상기 상부 고온 솔더(131)는 제1 상부 금속간 화합물(133), 제1 상부 확산 영역(137), 및 제2 상부 금속간 화합물(135)을 포함할 수 있다. 상기 상부 고온 솔더(131)의 측면에 상부 측면 산화물(139)이 형성될 수 있다. 상기 상부 배리어 층(145)은 제1 상부 배리어 층(141), 제2 상부 배리어 층(142), 및 제3 상부 배리어 층(143)을 포함할 수 있다.
- [0080] 상기 상부 고온 솔더(131), 상기 상부 배리어 층(145), 상기 제1 상부 금속간 화합물(133), 상기 제1 상부 확산 영역(137), 상기 제2 상부 금속간 화합물(135), 상기 상부 측면 산화물(139), 상기 제1 상부 배리어 층(141), 상기 제2 상부 배리어 층(142), 및 상기 제3 상부 배리어 층(143)은 도 1 내지 도 7을 통하여 설명된 것과 유사한 다양한 구성을 포함할 수 있다.
- [0081] 상기 배리어 층(45) 및 상기 상부 배리어 층(145) 사이에 저온 솔더(51)가 형성될 수 있다. 상기 저온 솔더(51)는 제3 금속간 화합물(IMC; 55), 제2 확산 영역(57), 제3 상부 금속간 화합물(IMC; 155), 제2 상부 확산 영역(157)을 포함할 수 있다. 상기 저온 솔더(51)의 측면은 콘벡스(convex)한 프로파일을 보일 수 있다.
- [0082] 도 9를 참조하면, 저온 솔더(51)는 배리어 층(45) 및 상부 마감 층(125) 사이에 형성될 수 있다. 제3 상부 금속간 화합물(155)은 상기 상부 마감 층(125) 및 상기 저온 솔더(51) 사이에 형성될 수 있다. 상기 제3 상부 금속간 화합물(155)은 상기 상부 마감 층(125)에 직접적으로 접촉될 수 있다. 상기 상부 마감 층(125)이 생략된 경우, 상기 제3 상부 금속간 화합물(155)은 상부 도전성 패드(123)에 직접적으로 접촉될 수 있다.
- [0083] 도 10을 참조하면, 상기 저온 솔더(51)는 플럭스를 포함할 수 있는 반면, 상기 고온 솔더(31)는 플럭스를 포함하지 않는다. 상기 저온 솔더(51)의 측면 및 상부 패키지 절연 막(127) 상에 플럭스 찌꺼기(138)가 부착될 수 있다. 상기 플럭스 찌꺼기(138)는 제3 상부 금속간 화합물(IMC; 155), 상부 마감 층(125) 및 상기 상부 패키지 절연 막(127)에 직접적으로 접촉될 수 있다. 측면 산화물(39), 마감 층(25), 및 패키지 절연 막(27) 주변에는 플럭스 찌꺼기가 부착되지 않는다.
- [0084] 도 11을 참조하면, 반도체 패키지(22), 도전성 패드(23), 마감 층(finish layer; 25), 고온 솔더(31), 제1 금속간 화합물(Inter-Metallic Compound; IMC; 33), 제1 확산 영역(37), 제2 금속간 화합물(IMC; 35), 측면 산화물(39), 배리어 층(45), 제1 배리어 층(41), 제2 배리어 층(42), 제3 배리어 층(43), 상부 반도체 패키지(122), 상부 도전성 패드(123), 상부 마감 층(125), 상부 패키지 절연 막(127), 상부 고온 솔더(131), 제1 상부 금속간 화합물(133), 제1 상부 확산 영역(137), 및 제2 상부 금속간 화합물(135), 상부 측면 산화물(139), 상부 배리어 층(145), 제1 상부 배리어 층(141), 제2 상부 배리어 층(142), 및 제3 상부 배리어 층(143)은 도 6을 통하여 설명된 것과 유사한 다양한 구성을 포함할 수 있다.
- [0085] 상기 배리어 층(45) 및 상기 상부 배리어 층(145) 사이에 저온 솔더(51)가 형성될 수 있다. 상기 저온 솔더(51)는 제3 금속간 화합물(IMC; 55), 제2 확산 영역(57), 제3 상부 금속간 화합물(IMC; 155), 제2 상부 확산 영역(157)을 포함할 수 있다. 상기 저온 솔더(51)의 측면은 콘벡스(convex)한 프로파일을 보일 수 있다.
- [0086] 도 12를 참조하면, 저온 솔더(51)는 배리어 층(45) 및 상부 마감 층(125) 사이에 형성될 수 있다. 제3 상부 금

속간 화합물(155)은 상기 상부 마감 층(125) 및 상기 저온 솔더(51) 사이에 형성될 수 있다. 상기 제3 상부 금속간 화합물(155)은 상기 상부 마감 층(125)에 직접적으로 접촉될 수 있다. 상기 상부 마감 층(125)이 생략된 경우, 상기 제3 상부 금속간 화합물(155)은 상부 도전성 패드(123)에 직접적으로 접촉될 수 있다. 상부 패키지 절연 막(127)은 상기 제3 상부 금속간 화합물(155)에 직접적으로 접촉될 수 있다.

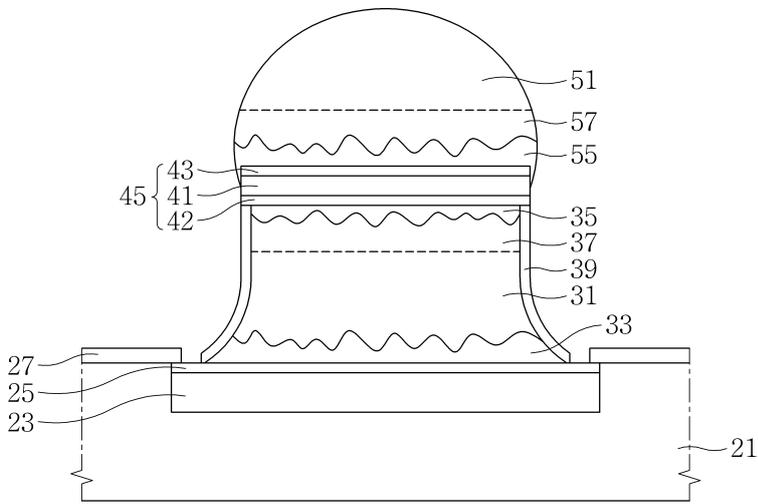
- [0087] 도 13을 참조하면, 상기 저온 솔더(51)는 플럭스를 포함할 수 있는 반면, 상기 고온 솔더(31)는 플럭스를 포함하지 않는다. 상기 저온 솔더(51)의 측면 및 상부 패키지 절연 막(127) 상에 플럭스 찌꺼기(138)가 부착될 수 있다. 측면 산화물(39) 및 패키지 절연 막(27) 주변에는 플럭스 찌꺼기가 부착되지 않는다.
- [0088] 도 14 내지 도 25는 본 발명 기술적 사상의 실시 예들에 따른 반도체 소자의 형성 방법을 설명하기 위한 단면도들이다.
- [0089] 도 14를 참조하면, 희생 플레이트(13) 상에 다수의 관통홀들(14H)을 갖는 필름(14)이 형성될 수 있다. 상기 희생 플레이트(13)는 일면이 평평한 구성을 갖는 유리 판, 금속 판, 플라스틱 판, 세라믹 판, 또는 이들의 조합을 포함할 수 있다. 상기 필름(14)은 합성 수지를 포함할 수 있다. 상기 필름(14)은 연성 필름(flexible film)을 포함할 수 있다. 예를 들면, 상기 필름(14)은 드라이 필름(dry film)을 포함할 수 있다. 상기 관통홀들(14H)의 각각은 서로 떨어질 수 있다. 상기 관통홀들(14H)의 바닥들에 상기 희생 플레이트(13)의 일면이 노출될 수 있다.
- [0090] 도 15를 참조하면, 상기 관통홀들(14H) 내에 고온 솔더(31), 배리어 층(45), 및 저온 솔더(51)가 형성될 수 있다. 상기 고온 솔더(31)는 상기 희생 플레이트(13)에 접촉될 수 있다. 상기 배리어 층(45)은 상기 고온 솔더(31) 상에 형성될 수 있다. 상기 저온 솔더(51)는 상기 배리어 층(45) 상에 형성될 수 있다. 상기 저온 솔더(51)의 상단은 노출될 수 있다.
- [0091] 도 16을 참조하면, 상기 희생 플레이트(13)를 제거하여 상기 고온 솔더(31)의 바닥이 노출될 수 있다. 상기 고온 솔더(31), 상기 배리어 층(45), 및 상기 저온 솔더(51)는 솔더 포스트(solder post)를 구성할 수 있다.
- [0092] 도 17을 참조하면, 도전성 패드(23) 상에 상기 고온 솔더(31)가 부착될 수 있다.
- [0093] 상기 도전성 패드(23)는 반도체 패키지(21)의 일면에 형성될 수 있다. 상기 도전성 패드(23) 상에 상기 고온 솔더(31)를 부착하는 공정은 TC(thermo-compression) bonding, TS(thermo-sonic) bonding, 또는 이들의 조합이 적용될 수 있다. 상기 고온 솔더(31)의 수평 폭은 상기 도전성 패드(23)에 가까워질수록 확장될 수 있다. 상기 고온 솔더(31)의 측면들은 상기 저온 솔더(51)의 측면들과 다른 모양을 보일 수 있다. 상기 고온 솔더(31)의 측면들은 상기 배리어 층(45)에 가까워질수록 상기 도전성 패드(23)의 상부표면에 대하여 수직에 가까운 프로파일을 보일 수 있다. 상기 고온 솔더(31)의 측면들은 상기 도전성 패드(23)에 가까워질수록 콘케이브(concave)한 프로파일을 보일 수 있다.
- [0094] 다른 실시 예에서, 상기 도전성 패드(23)는 반도체 칩 또는 반도체 웨이퍼의 일면에 형성될 수 있다.
- [0095] 도 18을 참조하면, 상기 필름(14)이 제거될 수 있다.
- [0096] 도 19를 참조하면, 리플로우(reflow) 공정을 이용하여 상기 저온 솔더(51)의 표면이 둥글게 형성될 수 있다. 도 1내지 도 4는 도 19에 도시된 반도체 소자의 일부분을 상세히 보여주는 확대도일 수 있다. 상기 도전성 패드(23), 상기 고온 솔더(31), 상기 배리어 층(45), 및 상기 저온 솔더(51)는 도 1내지 도 4를 통하여 설명된 것과 유사한 구성을 보일 수 있다.
- [0097] 도 20을 참조하면, 반도체 패키지(21) 상에 상부 반도체 패키지(121)가 탑재될 수 있다. 도 8은 도 20에 도시된 반도체 소자의 일부분을 상세히 보여주는 확대도일 수 있다. 도전성 패드(23), 고온 솔더(31), 배리어 층(45), 저온 솔더(51), 상부 도전성 패드(123), 상부 고온 솔더(131), 및 상부 배리어 층(145)은 도 8을 통하여 설명된 것과 유사한 구성을 보일 수 있다.
- [0098] 도 21을 참조하면, 반도체 패키지(21) 상에 상부 반도체 패키지(121)가 탑재될 수 있다. 도 9는 도 21에 도시된 반도체 소자의 일부분을 상세히 보여주는 확대도일 수 있다. 도전성 패드(23), 고온 솔더(31), 배리어 층(45), 저온 솔더(51), 및 상부 도전성 패드(123)는 도 9를 통하여 설명된 것과 유사한 구성을 보일 수 있다.
- [0099] 도 22를 참조하면, 반도체 패키지(22) 상에 도전성 패드(23)가 형성될 수 있다. 상기 반도체 패키지(22)는 반도체 웨이퍼 또는 반도체 칩을 포함할 수 있다. 상기 도전성 패드(23)는 재 배선 층(redistribution layer; RDL)에 해당될 수 있다. 상기 도전성 패드(23) 상에 고온 솔더(31), 배리어 층(45), 및 저온 솔더(51)가 형성될

수 있다. 상기 고온 솔더(31), 상기 배리어 층(45), 및 상기 저온 솔더(51)는 솔더 범프로 해석될 수 있다. 상기 고온 솔더(31)의 측면은 상기 도전성 패드(23)의 상부표면에 대하여 수직에 가까운 프로파일을 보일 수 있다.

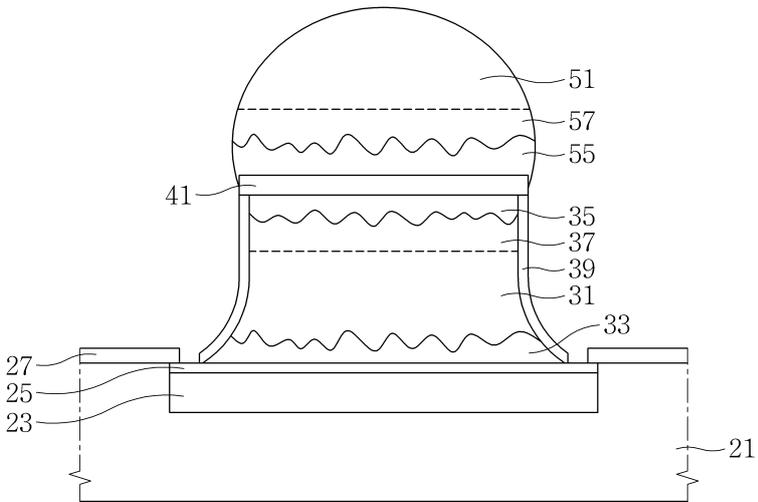
- [0100] 도 23을 참조하면, 리플로우(reflow) 공정을 이용하여 상기 저온 솔더(51)의 표면이 둥글게 형성될 수 있다. 도 6 및 도 7은 도 23에 도시된 반도체 소자의 일부분을 상세히 보여주는 확대도일 수 있다. 상기 도전성 패드(23), 상기 고온 솔더(31), 상기 배리어 층(45), 및 상기 저온 솔더(51)는 도 6 및 도 7을 통하여 설명된 것과 유사한 구성을 보일 수 있다.
- [0101] 도 24를 참조하면, 반도체 패키지(22) 상에 상부 반도체 패키지(122)가 탑재될 수 있다. 도 11은 도 24에 도시된 반도체 소자의 일부분을 상세히 보여주는 확대도일 수 있다. 도전성 패드(23), 고온 솔더(31), 배리어 층(45), 저온 솔더(51), 상부 도전성 패드(123), 상부 고온 솔더(131), 및 상부 배리어 층(145)은 도 11을 통하여 설명된 것과 유사한 구성을 보일 수 있다.
- [0102] 도 25를 참조하면, 반도체 패키지(22) 상에 상부 반도체 패키지(122)가 탑재될 수 있다. 도 12는 도 25에 도시된 반도체 소자의 일부분을 상세히 보여주는 확대도일 수 있다. 도전성 패드(23), 고온 솔더(31), 배리어 층(45), 저온 솔더(51), 및 상부 도전성 패드(123)는 도 12를 통하여 설명된 것과 유사한 구성을 보일 수 있다.
- [0103] 도 26 및 도 27은 본 발명의 기술적 사상의 실시 예에 따른 전자 장치의 시스템 블록도들이다.
- [0104] 도 26을 참조하면, 도 1 내지 도 25를 참조하여 설명한 것과 유사한 반도체 소자는 전자 시스템(2100)에 적용될 수 있다. 상기 전자 시스템(2100)은 바디(Body; 2110), 마이크로프로세서 (MicroProcessor; 2120), 파워 (Power; 2130), 기능 유닛(Function Unit; 2140), 및 디스플레이 컨트롤러(Display Controller; 2150)를 포함할 수 있다. 상기 바디(2110)는 인쇄 회로기판(PCB)으로 형성된 마더 보드(Mother Board)일 수 있다. 상기 마이크로프로세서(2120), 상기 파워(2130), 상기 기능 유닛(2140), 및 상기 디스플레이 컨트롤러(2150)는 상기 바디(2110)에 장착될 수 있다. 상기 바디(2110)의 내부 혹은 상기 바디(2110)의 외부에 디스플레이(2160)가 배치될 수 있다. 예를 들면, 상기 디스플레이(2160)는 상기 바디(2110)의 표면에 배치되어 상기 디스플레이 컨트롤러(2150)에 의해 프로세스된 이미지를 표시할 수 있다.
- [0105] 상기 파워(2130)는 외부 배터리 등으로부터 일정 전압을 공급받아 이를 요구되는 전압 레벨로 분기하여 상기 마이크로프로세서(2120), 상기 기능 유닛(2140), 상기 디스플레이 컨트롤러(2150) 등으로 공급하는 역할을 할 수 있다. 상기 마이크로프로세서(2120)는 상기 파워(2130)로부터 전압을 공급받아 상기 기능 유닛(2140)과 상기 디스플레이(2160)를 제어할 수 있다. 상기 기능 유닛(2140)은 다양한 전자 시스템(2100)의 기능을 수행할 수 있다. 예를 들어, 상기 전자 시스템(2100)이 스마트 폰인 경우 상기 기능 유닛(2140)은 다이얼링, 또는 외부 장치(External Apparatus; 2170)와의 교신으로 상기 디스플레이(2160)로의 영상 출력, 스피커로의 음성 출력 등과 같은 휴대폰 기능을 수행할 수 있는 여러 구성요소들을 포함할 수 있으며, 카메라가 함께 장착된 경우 카메라 이미지 프로세서(Camera Image Processor)의 역할을 할 수 있다.
- [0106] 응용 실시 예에서, 상기 전자 시스템(2100)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 상기 기능 유닛(2140)은 메모리 카드 컨트롤러일 수 있다. 상기 기능 유닛(2140)은 유선 혹은 무선의 통신 유닛 (Communication Unit; 2180)을 통해 상기 외부 장치(2170)와 신호를 주고 받을 수 있다. 더 나아가서, 상기 전자 시스템(2100)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 상기 기능 유닛(2140)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다. 이에 더하여, 상기 기능 유닛(2140)은 대용량 저장 장치를 포함할 수 있다.
- [0107] 도 1 내지 도 25를 참조하여 설명한 것과 유사한 반도체 소자는 상기 기능 유닛(2140) 또는 상기 마이크로 프로세서(2120)에 적용될 수 있다. 예를 들면, 상기 마이크로프로세서(2120)는 상기 도전성 패드(23), 상기 고온 솔더(31), 상기 배리어 층(45), 및 상기 저온 솔더(51)를 포함할 수 있다.
- [0108] 도 27을 참조하면, 전자 시스템(2400)은 본 발명 기술적 사상의 다양한 실시 예들에 의한 반도체 소자들 중 적어도 하나를 포함할 수 있다. 전자 시스템(2400)은 모바일 기기 또는 컴퓨터를 제조하는데 사용될 수 있다. 예를 들어, 상기 전자 시스템(2400)은 메모리 시스템(2412), 마이크로프로세서(2414), 램(2416), 버스(2420), 및 유저 인터페이스(2418)를 포함할 수 있다. 상기 마이크로프로세서(2414), 상기 메모리 시스템(2412), 및 상기 유저 인터페이스(2418)는 상기 버스(2420)를 공유하여 상호 접속될 수 있다. 상기 유저 인터페이스(2418)는 상기 전자 시스템(2400)으로 데이터를 입력하거나 상기 전자 시스템(2400)으로부터 데이터를 출력하는데 사용될 수 있다. 상기 마이크로프로세서(2414)는 상기 전자 시스템(2400)을 프로그램 및 컨트롤할 수 있다. 상기 램

도면

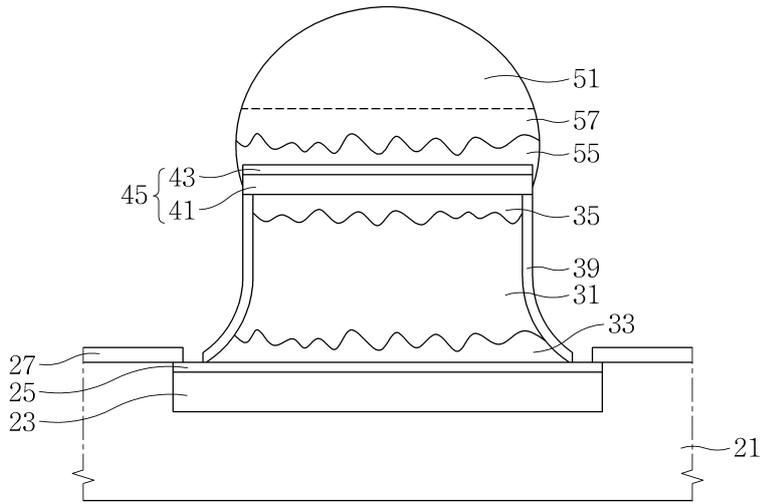
도면1



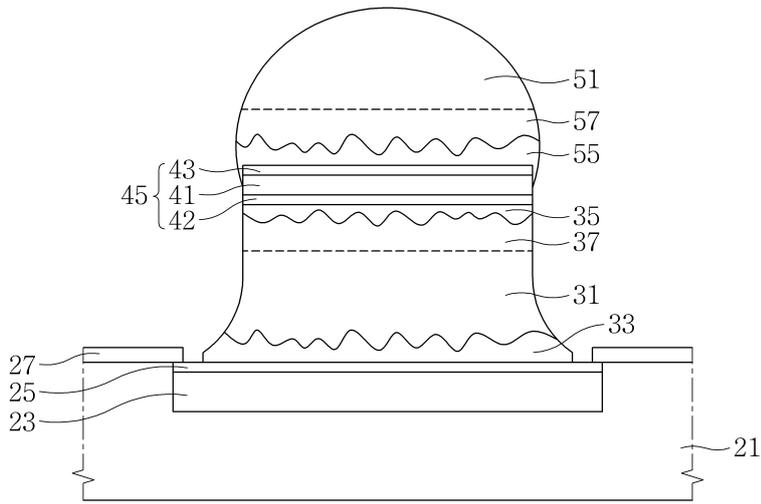
도면2



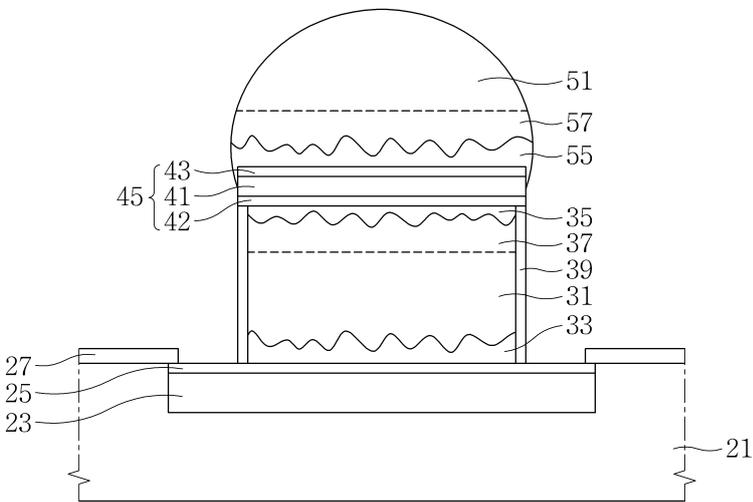
도면3



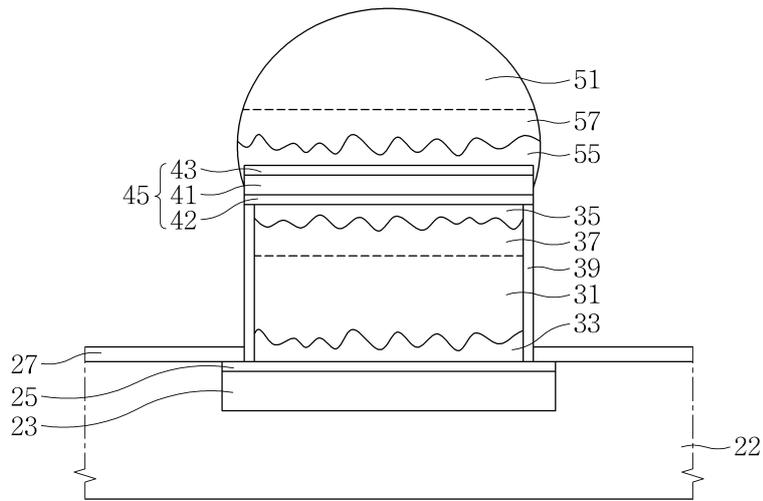
도면4



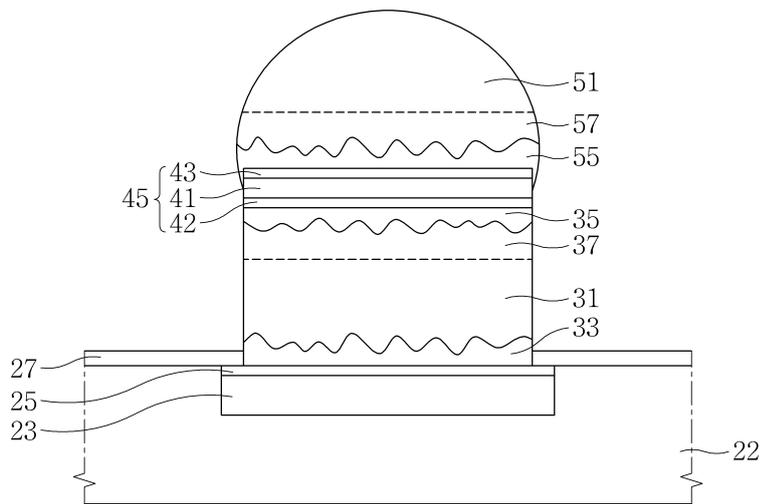
도면5



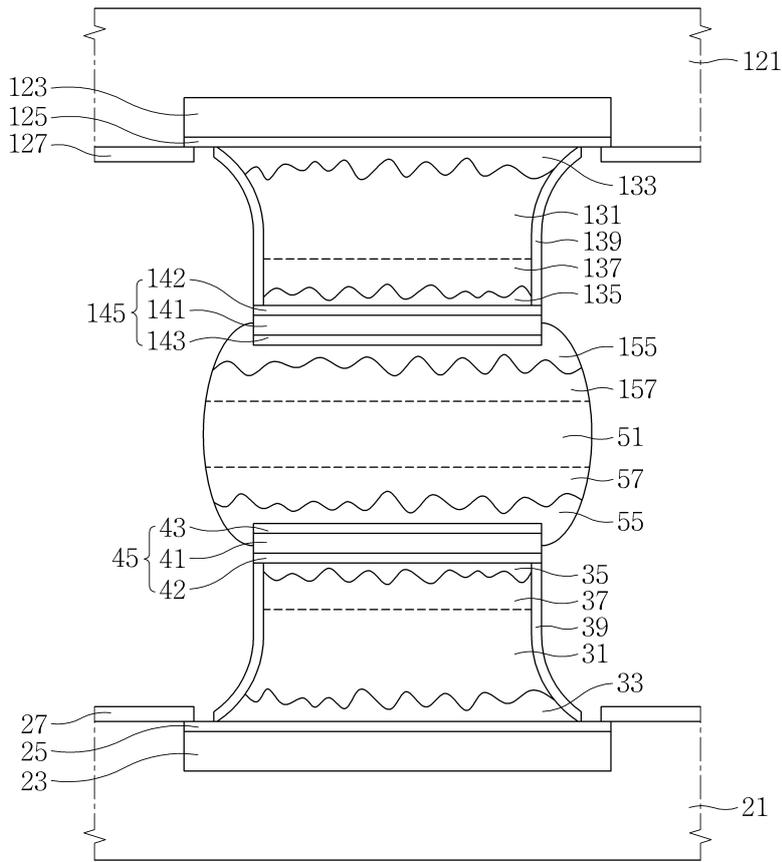
도면6



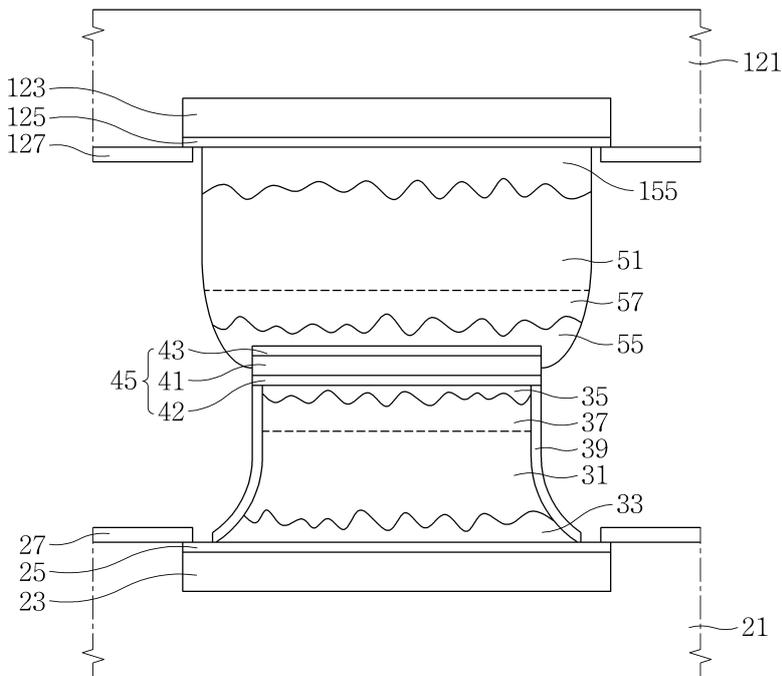
도면7



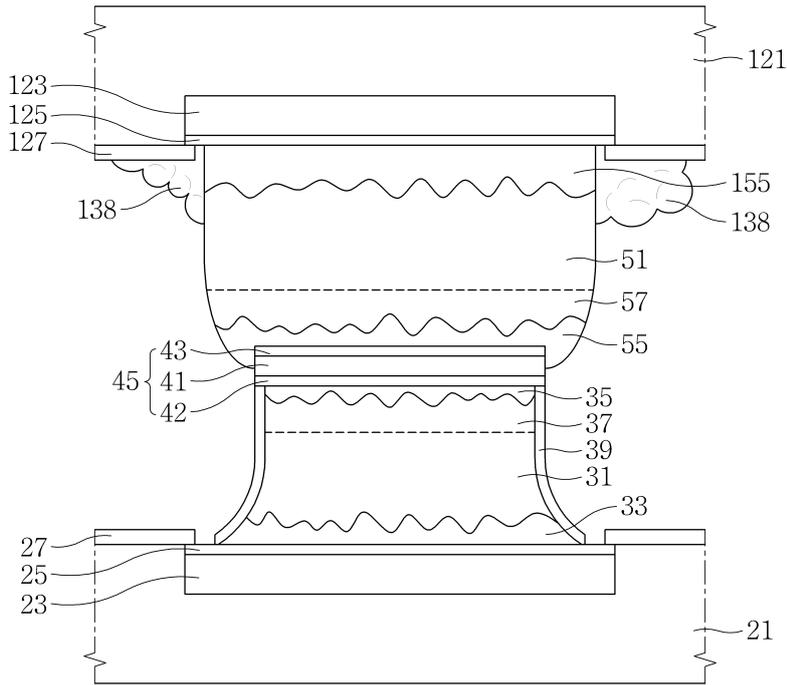
도면8



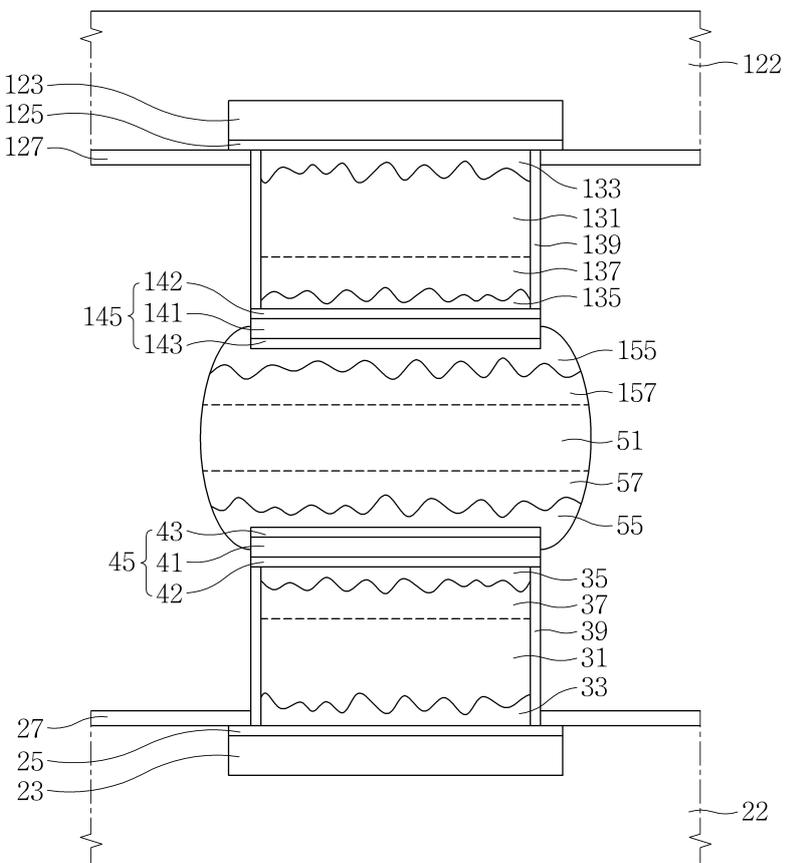
도면9



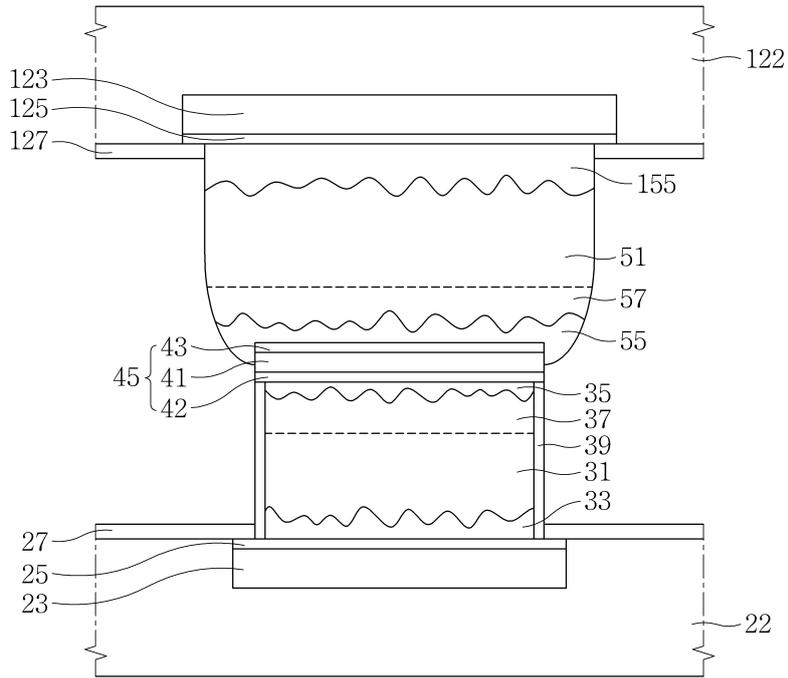
도면10



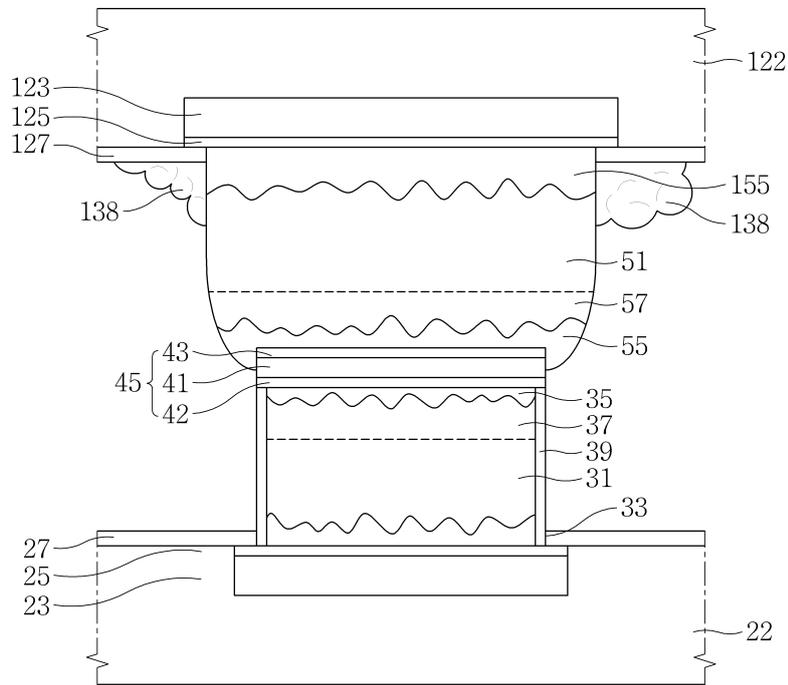
도면11



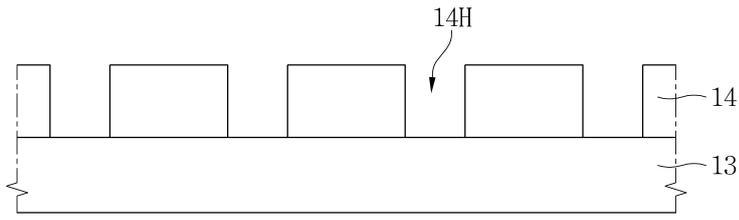
도면12



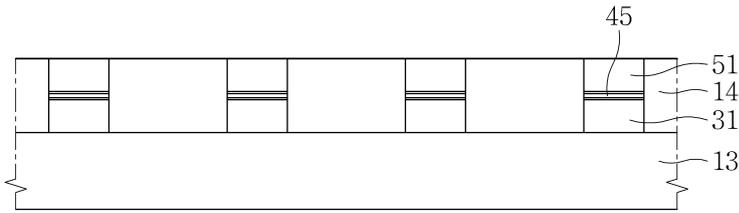
도면13



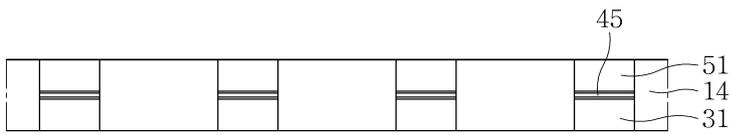
도면14



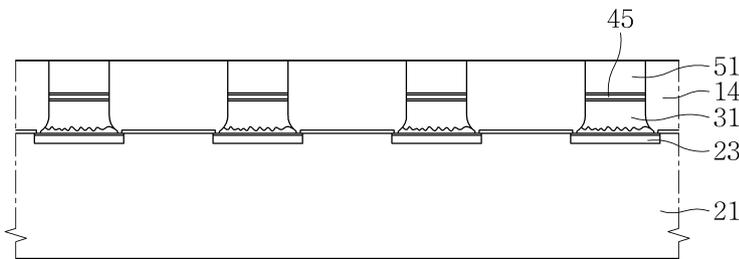
도면15



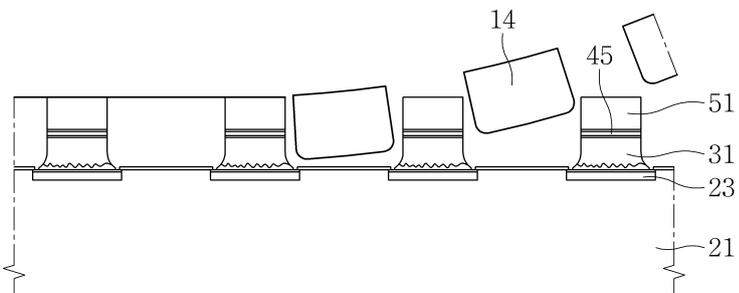
도면16



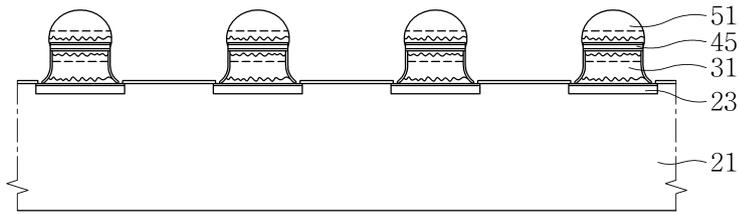
도면17



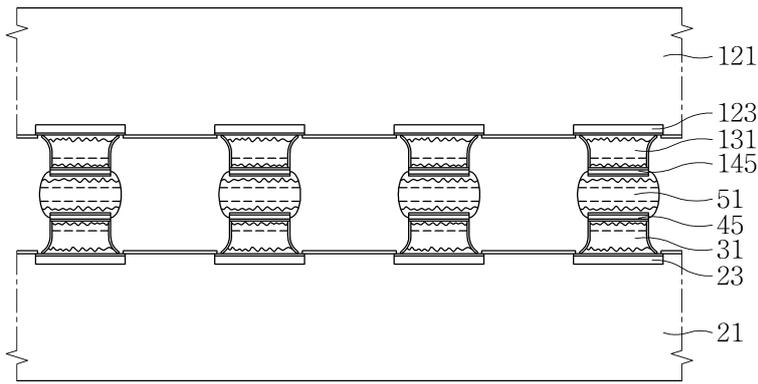
도면18



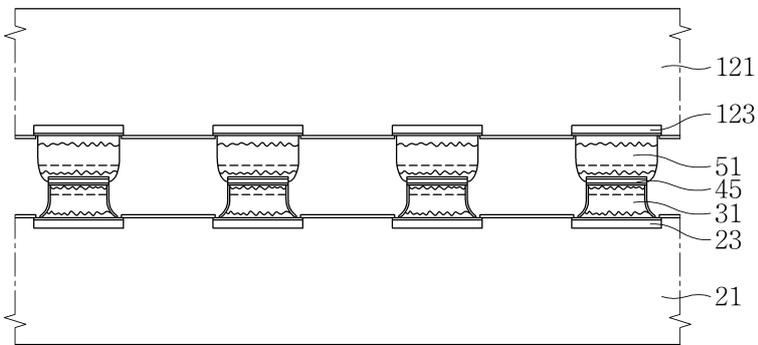
도면19



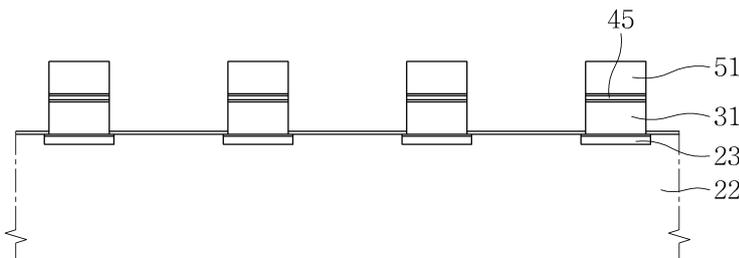
도면20



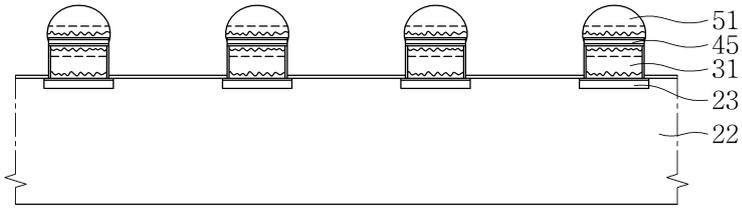
도면21



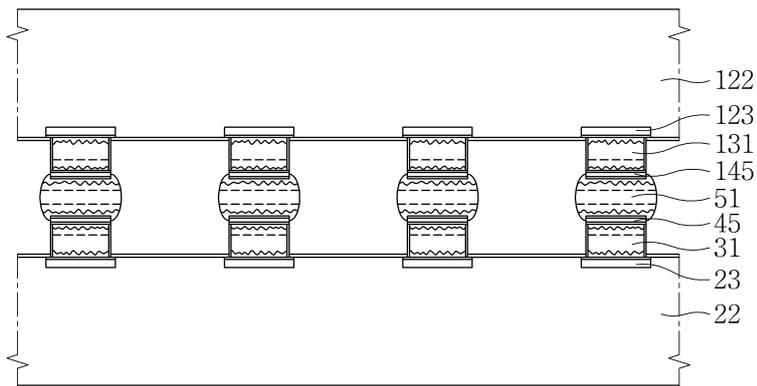
도면22



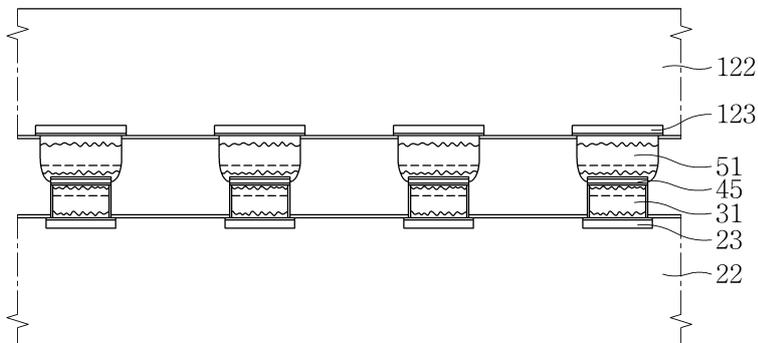
도면23



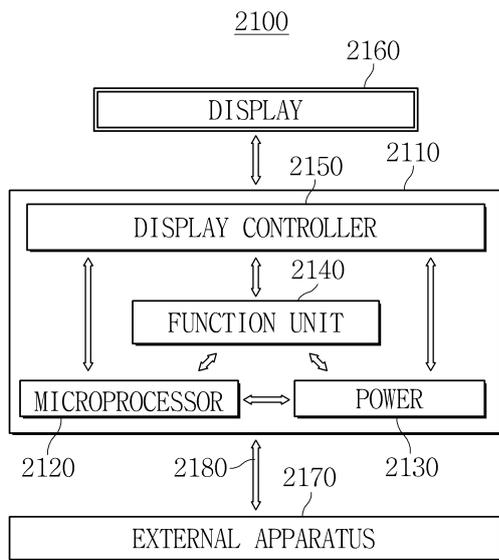
도면24



도면25



도면26



도면27

