



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년11월24일
(11) 등록번호 10-2470104
(24) 등록일자 2022년11월18일

(51) 국제특허분류 (Int. Cl.)
G11C 11/40 (2006.01) *G11C 11/409* (2015.01)
G11C 11/4096 (2015.01) *H03K 19/177* (2020.01)

(52) CPC특허분류
G11C 11/40 (2013.01)
G11C 11/409 (2018.05)

(21) 출원번호 10-2015-0031849
(22) 출원일자 2015년03월06일
 심사청구일자 2020년03월03일
(65) 공개번호 10-2015-0105261
(43) 공개일자 2015년09월16일
(30) 우선권주장
 JP-P-2014-043550 2014년03월06일 일본(JP)
 JP-P-2014-049713 2014년03월13일 일본(JP)

(56) 선행기술조사문현
 JP2013251894 A*

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
오카모토 유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
구로카와 요시유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
양영준 **박충복**

전체 청구항 수 : 총 9 항

심사관 : 솔유실

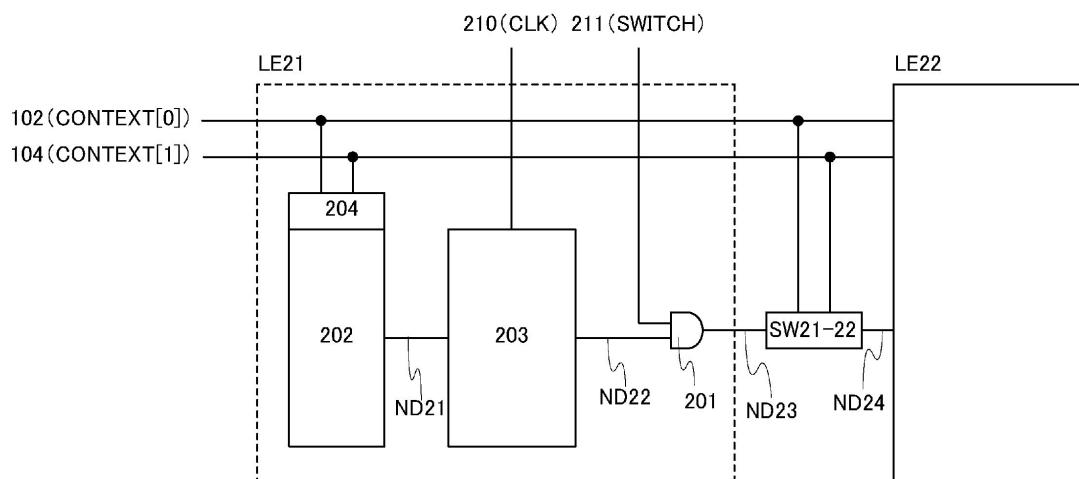
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은, 신호 전달 속도를 저하시키지 않는 반도체 장치를 제공한다.

제 1 로직 엘리먼트와, 제 1 로직 엘리먼트와 전기적으로 접속된 제 1 스위치와, 제 1 스위치와 전기적으로 접속된 제 2 로직 엘리먼트를 갖고, 적어도 제 1 로직 엘리먼트는 제 2 스위치를 갖고, 제 2 스위치는 제 1 로직 엘리먼트로부터의 출력 전위를 "L"레벨로 하는 기능을 갖는 반도체 장치이다. 제 1 로직 엘리먼트는 레지스터와 전기적으로 접속된 메모리를 가져도 좋다. 메모리는 레지스터의 데이터를 유지하는 기능을 갖고, 레지스터는 메모리에 데이터를 유지한 후, 출력 전위를 "L"레벨로 하는 기능을 갖는다.

대 표 도



(52) CPC특허분류

G11C 11/4096 (2018.05)

H03K 19/1776 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

반도체 장치에 있어서,

제 1 로직 엘리먼트와;

상기 제 1 로직 엘리먼트와 전기적으로 접속된 스위치와;

상기 스위치와 전기적으로 접속된 제 2 로직 엘리먼트를 포함하고,

상기 제 1 로직 엘리먼트는 제 1 메모리, 레지스터, 상기 제 1 메모리와 상기 레지스터 사이에 결합되는 루프 테이블, 및 상기 레지스터와 전기적으로 접속된 제 2 메모리를 포함하고,

상기 제 2 메모리는 상기 레지스터의 데이터를 유지하고,

상기 레지스터는, 상기 제 2 메모리가 상기 데이터를 유지한 후, 출력 전위를 "L" 레벨로 하고,

상기 스위치는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 용량 소자를 포함하고,

상기 제 2 트랜지스터의 게이트는 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 용량 소자의 제 1 전극과 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트는 제 1 신호선과 전기적으로 접속되고,

상기 제 1 메모리는 상기 제 1 신호선과 전기적으로 접속되는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 2 메모리는 산화물 반도체층을 포함하는 트랜지스터를 포함하는, 반도체 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

반도체 장치에 있어서,

메모리와, 레지스터와, 상기 메모리와 상기 레지스터 사이에 결합되는 루프 테이블과, 상기 레지스터의 출력 신호를 수신하는 제 1 스위치를 포함하는 제 1 로직 엘리먼트와;

상기 제 1 스위치의 출력 신호를 수신하는 제 2 스위치와;

상기 제 2 스위치와 전기적으로 접속된 제 2 로직 엘리먼트를 포함하고,

상기 레지스터는 출력 전위를 "L"레벨로 하고,

상기 제 2 스위치는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 용량 소자를 포함하고,

상기 제 2 트랜지스터의 게이트는 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 용량 소자의 제 1 전극과 전기적으로 접속되고,

상기 제 3 트랜지스터의 게이트는 제 1 신호선과 전기적으로 접속되고,

상기 메모리는 상기 제 1 신호선과 전기적으로 접속되는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 스위치는 논리곱 회로인, 반도체 장치.

청구항 9

제 7 항에 있어서,

상기 제 1 스위치는 AND 회로인, 반도체 장치.

청구항 10

제 2 항 또는 제 7 항에 있어서,

상기 제 1 트랜지스터의 게이트는 제 2 신호선과 전기적으로 접속되고,

컨텍스트들 중 하나는 상기 제 1 신호선으로부터의 신호에 따라 선택되는, 반도체 장치.

청구항 11

제 2 항 또는 제 7 항에 있어서,

상기 제 1 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는, 반도체 장치.

청구항 12

제 2 항 또는 제 7 항에 있어서,

상기 제 2 트랜지스터는 채널 형성 영역에 산화물 반도체를 포함하는, 반도체 장치.

청구항 13

제 7 항에 있어서,

상기 레지스터는 상기 특업 테이블의 출력 신호를 수신하는, 반도체 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제작 방법에 관한 것이다. 또는, 본 발명은 프로세스, 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히 본 발명의 일 형태는 예를 들어, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다. 특히, 본 발명의 일 형태는, 반도체 장치에 관한 것이다. 특히, 본 발명의 일 형태는, 하드웨어의 구성을 변경할 수 있는 프로그래머블 로직 디바이스(PLD: Programmable Logic Device)와, 상기 프로그래머블 로직 디바이스를 사용한 반도체 장치, 및 그 구동 방법에 관한 것이다.

배경기술

[0002] 프로그래머블 로직 디바이스(이하, PLD라고 부름)는 제작 후에 사용자가 원하는 회로 구성으로 설정하여 기능시킬 수 있는 집적 회로이다. 제작할 때, 모든 회로가 고정되는 집적 회로에 비하여, 개발 기간의 단축이나 설계 사양의 변경에 대한 유연성 등의 이점을 갖고 있어, 반도체 장치로의 이용이 증가하고 있다.

[0003] PLD로서는, 소규모 회로인 PAL(Programmable Array Logic)이나 GAL(Generic Array Logic), 및 대규모 회로인 CPLD(Complex Programmable Logic Device), FPGA(Field Programmable Gate Array) 등을 들 수 있다. 본 명세서에서는 PAL, GAL, CPLD, FPGA 등을 포함하여 프로그래머블 로직 디바이스라고 부른다.

[0004] PLD는 적어도 로직 엘리먼트(Log Element, 이하 LE라고 부름)를 갖는다. 복수의 LE간은 배선에 의하여 전기적으로 접속된다. 각 LE의 기능을 변경함으로써 PLD의 기능을 변경할 수 있다. 또한, LE간의 배선의 도통 상태를 변경함으로써 PLD의 기능을 변경할 수 있다.

[0005] PLD는 컨피규레이션 메모리를 탑재할 수 있다. PLD가 복수의 세트의 컨피규레이션 메모리를 탑재할 경우에는, 서로 다른 컨피규레이션 데이터를 저장할 수 있다. PLD의 동작 중에 컨피규레이션 데이터를 다른 세트로 전환시키는 방식을 멀티 컨택스트 방식이라고 부른다. 멀티 컨택스트 기능을 갖는 PLD는, 컨피규레이션 데이터의 세트를 선택만 하면 회로 구성을 고속으로 변경할 수 있다. 또한, 멀티 컨택스트 기능을 갖는 PLD는 선택된 컨피규레이션 데이터에 따른 회로 동작을 행하지만, 상기 동작 동안에 비선택의 컨피규레이션 데이터를 채기록하는, 소위 동적 재구성이 가능하게 된다.

[0006] 하기 비특허문헌 1은, 멀티 컨택스트 방식의 PLD에 대하여 기재된 것이다. 여기에는 PLD가 갖는 패스 트랜지스터의 부스팅 기능을 이용하여 노드(SN)의 전위를 승압시킬 수 있어 종래의 SRAM을 사용한 경우에 비하여 스위칭 속도가 개선된다는 내용이 기재되어 있다.

선행기술문헌

비특허문헌

[0007] (비)특허문헌 0001) Y. Okamoto et al., "Novel Application of Crystalline Indium-Gallium-Zinc-Oxide Technology to LSI: Dynamically Reconfigurable Programmable Logic Device Based on Multi-CONTEXT Architecture," ECS Trans., vol. 54, no. 1, pp.141-149, Jun. 2013.

발명의 내용

해결하려는 과제

[0008] 스위칭 속도가 개선되면, LE간의 신호 전달 속도가 향상된다. 신호 전달 속도의 향상은 PLD 등의 반도체 장치의 성능을 평가하는 데에 중요한 포인트가 된다. 그렇지만, 상기 비특허문헌에 기재된 패스 트랜지스터의 부스팅 기능을 이용한 경우에도 스위칭 속도가 개선되지 않을 우려가 있다. 이에 대하여, 이하에 설명한다.

- [0009] 도 10에서는, LE(11)와 LE(12) 사이에 제 1 스위치(SW11)나 제 2 스위치(SW12)를 배치한 회로 구성을 도시하였다. 제 1 스위치(SW11)나 제 2 스위치(SW12)를 합쳐 스위치군(SW1)이라고 부를 수 있다.
- [0010] 제 1 스위치(SW11)는 LE(11)와 LE(12) 사이의 도통, 비도통을 제어하는 기능을 갖는다. 제 2 스위치(SW12)는 제 1 스위치(SW11)와 마찬가지의 구성 및 기능을 가질 수 있다. 이들 스위치에 대하여 설명한다.
- [0011] 제 1 스위치(SW11)는 제 1 트랜지스터(M11), 제 2 트랜지스터(M12), 제 3 트랜지스터(M13), 제 1 용량 소자(C11)를 갖는다. 제 1 트랜지스터(M11)의 소스 및 드레인 중 한쪽은 제 2 트랜지스터(M12)의 게이트와 전기적으로 접속된다. 제 1 트랜지스터(M11)의 소스 및 드레인 중 한쪽은 제 1 용량 소자(C11)의 한쪽의 전극과 전기적으로 접속된다. 제 2 트랜지스터(M12)의 소스 및 드레인 중 한쪽은 제 3 트랜지스터(M13)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 1 트랜지스터(M11)의 게이트는 제 1 신호선(101)과 전기적으로 접속된다. 제 1 신호선(101)으로부터 공급되는 신호를 WL[0]이라고 표기한다. WL[0]에 의거하여 제 1 트랜지스터(M11)가 선택된다. 제 3 트랜지스터(M13)의 게이트는 제 2 신호선(102)과 전기적으로 접속된다. 제 2 신호선(102)으로부터 공급되는 신호를 CONTEXT[0]라고 표기한다. CONTEXT[0]에 의거하여 제 3 트랜지스터(M13)가 선택된다. 신호선이란, 이들 원하는 신호를 공급할 수 있는 배선이다.
- [0012] 제 2 스위치(SW12)는 제 4 트랜지스터(M14), 제 5 트랜지스터(M15), 제 6 트랜지스터(M16), 제 2 용량 소자(C12)를 갖는다. 제 4 트랜지스터(M14)의 소스 및 드레인 중 한쪽은 제 5 트랜지스터(M15)의 게이트와 전기적으로 접속된다. 제 4 트랜지스터(M14)의 소스 및 드레인 중 한쪽은 제 2 용량 소자(C12)의 한쪽의 전극과 전기적으로 접속된다. 제 5 트랜지스터(M15)의 소스 및 드레인 중 한쪽은 제 6 트랜지스터(M16)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 4 트랜지스터(M14)의 게이트는 제 3 신호선(103)과 전기적으로 접속된다. 제 3 신호선(103)으로부터 공급되는 신호를 WL[1]이라고 표기한다. WL[1]에 의거하여 제 4 트랜지스터(M14)가 선택된다. 제 6 트랜지스터(M16)의 게이트는 제 4 신호선(104)과 전기적으로 접속된다. 제 4 신호선(104)으로부터 공급되는 신호를 CONTEXT[1]라고 표기한다. CONTEXT[1]에 의거하여 제 6 트랜지스터(M16)가 선택된다. 신호선이란 이들 원하는 신호를 공급할 수 있는 배선이다.
- [0013] 제 1 트랜지스터(M11)와 제 4 트랜지스터(M14) 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 제 5 신호선(105)과 전기적으로 접속된다. 제 5 신호선(105)으로부터 공급되는 신호를 BL이라고 표기한다. 제 1 트랜지스터(M11)가 선택되는 경우, BL에 대해서 제 1 트랜지스터(M11) 너머의 노드(SN11)의 전위를 BL에 의거하여 결정할 수 있다. 상기 전위는 제 1 용량 소자(C11)에 의하여 유지할 수 있다. 또한, 제 4 트랜지스터(M14)가 선택되는 경우, BL에 대해서 제 4 트랜지스터(M14) 너머의 노드(SN12)의 전위를 BL에 의거하여 결정할 수 있다. 상기 전위는 제 2 용량 소자(C12)에 의하여 유지할 수 있다. 신호선이란 원하는 신호를 공급할 수 있는 배선이다.
- [0014] 제 2 트랜지스터(M12)와 제 5 트랜지스터(M15)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 LE(11)의 출력 측과 전기적으로 접속된다. LE(11)의 출력 측의 단자를 노드(ND11)라고 표기한다. 제 3 트랜지스터(M13)와 제 6 트랜지스터(M16)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 LE(12)의 입력 측과 전기적으로 접속된다. LE(12)의 입력 측의 단자를 노드(ND12)라고 표기한다.
- [0015] 이와 같은 회로에 의하여 적어도 이하의 동작을 행할 수 있다. WL[0]에 의하여 제 1 트랜지스터(M11)의 도통, 비도통이 제어된다. WL[1]에 의하여 제 4 트랜지스터(M14)의 도통, 비도통이 제어된다. BL에 대응하는 컨피규레이션 데이터가 제 1 트랜지스터(M11)를 통하여 제 1 용량 소자(C11)에 기록된다. 그 후, 제 1 트랜지스터(M11)가 비도통이 되면, 컨피규레이션 데이터가 노드(SN11)에 저장된다.
- [0016] BL에 대응하는 컨피규레이션 데이터가 제 4 트랜지스터(M14)를 통하여 제 2 용량 소자(C12)에 기록된다. 그 후, 제 4 트랜지스터(M14)가 비도통이 되면, 컨피규레이션 데이터가 노드(SN12)에 저장된다. 노드(SN11)에 저장된 컨피규레이션 데이터에 의존하여 제 2 트랜지스터(M12)의 도통, 비도통이 제어된다. 노드(SN12)에 저장된 컨피규레이션 데이터에 의존하여 제 5 트랜지스터(M15)의 도통, 비도통이 제어된다.
- [0017] 또한, CONTEXT[0]에 의하여 제 3 트랜지스터(M13)의 도통, 비도통이 제어됨으로써 원하는 회로 구성은 선택할 수 있다. 또한, CONTEXT[1]에 의하여 제 6 트랜지스터(M16)의 도통, 비도통이 제어됨으로써 원하는 회로 구성은 선택할 수 있다.
- [0018] 도 11에, 도 10에 도시된 회로에서의 타이밍 차트를 나타내었다. 도 11은 제 5 신호선(105)으로부터 공급되는 BL의 타이밍 차트를 나타낸 것이다. 도 11은 제 1 신호선(101), 제 3 신호선(103)으로부터 각각 공급되는

WL[0], WL[1]의 타이밍 차트를 나타낸 것이다. 도 11은 제 2 신호선(102)으로부터 공급되는 CONTEXT[0]의 타이밍 차트를 나타낸 것이다. 도 11은 제 4 신호선(104)으로부터 공급되는 CONTEXT[1]의 타이밍 차트를 나타낸 것이다.

[0019] CONTEXT[0]가 "H"레벨이며, CONTEXT[1]가 "L"레벨인 상태를 "제 1 컨피규레이션 데이터를 선택한다"고 하고, CONTEXT[0]가 "L"레벨이며, CONTEXT[1]가 "H"레벨인 상태를 "제 2 컨피규레이션 데이터를 선택한다"고 표기한다. 제 1 컨피규레이션 데이터와 제 2 컨피규레이션 데이터는 어느 한쪽만 선택할 수 있다. 예를 들어, 제 1 컨피규레이션 데이터가 선택 상태일 때, 제 2 컨피규레이션 데이터는 비선택 상태가 된다. 예를 들어, 제 2 컨피규레이션 데이터가 선택 상태일 때, 제 1 컨피규레이션 데이터는 비선택 상태가 된다.

[0020] 도 11에 있어서, 트랜지스터(M11), 트랜지스터(M12), 트랜지스터(M13), 트랜지스터(M14), 트랜지스터(M15), 트랜지스터(M16)의 게이트에 인가한 경우, 도통 상태가 되는 전위를 "H"레벨로 나타내고, 비도통 상태가 되는 전위를 "L"레벨로 나타낸다. "H"레벨의 전위를 VDD로 하고, "L"레벨의 전위를 GND로 하지만, 상대적인 전위차가 있으면 좋고, VDD나 GND에 한정되는 것이 아니다. 따라서, 제 1 전위와, 제 1 전위보다 낮은 제 2 전위나, 제 1 전위와, 제 1 전위보다 높은 제 2 전위로서 표현할 수 있다.

[0021] 도 11에 있어서, 노드(ND11)의 전위가 "L"레벨인 동안을 시각T0~T1로 한다. BL을 "H"레벨로 하고, 이어서 WL[0]을 "H"레벨로 함으로써 노드(SN11) 및 제 1 용량 소자(C11)를 사용하여 "H"레벨에 상당하는 컨피규레이션 데이터를 기록할 수 있다. 그 후, WL[0]을 "L"레벨로 하여 제 1 트랜지스터(M11)를 비도통으로 함으로써, 노드(SN11) 및 제 1 용량 소자(C11)를 사용하여 컨피규레이션 데이터를 저장할 수 있다. WL[0]이 "L"레벨이 된 이후이면, BL은 "H"레벨이든 "L"레벨이든 제 1 트랜지스터(M11)를 비도통으로 할 수 있다. 여기서는, BL은 "L"레벨로 한다.

[0022] 시각T1에서 제 1 컨피규레이션 데이터를 선택한다. 구체적으로는 CONTEXT[0]를 "H"레벨로 하고 제 3 트랜지스터(M13)를 도통시킨다.

[0023] 또한, LE(11) 측의 노드(ND11)를 "L"레벨의 전위로부터 "H"레벨의 전위로 변화시킴으로써 제 2 트랜지스터(M12)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN11)의 전위는 예를 들어 약 2VDD로 승압된다. 제 2 트랜지스터(M12)의 소스-게이트간 전압이 약 2VDD가 되고, 또한 제 3 트랜지스터(M13)는 도통되기 때문에, LE(12) 측의 노드(ND12)의 전위는 신속하게 "H"레벨이 된다. 그 결과, 상기 승압이 행해지지 않은 경우와 비교하여 노드(ND11)와 노드(ND12) 사이의 신호 전달 속도는 향상된다.

[0024] 시각T2에서 LE(11) 측의 노드(ND11)를 "H"레벨의 전위로부터 "L"레벨의 전위로 변화시키면, 제 2 트랜지스터(M12)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN11)의 전위는 VDD까지 강압된다. 제 2 트랜지스터(M12)의 소스-게이트간 전압이 VDD가 되고, 또한 제 3 트랜지스터(M13)는 도통되기 때문에, GND 레벨의 경우와 비교하여 노드(ND12)의 전위는 신속하게 "L"레벨이 된다.

[0025] 도 11로부터 알 수 있듯이, 제 1 컨피규레이션 데이터를 선택하는 동안, 노드(ND11)와 노드(ND12) 사이의 신호 전달 속도는 높게 유지된다. 즉, 한번 제 2 트랜지스터(M12)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN11)의 전위가 승압 또는 강압되면, LE(11)와 LE(12) 사이의 신호 전달 속도는 높게 유지된다.

[0026] 다음에, 노드(ND11)의 전위가 "L"레벨이 되는 동안을 시각T3~T4로 한다. 시각T3~T4에서는, BL을 "H"레벨로 하고, WL[1]을 "H"레벨로 함으로써 노드(SN12) 및 제 2 용량 소자(C12)를 사용하여 "H"레벨에 상당하는 컨피규레이션 데이터를 기록할 수 있다. 그 후, WL[1]을 "L"레벨로 하여 제 4 트랜지스터(M14)를 비도통으로 함으로써 노드(SN12) 및 제 2 용량 소자(C12)를 사용하여 컨피규레이션 데이터를 저장할 수 있다. WL[1]이 "L"레벨이 된 이후이면, BL은 "H"레벨이든 "L"레벨이든 제 4 트랜지스터(M14)를 비도통으로 할 수 있다. 여기서는, BL은 "L"레벨로 한다.

[0027] 시각T4 이후, 제 1 컨피규레이션 데이터를 비선택 상태로 하고, 제 2 컨피규레이션 데이터를 선택한다. 구체적으로는, CONTEXT[0]를 "L"레벨로 하여 제 3 트랜지스터(M13)를 비도통으로 하고, CONTEXT[1]를 "H"레벨로 하여 제 6 트랜지스터(M16)를 도통시킨다.

[0028] 또한, LE(11) 측의 노드(ND11)를 "L"레벨의 전위로부터 "H"레벨의 전위로 변화시킴으로써 제 5 트랜지스터(M15)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN12)의 전위는 예를 들어 약 2VDD로 승압된다. 제 5 트랜지스터(M15)의 소스-게이트간 전압이 약 2VDD가 되고, 또한 제 6 트랜지스터(M16)는 도통되기 때문에 LE(12) 측의 노드(ND12)의 전위는 신속하게 "H"레벨이 된다. 그 결과, 상기 승압이 행해지지 않은 경우와 비교하여 노드

(ND11)와 노드(ND12) 사이의 신호 전달 속도는 향상된다.

[0029] 시각T5에서 LE(11) 측의 노드(ND11)를 "H"레벨의 전위로부터 "L"레벨의 전위로 변화시키면, 제 5 트랜지스터(M15)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN12)의 전위는 VDD까지 강압된다. 제 5 트랜지스터(M15)의 소스-게이트간 전압이 VDD가 되고, 또한 제 6 트랜지스터(M16)는 도통되기 때문에, 노드(ND12)의 전위는 신속하게 "L"레벨이 된다.

[0030] 도 11로부터 알 수 있듯이, 제 2 컨피규레이션 데이터를 선택하는 동안, 노드(ND11)와 노드(ND12) 사이의 신호 전달 속도는 높게 유지된다. 즉, 제 5 트랜지스터(M15)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN12)의 전위가 한번이라도 승압 또는 강압되면, LE(11)와 LE(12) 사이의 신호 전달 속도는 높게 유지된다.

[0031] 도 12를 사용하여, 도 11과는 다른 조건을 생각해 본다.

[0032] 도 12에 있어서, 노드(ND11)의 전위가 "L"레벨인 동안을 시각T0'~T1'로 한다. 도 11과 마찬가지로 생각할 수 있고, 시각T0'~T1'에서는, 노드(ND11)의 전위가 "L"레벨인 동안에 BL을 "H"레벨로 하고, WL[0]을 "H"레벨로 함으로써 제 1 용량 소자(C11)에 "H"레벨에 상당하는 컨피규레이션 데이터를 기록하고, 그 후에, WL[0]을 "L"레벨로 하고, BL을 "L"레벨로 하여 제 1 트랜지스터(M11)를 비도통으로 함으로써 노드(SN11)의 컨피규레이션 데이터를 저장한다.

[0033] 시각T1'에서 제 1 컨피규레이션 데이터를 선택한다. 구체적으로는 CONTEXT[0]를 "H"레벨로 하고 제 3 트랜지스터(M13)를 도통시킨다.

[0034] 또한, LE(11) 측의 노드(ND11)를 "L"레벨의 전위로부터 "H"레벨의 전위로 변화시킴으로써 제 2 트랜지스터(M12)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN11)의 전위는 예를 들어 약 2VDD로 승압된다. 그 결과, 도 11과 마찬가지로 상기 승압이 행해지지 않은 경우와 비교하여 노드(ND11)와 노드(ND12) 사이의 신호 전달 속도는 향상된다.

[0035] 시각T2'에서 LE(11) 측의 노드(ND11)를 "H"레벨의 전위로부터 "L"레벨의 전위로 변화시키면, 제 2 트랜지스터(M12)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN11)의 전위는 VDD까지 강압된다. 제 2 트랜지스터(M12)의 소스-게이트간 전압이 VDD가 되기 때문에, 노드(ND12)의 전위는 신속하게 "L"레벨이 된다.

[0036] 다음에, 노드(ND11)의 전위가 "H"레벨인 동안을 시각T3'~T4'로 한다. 시각T3'~T4'에서는, 노드(ND11)의 전위가 "H"레벨인 동안에 BL을 "H"레벨로 하고, WL[1]을 "H"레벨로 함으로써 노드(SN12) 및 제 2 용량 소자(C12)를 사용하여 "H"레벨에 상당하는 컨피규레이션 데이터를 기록할 수 있다. 그 후, WL[1]을 "L"레벨로 하여 제 4 트랜지스터(M14)를 비도통으로 함으로써 노드(SN12) 및 제 2 용량 소자(C12)를 사용하여 컨피규레이션 데이터를 저장할 수 있다.

[0037] 시각T4' 이후, 제 1 컨피규레이션 데이터를 비선택 상태로 하고, 제 2 컨피규레이션 데이터를 선택한다. 구체적으로는, CONTEXT[0]를 "L"레벨로 하여 제 3 트랜지스터(M13)를 비도통으로 하고, CONTEXT[1]를 "H"레벨로 하여 제 6 트랜지스터(M16)를 도통시킨다.

[0038] 이 때, LE(11) 측의 노드(ND11)가 "H"레벨인 상태에서 상기 시각T4'가 되면, 그 후, LE(11) 측의 노드(ND11)가 "H"레벨의 전위로부터 "L"레벨의 전위로 변화된다. 이 경우, 노드(SN12)의 전위는 승압되지 않고, 제 5 트랜지스터(M15)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN12)의 전위는 VDD보다 작고 GND 가까이까지 강압된다.

[0039] 시각T5'에서 LE(11) 측의 노드(ND11)를 "L"레벨의 전위로부터 "H"레벨의 전위로 변화시킨다. 노드(SN12)의 전위는 시각T4'로 강압되고, VDD보다 작은 값이 된 채 유지되고, 제 5 트랜지스터(M15)의 구동 능력은 작아진다. 이와 같이, 노드(ND11)와 노드(ND12) 사이의 신호 전달 속도가 저하되는 경우가 있다.

[0040] 또한, 노드(SN12)의 전위의 강압 폭이 큰 경우, 노드(SN12)의 전위는 "H"레벨로부터 "L"레벨로 변화되는 경우도 있다. 이 경우, 노드(ND11)와 노드(ND12) 사이에서 정확한 논리 신호가 전달되지 못할 우려가 있다.

[0041] 상술한 바와 같이, 선택된 컨피규레이션 데이터에 대응한 동작 시에 비선택의 컨피규레이션 데이터를 재기록하는 멀티 컨택스트 방식인 경우, 노드(ND11)의 전위에 의존하여 노드(ND11)와 노드(ND12) 사이의 신호 전달 속도가 저하되는 경우가 있다.

[0042] 본 발명의 일 형태는, 적어도 상술한 새로운 한 과제를 인식하고, 상기 한 과제를 해결하기 위하여 LE의 출력 전위를 "L"레벨로 하는 회로 구성 및 그 구동 방법을 제안한다. 또는 본 발명의 일 형태는 신규 회로를 제안한

다. 또는 본 발명의 일 형태는 신규 회로의 구동 방법을 제안한다. 또는 본 발명의 일 형태는 신규 반도체 장치를 제안한다. 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 반드시 상술한 모든 과제를 해결할 필요는 없다. 또한, 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 상술한 것 외의 과제가 추출될 수 있다.

과제의 해결 수단

- [0043] 본 발명의 일 형태는, 제 1 로직 엘리먼트와, 상기 제 1 로직 엘리먼트와 전기적으로 접속된 제 1 스위치와, 상기 제 1 스위치와 전기적으로 접속된 제 2 로직 엘리먼트를 갖고, 적어도 제 1 로직 엘리먼트는 제 2 스위치를 갖고, 제 2 스위치는 제 1 로직 엘리먼트로부터의 출력 전위를 "L"레벨로 하는 기능을 갖는 반도체 장치이다.
- [0044] 본 발명의 일 형태는 제 1 로직 엘리먼트와, 제 1 로직 엘리먼트와 전기적으로 접속된 제 1 스위치와, 제 1 스위치와 전기적으로 접속된 제 2 로직 엘리먼트를 갖고, 적어도 제 1 로직 엘리먼트는 논리곱(論理積) 회로를 갖고, 논리곱 회로는 상기 제 1 로직 엘리먼트로부터의 출력 전위를 "L"레벨로 하는 기능을 갖는 반도체 장치이다.
- [0045] 본 발명의 일 형태는 제 1 로직 엘리먼트와, 제 1 로직 엘리먼트와 전기적으로 접속된 제 1 스위치와, 제 1 스위치와 전기적으로 접속된 제 2 로직 엘리먼트를 갖고, 적어도 제 1 로직 엘리먼트는 AND 회로를 갖고, AND 회로는 제 1 로직 엘리먼트로부터의 출력 전위를 "L"레벨로 하는 기능을 갖는 반도체 장치이다.
- [0046] 본 발명의 일 형태에 있어서, 제 1 스위치는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 용량 소자를 갖고, 제 2 트랜지스터의 게이트는 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 용량 소자의 제 1 전극과 전기적으로 접속되고, 제 1 트랜지스터의 게이트는 제 1 신호선과 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 2 신호선과 전기적으로 접속되고, 제 2 신호선으로부터의 신호에 따라 복수의 컨택스트 중 어느 하나를 선택하는 기능을 가질 수 있다.
- [0047] 본 발명의 일 형태에 있어서, 제 1 트랜지스터는 산화물 반도체층을 가질 수 있고, 제 2 트랜지스터는 산화물 반도체층을 가질 수 있다.
- [0048] 본 발명의 일 형태는 제 1 로직 엘리먼트와, 제 1 로직 엘리먼트와 전기적으로 접속된 스위치와, 스위치와 전기적으로 접속된 제 2 로직 엘리먼트를 갖고, 적어도 제 1 로직 엘리먼트는 레지스터와 전기적으로 접속된 메모리를 갖고, 메모리는 레지스터의 데이터를 유지하는 기능을 갖고, 레지스터는 메모리에 데이터를 유지한 후, 출력 전위를 "L"레벨로 하는 기능을 갖는 반도체 장치이다.
- [0049] 본 발명의 일 형태에 있어서, 메모리는 산화물 반도체층을 갖는 트랜지스터를 가질 수 있다.

발명의 효과

- [0050] 본 발명의 일 형태에 따르면, 컨피규레이션을 행할 때, 용량 결합에 의한 전하 유지 노드의 승압 효과를 사용하여 신호 전달 속도가 향상된 반도체 장치 및 그 구동 방법을 제공할 수 있다.
- [0051] 본 발명의 일 형태에 따르면, 상기 신호 전달 속도를 저하시키지 않는 반도체 장치 및 그 구동 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 따르면, 신규 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 따르면 신규 반도체 장치의 구동 방법을 제공할 수 있다. 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 반드시 상술한 모든 효과를 가질 필요는 없다. 또한, 상술한 것들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 상술한 것들 이외의 효과가 추출될 수 있다.

도면의 간단한 설명

- [0052] 도 1은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
 도 2는 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
 도 3은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
 도 4는 본 실시형태에 따른 타이밍 차트를 설명하는 도면.

- 도 5는 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 6은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 7은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 8은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 9는 본 실시형태에 따른 전자 기기 등의 구성을 설명하는 도면.
- 도 10은 반도체 장치의 구성을 설명하는 도면.
- 도 11은 타이밍 차트를 설명하는 도면.
- 도 12는 타이밍 차트를 설명하는 도면.
- 도 13은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 14는 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 15는 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 16은 본 실시형태에 따른 타이밍 차트를 설명하는 도면.
- 도 17은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.
- 도 18은 본 실시형태에 따른 반도체 장치의 구성을 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0053] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 동일한 기능을 갖는 부분에는 동일한 부호를 다른 도면 간에 공통으로 사용하고, 그 반복 설명은 생략한다.
- [0054] 앞에서 설명한 도 11의 타이밍 차트와 도 12의 타이밍 차트의 차이점으로부터 본 발명자들은, 노드(ND11)와 노드(ND12) 사이의 신호 전달 속도가 향상되기 위해서는, 적어도 컨피규레이션 데이터를 기록할 때(도 11의 시각 T4, 도 12의 시각 T4')에 LE(11)의 출력 전위인 노드(ND11)의 전위가 "L"레벨이 되는 것이 바람직한 것을 밝혀냈다.
- [0055] (실시형태 1)
- [0056] 본 실시형태에서는, 컨피규레이션 데이터를 기록할 때 LE의 출력 전위가 "L"레벨이 되는 반도체 장치의 일 구성에 대하여 설명한다.
- [0057] 도 1은 본 발명의 일 형태에서의 PLD의 회로 구성을 도시한 것이다. 도 1에 도시된 바와 같이, 복수의 LE(LE(21), LE(22), …, LE(2n)), 복수의 스위치(SW(21-21), SW(21-22), …, SW(21-2n), SW(22-21), …, SW(22-2n), …, SW(2n-21), SW(2n-22), …, SW(2n-2n)), 제 1 드라이버, 제 2 드라이버를 갖는다. 제 1 드라이버는 비트 드라이버(BD2)로서 기능한다. 제 2 드라이버는 워드 드라이버(WD2)로서 기능한다. 복수의 SW는 각각 복수의 LE간을 전기적으로 접속한다.
- [0058] LE는 내부에 컨피규레이션 메모리를 갖는다. 상기 컨피규레이션 메모리에 저장된 컨피규레이션 데이터에 의거하여 입력된 신호에 따라 특정한 출력 신호를 출력하는 기능을 갖는다.
- [0059] 복수의 SW는 복수의 LE간의 도통 상태(온과 오프)를 제어하는 기능을 갖는다. 도 1에서는, LE(21)와 전기적으로 접속되는 SW는 적어도 SW(21-21), SW(22-21) … SW(2n-21), SW(21-22), … SW(21-2n)가 있다. SW(21-21), SW(22-21) … SW(2n-21)는 적어도 LE(21)의 입력 측과 전기적으로 접속된다. SW(21-21), SW(21-22) … SW(21-2n)는 적어도 LE(21)의 입력 측 및 출력 측에 전기적으로 접속된다. 도 1과 같은 회로 구성이기 때문에 SW는 LE보다 많이 배치된다.
- [0060] 도 1에 있어서 LE(21)로의 입력은 한 단자로 설명되지만, 입력 단자는 복수개 있어도 좋고, 4개의 입력 단자를 배치할 수 있다. 이 경우, LE(21)와 전기적으로 접속되는 스위치의 개수가 도 1에 도시된 회로 구성보다 증가

된다.

[0061] 비트 드라이버(BD2), 워드 드라이버(WD2)는 LE 및 SW의 컨피규레이션을 제어하는 기능을 갖는다. 워드 드라이버(WD2)는 WL을 출력하는 기능, 상기 WL을 출력하는 신호선을 선택하는 기능을 갖는다. 비트 드라이버(BD2), 워드 드라이버(WD2) 이외에 컨트롤러 등을 갖는다.

[0062] 컨피규레이션이 행해지는 복수의 SW는 WL에 의하여 선택된다. 도 1에 도시된 회로 구성에 있어서 컨피규레이션이 행해지는 SW는 2종류의 신호(WL[0], WL[1])에 의하여 선택된다. 선택된 SW는 BL의 전위에 의존한 컨피규레이션 데이터에 의하여 컨피규레이션이 행해진다. 구체적으로, SW(21-22)를 사용하여 설명하면, SW(21-22)는 2종류의 신호(WL22[0], WL22[1])에 의거하여 선택되고, 선택되었을 때 BL(21)의 전위에 의존된 컨피규레이션 데이터에 의하여 컨피규레이션이 행해진다.

[0063] 도 2에서는, 도 1의 2개의 LE와 그 사이의 하나의 SW에 대하여 더 구체적으로 설명한다. 2개의 LE를 각각 LE(21), LE(22)로 한다. LE(21)와 LE(22) 사이에 있는 스위치를 SW(21-22)로 나타낸다.

[0064] 본 발명의 일 형태에 따른 LE는, 적어도 스위치를 갖는 것이 특징이다. 도 2에서는, LE(21)에 스위치(201)를 제공한 경우로 설명하지만, LE(22)에도 마찬가지의 스위치를 제공할 수 있다. 도 1에서 도시된 LE에도 마찬가지의 스위치를 제공할 수 있다.

[0065] 상기 스위치(201)는 논리곱 회로를 갖는다. 논리곱 회로는 2개 이상의 입력 단자와, 하나의 출력 단자를 갖는다. 모든 입력 단자에 입력 1이 입력되는 경우에만 출력 단자에 출력 1이 출력되고, 그 이외의 경우에는 0을 출력할 수 있는 회로이다. 논리곱 회로에는 예를 들어, AND 회로를 사용할 수 있다.

[0066] 스위치(201)는 컨트롤러로부터 출력된 신호(SWITCH)에 의하여 제어된다. SWITCH는 제 11 신호선(211)으로부터 스위치(201)로 입력된다. 레지스터(203)의 출력 신호가 "H"레벨이어도, SWITCH를 "L"레벨로 함으로써 스위치(201)로부터는 "L"레벨의 신호가 출력된다.

[0067] 상술한 바와 같이, 적어도 스위치(201)를 가짐으로써 LE(21)로부터의 신호를 "L"레벨로 할 수 있다.

[0068] 레지스터(203)는 루업 테이블(lookup table: 이하, LUT라고 부름)(202)로부터의 출력 신호를 유지하고, 제 10 신호선(210)으로부터의 신호(클록 신호이며, 이하 CLK라고 부름)에 동기하여 대응한 출력값을 출력하는 기능을 갖는다.

[0069] LUT(202)와 레지스터(203) 사이를 노드(ND21)로 한다. 레지스터(203)와 스위치(201) 사이를 노드(ND22)로 한다.

[0070] 기타, LE(21)는 기억 장치(204)를 갖는다. 기억 장치(204)가 갖는 컨피규레이션 데이터에 따라 LUT(202)에서는 실행되는 논리 연산이 정의된다. LUT(202)는 복수의 입력 신호에 대하여 정해진 하나의 출력 신호를 출력한다.

[0071] 기억 장치(204)는 제 2 신호선(102) 및 제 4 신호선(104)과 전기적으로 접속된다. 제 2 신호선(102)에는, 제 1 컨피규레이션 데이터를 선택하기 위한 신호 CONTEXT[0]가 공급된다. 제 4 신호선(104)에는 제 2 컨피규레이션 데이터를 선택하기 위한 신호 CONTEXT[1]가 공급된다. CONTEXT[0]나 CONTEXT[1]는 컨트롤러로부터 출력된다.

[0072] CONTEXT[0]가 "H"레벨이고, CONTEXT[1]가 "L"레벨인 상태를 "제 1 컨피규레이션 데이터를 선택한다"고 표기하고, CONTEXT[0]가 "L"레벨이고, CONTEXT[1]가 "H"레벨인 상태를 "제 2 컨피규레이션 데이터를 선택한다"고 표기한다. 제 1 컨피규레이션 데이터와 제 2 컨피규레이션 데이터는 어느 한쪽만 선택할 수 있다. 예를 들어, 제 1 컨피규레이션 데이터가 선택 상태일 때, 제 2 컨피규레이션 데이터는 비선택 상태가 된다. 예를 들어, 제 2 컨피규레이션 데이터가 선택 상태일 때, 제 1 컨피규레이션 데이터는 비선택 상태가 된다.

[0073] 제 1 컨피규레이션 데이터 및 제 2 컨피규레이션 데이터 중, 어느 한쪽만을 선택함으로써, 원하는 회로 구성은 얻을 수 있다. 또한, 선택한 컨피규레이션 데이터에 대응한 회로 동작 시에 비선택의 컨피규레이션 데이터를 변경할 수 있다. 즉, 반도체 장치는 멀티 컨택스트 기능을 갖는다.

[0074] 본 실시형태에 있어서, 컨피규레이션 데이터를 선택 상태의 전위를 "H"레벨로 나타내고, 비선택 상태의 전위를 "L"레벨로 나타낸다. "H"레벨의 전위를 VDD로 하고, "L"레벨의 전위를 GND로 하지만, 상대적인 전위차가 있으면 좋고, VDD나 GND에 한정되지 않는다.

[0075] LE(22)는 상술한 LE(21)와 같은 구성을 가질 수 있다. LE(22)도 스위치(201)를 가질 수 있다.

[0076] LE(21)와 LE(22) 사이에는, 스위치(SW21-22)가 제공된다. 스위치(SW21-22)는 제 2 신호선(102) 및 제 4 신호

선(104)과 전기적으로 접속된다.

[0077] LE(21)와 스위치(SW21-22) 사이를 노드(ND23)로 한다. 스위치(SW21-22)와 LE(22) 사이를 노드(ND24)로 한다.

[0078] 도 3은 스위치(SW21-22)의 회로 구성을 도시한 것이다. 스위치(SW21-22)는 제 1 스위치(SW21) 및 제 2 스위치(SW22)를 갖는다. 스위치(SW21-22)는 복수의 스위치를 가질 수 있고, 스위치군이라고 부를 수 있다. 제 1 스위치(SW21)는 LE(21)와 LE(22) 사이의 도통, 비도통을 제어하는 기능을 갖는다. 제 2 스위치(SW22)는 제 1 스위치(SW21)와 마찬가지의 구성 및 기능을 가질 수 있다. 이들 스위치에 대하여 설명한다.

[0079] 제 1 스위치(SW21)는 제 1 트랜지스터(M21), 제 2 트랜지스터(M22), 제 3 트랜지스터(M23), 제 1 용량 소자(C21)를 갖는다. 제 1 트랜지스터(M21)의 소스 및 드레인 중 한쪽은 제 2 트랜지스터(M22)의 게이트와 전기적으로 접속된다. 제 1 트랜지스터(M21)의 소스 및 드레인 중 한쪽은 제 1 용량 소자(C21)의 한쪽의 전극과 전기적으로 접속된다. 제 2 트랜지스터(M22)의 소스 및 드레인 중 한쪽은 제 3 트랜지스터(M23)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 1 트랜지스터(M21)의 게이트는 제 1 신호선(301)과 전기적으로 접속된다. 제 1 신호선(301)으로부터 공급되는 신호를 WL[0]이라고 표기한다. WL[0]에 의거하여 제 1 트랜지스터(M21)가 선택된다. 제 3 트랜지스터(M23)의 게이트는, 제 2 신호선(302)과 전기적으로 접속된다. 제 2 신호선(302)으로부터 공급되는 신호를 CONTEXT[0]라고 표기한다. CONTEXT[0]에 의거하여 제 3 트랜지스터(M23)가 선택된다. 신호선이란, 이들 원하는 신호를 공급할 수 있는 배선이다.

[0080] 제 2 스위치(SW22)는 제 4 트랜지스터(M24), 제 5 트랜지스터(M25), 제 6 트랜지스터(M26), 제 2 용량 소자(C22)를 갖는다. 제 4 트랜지스터(M24)의 소스 및 드레인 중 한쪽은, 제 5 트랜지스터(M25)의 게이트와 전기적으로 접속된다. 제 4 트랜지스터(M24)의 소스 및 드레인 중 한쪽은 제 2 용량 소자(C22)의 한쪽의 전극과 전기적으로 접속된다. 제 5 트랜지스터(M25)의 소스 및 드레인 중 한쪽은 제 6 트랜지스터(M26)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 4 트랜지스터(M24)의 게이트는 제 3 신호선(303)과 전기적으로 접속된다. 제 3 신호선(303)으로부터 공급되는 신호를 WL[1]이라고 표기한다. 제 6 트랜지스터(M26)의 게이트는 제 4 신호선(304)과 전기적으로 접속된다. 제 4 신호선(304)으로부터 공급되는 신호를 CONTEXT[1]라고 표기한다. 신호선이란 이들 원하는 신호를 공급할 수 있는 배선이다.

[0081] 제 1 트랜지스터(M21)와 제 4 트랜지스터(M24)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 제 5 신호선(305)과 전기적으로 접속된다. 제 5 신호선(305)으로부터 공급되는 신호를 BL이라고 표기한다. 제 1 트랜지스터(M21)가 선택되는 경우, BL에 대해서 제 1 트랜지스터(M21) 너머의 노드(SN21)의 전위를 BL에 의거하여 결정할 수 있다. 상기 전위는 제 1 용량 소자(C21)에 의하여 유지할 수 있다. 또한, 제 4 트랜지스터(M24)가 선택되는 경우, BL에 대해서 제 4 트랜지스터(M24) 너머의 노드(SN22)의 전위를 BL에 의거하여 결정할 수 있다. 상기 전위는 제 2 용량 소자(C22)에 의하여 유지할 수 있다. 신호선이란 원하는 신호를 공급할 수 있는 배선이다.

[0082] 제 2 트랜지스터(M22)와 제 5 트랜지스터(M25)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 LE(21)의 출력 측과 전기적으로 접속된다. LE(21)의 출력 측의 단자를 노드(ND23)라고 표기한다. 제 3 트랜지스터(M23)와 제 6 트랜지스터(M26)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 LE(22)의 입력 측과 전기적으로 접속된다. LE(22)의 입력 측의 단자를 노드(ND24)라고 표기한다.

[0083] 이와 같은 회로에 의하여 적어도 이하의 동작을 행할 수 있다. WL[0]에 의하여 제 1 트랜지스터(M21)의 도통, 비도통이 제어될 수 있고, 노드(SN21) 및 제 1 용량 소자(C21)를 사용하여 제 5 신호선(305)으로부터 공급되는 신호에 대응하는 컨피규레이션 데이터를 기록할 수 있다. 노드(SN21)에 저장된 컨피규레이션 데이터에 의존하여 제 2 트랜지스터(M22)의 도통, 비도통이 제어된다. 또한, CONTEXT[0]에 의하여 제 3 트랜지스터(M23)의 도통, 비도통이 제어됨으로써 원하는 회로 구성을 선택할 수 있다.

[0084] WL[1]에 의하여 제 4 트랜지스터(M24)의 도통, 비도통이 제어되고, 노드(SN22) 및 제 2 용량 소자(C22)를 사용하여 BL에 대응한 컨피규레이션 데이터를 기록할 수 있다. 노드(SN22)에 저장된 컨피규레이션 데이터에 의존하여 제 5 트랜지스터(M25)의 도통, 비도통이 제어된다. 또한, CONTEXT[1], 제 6 트랜지스터(M26)의 도통, 비도통이 제어됨으로써 원하는 회로 구성을 선택할 수 있다.

[0085] 도 4는, 도 3에 도시된 회로에서의 타이밍 차트를 나타낸 것이다. 여기서는, LUT(202)의 출력값으로서 노드(ND21)와 같은 출력 과형이 출력되는 것으로 한다. 또한, "H"레벨에 상당하는 전위를 VDD, "L"레벨에 상당하는 전위를 GND로 하는 경우를 설명하지만, 상대적인 전위차가 있으면 좋고, VDD나 GND에 한정되는 것이 아니다.

따라서, 제 1 전위와, 제 1 전위보다 낮은 제 2 전위나, 제 1 전위와, 제 1 전위보다 높은 제 2 전위로서 표현할 수 있다.

[0086] 시각T0~T1의 동안, 즉, 노드(ND23)의 전위가 "L"레벨인 동안에 BL을 "H"레벨로 하고, WL[0]을 "H"레벨로 함으로써 노드(SN21) 및 제 1 용량 소자(C21)를 사용하여 "H"레벨에 상당하는 컨피규레이션 데이터를 기록할 수 있다. 그 후, WL[0]을 "L"레벨로 하고, BL을 "L"레벨로 하고, 제 1 트랜지스터(M21)를 비도통으로 함으로써, 노드(SN21) 및 제 1 용량 소자(C21)를 사용하여 컨피규레이션 데이터를 저장할 수 있다. 컨피규레이션 데이터는 일정 기간 저장될 필요가 있어, 오프 전류가 극히 작고 산화물 반도체를 갖는 트랜지스터를 제 1 트랜지스터(M21)에 적용하면 좋다. 산화물 반도체를 갖는 트랜지스터의 오프 전류는 극히 작은 것이기 때문에 제 1 용량 소자(C21)는 제공하지 않아도 된다고 생각할 수도 있다.

[0087] 또한, WL[0]이 "L"레벨이 된 이후라면, BL은 "H"레벨이든 "L"레벨이든 제 1 트랜지스터(M21)를 비도통으로 할 수 있다.

[0088] 시각T1에서 제 1 컨피규레이션 데이터를 선택한다. 구체적으로는, CONTEXT[0]를 "H"레벨로 하고, 제 3 트랜지스터(M23)를 도통시킨다.

[0089] 또한, LE(21) 측의 노드(ND23)를 "L"레벨의 전위로부터 "H"레벨의 전위로 변화시킴으로써 제 2 트랜지스터(M22)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN21)의 전위는 예를 들어, 약 2VDD까지 승압된다. 제 2 트랜지스터(M22)의 소스-게이트간 전압이 약 2VDD가 되고, 또한 제 3 트랜지스터(M23)는 도통되기 때문에, LE(22) 측의 노드(ND24)의 전위는 신속하게 "H"레벨이 된다. 결과적으로 상기 승압이 행해지지 않은 경우와 비교하여 노드(ND23)와 노드(ND24) 사이의 신호 전달 속도는 향상된다.

[0090] 노드(SN21)의 승압폭은 제 1 용량 소자(C21)의 용량값이 작을수록 커진다. 그 결과, 신호 전달 속도가 더 향상된다. 산화물 반도체를 사용하여 제 1 트랜지스터(M21)를 구성하는 경우, 제 1 용량 소자(C21)의 용량값은 실리콘 반도체를 사용하여 구성한 경우보다 작게 할 수 있어 바람직하다.

[0091] 제 2 트랜지스터(M22)는, 산화물 반도체를 갖는 트랜지스터나 실리콘을 갖는 트랜지스터 등, 어떤 트랜지스터를 사용하여도 좋다. 제 2 트랜지스터(M22)의 소스-게이트간 전압을 승압시킬 수 있어, 예를 들어 실리콘을 갖는 트랜지스터보다 온 전류가 작은 산화물 반도체를 갖는 트랜지스터를 적용하여도, 신호 전달 속도를 향상시킬 수 있어 바람직하다.

[0092] 시각T2에서 LE(21) 측의 노드(ND23)를 "H"레벨의 전위로부터 "L"레벨의 전위로 변화시키면, 제 2 트랜지스터(M22)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN21)의 전위는 VDD까지 강압된다. 제 2 트랜지스터(M22)의 게이트, 소스간 전압이 VDD가 되고, 또한 제 3 트랜지스터(M23)는 도통되기 때문에, GND 레벨의 경우와 비교하여 노드(ND24)의 전위는 신속하게 "L"레벨이 된다.

[0093] 도 4로부터 알 수 있듯이, 제 1 컨피규레이션 데이터를 선택하는 동안, 노드(ND23)와 노드(ND24) 사이의 신호 전달 속도는 높게 유지된다. 즉, 제 2 트랜지스터(M22)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN21)의 전위가 한번이라도 승압 또는 강압되면, LE(21)와 LE(22) 사이의 신호 전달 속도는 높게 유지된다.

[0094] 다음에, 시각T3~T4의 동안에 제 2 컨피규레이션 데이터의 컨피규레이션을 시작한다. 이 때, 노드(ND21) 및 노드(ND22)는 "H"레벨의 전위이지만, 제 11 신호선(211)으로부터의 신호(SWITCH)를 "L"레벨로 하면, 논리곱 회로의 출력을 "L"레벨로 할 수 있다. 그 결과, 노드(ND23)의 전위를 논리곱 회로가 없는 경우와 비교하여 확실하게 "L"레벨로 할 수 있다.

[0095] 노드(ND24)에 대해서도 마찬가지로 생각할 수 있다. 노드(ND24)의 전위를 "L"레벨로 할 수 있다.

[0096] 따라서, 시각T3~T4의 동안 노드(ND23)의 전위를 "L"레벨로 할 수 있고, 그 동안에 BL을 "H"레벨로 하고, WL[1]을 "H"레벨로 함으로써 노드(SN22) 및 제 2 용량 소자(C22)를 사용하여 "H"레벨에 상당하는 컨피규레이션 데이터를 기록할 수 있다. 그 후, WL[1]을 "L"레벨로 하고, BL을 "L"레벨로 하고, 제 4 트랜지스터(M24)를 비도통으로 함으로써 노드(SN22) 및 제 2 용량 소자(C22)를 사용하여 컨피규레이션 데이터를 저장할 수 있다.

[0097] 또한, 제 2 컨피규레이션 데이터의 컨피규레이션 중에 노드(ND23)의 전위를 "L"레벨로 할 수 있으면 좋기 때문에, 제 11 신호선(211)(SWITCH)을 "L"레벨의 전위로 변화시키는 타이밍은 제 2 컨피규레이션 데이터의 컨피규레이션 직전으로 하여도 좋다.

[0098] 제 2 컨피규레이션 데이터의 컨피규레이션이 완료한 후, 제 1 컨피규레이션 데이터를 비선택으로 하기 위하여

CONTEXT[0]를 "L" 레벨로 하여 제 3 트랜지스터(M23)를 비도통으로 한다.

[0099] 또한, 제 11 신호선(211)(SWITCH)을 "H"레벨로 함으로써, 도 2에 도시된 노드(ND22)의 논리 신호가 노드(ND23)로 전파된다. 즉, 노드(ND23)의 전위는 "L"레벨로부터 "H"레벨로 변화된다. 따라서, 제 5 트랜지스터(M25)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN22)의 전위는 예를 들어 약 2VDD로 승압된다. 제 5 트랜지스터(M25)의 소스-게이트간 전압이 약 2VDD가 된다.

[0100] 시각T4에서 제 2 컨피규레이션 데이터를 선택한다. 구체적으로는, CONTEXT[1]를 "H"레벨로 하여 제 6 트랜지스터(M26)를 도통시킴으로써, 노드(ND23)의 논리 신호가 노드(ND24)로 전파된다. 이 때, 노드(SN22)의 전위는 승압되기 때문에 승압이 행해지지 않는 경우와 비교하여 노드(ND23)와 노드(ND24) 사이의 신호 전달 속도는 향상된다.

[0101] 노드(ND24)는 노드(ND23)와 마찬가지로 생각할 수 있다. 제 11 신호선(211)(SWITCH)을 "L"레벨로 하면, 노드(ND24)의 전위를 "L"레벨로 할 수 있다.

[0102] 도 4에서는, 시각T3~T4의 동안 노드(ND24)의 전위는 "L"레벨로 되기 때문에, LE(22)가 갖는 레지스터(203)의 데이터가 잘못된 값으로 갱신될 우려가 있다. 그러나, 시각T3~T5의 동안 제 10 신호선(210)으로부터의 신호(CL K)를 정지시킴으로써 LE(22)가 갖는 레지스터(203)의 데이터는 시각T3 직전의 데이터가 그대로 유지된다. 즉, 제 11 신호선(211)의 신호(SWITCH)에 의하여 LE(21)의 출력 신호를 "L"레벨로 하여도 잘못된 논리 신호가 LE(22)로 전파되는 것을 억제할 수 있다.

[0103] 시각T6에서 LE(21) 측의 노드(ND23)가 "H"레벨의 전위로부터 "L"레벨의 전위로 변화됨으로써, 제 5 트랜지스터(M25)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN22)의 전위는 VDD까지 강압된다. 제 5 트랜지스터(M25)의 소스-게이트간 전압은 VDD이기 때문에, 노드(ND24)의 전위는 신속하게 "L"레벨이 된다.

[0104] 도 4로부터 알 수 있듯이, 제 2 컨피규레이션 데이터를 선택하는 동안, 노드(ND23)와 노드(ND24) 사이의 신호 전달 속도는 높게 유지된다. 즉, 한번 제 5 트랜지스터(M25)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN22)의 전위가 승압 또는 강압되면, LE(21)와 LE(22) 사이의 신호 전달 속도는 높게 유지된다.

[0105] 본 실시형태에서는, 컨텍스트 수를 2로 설명하였지만, 컨텍스트 수는 3 이상이라도 좋다.

[0106] (실시형태 2)

[0107] 본 실시형태에서는 컨피규레이션 데이터를 기록할 때 LE의 출력 전위가 "L"레벨이 되는 반도체 장치의 일 구성에 대하여 설명한다.

[0108] 도 13은 본 발명의 일 형태에서의 PLD의 회로 구성을 도시한 것이다. 도 13에 도시된 바와 같이, 복수의 LE(LE21, LE22, …, LE2n), 복수의 스위치(SW21-21, SW21-22, …, SW21-2n, SW22-21, SW22-22, …, SW22-2n, …, SW2n-21, SW2n-22, …, SW2n-2n), 제 1 드라이버, 제 2 드라이버를 갖는다. 제 1 드라이버는 비트 드라이버(BD2)로서 기능한다. 제 2 드라이버는 워드 드라이버(WD2)로서 기능한다. 복수의 SW는 각각 복수의 LE간을 전기적으로 접속한다.

[0109] LE는 내부에 컨피규레이션 메모리를 갖는다. 상기 컨피규레이션 메모리에 저장된 컨피규레이션 데이터에 의거하여 입력된 신호에 따라 특정한 출력 신호를 출력하는 기능을 갖는다.

[0110] 복수의 SW는 복수의 LE간의 도통 상태(온과 오프)를 제어하는 기능을 갖는다. 도 13에서는, LE(21)와 전기적으로 접속되는 SW는 적어도 SW21-21, SW22-21…SW2n-21, SW21-22, …SW21-2n이 있다. SW21-21, SW22-21…SW2n-21은 적어도 LE(21)의 입력 측과 전기적으로 접속된다. SW21-21, SW21-22, …SW21-2n은 적어도 LE(21)의 입력 측 및 출력 측에 전기적으로 접속된다. 도 13에 도시된 바와 같은 회로 구성이기 때문에 SW는 LE보다 많이 배치된다.

[0111] 도 13에 있어서, LE(21)로의 입력은 한 단자로 설명되지만, 입력 단자는 복수개 있어도 좋고, 예를 들어 4개의 입력 단자를 배치할 수 있다. 이 경우, LE(21)와 전기적으로 접속되는 스위치의 개수가 도 13에 도시된 회로 구성보다 증가된다.

[0112] 비트 드라이버(BD2), 워드 드라이버(WD2)는 LE 및 SW의 컨피규레이션을 제어하는 기능을 갖는다. 워드 드라이버(WD2)는 WL을 출력하는 기능이나 상기 WL을 출력하는 신호선을 선택하는 기능을 갖는다.

[0113] 컨피규레이션이 행해지는 복수의 SW는 WL에 의하여 선택된다. 도 13에 도시된 회로 구성에 있어서, 컨피규레이

선이 행해지는 SW는 2종류의 신호(WL[0], WL[1])에 의하여 선택된다. 선택된 SW는 BL의 전위에 의존된 컨피규레이션 데이터에 의하여 컨피규레이션이 행해진다. 구체적으로는, SW(21-22)를 사용하여 설명하면, SW(21-22)는 2종류의 신호(WL22[0], WL22[1])에 의거하여 선택되고, 선택되었을 때 BL(21)의 전위에 의존된 컨피규레이션 데이터에 의하여 컨피규레이션이 행해진다.

[0114] 도 14에서는, 도 13에 도시된 2개의 LE와 그 사이의 하나의 SW에 대하여 더 구체적으로 설명한다. 2개의 LE를 각각 LE(21), LE(22)로 한다. LE(21)와 LE(22) 사이에 있는 스위치를 SW(21-22)로 한다.

[0115] 본 발명의 일 형태에 따른 LE는 내부에 제 2 기억 장치(단순히 메모리라고 부름)를 갖는다. 도 14에서는, LE(21)에 제 2 메모리를 제공하는 구성을 설명하지만, LE(22)에도 같은 제 2 메모리를 제공할 수 있다. 도 13에 도시된 LE에도 같은 제 2 메모리를 제공할 수 있다.

[0116] 상기 제 2 메모리는 적어도 레지스터(203)의 데이터를 유지하며, 레지스터(203)의 데이터를 리셋할("L"레벨로 할) 수 있으면 좋다. 불휘발성 메모리 등을 적용하여도 좋지만, 데이터의 저장 및 복귀를 반복하기 때문에 산화물 반도체를 사용한 메모리 회로가 바람직하다. 산화물 반도체를 사용한 메모리 회로 등의 구체적인 예는, 이하의 <제 2 메모리(306)의 예>에서 설명한다. 레지스터(203)의 데이터를 "L"레벨로 함으로써 LE(21)로부터는 "L"레벨의 신호가 출력된다. 레지스터(203)는 순서 회로이며 입력된 데이터를 유지하는 기능을 갖는다.

[0117] 상술한 바와 같이, 적어도 제 2 메모리를 가짐으로써 레지스터(203)의 데이터를 소실하지 않고 LE(21)로부터의 신호를 "L"레벨로 할 수 있다.

[0118] 레지스터(203)는 제 20 신호선(220)으로부터의 신호(RESET)에 의하여 레지스터(203)의 데이터 및 출력을 리셋하는("L"레벨로 하는) 기능을 갖는다. 여기서는, 제 20 신호선(220)이 "H"레벨일 때 상기 레지스터(203)의 데이터 및 출력을 리셋하기로 한다. 제 2 메모리(306)는 제 21 신호선(221)으로부터의 신호(SAVE)에 의하여 레지스터(203)의 데이터를 제 2 메모리(306) 내부의 메모리에 보존하는 기능을 갖는다. 또한, 제 2 메모리(306)는 제 22 신호선(222)으로부터의 신호(LOAD)에 의하여 필요할 때 상기 레지스터(203)의 데이터를 판독하는 기능을 갖는다. 여기서는, 제 21 신호선(221)으로부터의 신호(SAVE)가 "H"레벨일 때 상기 레지스터(203)의 데이터를 보존하고, 제 22 신호선(222)으로부터의 신호(LOAD)가 "H"레벨일 때 상기 레지스터(203)의 데이터를 판독하기로 한다.

[0119] 레지스터(203)는 루프 테이블(LUT)(202)로부터의 출력 신호를 유지하고, 제 10 신호선(210)으로부터의 신호(클록 신호이고, 이하 CLK라고 부름)에 동기하여 대응하는 출력값을 출력하는 기능을 갖는다.

[0120] LUT(202)와 레지스터(203) 사이를 노드(ND31)로 한다. 레지스터(203)와 스위치(SW21-22) 사이를 노드(ND32)로 한다.

[0121] 그 외, LE(21)는 기억 장치(단순히, 제 1 메모리라고도 부를 수 있음)(204)를 갖는다. 기억 장치(204)가 갖는 컨피규레이션 데이터에 따라 LUT(202)에서는 실행되는 논리 연산이 정의된다. 따라서, LUT(202)는 복수의 입력 신호에 대하여 정해진 하나의 출력 신호를 출력한다.

[0122] 기억 장치(204)는 제 2 신호선(102) 및 제 4 신호선(104)과 전기적으로 접속된다. 제 2 신호선(102)에는 제 1 컨피규레이션 데이터를 선택하기 위한 신호 CONTEXT[0]가 공급된다. 제 4 신호선(104)에는, 제 2 컨피규레이션 데이터를 선택하기 위한 신호 CONTEXT[1]가 공급된다.

[0123] CONTEXT[0]가 "H"레벨이고, CONTEXT[1]가 "L"레벨인 상태를 "제 1 컨피규레이션 데이터를 선택한다"고 하고, CONTEXT[0]가 "L"레벨이고, CONTEXT[1]가 "H"레벨인 상태를 "제 2 컨피규레이션 데이터를 선택한다"고 표기한다. 제 1 컨피규레이션 데이터와 제 2 컨피규레이션 데이터는 어느 한쪽만 선택할 수 있다. 예를 들어, 제 1 컨피규레이션 데이터가 선택 상태일 때, 제 2 컨피규레이션 데이터는 비선택 상태가 된다. 예를 들어, 제 2 컨피규레이션 데이터가 선택 상태일 때, 제 1 컨피규레이션 데이터는 비선택 상태가 된다.

[0124] 제 1 컨피규레이션 데이터 및 제 2 컨피규레이션 데이터 중, 어느 한쪽을 선택함으로써 원하는 회로 구성을 얻을 수 있다. 또한, 선택한 컨피규레이션 데이터에 대응한 회로 동작 시에 비선택의 컨피규레이션 데이터를 변경할 수 있다. 즉, 멀티 컨택스트 기능을 갖는 반도체 장치이다.

[0125] 본 실시형태에 있어서, 컨피규레이션 데이터를 선택할 때의 전위를 "H"레벨로 나타내고, 비선택 상태의 전위를 "L"레벨로 나타낸다. "H"레벨의 전위를 VDD로 하고, "L"레벨의 전위를 GND로 하지만, 상대적인 전위차가 있으면 좋고, VDD나 GND에 한정되지 않는다.

- [0126] LE는 복수 제공되고, LE(22)는 상술한 LE(21)와 같은 구성을 가질 수 있다. 즉, LE(22)도 제 2 메모리를 가질 수 있다.
- [0127] LE(21)와 LE(22) 사이에는 스위치(SW21-22)가 제공된다. 스위치(SW21-22)는 제 2 신호선(102) 및 제 4 신호선(104)과 전기적으로 접속된다.
- [0128] LE(21)와 스위치(SW21-22) 사이를 노드(ND32)로 한다. 스위치(SW21-22)와 LE(22) 사이를 노드(ND33)로 한다.
- [0129] 도 15는 스위치(SW21-22)의 회로 구성을 도시한 것이다. 스위치(SW21-22)는, 제 1 스위치(SW31) 및 제 2 스위치(SW32)를 갖는다. 스위치(SW21-22)는 복수의 스위치를 가질 수 있고, 스위치군이라고 부를 수 있다. 제 1 스위치(SW31)는 LE(21)와 LE(22) 사이의 도통, 비도통을 제어하는 기능을 갖는다. 제 2 스위치(SW32)는 제 1 스위치(SW31)와 마찬가지의 구성 및 기능을 가질 수 있다. 이들 스위치에 대하여 설명한다.
- [0130] 제 1 스위치(SW31)는 제 1 트랜지스터(M31), 제 2 트랜지스터(M32), 제 3 트랜지스터(M33), 제 1 용량 소자(C31)를 갖는다. 제 1 트랜지스터(M31)의 소스 및 드레인 중 한쪽은 제 2 트랜지스터(M32)의 게이트와 전기적으로 접속된다. 제 1 트랜지스터(M31)의 소스 및 드레인 중 한쪽은 제 1 용량 소자(C31)의 한쪽의 전극과 전기적으로 접속된다. 제 2 트랜지스터(M32)의 소스 및 드레인 중 한쪽은 제 3 트랜지스터(M33)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 1 트랜지스터(M31)의 게이트는 제 1 신호선(301)과 전기적으로 접속된다. 제 1 신호선(301)으로부터 공급되는 신호를 WL[0]이라고 표기한다. WL[0]에 의거하여 제 1 트랜지스터(M31)가 선택된다. 제 3 트랜지스터(M33)의 게이트는, 제 2 신호선(302)과 전기적으로 접속된다. 제 2 신호선(302)으로부터 공급되는 신호를 CONTEXT[0]라고 표기한다. CONTEXT[0]에 의거하여 제 3 트랜지스터(M33)가 선택된다. 신호선이란, 이들 원하는 신호를 공급할 수 있는 배선이다.
- [0131] 제 2 스위치(SW32)는 제 4 트랜지스터(M34), 제 5 트랜지스터(M35), 제 6 트랜지스터(M36), 제 2 용량 소자(C32)를 갖는다. 제 4 트랜지스터(M34)의 소스 및 드레인 중 한쪽은, 제 5 트랜지스터(M35)의 게이트와 전기적으로 접속된다. 제 4 트랜지스터(M34)의 소스 및 드레인 중 한쪽은 제 2 용량 소자(C32)의 한쪽의 전극과 전기적으로 접속된다. 제 5 트랜지스터(M35)의 소스 및 드레인 중 한쪽은 제 6 트랜지스터(M36)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 4 트랜지스터(M34)의 게이트는 제 3 신호선(303)과 전기적으로 접속된다. 제 3 신호선(303)으로부터 공급되는 신호를 WL[1]이라고 표기한다. 제 6 트랜지스터(M36)의 게이트는 제 4 신호선(304)과 전기적으로 접속된다. 제 4 신호선(304)으로부터 공급되는 신호를 CONTEXT[1]라고 표기한다. 신호선이란 이들 원하는 신호를 공급할 수 있는 배선이다.
- [0132] 제 1 트랜지스터(M31)와 제 4 트랜지스터(M34)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 제 5 신호선(305)과 전기적으로 접속된다. 제 5 신호선(305)으로부터 공급되는 신호를 BL이라고 표기한다. 제 1 트랜지스터(M31)가 선택되는 경우, BL에 대해서 제 1 트랜지스터(M31) 너머의 노드(SN31)의 전위를 BL에 의거하여 결정할 수 있다. 상기 전위는 제 1 용량 소자(C31)에 의하여 유지할 수 있다. 또한, 제 4 트랜지스터(M34)가 선택되는 경우, BL에 대해서 제 4 트랜지스터(M34) 너머의 노드(SN32)의 전위를 BL에 의거하여 결정할 수 있다. 상기 전위는 제 2 용량 소자(C32)에 의하여 유지할 수 있다. 신호선이란 원하는 신호를 공급할 수 있는 배선이다.
- [0133] 제 2 트랜지스터(M32)와 제 5 트랜지스터(M35)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 LE(21)의 출력 측과 전기적으로 접속된다. LE(21)의 출력 측의 단자를 노드(ND32)라고 표기한다. 제 3 트랜지스터(M33)와 제 6 트랜지스터(M36)는 각각의 소스 및 드레인 중 다른 쪽은 서로 전기적으로 접속된다. 각각의 소스 및 드레인 중 다른 쪽은 LE(22)의 입력 측과 전기적으로 접속된다. LE(22)의 입력 측의 단자를 노드(ND33)라고 표기한다.
- [0134] 이와 같은 회로에 의하여 적어도 이하의 동작을 행할 수 있다. WL[0]에 의하여 제 1 트랜지스터(M31)의 도통, 비도통이 제어될 수 있고, 노드(SN31) 및 제 1 용량 소자(C31)를 사용하여 제 5 신호선(305)으로부터 공급되는 신호에 대응하는 컨피규레이션 데이터를 기록할 수 있다. 노드(SN31)에 저장된 컨피규레이션 데이터에 의존하여 제 2 트랜지스터(M32)의 도통, 비도통이 제어된다. 또한, CONTEXT[0]에 의하여 제 3 트랜지스터(M33)의 도통, 비도통이 제어됨으로써 원하는 회로 구성을 선택할 수 있다.
- [0135] WL[1]에 의하여 제 4 트랜지스터(M34)의 도통, 비도통이 제어되고, 노드(SN32)를 사용하여 BL에 대응한 컨피규레이션 데이터를 기록할 수 있다. 노드(SN32)에 저장된 컨피규레이션 데이터에 의존하여 제 5 트랜지스터(M35)의 도통, 비도통이 제어된다. 또한, CONTEXT[1], 제 6 트랜지스터(M36)의 도통, 비도통이 제어됨으로써 원하는 회로 구성을 선택할 수 있다.

- [0136] 도 16은, 도 15에 도시된 회로에서의 타이밍 차트를 나타낸 것이다. 여기서는, LUT(202)의 출력값으로서 노드(ND31)와 같은 출력 파형이 출력되는 것으로 한다. 또한, "H"레벨에 상당하는 전위를 VDD, "L"레벨에 상당하는 전위를 GND로 하는 경우를 설명하지만, 상대적인 전위차가 있으면 좋고, VDD나 GND에 한정되는 것이 아니다. 따라서, 제 1 전위와, 제 1 전위보다 낮은 제 2 전위나, 제 1 전위와, 제 1 전위보다 높은 제 2 전위로서 표현할 수 있다.
- [0137] 시각T0~T1의 동안, 즉 노드(ND32)의 전위가 "L"레벨인 동안에 BL을 "H"레벨로 하고, WL[0]을 "H"레벨로 함으로써 노드(SN31) 및 제 1 용량 소자(C31)를 사용하여 "H"레벨에 상당하는 컨피규레이션 데이터를 기록할 수 있다. 그 후, WL[0]을 "L"레벨로 하고, BL을 "L"레벨로 하고, 제 1 트랜지스터(M31)를 비도통으로 함으로써, 노드(SN31) 및 제 1 용량 소자(C31)를 사용하여 컨피규레이션 데이터를 저장할 수 있다. 컨피규레이션 데이터는 일정 기간 저장될 필요가 있어, 오프 전류가 극히 작고 산화물 반도체를 갖는 트랜지스터를 제 1 트랜지스터(M31)에 적용하면 좋다. 산화물 반도체를 갖는 트랜지스터의 오프 전류는 극히 작은 것이기 때문에 제 1 용량 소자(C31)는 제공하지 않아도 좋다고 생각할 수도 있다.
- [0138] 또한, WL[0]이 "L"레벨이 된 이후라면, BL은 "H"레벨이든 "L"레벨이든 제 1 트랜지스터(M31)를 비도통으로 할 수 있다.
- [0139] 시각T1에서 제 1 컨피규레이션 데이터를 선택한다. 구체적으로는, CONTEXT[0]를 "H"레벨로 하여 제 3 트랜지스터(M33)를 도통시킨다.
- [0140] 또한, LE(21) 측의 노드(ND32)를 "L"레벨의 전위로부터 "H"레벨의 전위로 변화시킴으로써 제 2 트랜지스터(M32)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN31)의 전위는 예를 들어, 약 2VDD까지 승압된다. 제 2 트랜지스터(M32)의 소스-게이트간 전압이 약 2VDD가 되고, 또한 제 3 트랜지스터(M33)는 도통되기 때문에, LE(22) 측의 노드(ND33)의 전위는 신속하게 "H"레벨이 된다. 결과적으로 상기 승압이 행해지지 않은 경우와 비교하여 노드(ND32)와 노드(ND33) 사이의 신호 전달 속도는 향상된다.
- [0141] 노드(SN31)의 승압폭은 제 1 용량 소자(C31)의 용량값이 작을수록 커진다. 그 결과, 신호 전달 속도가 더 향상된다. 산화물 반도체를 사용하여 제 1 트랜지스터(M31)를 구성하는 경우, 제 1 용량 소자(C31)의 용량값은 실리콘 반도체를 사용하여 구성한 경우보다 작게 할 수 있어 바람직하다.
- [0142] 제 2 트랜지스터(M32)는, 산화물 반도체를 갖는 트랜지스터나 실리콘을 갖는 트랜지스터 등, 어떤 트랜지스터를 사용하여도 좋다. 제 2 트랜지스터(M32)의 소스-게이트간 전압을 승압시킬 수 있어, 예를 들어 실리콘을 갖는 트랜지스터보다 온 전류가 작은 산화물 반도체를 갖는 트랜지스터를 적용하여도, 신호 전달 속도를 향상시킬 수 있어 바람직하다.
- [0143] 시각T2에서 LE(21) 측의 노드(ND32)를 "H"레벨의 전위로부터 "L"레벨의 전위로 변화시키면, 제 2 트랜지스터(M32)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN31)의 전위는 약 VDD까지 강압된다. 제 2 트랜지스터(M32)의 게이트, 소스간 전압이 VDD가 되고, 또한 제 3 트랜지스터(M33)는 도통되기 때문에, GND 레벨의 경우와 비교하여 노드(ND33)의 전위는 신속하게 "L"레벨이 된다.
- [0144] 도 16으로부터 알 수 있듯이, 제 1 컨피규레이션 데이터를 선택하는 동안, 노드(ND32)와 노드(ND33) 사이의 신호 전달 속도는 높게 유지된다. 즉, 제 2 트랜지스터(M32)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN31)의 전위가 한번이라도 승압 또는 강압되면, LE(21)와 LE(22) 사이의 신호 전달 속도는 높게 유지된다.
- [0145] 시각T3~T4의 동안에 레지스터(203)의 데이터를 제 2 메모리(306)에 저장한다. 즉, SAVE를 "H"레벨의 전위로 함으로써 제 2 메모리(306)에 노드(ND32)의 데이터("H"레벨의 전위)를 저장할 수 있다.
- [0146] 시각T4~T5의 동안에 제 2 컨피규레이션 데이터의 컨피규레이션을 시작한다. 이 때, 노드(ND31)는 "H"레벨의 전위이지만, RESET를 "H"레벨의 전위로 변화시킴으로써 레지스터(203)의 데이터 및 출력을 "L"레벨로 할 수 있다. 즉, 노드(ND32)의 전위를 강제적으로 "L"레벨로 할 수 있다.
- [0147] 트랜지스터(M32), 트랜지스터(M33)가 도통 상태이기 때문에, 노드(ND32)와 노드(ND33) 사이는 도통된다. 따라서, 노드(ND33)는 "L"레벨이 된다.
- [0148] 따라서, 시각T4~T5의 동안, 즉 노드(ND32)의 전위가 "L"레벨인 동안에 BL에 "H"레벨의 신호를, WL[1]에 "H"레벨의 신호를 부여함으로써, 노드(SN32) 및 제 2 용량 소자(C32)를 사용하여 "H"레벨에 상당하는 컨피규레이션 데이터를 기록할 수 있다. 그 후, BL에 "L"레벨의 신호를, WL[1]에 "L"레벨의 신호를 부여하고, 제 4 트랜지스터(M34)를 비도통으로 함으로써 노드(SN32) 및 제 2 용량 소자(C32)를 사용하여 컨피규레이션 데이터를 저장할 수

있다.

[0149] 또한, 제 2 컨피규레이션 데이터의 컨피규레이션 중에 노드(ND32)의 전위를 "L"레벨로 할 수 있으면 좋기 때문에, RESET를 "H"레벨의 전위로 변화시키는 타이밍은 SAVE의 전위를 "H"레벨로 하고, 레지스터(203)의 데이터를 저장시킨 후라면, 제 2 컨피규레이션 데이터의 컨피규레이션 전이라도 좋다.

[0150] 제 2 컨피규레이션 데이터의 컨피규레이션이 완료한 후, 제 1 컨피규레이션 데이터를 비선택으로 하기 위하여 CONTEXT[0]를 "L"레벨로 하여 제 3 트랜지스터(M33)를 비도통시킨다.

[0151] 또한, 시각T5~T6의 동안에, 제 2 메모리(306)에 저장한 데이터를 레지스터(203)에 복귀시킨다. LOAD를 "H"레벨의 전위로 함으로써, 시각T3~T4의 동안에, 제 2 메모리(306)에 저장시킨 데이터("H"레벨의 전위)를 레지스터(203)에 복원할 수 있다. 즉, 노드(ND32)의 전위는 "L"레벨로부터 "H"레벨로 변화된다. 따라서, 제 5 트랜지스터(M35)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN32)의 전위는 예를 들어 약 2VDD로 승압된다. 제 5 트랜지스터(M35)의 소스-게이트간 전압이 약 2VDD가 된다.

[0152] 그 후, CONTEXT[1]를 "H"레벨로 하고, 제 6 트랜지스터(M36)를 도통시킴으로써, 노드(ND32)의 논리 신호가 노드(ND33)로 전파된다. 이 때, 노드(SN32)의 전위는 승압되기 때문에 승압이 행해지지 않는 경우와 비교하여 노드(ND32)와 노드(ND33) 사이의 신호 전달 속도는 향상된다.

[0153] 노드(ND33)는 노드(ND32)와 마찬가지로 생각할 수 있다. 제 2 메모리에 데이터를 저장한 후부터 복귀시키기 전까지의 동안에, 노드(ND33)의 전위를 "L"레벨로 할 수 있다.

[0154] 시각T7에서 노드(ND32)가 "H"레벨의 전위로부터 "L"레벨의 전위로 변화됨으로써, 제 5 트랜지스터(M35)의 게이트 용량을 통한 용량 결합에 의하여 노드(SN32)의 전위는 VDD까지 강압된다. 제 5 트랜지스터(M35)의 소스-게이트간 전압은 VDD이기 때문에, GND인 경우와 비교하여도 노드(ND33)의 전위는 신속하게 "L"레벨이 된다.

[0155] 도 16으로부터 알 수 있듯이, 제 2 컨피규레이션 데이터를 선택하는 동안, 노드(ND32)와 노드(ND33) 사이의 신호 전달 속도는 높게 유지된다. 즉, 노드(ND32)의 전위가 "L"레벨인 동안에 제 2 컨피규레이션 데이터에 한번이라도 컨피규레이션할 수 있으면, LE(21)와 LE(22) 사이의 신호 전달 속도는 높게 유지된다.

[0156] 또한, 도 15 등에 도시된 회로를 사용한 경우, 시각T3~T4의 동안의 레지스터(203)의 데이터는 제 2 메모리(306)에 저장시키기 때문에, 제 10 신호선(210)으로부터의 신호(CLK)에 동기하여 레지스터(203)의 데이터가 변경되어도 좋다. 즉, 도 16 등에 도시된 회로를 사용한 경우, 제 10 신호선(210)으로부터의 신호(CLK)를 정지할 수 있다. 또는, 제 10 신호선(210)으로부터의 클록 주파수를 느리게 할 수 있다.

[0157] 본 실시형태에서는, 컨택스트 수를 2로 설명하였지만, 컨택스트 수는 3 이상이라도 좋다.

[0158] <제 2 메모리(306)의 예>

[0159] 도 17은 제 2 메모리(306)의 회로예를 도시한 것이다. 레지스터(203)와 전기적으로 접속된 제 2 메모리(306)는 적어도 제 1 인버터(68), 제 1 트랜지스터(70), 제 2 트랜지스터(74), 제 3 트랜지스터(76), 용량 소자(72)를 갖는 회로를 복수로 갖는다. 상기 회로 중 하나를 회로(66A), 그 외를 회로(66B)로 표기한다. 회로(66A)는 제 2 인버터(54)를 통하여 회로(66B)와 전기적으로 접속되고, 회로(66A) 및 회로(66B)의 세트로 레지스터(203)의 "H"레벨의 데이터 또는 "L"레벨의 데이터를 유지할 수 있다.

[0160] 제 1 인버터(68)의 입력 단자는, 레지스터(203)와 전기적으로 접속된다. 제 1 인버터(68)의 출력 단자는, 제 1 트랜지스터(70)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 1 트랜지스터(70)의 게이트는 제 21 신호선(221)과 전기적으로 접속되고, SAVE 신호가 입력된다. 제 2 트랜지스터(74)의 게이트는 제 1 트랜지스터(70)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 제 1 트랜지스터(70)의 소스 및 드레인 중 다른 쪽은 용량 소자(72)의 제 1 전극과 전기적으로 접속된다. 여기를 노드(F1)라고 부른다. 제 3 트랜지스터(76)의 게이트는, 제 22 신호선(222)과 전기적으로 접속되고, LOAD 신호가 입력된다. 제 3 트랜지스터(76)의 소스 및 드레인 중 한쪽은 제 2 트랜지스터(74)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 제 3 트랜지스터(76)의 소스 및 드레인 중 다른 쪽은 제 1 인버터(68)의 입력 단자와 전기적으로 접속된다.

[0161] 이와 같은 제 2 메모리(306)에 있어서, 제 1 트랜지스터(70)는 산화물 반도체를 사용하면 좋다. 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 상당히 작기 때문에, 오프 전류가 흐르기 쉬운 실리콘을 사용한 트랜지스터와 비교하여도 노드(F1)와 용량 소자(72)를 사용하여 데이터를 확실히 유지할 수 있다.

[0162] 제 2 트랜지스터(74) 및 제 3 트랜지스터(76)는 산화물 반도체를 사용한 트랜지스터를 사용할 수 있다. 또한,

제 2 트랜지스터(74) 및 제 3 트랜지스터(76)는 실리콘 반도체를 사용한 트랜지스터를 사용할 수 있다.

[0163] 도 16에 도시된 바와 같이, SAVE가 "H"레벨이 되면 제 1 트랜지스터(70)는 도통된다. 유지하는 레지스터(203)의 데이터에 따라, 제 1 트랜지스터(70)의 소스 전위는, "H"레벨 전위 또는 "L"레벨 전위가 되고, 이에 따라 노드(F1)의 전위도 "H"레벨 또는 "L"레벨이 된다. 그리고, 상기 전위를 용량 소자(72)에 기록할 수 있다. SAVE가 "L"레벨이 되면, 제 1 트랜지스터(70)는 비도통이 되고, 용량 소자(72)에 데이터를 저장할 수 있다.

[0164] 도 16으로부터 알 수 있듯이, LOAD가 "H"레벨이 되면 제 3 트랜지스터(76)는 도통된다. 제 2 트랜지스터(74)는 노드(F1)의 전위에 따라 도통된다. 제 2 트랜지스터(74) 및 제 3 트랜지스터(76)가 도통되는 경우, 레지스터(203)에 데이터를 복귀시킬 수 있다.

[0165] 이와 같이, 제 2 메모리에도 산화물 반도체를 사용한 트랜지스터를 적용할 수 있다. 산화물 반도체를 사용한 트랜지스터를 갖는 회로는 플래시 메모리와는 달리, 데이터의 기록으로 인한 절연막의 열화는 없고, 기록 횟수에 대한 제한도 없다. 용량 소자(72)에 저장된 데이터는 제 1 트랜지스터(70)의 오프 전류가 상당히 작으므로, 오랫동안 데이터를 유지할 수 있다.

[0166] (실시형태 3)

[0167] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치의 구성에 대하여 도면을 참조하면서 설명한다.

[0168] <반도체 장치의 단면 구조의 예>

[0169] 도 5는, 도 2, 도 3에 도시된 스위치(SW21-22)의 단면 구조를 일례로서 도시한 것이다. 도 5에서의 트랜지스터(23)는, 예를 들어, 도 3에서의 제 2 트랜지스터(M22), 제 5 트랜지스터(M25)에 적용할 수 있다. 도 5에서의 트랜지스터(22)는, 예를 들어, 도 3에서의 제 1 트랜지스터(M21), 제 4 트랜지스터(M24)에 적용할 수 있다.

[0170] 도 5에 있어서, 파선 A1-A2로 도시된 영역은 트랜지스터(22) 및 트랜지스터(23)의 채널 길이 방향에서의 구조를 도시한 것이고, 파선 A3-A4로 도시된 영역은 트랜지스터(22) 및 트랜지스터(23)의 채널 폭 방향에서의 구조를 도시한 것이다. 다만, 본 발명의 일 형태에서는 트랜지스터(22)의 채널 길이 방향과 트랜지스터(23)의 채널 길이 방향이 반드시 일치되지 않아도 좋다.

[0171] 또한, 채널 길이 방향이란, 소스 영역 및 드레인 영역으로서 기능하는 한 쌍의 불순물 영역간에서 캐리어가 최단 거리로 이동하는 방향을 가리키고 채널 폭 방향이란, 기판과 수평의 면내에서 채널 길이 방향에 대하여 수직인 방향을 가리킨다.

[0172] 그리고, 도 5는, 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(22)가, 단결정 실리콘 기판에 채널 형성 영역을 갖는 트랜지스터(23) 위에 형성되는 경우를 도시한 것이다.

[0173] 트랜지스터(23)는 비정질, 미결정, 다결정, 또는 단결정인, 실리콘 또는 저마늄 등으로 이루어진 반도체막 또는 반도체 기판에 채널 형성 영역을 가져도 좋다. 또는, 트랜지스터(23)는 산화물 반도체막 또는 산화물 반도체 기판에 채널 형성 영역을 가져도 좋다. 모든 트랜지스터가 산화물 반도체막 또는 산화물 반도체 기판에 채널 형성 영역을 갖는 경우, 트랜지스터(22)는 트랜지스터(23) 위에 적층되지 않아도 좋고, 트랜지스터(22)와 트랜지스터(23)는 동일한 층에 형성되어도 좋다.

[0174] 실리콘 박막을 사용하여 트랜지스터(23)를 형성하는 경우, 상기 박막에는 플라즈마 CVD법 등의 기상 성장법 또는 스펀터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐링 등의 처리에 의하여 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

[0175] 트랜지스터(23)가 형성되는 기판(400)으로서는, 예를 들어 실리콘 기판, 저마늄 기판, 실리콘 저마늄 기판 등을 사용할 수 있다. 도 5는 단결정 실리콘 기판을 기판(400)으로서 사용하는 경우의 예를 도시한 것이다.

[0176] 또한, 트랜지스터(23)는 소자 분리법에 의하여 전기적으로 분리된다. 소자 분리법으로서는 트렌치 분리법(Shallow Trench Isolation(STI)법) 등을 사용할 수 있다. 도 5는 트렌치 분리법을 사용하여 트랜지스터(23)를 전기적으로 분리하는 예를 도시한 것이다. 구체적으로는, 도 5에서는 산화 실리콘 등이 포함된 절연물을, 에칭 등으로 기판(400)에 형성된 트렌치에 매립시킨 후, 상기 절연물을 에칭 등으로 부분적으로 제거함으로써 형성되는 소자 분리 영역(401)에 의하여 트랜지스터(23)를 소자 분리시키는 경우를 도시하였다.

[0177] 또한, 트렌치 이외의 영역에 존재하는 기판(400)의 볼록부에는 트랜지스터(23)의 불순물 영역(402) 및 불순물

영역(403)과, 불순물 영역(402)과 불순물 영역(403)에 끼워진 채널 형성 영역(404)이 제공된다. 또한, 트랜지스터(23)는 채널 형성 영역(404)을 덮는 절연막(405)과, 절연막(405)을 개재(介在)하여 채널 형성 영역(404)과 중첩되는 게이트 전극(406)을 갖는다.

[0178] 트랜지스터(23)에서는 절연막(405)을 개재하여 채널 형성 영역(404)의 볼록부의 측부 및 상부와 게이트 전극(406)이 중첩됨으로써 채널 형성 영역(404)의 측부와 상부를 포함한 넓은 범위에서 캐리어가 흐른다. 그러므로, 트랜지스터(23)의 기판 위에서의 점유 면적을 작게 억제하면서 트랜지스터(23)에서의 캐리어 이동량을 증가시킬 수 있다. 결과적으로 트랜지스터(23)의 온 전류, 및 전계 효과 이동도가 높아진다. 특히 채널 형성 영역(404)의 볼록부에서의 채널 폭 방향의 길이(채널 폭)를 W , 채널 형성 영역(404)의 볼록부에서의 막 두께를 T 로 하면, 채널 폭 W 에 대한 막 두께 T 의 비율에 상당하는 종횡비가 높은 경우, 캐리어가 흐르는 범위는 더 넓어지므로, 트랜지스터(23)의 온 전류를 더 높일 수 있고 전계 효과 이동도도 더 높일 수 있다.

[0179] 또한, 벌크 반도체 기판을 사용한 트랜지스터(23)의 경우, 종횡비는 0.5 이상인 것이 바람직하고 1 이상인 것이 더 바람직하다.

[0180] 트랜지스터(23) 위에는 절연막(411)이 제공된다. 절연막(411)에는 개구부가 형성되어 있다. 그리고, 상기 개구부에는, 불순물 영역(402), 불순물 영역(403)에 각각 전기적으로 접속되는 도전막(412), 도전막(413)과, 게이트 전극(406)에 전기적으로 접속되는 도전막(414)이 형성된다.

[0181] 그리고, 도전막(412)은 절연막(411) 위에 형성된 도전막(416)에 전기적으로 접속되고, 도전막(413)은 절연막(411) 위에 형성된 도전막(417)에 전기적으로 접속되고, 도전막(414)은 절연막(411) 위에 형성된 도전막(418)에 전기적으로 접속된다.

[0182] 도전막(416), 도전막(417), 및 도전막(418) 위에는 절연막(420)이 제공된다. 그리고, 절연막(420) 위에는 산소, 수소, 물의 확산을 방지하는 블로킹 효과를 갖는 절연막(421)이 제공된다. 절연막(421)은 밀도가 높고 치밀할수록, 또한 댕글링 본드(dangling bond)가 적고 화학적으로 안정적일수록 블로킹 효과가 더 높다. 산소, 수소, 물의 확산을 방지하는 블로킹 효과를 갖는 절연막(421)에는 예를 들어 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄 등을 사용할 수 있다. 수소, 물의 확산을 방지하는 블로킹 효과를 갖는 절연막(421)에는 예를 들어 질화 실리콘, 질화산화 실리콘 등을 사용할 수 있다.

[0183] 절연막(421) 위에는 절연막(422)이 제공되고, 절연막(422) 위에는 트랜지스터(22)가 제공된다.

[0184] 트랜지스터(22)는 절연막(422) 위에, 산화물 반도체를 포함하는 반도체막(430)과, 반도체막(430)에 전기적으로 접속된 소스 전극 또는 드레인 전극으로서 기능하는 도전막(432) 및 도전막(433)과, 반도체막(430)을 덮는 게이트 절연막(431)과, 게이트 절연막(431)을 개재하여 반도체막(430)과 중첩되는 게이트 전극(434)을 갖는다. 또한, 절연막(420), 절연막(421), 및 절연막(422)에는 개구부가 제공되고, 도전막(433)은 상기 개구부에서 도전막(418)에 접속된다.

[0185] 또한, 도 5에서, 트랜지스터(22)는 게이트 전극(434)을 적어도 반도체막(430)의 한쪽에 가지면 좋지만, 절연막(422)을 개재하여 반도체막(430)과 중첩되는 게이트 전극을 더 가져도 좋다.

[0186] 트랜지스터(22)가 한 쌍의 게이트 전극을 갖는 경우, 한쪽의 게이트 전극에는 도통 상태 또는 비도통 상태를 제어하기 위한 신호가 부여되고, 다른 쪽의 게이트 전극은 전위가 다른 곳으로부터 부여되는 상태여도 좋다. 이 경우, 한 쌍의 게이트 전극에 같은 레벨의 전위가 부여되어도 좋고, 다른 쪽의 게이트 전극에만 접지 전위 등의 고정의 전위가 부여되어도 좋다. 다른 쪽의 게이트 전극에 부여되는 전위의 레벨을 제어함으로써, 트랜지스터의 문턱 전압을 제어할 수 있다.

[0187] 또한, 도 5는 트랜지스터(22)가 한 게이트 전극(434)에 대하여 한 채널 형성 영역을 갖는 싱글 게이트 구조인 경우를 도시한 것이다. 그러나, 트랜지스터(22)는 서로 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 한 활성층에 복수의 채널 형성 영역을 갖는, 즉 멀티 게이트 구조이어도 좋다.

[0188] 또한, 도 5는 트랜지스터(22)에 포함되는 반도체막(430)이 절연막(422) 위에 순차적으로 적층된 산화물 반도체막(430a), 산화물 반도체막(430b), 및 산화물 반도체막(430c)을 갖는 경우를 도시한 것이다. 다만, 본 발명의 일 형태에서는 트랜지스터(22)에 포함되는 반도체막(430)이 하나의 금속 산화물막으로 구성되어도 좋다.

[0189] <트랜지스터에 대하여>

- [0190] 다음에, 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(22)의 구성예에 대하여 설명한다.
- [0191] 도 6은 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(22)의 구성을 일례로서 도시한 것이다. 도 6의 (A)는 트랜지스터(22)의 상면도이다. 또한, 도 6의 (A)에서는 트랜지스터(22)의 레이아웃을 명확하게 하기 위하여 각종 절연막을 생략하였다. 또한, 도 6의 (A)에 도시된 상면도를 파선 A1-A2를 따라 자른 단면도를 도 6의 (B)에 도시하였고, 파선 A3-A4를 따라 자른 단면도를 도 6의 (C)에 도시하였다.
- [0192] 도 6에 도시된 바와 같이, 트랜지스터(22)는 절연 표면(97)에 형성된 절연막(91) 위에서 순차적으로 적층된 산화물 반도체막(92a) 및 산화물 반도체막(92b)과, 산화물 반도체막(92b)에 전기적으로 접속되고, 소스 전극 또는 드레인 전극으로서 기능하는 도전막(93) 및 도전막(94)과, 산화물 반도체막(92b), 도전막(93), 및 도전막(94) 위의 산화물 반도체막(92c)과, 게이트 절연막으로서 기능하며 산화물 반도체막(92c) 위에 위치하는 절연막(95)과, 게이트 전극으로서 기능하며 절연막(95) 위에 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)과 중첩되는 도전막(96)을 갖는다. 또한, 절연 표면(97)은 유리 기판이나 반도체 기판 등의 표면이라도 좋고, 유리 기판이나 반도체 기판 위에 반도체 소자가 형성된 소자 기판의 표면이라도 좋다.
- [0193] 또한, 트랜지스터(22)의 구체적인 구성의 다른 일례를 도 7에 도시하였다. 도 7의 (A)는 트랜지스터(22)의 상면도를 도시한 것이다. 또한, 도 7의 (A)에서는 트랜지스터(22)의 레이아웃을 명확하게 하기 위하여 각종 절연막을 생략하였다. 또한, 도 7의 (A)에 도시된 상면도를 파선 A1-A2를 따라 자른 단면도를 도 7의 (B)에 도시하였고, 파선 A3-A4를 따라 자른 단면도를 도 7의 (C)에 도시하였다.
- [0194] 도 7에 도시된 바와 같이, 트랜지스터(22)는 절연막(91) 위에서 순차적으로 적층된 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)과, 산화물 반도체막(92c)에 전기적으로 접속되고 소스 전극 또는 드레인 전극으로서 기능하는 도전막(93) 및 도전막(94)과, 게이트 절연막으로서 기능하며 산화물 반도체막(92c), 도전막(93), 및 도전막(94) 위의 절연막(95)과, 게이트 전극으로서 기능하며 절연막(95) 위에 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)과 중첩되는 도전막(96)을 갖는다.
- [0195] 또한, 도 6 및 도 7에서는 적층된 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)을 사용하는 트랜지스터(22)의 구성을 도시하였다. 트랜지스터(22)가 갖는 산화물 반도체막은 적층된 복수의 산화물 반도체막으로 구성되는 것에 한정되지 않고, 하나의 산화물 반도체막으로 구성되어도 좋다.
- [0196] 트랜지스터(22)가 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)이 순차적으로 적층된 반도체막을 포함하는 경우, 산화물 반도체막(92a) 및 산화물 반도체막(92c)은 산화물 반도체막(92b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소로 포함하고, 전도대 하단의 에너지가 산화물 반도체막(92b)보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이고, 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 산화물막이다. 또한, 산화물 반도체막(92b)은 적어도 인듐을 포함하면, 캐리어 이동도가 높아지므로 바람직하다.
- [0197] 트랜지스터(22)가 상기 구성을 갖는 반도체막을 포함하는 경우, 게이트 전극에 전압을 인가함으로써 반도체막에 전계가 인가되면, 반도체막 중에서 전도대 하단의 에너지가 작은 산화물 반도체막(92b)에 채널 영역을 형성된다. 즉, 산화물 반도체막(92b)과 절연막(95) 사이에 산화물 반도체막(92c)이 제공됨으로써, 절연막(95)과 이격된 산화물 반도체막(92b)에 채널 영역을 형성할 수 있다.
- [0198] 또한, 산화물 반도체막(92c)은 산화물 반도체막(92b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 산화물 반도체막(92b)과 산화물 반도체막(92c)의 계면에서는 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에 있어서 캐리어의 움직임이 저해되기 어렵기 때문에, 트랜지스터(22)의 전계 효과 이동도가 높아진다.
- [0199] 또한, 산화물 반도체막(92b)과 산화물 반도체막(92a)의 계면에 계면 준위가 형성되면 계면 균방의 영역에도 채널 영역이 형성되기 때문에 트랜지스터(22)의 문턱 전압이 변동된다. 그러나, 산화물 반도체막(92a)은 산화물 반도체막(92b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소에 포함하기 때문에 산화물 반도체막(92b)과 산화물 반도체막(92a)의 계면에서 계면 준위가 형성되기 어렵다. 따라서, 상술한 구성에 의하여 트랜지스터(22)의 문턱 전압 등의 전기적 특성의 편차를 저감시킬 수 있다.
- [0200] 또한, 산화물 반도체막들 사이에 불순물이 존재하는 것으로 인하여 각 막들끼리의 계면에서 캐리어의 흐름을 저해하는 계면 준위가 형성되지 않도록 복수의 산화물 반도체막을 적층하는 것이 바람직하다. 적층된 산화물 반도체막의 막들 사이에 불순물이 존재하면 산화물 반도체막들 사이의 전도대 하단의 에너지의 연속성이 없어져

계면 근방에서 캐리어가 포획되거나 또는 재결합함으로써 소멸되기 때문이다. 막들 사이의 불순물을 저감시킴으로써 주성분의 한 금속을 적어도 공통적으로 갖는 복수의 산화물 반도체막을 단순히 적층하는 경우에 비하여 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 막들 사이에서 연속적으로 변화하는 U자형 우물 구조를 갖는 상태)이 형성되기 쉬워진다.

[0201] 연속 접합을 형성하기 위해서는 로드록(load lock)실을 구비한 멀티 체임버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기에 노출시키지 않고 연속적으로 적층할 필요가 있다. 스퍼터링 장치의 각 체임버는, 산화물 반도체에 있어서 불순물이 되는 물 등을 가능한 한 제거하기 위하여 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공 배기(5×10^{-7} Pa 이상 1×10^{-4} Pa 이하 정도까지)하는 것이 바람직하다. 또는 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 체임버 내에 기체가 역류하지 않도록 해두는 것이 바람직하다.

[0202] 고순도화되고 진성인 산화물 반도체를 얻기 위해서는 각 체임버 내의 고진공 배기뿐만 아니라 스퍼터링에 사용하는 가스의 고순도화도 중요하다. 상기 가스로서 사용하는 산소 가스나 아르곤 가스의 이슬점을 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하로 하고, 사용하는 가스의 고순도화를 도모함으로써 산화물 반도체막에 수분 등이 혼입되는 것을 가능한 한 방지할 수 있다. 구체적으로는, 산화물 반도체막(92b)이 In-M-Zn 산화물(M은, Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(92b)을 형성하기 위하여 사용하는 타깃에 있어서, 금속 원소의 원자수비를 $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ 로 하면, x_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하이며, z_1/y_1 은 1/3 이상 6 이하, 바람직하게는 1 이상 6 이하인 것이 좋다. 또한 z_1/y_1 을 1 이상 6 이하로 함으로써 산화물 반도체막(92b)으로서 CAAC-OS막이 형성되기 쉽게 된다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는, $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$, $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 등이 있다.

[0203] 구체적으로, 산화물 반도체막(92a) 및 산화물 반도체막(92c)이 In-M-Zn 산화물(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 산화물 반도체막(92a) 및 산화물 반도체막(92c)을 형성하기 위하여 사용하는 타깃에 있어서, 금속 원소의 원자수비를 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ 로 하면, $x_2/y_2 < x_1/y_1$ 이고, z_2/y_2 는 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하인 것이 더 바람직하다. 또한 z_2/y_2 를 1 이상 6 이하로 함으로써 산화물 반도체막(92a) 및 산화물 반도체막(92c)으로서 나중에 CAAC-OS막이 형성되기 쉽게 된다. 타깃의 금속 원소의 원자수비의 대표적인 예로서는 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$, $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$, $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 6$, $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 8$ 등이 있다.

[0204] 또한, 산화물 반도체막(92a) 및 산화물 반도체막(92c)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한 산화물 반도체막(92b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.

[0205] 3층 구조의 반도체막에서 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)은 비정질 또는 결정질의 양쪽 형태가 될 수 있다. 다만, 채널 영역이 형성되는 산화물 반도체막(92b)이 결정질이라면 트랜지스터(22)에 안정된 전기적 특성을 부여할 수 있기 때문에 산화물 반도체막(92b)은 결정질인 것이 바람직하다.

[0206] 또한, 채널 형성 영역이란, 트랜지스터(22)의 반도체막에 있어서 게이트 전극과 중첩되고, 소스 전극 및 드레인 전극에 끼워진 영역을 말한다. 또한, 채널 영역이란, 채널 형성 영역에서 전류가 주로 흐르는 영역을 말한다.

[0207] 예를 들어, 스퍼터링법으로 형성한 In-Ga-Zn 산화물막을 산화물 반도체막(92a) 및 산화물 반도체막(92c)으로서 사용하는 경우, 산화물 반도체막(92a) 및 산화물 반도체막(92c)의 형성에는 In-Ga-Zn 산화물($\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ [원자수비])의 타깃을 사용할 수 있다. 성막 조건은 예를 들어 성막 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고 기판 온도를 200°C로 하고 DC전력을 0.5kW로 하면 좋다.

[0208] 또한, 산화물 반도체막(92b)을 CAAC-OS막으로 하는 경우, 산화물 반도체막(92b)의 형성에는 In-Ga-Zn 산화물($\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [원자수비])을 포함하는 다결정 타깃을 사용하는 것이 바람직하다. 성막 조건은 예를 들어 성막 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고 기판 온도를 300°C로 하고, DC전력을 0.5kW로 할 수 있다.

[0209] 또한, 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)은 스퍼터링법에 의하여 형성할 수 있지만 다른 방법, 예를 들어 열 CVD법에 의하여 형성하여도 좋다. 열CVD법의 예로서 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법을 사용하여도 좋다.

[0210] 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified Oxide Semiconductor)는 캐리어 발생원이 적기 때문에, i형(진성 반도체) 또는

i형에 한없이 가깝게 할 수 있다. 그래서, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터는 오프 전류가 매우 작고 신뢰성이 높다. 그리고, 상기 산화물 반도체막에 채널 형성 영역이 형성되는 트랜지스터는, 문턱 전압이 플러스로 되는 전기적 특성(노멀리 오프 특성이라고도 함)이 되기 쉽다.

[0211] 구체적으로는, 고순도화된 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터의 오프 전류가 작은 것은, 각종 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자라도 소스 전극과 드레인 전극간의 전압(드레인 전압)이 $1\text{V} \sim 10\text{V}$ 의 범위에서, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13}\text{A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 트랜지스터의 채널 폭으로 정규화된 오프 전류는 $100\text{zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여, 오프 전류의 측정을 행하였다. 상기 측정에서는, 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V 인 경우에, 수십 $\text{yA}/\mu\text{m}$ 라는, 더 작은 오프 전류가 얻어지는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역으로서 사용한 트랜지스터는, 결정성을 갖는 실리콘을 사용한 트랜지스터에 비하여 오프 전류가 현저히 작다.

[0212] 또한, 반도체막으로서 산화물 반도체막을 사용하는 경우, 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체막을 사용한 트랜지스터의 전기적 특성의 편차를 감소시키기 위한 스테빌라이저로서, 그들에 추가하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.

[0213] 산화물 반도체 중에서도 In-Ga-Zn 산화물, In-Sn-Zn 산화물 등을 탄소화 실리콘, 질화 갈륨, 또는 산화 갈륨과 달리 스퍼터링법이나 습식법에 의하여 전기적 특성이 우수한 트랜지스터를 제작할 수 있으며, 양산성이 뛰어나다는 이점이 있다. 또한, 탄소화 실리콘, 질화 갈륨, 또는 산화 갈륨과는 달리, 상기 In-Ga-Zn계 산화물은, 유리 기판 위에 전기적 특성이 우수한 트랜지스터를 제작하는 것이 가능하다. 또한, 기판의 대형화에도 대응할 수 있다.

[0214] 또한, 다른 스테빌라이저로서 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틀뮴(Tm), 이테르븀(Yb), 루테튬(Lu) 중의 어느 한 종류 또는 복수 종류를 포함하여도 좋다.

[0215] 예를 들어, 산화물 반도체로서, 산화 인듐, 산화 갈륨, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물(IGZO라고도 표기함), In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Ce-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, 또는 In-Hf-Al-Zn 산화물을 사용할 수 있다.

[0216] 또한, 예를 들어, In-Ga-Zn 산화물이란, In과 Ga과 Zn을 포함하는 산화물을 가리키고, In과 Ga과 Zn의 비율은 특별히 불문한다. 또한, In과 Ga과 Zn 이외의 금속 원소를 포함하여도 좋다. In-Ga-Zn 산화물은, 무전계(無電界) 시의 저항이 충분히 높고, 오프 전류를 충분히 작게 하는 것이 가능하고, 또한 이동도도 높다.

[0217] 예를 들어, In-Sn-Zn 산화물에서는 비교적 쉽게, 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn 산화물에서도, 벌크 내 결합 밀도를 저감함으로써 이동도를 높일 수 있다.

[0218] 또한, 트랜지스터(22)에서, 소스 전극 및 드레인 전극에 사용되는 도전성 재료에 따라서는 소스 전극 및 드레인 전극 내의 금속이 산화물 반도체막으로부터 산소를 추출하는 경우가 있다. 이 경우, 산화물 반도체막 중, 소스 전극 및 드레인 전극에 접하는 영역이 산소 결손의 형성에 의하여 n형화된다. n형화된 영역은 소스 영역 또는 드레인 영역으로서 기능하기 때문에, 산화물 반도체막과 소스 전극 및 드레인 전극 사이에서의 콘택트 저항을 낮출 수 있다. 따라서, n형화된 영역이 형성됨으로써, 트랜지스터(22)의 이동도 및 온 전류를 높일 수 있고, 그에 의하여, 트랜지스터(22)를 사용한 반도체 장치의 고속 동작을 실현할 수 있다.

- [0219] 고속 동작을 실현하는 산화물 반도체막을 갖는 트랜지스터는, 도 5에서의 트랜지스터(23)로서 사용할 수 있다. 이와 같이, 트랜지스터(23)도 산화물 반도체막을 갖는 경우, 트랜지스터(23)는 트랜지스터(22)와 같은 층에 형성하면 좋다. 즉, 공통적인 출발막을 산화물 반도체층으로서 예칭한 것을 사용하여 트랜지스터(22)와 트랜지스터(23)를 구성할 수 있다. 또한, 산화물 반도체막을 갖는 트랜지스터(23) 위에 산화물 반도체막을 갖는 트랜지스터(22)를 형성하는 경우, 짐작도를 높일 수 있다.
- [0220] 또한, 본 발명의 일 형태는 신호 전달 속도를 향상시킬 수 있기 때문에, n형화된 영역을 갖지 않는 산화물 반도체막을 갖는 트랜지스터라도 도 5에 도시된 트랜지스터(23)에 적용할 수 있다.
- [0221] 또한, 소스 전극 및 드레인 전극 중의 금속에 의한 산소의 추출은 소스 전극 및 드레인 전극을 스퍼터링법 등으로 형성할 때에 일어날 수 있고, 소스 전극 및 드레인 전극을 형성한 후에 행해지는 가열 처리 때문에 일어날 수도 있다. 또한, n형화되는 영역은 산소와 결합하기 쉬운 도전성 재료를 소스 전극 및 드레인 전극에 사용함으로써, 더 형성되기 쉬워진다. 이 도전성 재료로서는 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 들 수 있다.
- [0222] 복수의 적층된 산화물 반도체막을 갖는 반도체막을 트랜지스터(22)에 사용하는 경우, n형화되는 영역은 채널 영역이 되는 산화물 반도체막(92b)까지 도달되는 것이, 트랜지스터(22)의 이동도 및 온 전류를 높이고 반도체 장치의 고속 동작을 실현하는 데 바람직하다.
- [0223] 절연막(91)은 가열함으로써 상기 산소의 일부를 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)에 공급하는 기능을 갖는 절연막인 것이 바람직하다. 또한, 절연막(91)은 결함이 적은 것이 바람직하고, 대표적으로는, ESR 측정에 의하여 얻어지는, 실리콘의 데그링 본드에서 유래되는 $g=2.001$ 을 갖는 스펜 밀도가 $1 \times 10^{18} \text{ spins/cm}^3$ 이하인 것이 바람직하다.
- [0224] 절연막(91)은 가열함으로써 상기 산소의 일부를 산화물 반도체막(92a), 산화물 반도체막(92b), 및 산화물 반도체막(92c)에 공급하는 기능을 갖기 때문에 산화물인 것이 바람직하고, 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등을 사용할 수 있다. 절연막(91)은 플라즈마 CVD(Chemical Vapor Deposition)법 또는 스퍼터링법 등에 의하여 형성할 수 있다.
- [0225] 또한 본 명세서 중에서, 산화 질화물은 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화 산화물은 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0226] 또한, 도 6 및 도 7에 도시된 트랜지스터(22)는 채널 영역이 형성되는 산화물 반도체막(92b)의 단부 중 도전막(93) 및 도전막(94)과 중첩되지 않는 단부(도전막(93) 및 도전막(94)이 위치하는 영역과 상이한 영역에 위치하는 단부)와, 도전막(96)이 중첩되는 구성을 갖는다. 산화물 반도체막(92b)의 단부는 상기 단부를 형성하기 위한 예칭으로 플라즈마에 노출될 때에 예칭 가스로부터 생긴 염소 라디칼, 불소 라디칼 등이 산화물 반도체를 구성하는 금속 원소와 결합되기 쉽다. 따라서 산화물 반도체막의 단부에서는 상기 금속 원소와 결합된 산소가 이탈되기 쉬운 상태에 있기 때문에 산소 결손이 형성되어 n형화되기 쉽다고 생각될 수 있다. 하지만 도 6 및 도 7에 도시된 트랜지스터(22)에서는 도전막(93) 및 도전막(94)과 중첩되지 않는 산화물 반도체막(92b)의 단부와 도전막(96)이 중첩되기 때문에 도전막(96)의 전위를 제어함으로써 상기 단부에서의 전계를 제어할 수 있다. 따라서 산화물 반도체막(92b)의 단부를 통하여 도전막(93)과 도전막(94) 사이를 흐르는 전류를 도전막(96)에 인가되는 전위에 의하여 제어할 수 있다. 이와 같은 트랜지스터(22)의 구조를 Surrounded Channel(S-Channel) 구조라고 부른다.
- [0227] 구체적으로 S-Channel 구조의 경우, 트랜지스터(22)가 오프 상태가 되는 바와 같은 전위를 도전막(96)에 부여한 경우에는 상기 단부를 통하여 도전막(93)과 도전막(94) 사이를 흐르는 오프 전류를 작게 억제할 수 있다. 그러므로 트랜지스터(22)에서는 높은 온 전류를 얻기 위하여 채널 길이를 짧게 하여, 결과적으로 산화물 반도체막(92b)의 단부에서의 도전막(93)과 도전막(94) 사이의 길이가 짧게 되더라도 트랜지스터(22)의 오프 전류를 작게 억제할 수 있다. 따라서 트랜지스터(22)의 채널 길이를 짧게 함으로써 온 상태일 때에는 높은 온 전류를 얻을 수 있고, 오프 상태일 때에는 오프 전류를 작게 억제할 수 있다.
- [0228] 또한, 구체적으로 S-Channel 구조의 경우, 트랜지스터(22)가 온 상태가 되는 바와 같은 전위를 도전막(96)에 부여한 경우에는 상기 단부를 통하여 도전막(93)과 도전막(94) 사이를 흐르는 전류를 높게 할 수 있다. 상기 전류는 트랜지스터(22)의 전계 효과 이동도와 온 전류의 증대에 기여한다. 그리고 산화물 반도체막(92b)의 단부와 도전막(96)이 중첩됨으로써 산화물 반도체막(92b)에서 캐리어가 흐르는 영역이 절연막(95)에 가까운 산화물

반도체막(92b)의 계면 균방뿐만 아니라 산화물 반도체막(92b)의 넓은 범위에서 캐리어가 흐르기 때문에 트랜지스터(22)에서의 캐리어 이동량이 증가된다. 이 결과, 트랜지스터(22)의 온 전류가 높게 되면서 전계 효과 이동도가 높게(대표적으로는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이상, 또한, $20\text{cm}^2/\text{V}\cdot\text{s}$ 이상) 된다. 또한, 여기서의 전계 효과 이동도는, 산화물 반도체막의 물성값으로서의 이동도의 근사값이 아니라, 트랜지스터의 포화 영역에서의 전류 구동력의 지표이며, 외관상의 전계 효과 이동도이다.

[0229] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.

[0230] 산화물 반도체막은 단결정 산화물 반도체막 및 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.

[0231] 비정질 산화물 반도체막은 막 내에서의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에 있어서도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형적이다.

[0232] 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다는 특징을 갖는다.

[0233] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 하나의 변이 100nm 미만인 입방체 내에 들어가는 사이즈이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 사이즈인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결합 준위 밀도가 낮다는 특징을 갖는다. CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부들끼리의 명확한 경계, 즉, 결정 입계(그레이인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0234] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 충상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각종은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.

[0235] 또한 본 명세서에 있어서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0236] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0237] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.

[0238] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 행하면, 예를 들어 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.

[0239] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. InGaZnO_4 의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 행하여도 명료한 피크가 나타나지 않는다.

[0240] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고, 또한 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서,

상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 ab면에 평행한 면이다.

[0241] 또한, 결정부는 CAAC-OS막을 형성하였을 때, 또는 가열 처리 등의 결정화 처리를 행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 예칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않는 경우도 있다.

[0242] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.

[0243] 또한, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방일 때 나타나는 피크에 더하여, 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0244] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기적 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0245] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다.

[0246] 또한, CAAC-OS막을 형성하기 위하여 이하의 조건을 적용하는 것이 바람직하다.

[0247] 성막 시의 불순물 혼입을 저감시킴으로써, 불순물로 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 처리실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등)의 농도를 저감시키면 좋다. 또한, 성막 가스 내의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.

[0248] 또한, 성막 시의 기판 가열 온도를 높임으로써, 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 막을 형성한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상 또는 펠럿 형상의 스퍼터링 입자가 기판에 도달한 경우에 기판 위에서 마이그레이션이 일어나고, 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0249] 또한, 성막 가스 내의 산소 비율을 높이고, 전력을 최적화시킴으로써 성막 시의 플라즈마 대미지를 경감시키면 바람직하다. 성막 가스 내의 산소 비율은 30vol.% 이상, 바람직하게는 100vol.%로 한다.

[0250] 타깃의 일례로서 $\text{In}-\text{Ga}-\text{Zn}$ 산화물 타깃에 대하여 이하에 기재한다.

[0251] InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 mol수비로 혼합하고 가압 처리를 행한 후, 1000°C 이상 1500°C 이하의 온도로 가열 처리함으로써 다결정인 $\text{In}-\text{Ga}-\text{Zn}$ 산화물 타깃을 제작한다. 또한, X, Y 및 Z는 임의의 정수이다. 여기서, 소정의 mol수비는 예를 들어 InO_x 분말, GaO_y 분말, 및 ZnO_z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 2:1:3, 또는 3:1:2이다. 또한, 분말의 종류와 그 혼합하는 mol수비는 제작하는 타깃에 따라 적절히 변경하면 좋다. 특히, In, Ga, Zn의 mol수비가 2:1:3인 타깃을 사용하여 제작된 CAAC-OS막은, 일정 범위에서의 CAAC-OS의 회절 패턴이 관측되는 영역의 비율(CAAC화율이라고도 함)을 높일 수 있기 때문에, 상기 CAAC-OS막에 채널 형성 영역을 갖는 트랜지스터의 주파수 특성(f특)을 높일 수 있다.

[0252] 또한, 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에, 불순물이다. 알칼리 토금속도, 산화물 반도체를 구성하는 원소가 아닌 경우에 있어서, 불순물이 된다. 특히, 알칼리 금속 중 Na은 산화물 반도체막에 접하는 절연막이 산화물인 경우, 상기 절연막 중으로 확산되어 Na^+ 은 된다. 또한, Na는 산화물 반도체막 내에서, 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나, 또는, 그 결합 중에 끼어든다. 결과적으로, 예를 들어, 문턱 전압이 음 방향으로 이동함에 따른 노멀리 온(normally-on)화, 이동도의 저하 등, 트랜지스터의 전기적 특성이 열화하며, 특성의 편차도 생긴다. 구체적으로, 2차 이온 질량 분석법에 의한 Na 농도의 측정 값은, $5 \times 10^{16}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하로 하면 좋다. 마찬가지로, Li 농도의 측정값은 $5 \times 10^{15}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하로 하면 좋다. 마찬가지로, K

농도의 측정값은 $5 \times 10^{15} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 이하로 하면 좋다.

[0253] 또한, 인듐을 포함한 금속 산화물이 사용되는 경우에, 산소와의 결합 에너지가 인듐보다 큰 실리콘이나 탄소가 인듐과 산소의 결합을 절단하고, 산소 결손을 형성하는 경우가 있다. 그래서, 실리콘이나 탄소가 산화물 반도체막에 혼입되면, 알칼리 금속이나 알칼리 토금속의 경우와 마찬가지로, 트랜지스터의 전기적 특성의 열화가 일어나기 쉽다. 따라서, 산화물 반도체막 내에서의 실리콘이나 탄소의 농도는 낮은 것이 바람직하다. 구체적으로, 2차 이온 질량 분석법에 의한 C 농도의 측정값, 또는 Si 농도의 측정값은 $1 \times 10^{18} / \text{cm}^3$ 이하로 하면 좋다. 상술한 구성에 의하여 트랜지스터의 전기적 특성의 열화를 방지할 수 있고, 반도체 장치의 신뢰성을 높일 수 있다.

[0254] <반도체 장치의 단면 구조의 예>

[0255] 도 8은, 도 2와 도 3에 도시된 스위치(SW21-22)의 단면 구조를 일례로서 도시한 것이다.

[0256] 또한, 도 8은 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(22)가 단결정 실리콘 기판에 채널 형성 영역을 갖는 트랜지스터(23) 위에 형성되는 예를 도시한 것이다.

[0257] 트랜지스터(23)는 비정질, 미결정, 다결정, 또는 단결정인, 실리콘 또는 저마늄 등으로 이루어진 반도체막 또는 반도체 기판에 채널 형성 영역을 가져도 좋다. 또는, 트랜지스터(23)는 산화물 반도체막 또는 산화물 반도체 기판에 채널 형성 영역을 가져도 좋다. 모든 트랜지스터가 산화물 반도체막 또는 산화물 반도체 기판에 채널 형성 영역을 갖는 경우, 트랜지스터(22)는 트랜지스터(23) 위에 적층되지 않아도 좋고, 트랜지스터(22)와 트랜지스터(23)는 동일 층에 형성되어도 좋다.

[0258] 실리콘 박막을 사용하여 트랜지스터(23)를 형성하는 경우, 상기 박막에는 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐링 등의 처리에 의하여 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

[0259] 트랜지스터(23)가 형성되는 반도체 기판(601)은 예를 들어, 실리콘 기판, 저마늄 기판, 실리콘 저마늄 기판 등을 사용할 수 있다. 도 8은 단결정 실리콘 기판을 반도체 기판(601)으로서 사용하는 경우를 도시한 것이다.

[0260] 또한, 트랜지스터(23)는 소자 분리법에 의하여 다른 소자와 전기적으로 분리된다. 소자 분리법으로서, 선택 산화법(LOCOS법: Local Oxidation of Silicon법), 트렌치 분리법(STI법: Shallow Trench Isolation) 등을 사용할 수 있다. 도 8은 트렌치 분리법으로 트랜지스터(23)를 전기적으로 분리하는 경우를 도시한 것이다. 구체적으로, 도 8은 에칭 등에 의하여 반도체 기판(601)에 트렌치를 형성하고 나서, 상기 트렌치를 산화 실리콘 등이 포함된 절연물로 매립함으로써 형성되는 소자 분리 영역(610)에 의하여 트랜지스터(23)를 소자 분리시키는 경우를 도시한 것이다.

[0261] 트랜지스터(23) 위에는 절연막(611)이 제공된다. 절연막(611)에는 개구부가 형성된다. 그리고, 상기 개구부에는 트랜지스터(23)의 소스 및 드레인에 각각 전기적으로 접속되는 도전막(625) 및 도전막(626)과, 트랜지스터(23)의 게이트에 전기적으로 접속되는 도전막(627)이 형성된다.

[0262] 그리고, 도전막(625)은 절연막(611) 위에 형성된 도전막(634)에 전기적으로 접속되고, 도전막(626)은 절연막(611) 위에 형성된 도전막(635)에 전기적으로 접속되고, 도전막(627)은 절연막(611) 위에 형성된 도전막(636)에 전기적으로 접속된다.

[0263] 도전막(634), 도전막(635) 및 도전막(636) 위에는, 절연막(612)이 형성된다. 절연막(612)에는 개구부가 형성되고, 상기 개구부에, 도전막(636)에 전기적으로 접속된 도전막(637)이 형성된다. 그리고, 도전막(637)은 절연막(612) 위에 형성된 도전막(651)에 전기적으로 접속된다.

[0264] 또한, 도전막(651) 위에는, 절연막(613)이 형성된다. 절연막(613)에는 개구부가 형성되고, 도전막(651)에 전기적으로 접속된 도전막(652)이 상기 개구부에 형성된다. 그리고, 도전막(652)은 절연막(613) 위에 형성된 도전막(653)에 전기적으로 접속된다. 또한, 절연막(613) 위에는 도전막(644)이 형성된다.

[0265] 도전막(653) 및 도전막(644) 위에는, 절연막(661)이 형성된다. 그리고, 도 8에서는, 절연막(661) 위에 트랜지스터(22)가 형성된다.

[0266] 트랜지스터(22)는 절연막(661) 위에 산화물 반도체를 포함하는 반도체막(701)과, 반도체막(701) 위의 소스 또는

드레인으로서 기능하는 도전막(721) 및 도전막(722)과, 반도체막(701), 도전막(721)과 도전막(722) 위의 게이트 절연막(662)과, 게이트 절연막(662) 위에 위치하고, 도전막(721) 및 도전막(722) 사이에서 반도체막(701)과 중첩되는 게이트 전극(731)을 갖는다. 또한, 도전막(722)은 절연막(661)에 제공된 개구부에 있어서 도전막(653)에 전기적으로 접속된다.

[0267] 또한, 트랜지스터(22)에서는 반도체막(701)에 있어서, 도전막(721)과 중첩되는 영역과, 게이트 전극(731)과 중첩되는 영역 사이에 영역(710)이 존재한다. 또한, 트랜지스터(22)에서는, 반도체막(701)에 있어서, 도전막(722)에 중첩되는 영역과, 게이트 전극(731)에 중첩되는 영역 사이에 영역(711)이 존재한다. 영역(710) 및 영역(711)에 도전막(721), 도전막(722), 및 게이트 전극(731)을 마스크로 하여 아르곤 등의 희가스, p형의 도전형을 반도체막(701)에 부여하는 불순물, 또는 n형의 도전형을 반도체막(701)에 부여하는 불순물을 침가함으로써 반도체막(701)에 있어서 게이트 전극(731)에 중첩되는 영역보다 영역(710) 및 영역(711)의 저항률을 낮출 수 있다.

[0268] 그리고, 트랜지스터(22) 위에 절연막(663)이 제공된다.

[0269] 또한, 도 8에서, 트랜지스터(22)는 게이트 전극(731)을 적어도 반도체막(701)의 한쪽에 가지면 좋지만, 반도체막(701)을 개재하여 존재하는 한 쌍의 게이트 전극을 가져도 좋다.

[0270] 트랜지스터(22)가 반도체막(701)을 사이에 끼워 존재하는 한 쌍의 게이트 전극을 갖는 경우, 한쪽의 게이트 전극에는 도통 상태 또는 비도통 상태를 제어하기 위한 신호가 부여되고, 다른 쪽의 게이트 전극은, 전위가 다른 것으로부터 부여되는 상태여도 좋다. 이 경우, 한 쌍의 게이트 전극에 같은 레벨의 전위가 부여되어도 좋고, 다른 쪽의 게이트 전극에만 접지 전위 등의 고정 전위가 부여되어도 좋다. 다른 쪽의 게이트 전극에 부여되는 전위의 레벨을 제어함으로써, 트랜지스터의 문턱 전압을 제어할 수 있다.

[0271] 또한, 도 8은 트랜지스터(22)가 하나의 게이트 전극(731)에 대하여 하나의 채널 형성 영역을 갖는, 싱글 게이트 구조인 경우를 도시한 것이다. 그러나, 트랜지스터(22)는 서로 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 하나의 활성층에 복수의 채널 형성 영역을 갖는, 즉 멀티 게이트 구조이어도 좋다.

[0272] <반도체 장치의 단면 구조의 예>

[0273] 도 18은, 도 14와 도 15에 도시된 스위치(SW21-22)의 단면 구조를 일례로서 도시한 것이다.

[0274] 도 18에서는 제 1 트랜지스터(M31), 제 2 트랜지스터(M32), 제 1 용량 소자(C31)의 단면 구조를 도시하였다. 제 1 트랜지스터(M31)는 반도체층의 아래 측에 게이트가 있는 보텀 게이트 구조를 갖고, 제 2 트랜지스터(M32)는 반도체층의 위 측에 게이트가 있는 톱 게이트 구조를 갖는다.

[0275] 기판(520)은 상술한 기판(400)과 마찬가지의 구성을 가질 수 있다.

[0276] 기판(520) 위에는 트랜지스터(521), 트랜지스터(522), 용량 소자(523)가 제공된다. 트랜지스터(521)는 제 1 트랜지스터(M31)에 적용할 수 있다. 트랜지스터(522)는 제 2 트랜지스터(M32)에 적용할 수 있다. 용량 소자(523)는 제 1 용량 소자(C31)에 적용할 수 있다.

[0277] 기판(520) 위에 도전막을 형성한다. 소정의 형상으로 가공하여 제 1 도전층(524), 제 2 도전층(525)으로 할 수 있다. 제 1 도전층(524)은 트랜지스터(521)의 게이트로서 기능할 수 있다. 제 2 도전층(525)은 용량 소자(523)의 한쪽의 전극으로서 기능할 수 있다. 이들은 출발막을 같은 도전막으로 하여 형성된 것이다. 도전막은 상기 도전성 재료와 마찬가지의 재료를 가질 수 있다.

[0278] 제 1 도전층(524), 제 2 도전층(525) 위에 절연막(528)을 형성한다. 절연막(528)은 트랜지스터(521)에 있어서, 게이트 절연막으로서 기능하는 영역을 갖고, 용량 소자(523)에 있어서 유전체로서 기능하는 영역을 갖고, 트랜지스터(522)에 있어서 하지막으로서 기능하는 영역을 갖는다. 절연막(528)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 저마륨, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등을 사용할 수 있다.

[0279] 절연막(528) 위에 반도체막을 형성한다. 소정의 형상으로 가공하여 제 1 반도체층(534), 제 2 반도체층(535)으로 할 수 있다. 제 1 반도체층(534)은 적어도 트랜지스터(521)의 채널 형성 영역이 되는 영역을 갖는다. 제 2 반도체층(535)은 적어도 트랜지스터(522)의 채널 형성 영역이 되는 영역을 갖는다. 반도체막은 상술한 산화물 반도체막과 마찬가지의 구성을 가질 수 있다. 반도체막에 CAAC-OS막을 적용하면, 오프 전류가 상당히 작아지고, 적어도 제 1 트랜지스터(M31)에 바람직하다.

- [0280] 상기 반도체층 위에 도전막을 형성한다. 소장의 형상으로 가공하여 제 3 도전층(530), 제 4 도전층(531), 제 5 도전층(532), 제 6 도전층(533)으로 할 수 있다. 제 3 도전층(530)은 트랜지스터(521)의 소스 및 드레인 중 한 쪽으로서 기능할 수 있다. 제 4 도전층(531)은 트랜지스터(521)의 소스 및 드레인 중 다른 쪽으로서 기능할 수 있다. 제 5 도전층(532)은 트랜지스터(522)의 소스 및 드레인 중 한 쪽으로서 기능할 수 있다. 제 6 도전층(533)은 트랜지스터(522)의 소스 및 드레인 중 다른 쪽으로서 기능할 수 있다. 이들은 출발막을 같은 도전막으로 하여 형성된 것이다. 도전막은 상기 도전성 재료와 마찬가지의 재료를 가질 수 있다.
- [0281] 제 3 도전층(530)~제 6 도전층(533) 위에 절연막(536)을 형성한다. 절연막(536)은 트랜지스터(521)에서 보호막으로서 기능할 수 있다. 절연막(536)은 트랜지스터(522)에 있어서 게이트 절연막으로서 기능할 수 있다. 절연막(536)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등을 사용할 수 있다.
- [0282] 절연막(536)에 개구부(537)를 형성한다.
- [0283] 절연막(536) 위에 도전막을 형성한다. 소장의 형상으로 가공하여 제 7 도전층(539), 제 8 도전층(540)으로 할 수 있다. 제 7 도전층(539)은 트랜지스터(521)의 소스 및 드레인 중 한쪽과, 트랜지스터(522)의 게이트를 전기적으로 접속하는 배선으로서 기능할 수 있다. 제 8 도전층(540)은 트랜지스터(522)의 게이트로서 기능할 수 있다. 이들은 출발막을 같은 도전막으로 하여 형성된 것이다. 도전막은 상기 도전성 재료와 마찬가지의 재료를 가질 수 있다.
- [0284] 트랜지스터(522)에 있어서 적어도 제 5 도전층(532), 제 6 도전층(533), 제 8 도전층(540)을 마스크로 하여 원소를 반도체층(535)에 첨가하여도 좋다. 상기 원소에는 아르곤 등의 희가스, 인, 붕소 등을 들 수 있다. 상기 원소가 첨가된 영역(541)은 첨가되지 않은 영역보다 저항이 낮게 된다. 결과적으로 트랜지스터(522)의 온 전류를 향상시킬 수 있다.
- [0285] 제 7 도전층(539), 제 8 도전층(540) 위에 절연막(543)을 형성한다. 절연막(543)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등을 사용할 수 있다.
- [0286] 이와 같은 구성을 제 1 트랜지스터(M31), 제 2 트랜지스터(M32), 제 1 용량 소자(C31)에 적용할 수 있다. 마찬가지로 제 4 트랜지스터(M34), 제 5 트랜지스터(M35), 제 2 용량 소자(C32)에 적용할 수 있다.
- [0287] <전자 기기의 예>
- [0288] 본 발명의 일 형태에 따른 반도체 장치는, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 Digital Versatile Disc(DVD) 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 외에, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적 단말, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기, 의료 기기 등을 들 수 있다. 도 9는 이들 전자 기기의 구체적인 예를 도시한 것이다.
- [0289] 도 9의 (A)는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 휴대형 게임기가 갖는 각종 접적 회로에 사용할 수 있다. 또한, 도 9의 (A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(5003) 및 표시부(5004))를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이에 한정되지 않는다.
- [0290] 도 9의 (B)는 휴대 정보 단말이며, 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 휴대 정보 단말이 갖는 각종 접적 회로에 사용할 수 있다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공된다. 그리고, 제 1 하우징(5601)과 제 2 하우징(5602)은 접속부(5605)로 접속되고, 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)에 의하여 변경할 수 있다. 제 1 표시부(5603)에서의 영상을 접속부(5605)에서의 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라

전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(5603) 및 제 2 표시부(5604) 중 적어도 한쪽에, 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하도록 하여도 좋다. 또한, 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는 위치 입력 장치로서의 기능은, 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.

[0291] 도 9의 (C)는 노트북 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 노트북 퍼스널 컴퓨터가 갖는 각종 접적 회로에 사용할 수 있다.

[0292] 도 9의 (D)는 전기 냉동 냉장고이며, 하우징(5301), 냉장실용 도어(5302), 냉동실용 도어(5303) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 전기 냉동 냉장고가 갖는 각종 접적 회로에 사용할 수 있다.

[0293] 도 9의 (E)는 비디오 카메라이며, 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 비디오 카메라가 갖는 각종 접적 회로에 사용할 수 있다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부(5803)는 제 2 하우징(5802)에 제공된다. 그리고, 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되고, 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)에 의하여 변경할 수 있다. 표시부(5803)에서의 영상을 접속부(5806)에서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0294] 도 9의 (F)는 보통 자동차이며, 차체(5101), 차륜(5102), 대시보드(5103), 라이트(5104) 등을 갖는다. 본 발명의 일 형태에 따른 반도체 장치는 보통 자동차가 갖는 각종 접적 회로에 사용할 수 있다.

[0295] <기타>

[0296] 또한, 본 명세서 등에서, "X와 Y가 접속된다"라고 명시적으로 기재되는 경우에는 X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우를 포함하는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장에 나타낸 접속 관계에 한정되지 않는다.

[0297] 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0298] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한, 스위치는 온 상태와 오프 상태가 제어되는 기능을 갖는다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다.

[0299] X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로를 개재하여도, X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되는 것으로 한다.

[0300] 또한, "X와 Y가 전기적으로 접속된다"라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 기능적으로 접속되는 경우(즉, X와 Y 사이에 다른 회로를 끼워 기능적으로 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다. 즉, "전기적으로 접속된다"고 명시적으로 기재되는 경우에는, 단순히, "접속된다"라고만 명시적으로 기재되는 경우와 같은 것으로 한다.

[0301] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 개재하여(또는 개재하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 개재하여(또는 개재하지 않고) Y와 전기적으로 접속되는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되고, Z1의 다른 일부가 X와 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고, Z2의 다른 일부가 Y와 직접 접속되는 경우에는 이하와 같이 표현할 수 있다.

- [0302] 예를 들어, "X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 차례로 전기적으로 접속된다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 차례로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 개재하여 Y와 전기적으로 접속되고 X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 접속 순서로 제공된다"라고 표현할 수 있다. 이와 같은 예와 같은 표현 방법을 이용하여 회로 구성에서의 접속 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 다만, 상술한 표현 방법은 일례이며, 이들에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0303] 또한, 회로도상으로는 독립되는 구성 요소끼리가 전기적으로 접속되는 바와 같이 도시된 경우라도, 하나의 구성 요소가, 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽 구성 요소의 기능을 겸비한다. 따라서, 본 명세서에서의 전기적으로 접속이란, 이와 같은 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함된다.
- [0304] 또한, 어느 하나의 실시형태에서 설명하는 내용(일부의 내용이라도 좋음)은 그 실시형태에서 설명하는 다른 내용(일부의 내용이라도 좋음), 및/또는 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부의 내용이라도 좋음)에 대하여 적용, 조합, 또는 치환 등을 행할 수 있다.
- [0305] 또한 실시형태 중에 기재되는 내용이란 각각 실시형태에서 다양한 도면을 사용하여 기재되는 내용, 또는 명세서에 기재된 문장을 사용하여 기재되는 내용을 가리킨다.
- [0306] 또한, 어느 하나의 실시형태에 제시되는 도면(일부라도 좋음)은 이 도면의 다른 부분, 그 실시형태에 제시되는 다른 도면(일부라도 좋음) 및/또는 하나 또는 복수의 다른 실시형태에 제시되는 도면(일부라고도 좋음)과 조합함으로써 더 많은 도면을 구성할 수 있다.
- [0307] 또한, 명세서 중에서 도면이나 문장으로 규정되지 않은 내용에 관하여, 그 내용을 제외하는 것을 규정한 발명의 일 형태를 구성할 수 있다. 또는, 어떤 값에 관하여, 상한값과 하한값 등으로 나타내어지는 수치 범위가 기재되는 경우, 그 범위를 임의로 좁힘으로써, 또는 그 범위 내의 한 점을 제외함으로써 그 범위의 일부를 제외한 발명의 일 형태를 규정할 수 있다. 이로써, 예를 들어, 종래 기술이 본 발명의 일 형태의 기술적 범위 내에 들어가지 않는 것을 규정할 수 있다.
- [0308] 구체적인 예로서는, 어떤 회로에 대하여 제 1~제 5 트랜지스터를 사용한 회로도가 도시된 경우, 이 회로가 제 6 트랜지스터를 갖지 않음을 발명으로서 규정할 수 있다. 또는, 상기 회로가 용량 소자를 갖지 않음을 규정할 수 있다. 또한, 이 회로가, 어떤 특정한 접속 구조를 갖는 제 6 트랜지스터를 갖지 않음을 규정하여 발명을 구성할 수 있다. 또는, 상기 회로가, 어떤 특정한 접속 구조를 갖는 용량 소자를 갖지 않음을 규정하여 발명을 구성할 수 있다. 예를 들어, 게이트가 제 3 트랜지스터의 게이트에 접속된 제 6 트랜지스터를 갖지 않는다고 발명을 규정할 수 있다. 또는, 예를 들어 제 1 전극이 제 3 트랜지스터의 게이트에 접속된 용량 소자를 갖지 않는다고 발명을 규정할 수 있다.
- [0309] 다른 구체적인 예로서는, 어떤 값에 대하여, 예를 들어 "어떤 전압이, 3V 이상 10V 이하인 것이 바람직하다"라고 기재되는 경우, 예를 들어 어떤 전압이 -2V 이상 1V 이하인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다. 또는, 예를 들어, 어떤 전압이 13V 이상인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다. 또한, 예를 들어, 그 전압이 5V 이상 8V 이하라고 발명을 규정할 수도 있다. 또한, 예를 들어, 그 전압이 대략 9V라고 발명을 규정할 수도 있다. 또한, 예를 들어, 그 전압이 3V 이상 10V 이하이지만 9V인 경우를 제외한다고 발명을 규정할 수도 있다. 또한, 어떤 값에 대하여 "이와 같은 범위인 것이 바람직하다", "이들을 만족시키는 것이 바람직하다" 등으로 기재되더라도, 어떤 값은 그 기재에 한정되지 않는다. 즉, "바람직하다", "적합하다" 등으로 기재되더라도 반드시 이를 기재에 한정되지 않는다.
- [0310] 다른 구체적인 예로서는, 어떤 값에 대하여, 예를 들어, "어떤 전압이, 10V인 것이 바람직하다"라고 기재되는 경우, 예를 들어 어떤 전압이 -2V 이상 1V 이하인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다. 또는,

예를 들어, 어떤 전압이 13V 이상인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다.

[0311] 다른 구체적인 예로서는, 어떤 물질의 성질에 대하여, 예를 들어, "어떤 막은, 절연막이다"라고 기재되는 경우, 예를 들어, 그 절연막이 유기 절연막인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다. 또는, 예를 들어, 그 절연막이 무기 절연막인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다. 또는, 예를 들어, 그 막이 도전막인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다. 또는, 예를 들어, 그 막이 반도체막인 경우를 제외한다고 발명의 일 형태를 규정할 수 있다.

[0312] 다른 구체적인 예로서는, 어떤 적층 구조에 대하여 예를 들어 "A막과 B막 사이에, 어떤 막이 제공된다"라고 기재되는 경우, 예를 들어 그 막이, 4층 이상의 적층막인 경우를 제외한다고 발명을 규정할 수 있다. 또는 예를 들어, A막과 상기 막 사이에 도전막이 제공되는 경우를 제외한다고 발명을 규정할 수 있다.

[0313] 또한, 본 명세서 등에서는 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 모든 단자에 대하여, 그 접속 대상이 특정되지 않더라도, 당업자라면 발명의 일 형태를 구성할 수 있는 경우가 있다. 즉, 접속 대상을 특정하지 않아도, 발명의 일 형태가 명확하다고 할 수 있다. 그리고 접속 대상이 특정된 내용이 본 명세서 등에 기재되는 경우 접속 대상을 특정하지 않은 발명의 일 형태가 본 명세서 등에 기재된다고 판단할 수 있는 경우가 있다. 특히, 단자의 접속 대상으로서 복수의 경우가 생각될 때에는, 그 단자의 접속 대상을 특정한 개소로 한정할 필요는 없다. 따라서 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 일부의 단자에 대해서만, 그 접속 대상을 특정함으로써 발명의 일 형태를 구성할 수 있는 경우가 있다.

[0314] 또한, 본 명세서 등에서는 어떤 회로에 대하여 적어도 접속 대상을 특정하기만 하면 당업자라면 발명을 특정하는 것이 가능한 경우가 있다. 또는, 어떤 회로에 대하여 적어도 기능을 특정하면 당업자라면 발명을 특정할 수 있는 경우가 있다. 즉, 기능을 특정하면, 발명의 일 형태는 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가 본 명세서 등에 기재된다고 판단할 수 있는 경우가 있다. 따라서 어떤 회로에 대하여 기능을 특정하지 않아도 접속 대상을 특정하면 발명의 일 형태로서 개시(開示)되는 것이며 발명의 일 형태를 구성할 수 있다. 또는 어떤 회로에 대하여 접속 대상을 특정하지 않아도 기능을 특정하면 발명의 일 형태로서 개시되는 것이며 발명의 일 형태를 구성할 수 있다.

[0315] 또한, 본 명세서 등에서는 어느 하나의 실시형태에 제시된 도면 또는 문장에서 그 일부를 추출하여 발명의 일 형태를 구성하는 것이 가능하다. 따라서 어느 부분을 도시한 도면이나 기재하는 문장이 제시되는 경우, 이 일부의 도면 또는 문장을 꺼낸 내용도 발명의 일 형태로서 개시되는 것이며 발명의 일 형태를 구성할 수 있는 것으로 한다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다. 따라서, 예를 들어 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제작 방법 등이 단수 또는 복수 제시된 도면 또는 문장에서, 그 일부분을 꺼내, 발명의 일 형태를 구성할 수 있는 것으로 한다. 예를 들어, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 갖고 구성된 회로도로부터 M개(M은 정수이고, M<N)의 회로 소자(트랜지스터, 용량 소자 등)를 꺼내 발명의 일 형태를 구성하는 것이 가능하다. 다른 예로서는, N개(N은 정수)의 층을 갖고 구성된 단면도로부터 M개(M은 정수이고, M<N)의 층을 꺼내 발명의 일 형태를 구성하는 것이 가능하다. 또 다른 예로서는, N개(N은 정수)의 요소를 갖고 구성된 흐름도로부터 M개(M은 정수이고, M<N)의 요소를 꺼내 발명의 일 형태를 구성하는 것이 가능하다. 또 다른 예로서는, "A는 B, C, D, E, 또는 F를 갖는다"라고 기재되는 문장으로부터 일부의 요소를 임의로 꺼내, "A는 B와 E를 갖는다", "A는 E와 F를 갖는다", "A는 C와 F를 갖는다", 또는, "A는 B와 C와 D와 E를 갖는다" 등의 발명의 일 형태를 구성할 수 있다.

[0316] 또한, 본 명세서 등에서는 어느 하나의 실시형태에 제시된 도면 또는 문장에서 구체적인 예가 적어도 하나 기재된 경우, 그 구체적인 예의 상위 개념을 도출하는 것은 당업자라면 쉽게 이해할 수 있다. 따라서 어느 하나의 실시형태에 제시된 도면 또는 문장에서 적어도 하나의 구체적인 예가 기재되는 경우, 이 구체적인 예의 상위 개념도 발명의 일 형태로서 개시되는 것이며 발명의 일 형태를 구성할 수 있다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다.

[0317] 또한, 본 명세서 등에서는 적어도 도면에 도시된 내용(도면 내의 일부라도 좋음)은 발명의 일 형태로서 개시된 것이며 발명의 일 형태를 구성하는 것이 가능하다. 따라서 어떤 내용에 대하여 도면에 도시되면 문장을 사용하여 기재되지 않아도 이 내용은 발명의 일 형태로서 개시된 것이며 발명의 일 형태를 구성할 수 있다. 마찬가지로 도면의 일부를 꺼낸 도면에 대해서도 발명의 일 형태로서 개시된 것이며 발명의 일 형태를 구성할 수 있다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다.

부호의 설명

[0318] C11: 용량 소자

C12: 용량 소자

C21: 용량 소자

C22: 용량 소자

C31: 용량 소자

C32: 용량 소자

F1: 노드

M11: 트랜지스터

M12: 트랜지스터

M13: 트랜지스터

M14: 트랜지스터

M15: 트랜지스터

M16: 트랜지스터

M21: 트랜지스터

M22: 트랜지스터

M23: 트랜지스터

M24: 트랜지스터

M25: 트랜지스터

M31: 트랜지스터

M32: 트랜지스터

M33: 트랜지스터

M34: 트랜지스터

M35: 트랜지스터

M36: 트랜지스터

N23: 노드

N24: 노드

N33: 트랜지스터

ND11: 노드

ND12: 노드

ND21: 노드

ND22: 노드

ND23: 노드

ND24: 노드

ND31: 노드

ND32: 노드

ND33: 노드

SN11: 노드

SN12: 노드

SN21: 노드

SN22: 노드

SN31: 노드

SN32: 노드

SW1: 스위치군

SW11: 스위치

SW12: 스위치

SW21: 스위치

SW21-22: 스위치

SW22: 스위치

SW31: 스위치

SW32: 스위치

2n-2n: SW

2n-21: SW

2n-22: SW

21-2n: SW

21-21: SW

21-22: SW

22: 트랜지스터

22-2n: SW

22-21: SW

22-22: SW

23: 트랜지스터

32: 노드

33: 노드

54: 인버터

66A: 회로

66B: 회로

68: 인버터

70: 트랜지스터

72: 용량 소자

- 74: 트랜지스터
76: 트랜지스터
91: 절연막
92a: 산화물 반도체막
92b: 산화물 반도체막
92c: 산화물 반도체막
93: 도전막
94: 도전막
95: 절연막
96: 도전막
97: 절연 표면
101: 신호선
102: 신호선
103: 신호선
104: 신호선
105: 신호선
201: 스위치
202: LUT
203: 레지스터
204: 기억 장치
210: 신호선
211: 신호선
220: 신호선
221: 신호선
222: 신호선
301: 신호선
302: 신호선
303: 신호선
304: 신호선
305: 신호선
306: 메모리
400: 기판
401: 소자 불리 영역
402: 불순물 영역
403: 불순물 영역
404: 채널 형성 영역

405: 절연막

406: 게이트 전극

411: 절연막

412: 도전막

413: 도전막

414: 도전막

416: 도전막

417: 도전막

418: 도전막

420: 절연막

421: 절연막

422: 절연막

430: 반도체막

430a: 산화물 반도체막

430b: 산화물 반도체막

430c: 산화물 반도체막

431: 게이트 절연막

432: 도전막

433: 도전막

434: 게이트 전극

520: 기판

521: 트랜지스터

522: 트랜지스터

523: 용량 소자

524: 도전층

525: 도전층

528: 절연막

530: 도전층

531: 도전층

532: 도전층

533: 도전층

534: 반도체층

535: 반도체층

536: 절연막

537: 개구부

539: 도전층

- 540: 도전총
 541: 영역
 543: 절연막
 601: 반도체 기판
 610: 소자 분리 영역
 611: 절연막
 612: 절연막
 613: 절연막
 625: 도전막
 626: 도전막
 627: 도전막
 634: 도전막
 635: 도전막
 636: 도전막
 637: 도전막
 644: 도전막
 651: 도전막
 652: 도전막
 653: 도전막
 661: 절연막
 662: 게이트 절연막
 663: 절연막
 701: 반도체막
 710: 영역
 711: 영역
 721: 도전막
 722: 도전막
 731: 게이트 전극
 5001: 하우징
 5002: 하우징
 5003: 표시부
 5004: 표시부
 5005: 마이크로폰
 5006: 스피커
 5007: 조작 키
 5008: 스타일러스

5101: 차체

5102: 차륜

5103: 대시보드

5104: 라이트

5301: 하우징

5302: 냉장실용 도어

5303: 냉동실용 도어

5401: 하우징

5402: 표시부

5403: 키보드

5404: 포인팅 디바이스

5601: 하우징

5602: 하우징

5603: 표시부

5604: 표시부

5605: 접속부

5606: 조작 키

5801: 하우징

5802: 하우징

5803: 표시부

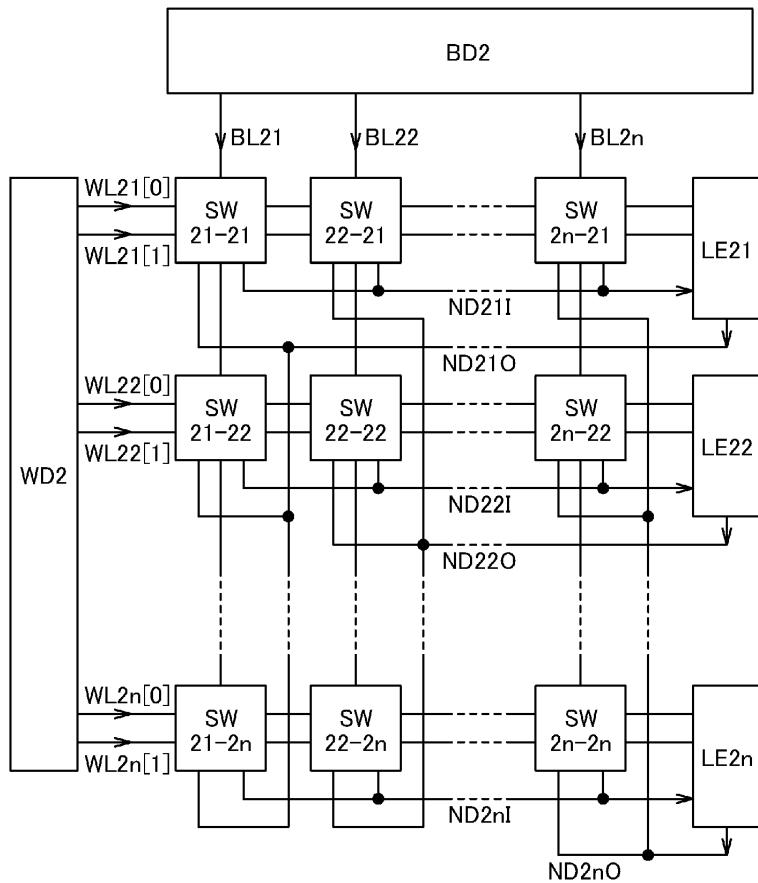
5804: 조작 키

5805: 렌즈

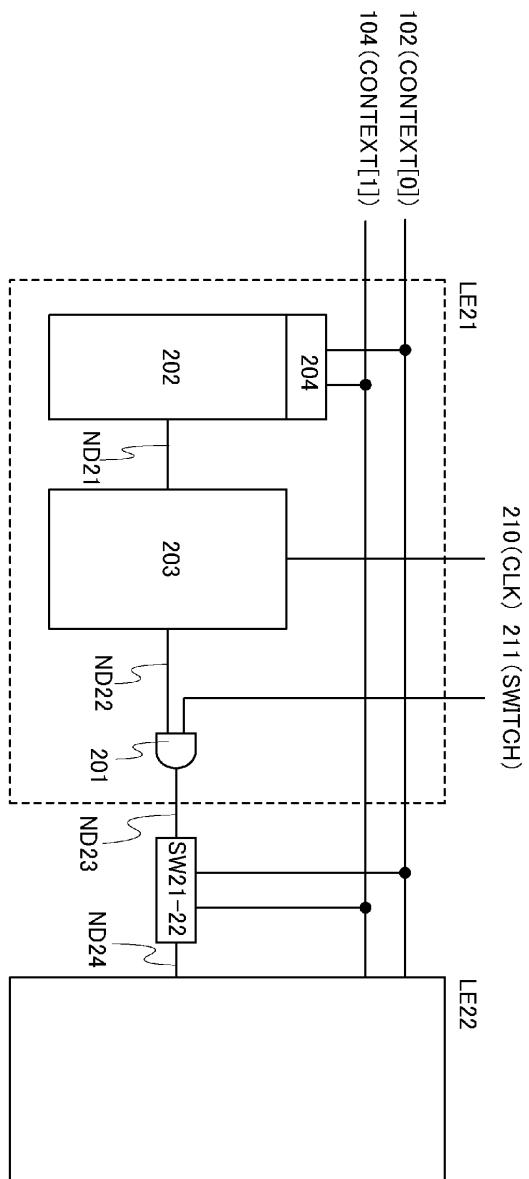
5806: 접속부

도면

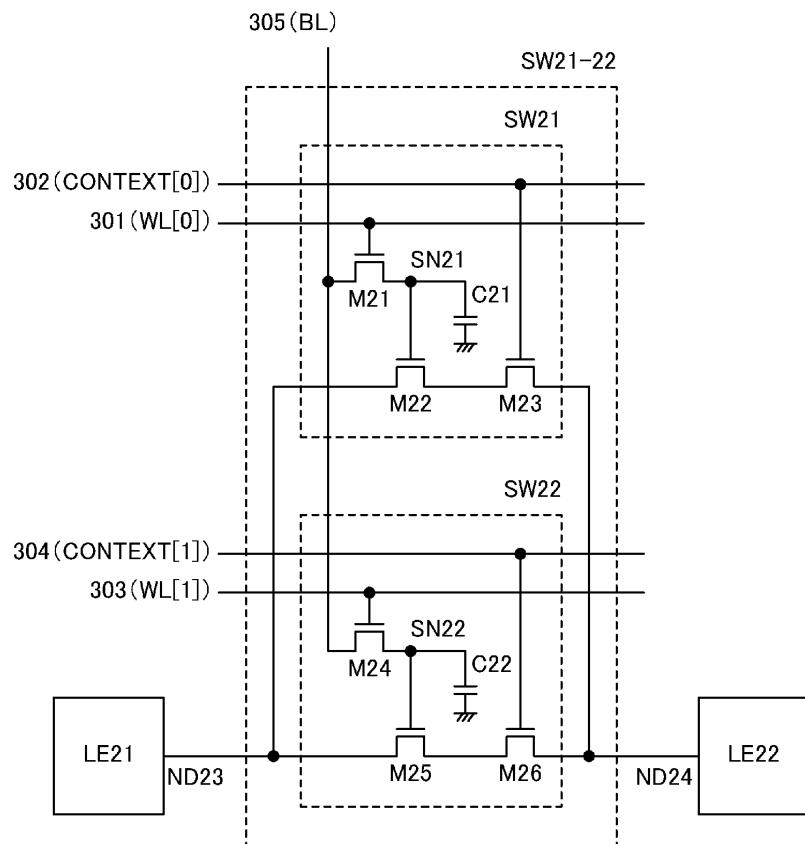
도면1



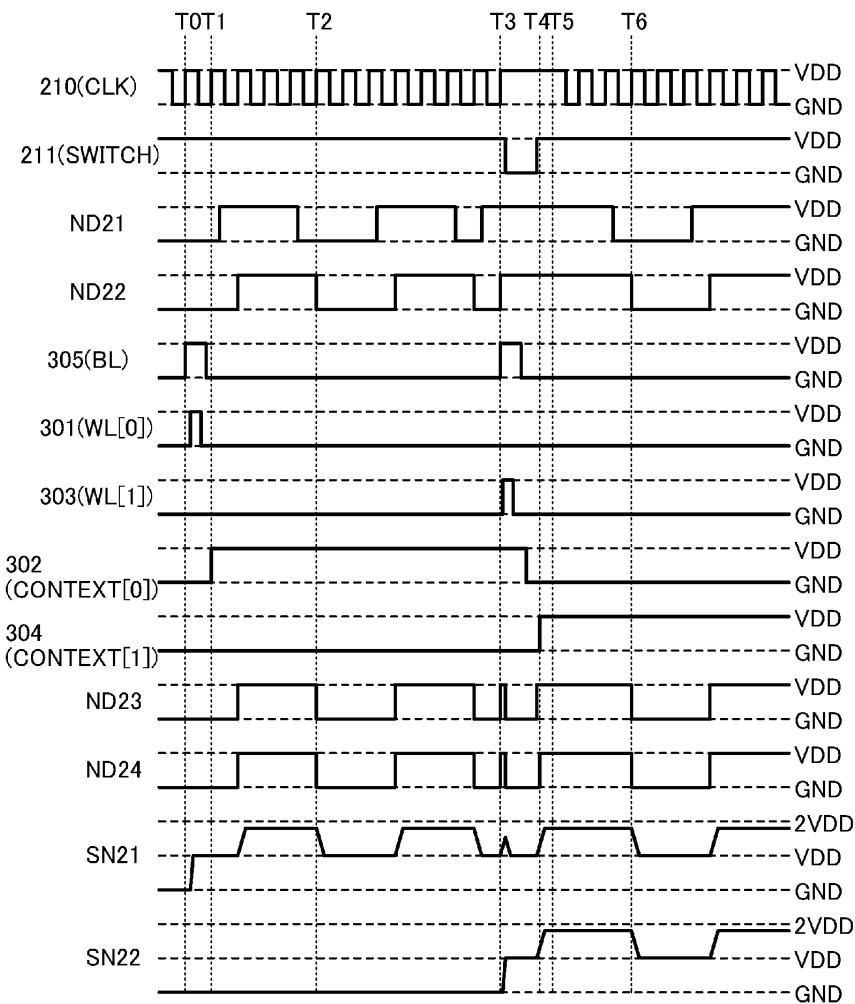
도면2



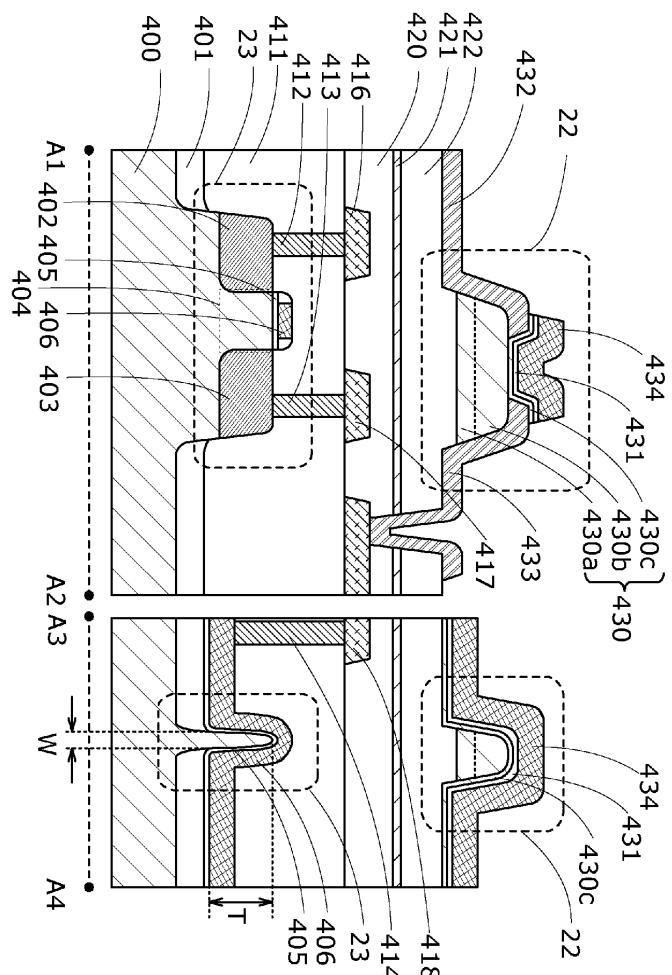
도면3



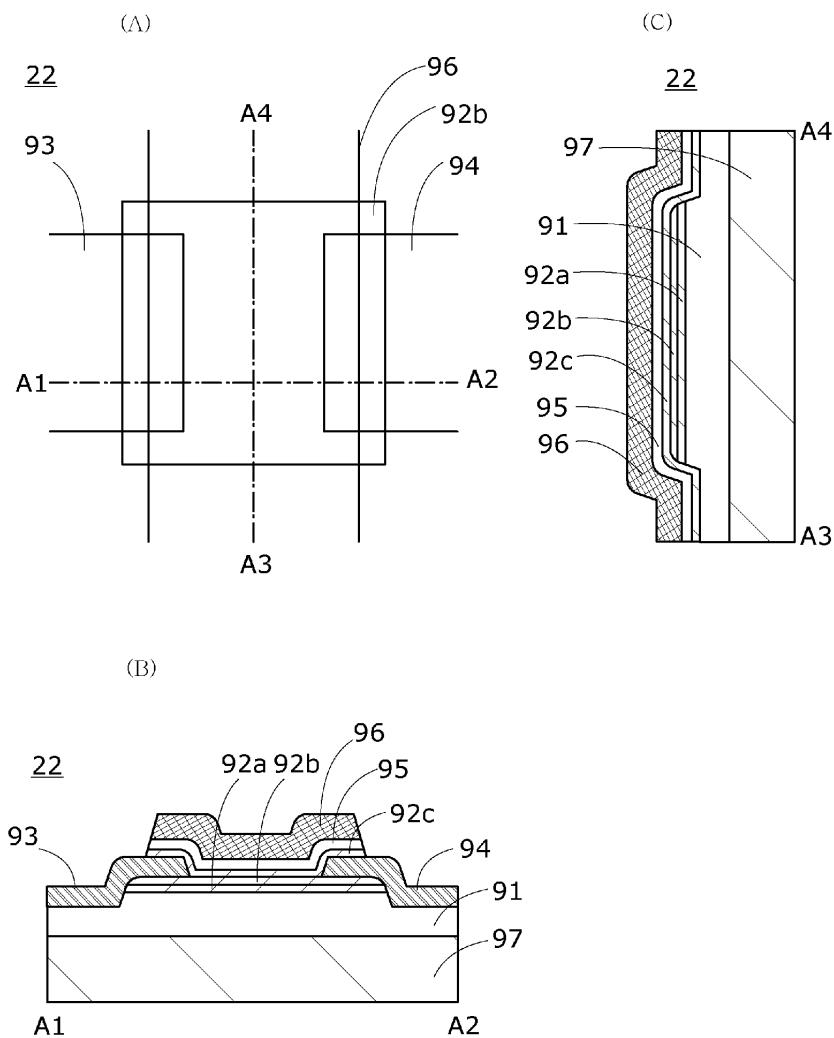
도면4



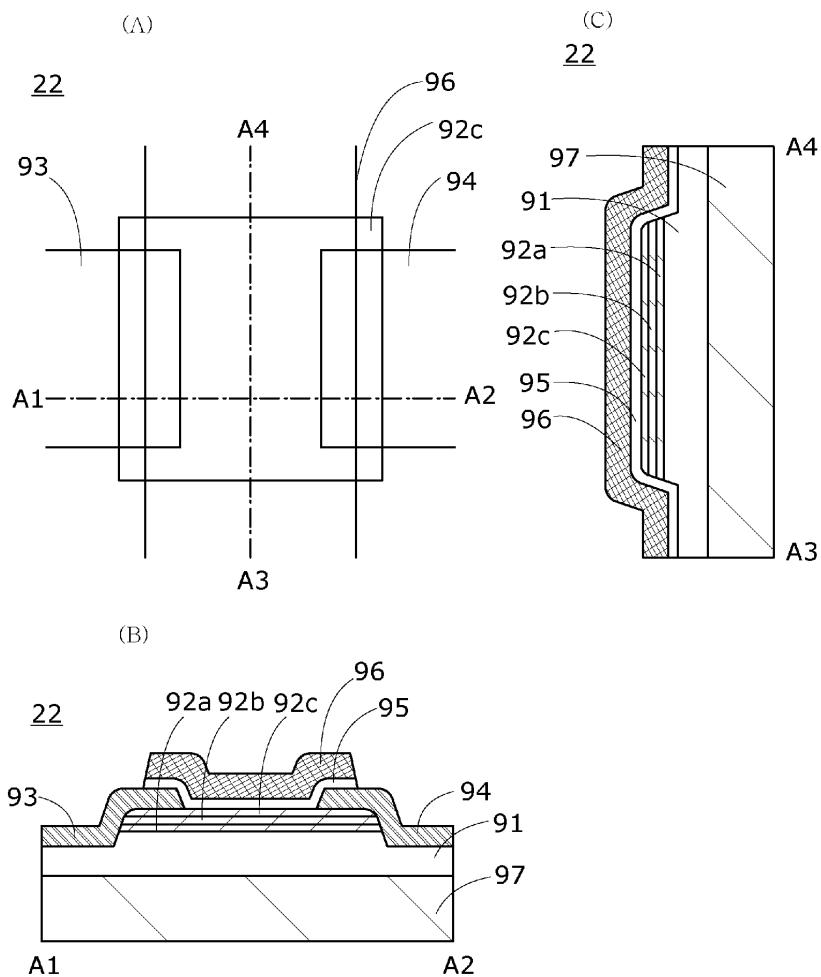
도면5



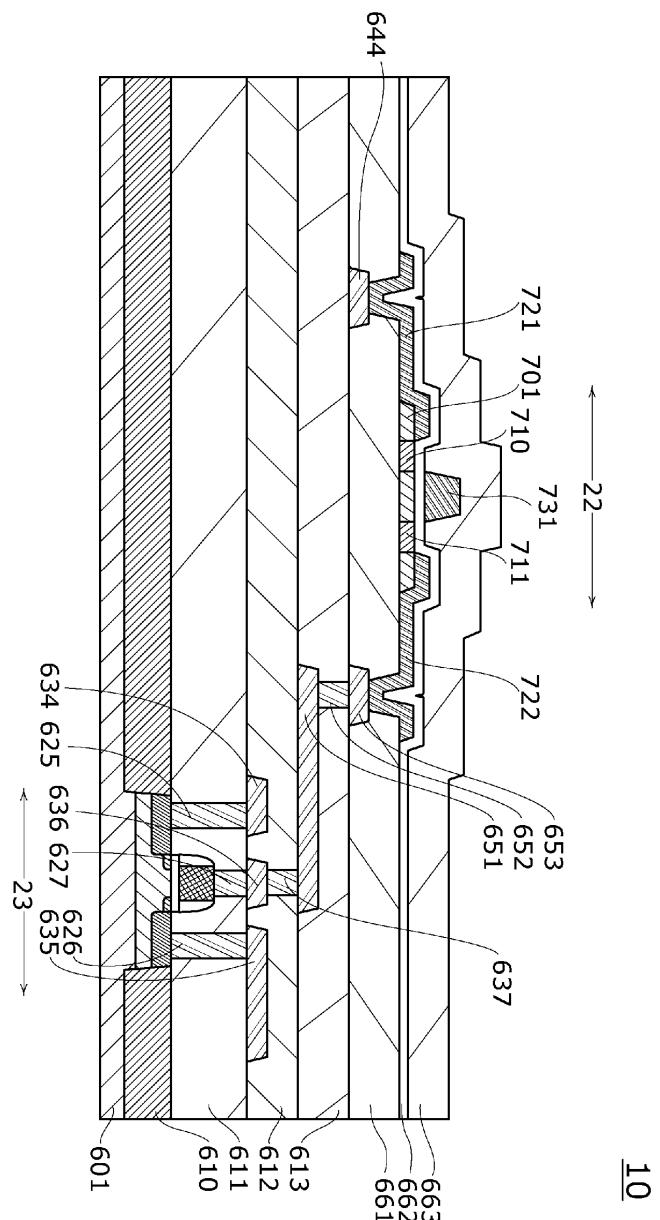
도면6



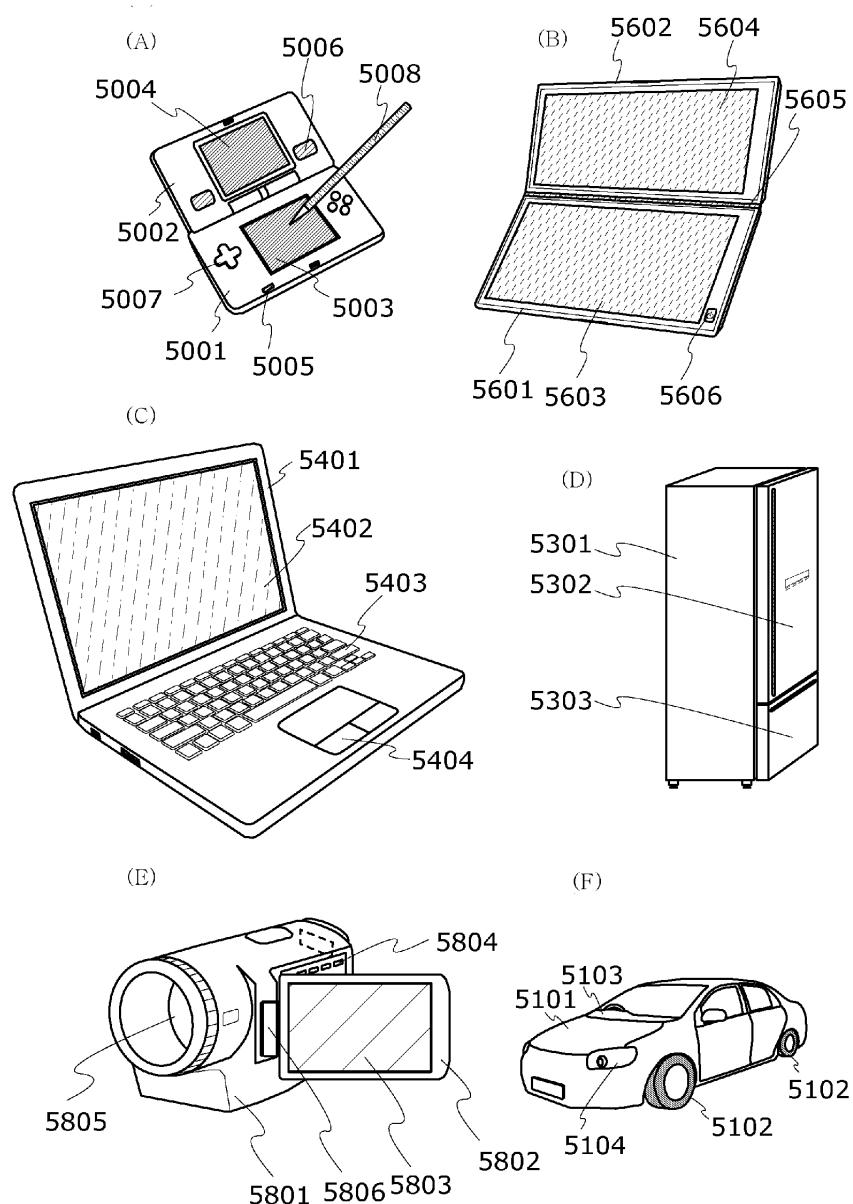
도면7



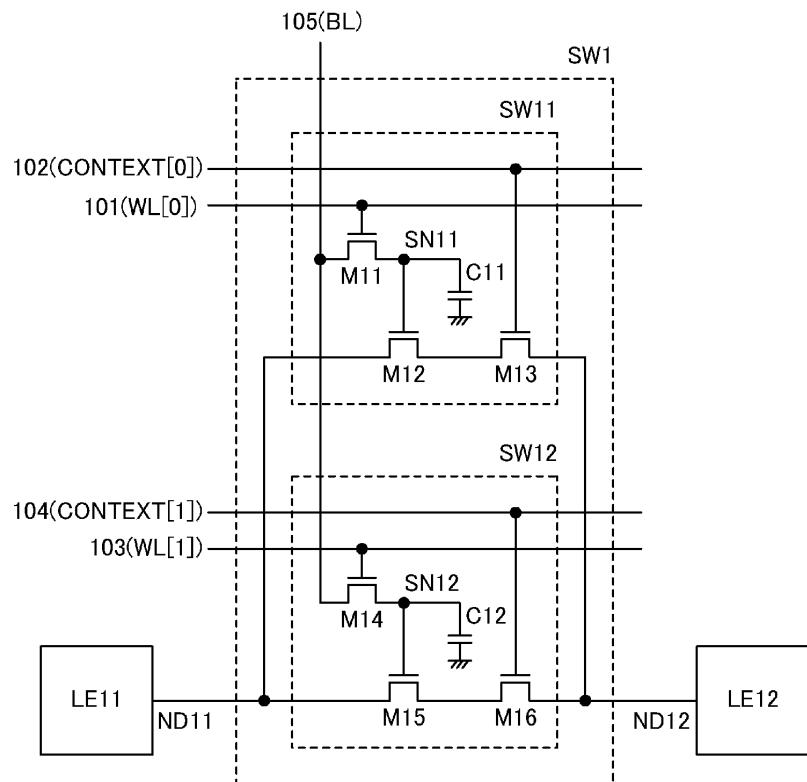
도면8



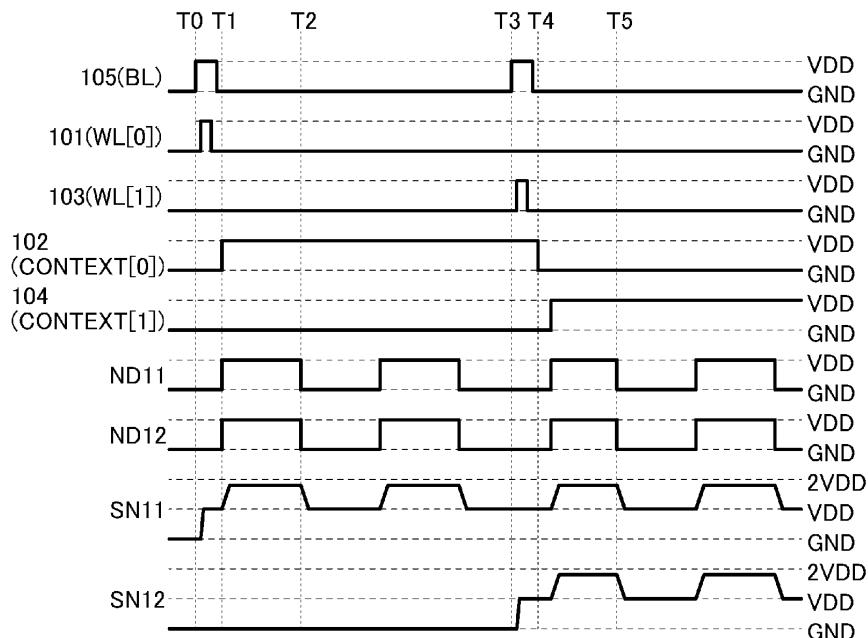
도면9



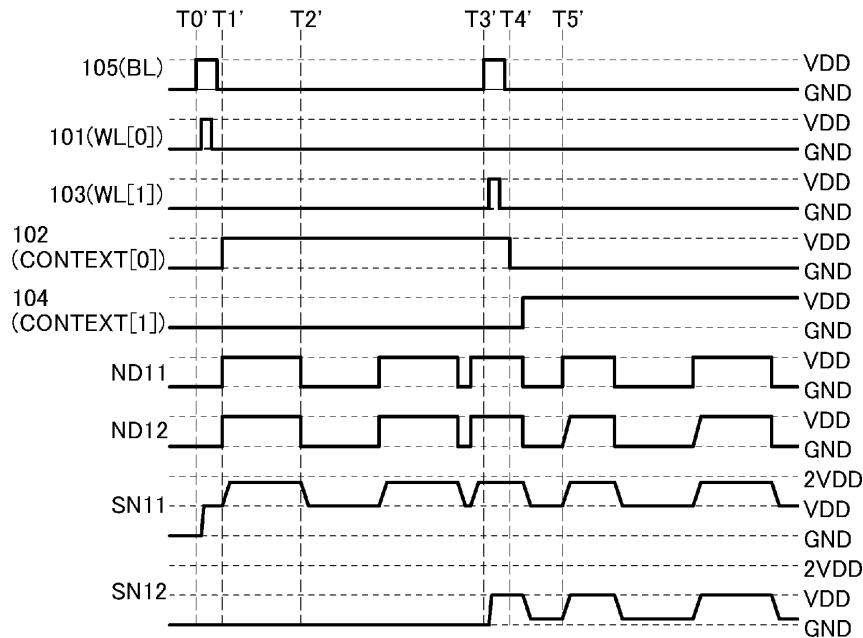
도면10



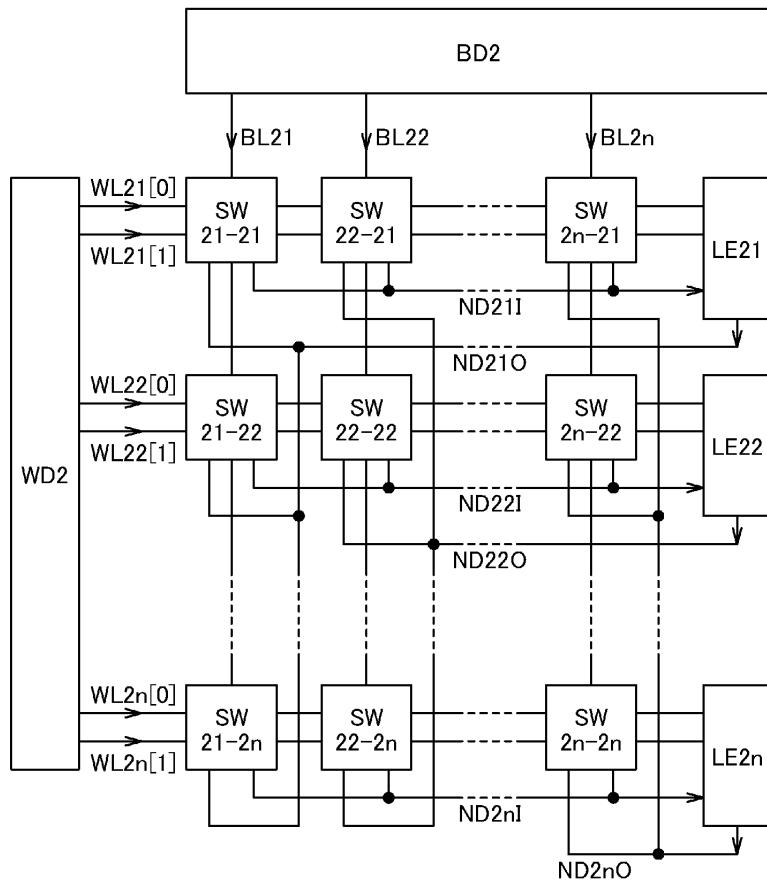
도면11



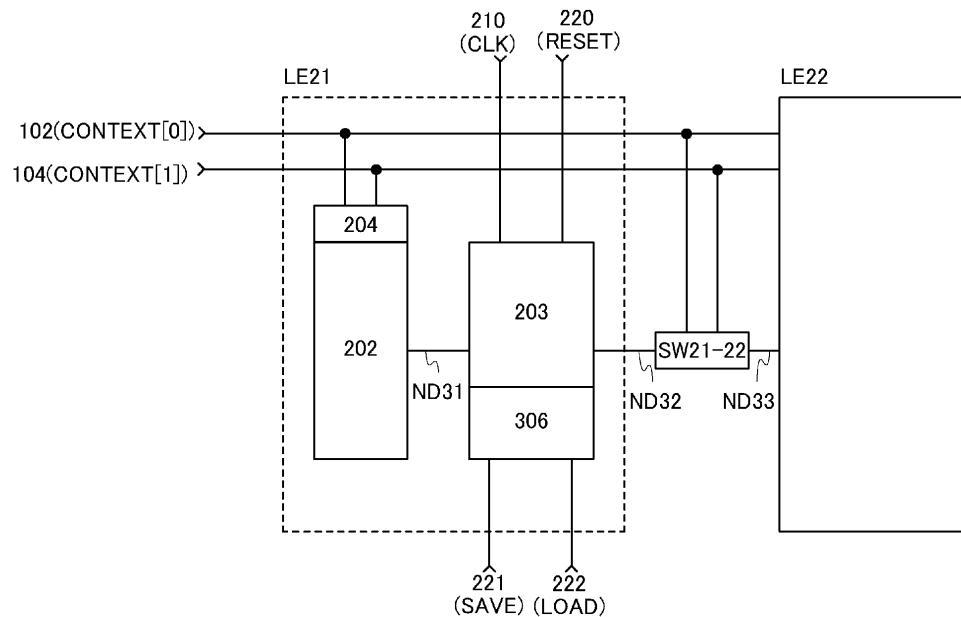
도면12



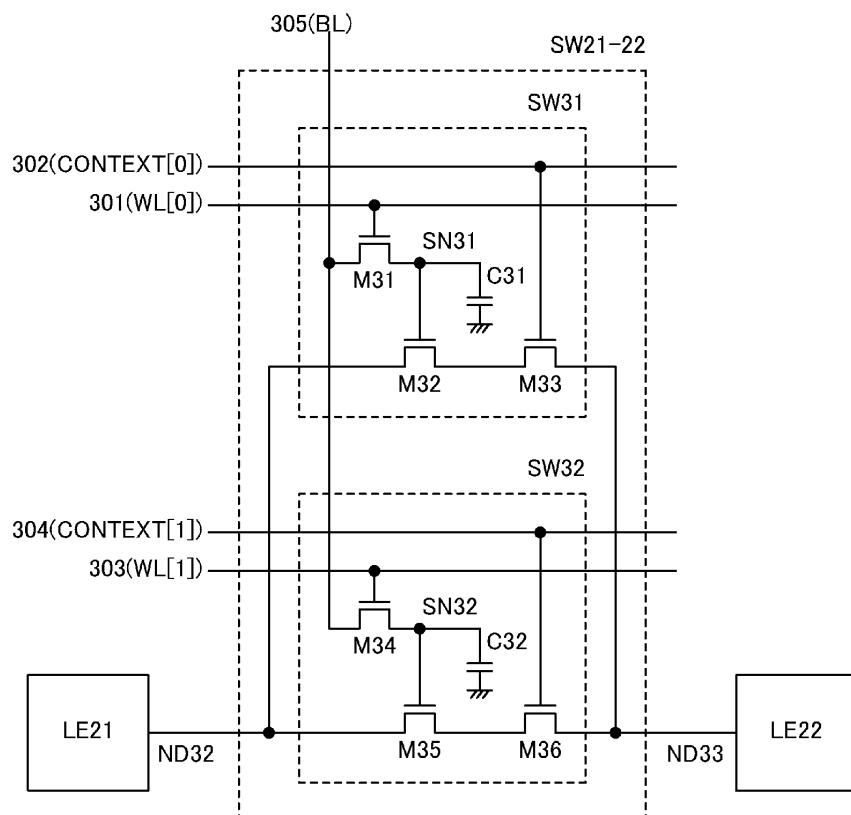
도면13



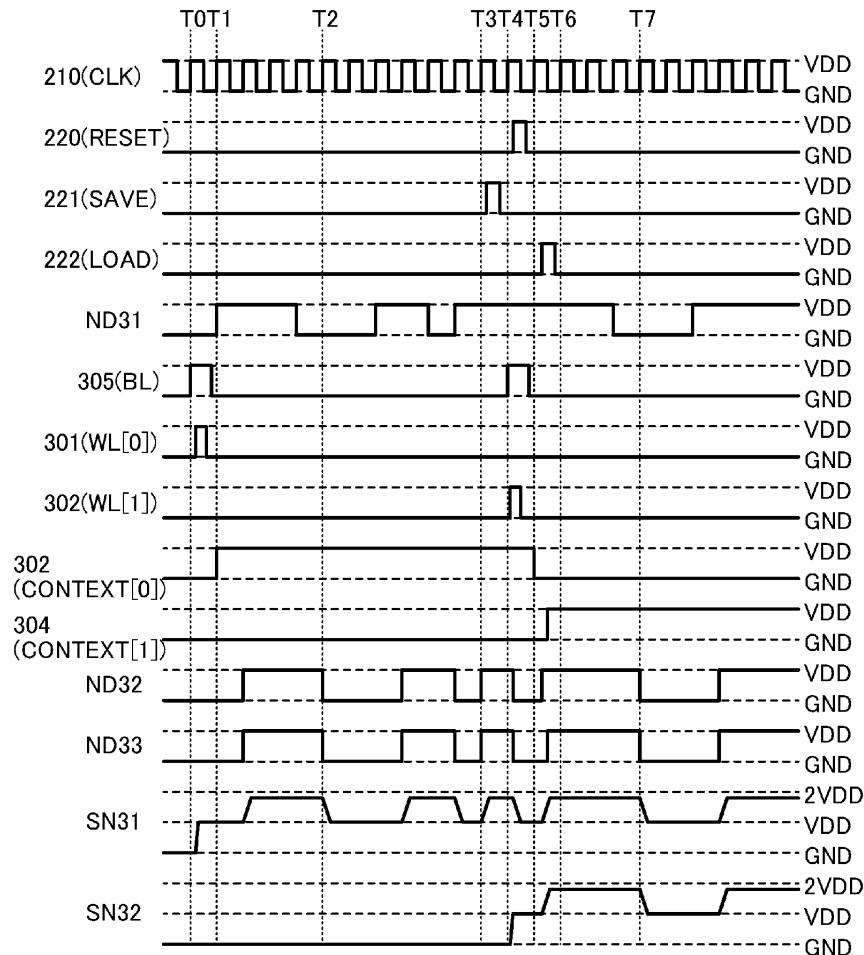
도면14



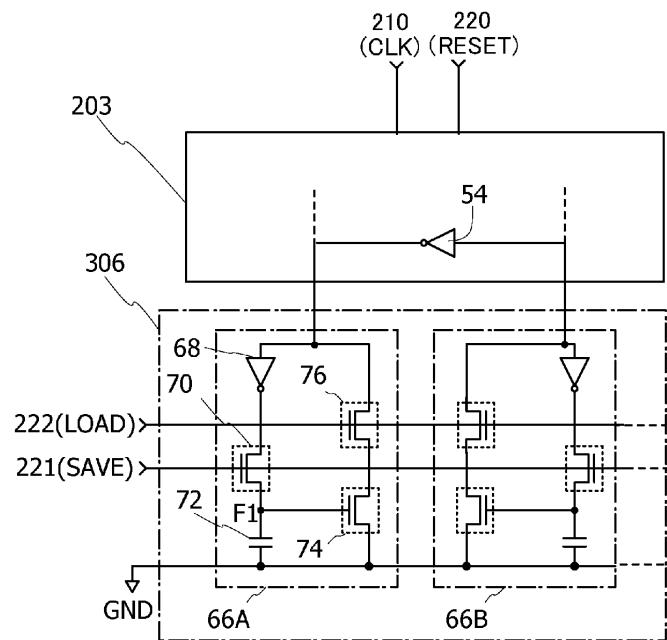
도면15



도면16



도면17



도면18

