

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015 年 6 月 4 日(04.06.2015)



(10) 国際公開番号

WO 2015/079671 A1

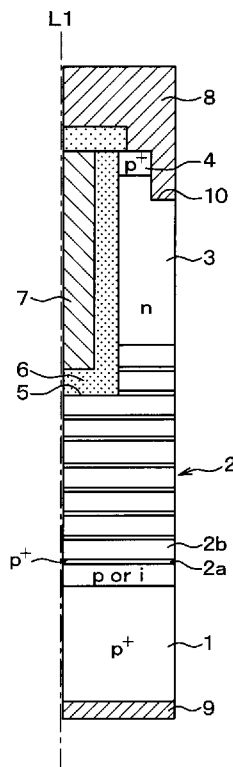
- (51) 国際特許分類:  
H01L 29/12 (2006.01) H01L 29/78 (2006.01)  
H01L 29/47 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2014/005875
- (22) 国際出願日: 2014 年 11 月 25 日(25.11.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-248166 2013 年 11 月 29 日(29.11.2013) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP). 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).

- (72) 発明者: 小山 和博(OYAMA, Kazuhiro); 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 牧野 俊晴(MAKINO, Toshiharu); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 小倉 政彦(OGURA, Masahiko); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 加藤 宙光(KATO, Hiromitsu); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 竹内 大輔(TAKEUCHI, Daisuke); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 山崎 聡(YAMASAKI, Satoshi); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 徳田 規夫(TOKUDA, Norio); 〒9201164 石川県金沢市角間町ヌ 7 番地国立大学法人金沢大学内 Ishikawa (JP). 猪熊 孝夫(INOKUMA, Takao); 〒9201164 石川県金沢市角間町ヌ 7 番地国立大学法人金沢大学内 Ishikawa (JP). 南山

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE USING DIAMOND

(54) 発明の名称: ダイヤモンドを用いた半導体装置



(57) Abstract: This semiconductor device has a MISFET which comprises: a diamond substrate (1); a drift layer (2) of a  $\delta$ -doped structure, which has a first layer (2a) having a first density, where hopping conduction occurs, and a second layer (2b) having a second density that is lower than the first density; a body layer (3) on the drift layer; a source region (4) that is an upper part of the body layer; a gate insulating film (6) that is on the surface of the body layer; a gate electrode (7) that is on the surface of the gate insulating film; a first electrode (8) that is electrically connected to the source region and a channel region; and a second electrode (9) that is electrically connected to the diamond substrate. This MISFET is configured such that an electric current is supplied between the first electrode and the second electrode by passing an electric current through the drift layer in the vertical direction.

(57) 要約: 半導体装置は、ダイヤモンド基板(1)と、ホッピング伝導が行われる第1密度の第1層(2a)と、前記第1密度よりも低密度な第2密度の第2層(2b)とを有する $\delta$ ドープ構造のドリフト層(2)と、前記ドリフト層上のボディ層(3)と、前記ボディ層の上層部のソース領域(4)と、前記ボディ層の表面上のゲート絶縁膜(6)と、前記ゲート絶縁膜の表面上のゲート電極(7)と、前記ソース領域およびチャネル領域に電氣的に接続された第1電極(8)と、前記ダイヤモンド基板に電氣的に接続された第2電極(9)とを含むMISFETを有する。MISFETは、前記ドリフト層内に縦方向に電流を流すことで、前記第1電極と前記第2電極との間に電流が流れる。



拓真(MINAMIYAMA, Takuma); 〒9201164 石川県  
金沢市角間町ヌ7番地国立大学法人金沢大学  
内 Ishikawa (JP).

(74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県  
名古屋市中区錦2丁目13番19号 瀧定ビ  
ル6階 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG,  
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,  
IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー  
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,  
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,  
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称： ダイヤモンドを用いた半導体装置

### 関連出願の相互参照

[0001] 本開示は、2013年11月29日に出願された日本出願番号2013-248166号に基づくもので、ここにその記載内容を援用する。

### 技術分野

[0002] 本開示は、ダイヤモンド半導体にて構成された半導体装置に関するものである。

### 背景技術

[0003] 従来より、半導体材料としてダイヤモンドを用いた半導体装置が提案されている（非特許文献1参照）。ダイヤモンド半導体は、ボロン（B）をp型不純物として用いた場合の不純物準位が0.37 eV、リン（P）をn型不純物として用いた場合の不純物準位が0.57 eVと深い不純物準位を持つ。また、室温の熱電圧は0.026 eVである。このため、図7に示すように、室温ではキャリア密度が小さくなり、不純物密度があまり大きくない場合（図示例では $1 \times 10^{18} \text{ cm}^{-3}$ ）には、バンド伝導を示し、半導体層の抵抗が非常に大きくなる。その一方で、ホッピング伝導が支配的になる程度まで不純物密度を大きくすると（約 $1 \times 10^{19} \text{ cm}^{-3}$ 以上）、半導体層の抵抗が急激に小さくなるという特性を有している。なお、図7中において、Tはケルビン（K）で表される温度であり、室温の $1000/T$ は約3.3である。

[0004] p n接合を有する半導体デバイスでは、それぞれのp型層、n型層中の不純物密度を大きくしたp n接合部に対して逆方向電圧を印加すると、p n接合における最大電界強度が強くなる。このため、阻止電圧が小さくなる。この阻止電圧を大きくする目的で不純物密度を小さくすると、最大電界強度が弱くなるが、p型層、n型層それぞれの抵抗が大きくなる。

[0005] したがって、不純物準位の深い半導体素子においては、阻止電圧を大きくしようとする抵抗が大きくなり、例えば阻止電圧の大きなFETでは抵抗

が大きいために導通損失が大きくなるという問題が発生する。

## 先行技術文献

## 非特許文献

- [0006] 非特許文献1: Takuma Minamiyama, Norio Tokuda, Masahiko Ogura, Satoshi Yamasaki, Takao Inokuma, Boron delta-doped diamond structures, The 4th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2013), Kanazawa, Japan, P1-31

## 発明の概要

- [0007] 本開示は、最大電界強度が弱くなるようにしつつ、抵抗を小さくすることも可能なダイヤモンド半導体で構成される半導体装置を提供することを目的とする。
- [0008] 本開示の第一の態様において、半導体装置は、M I S F E Tを半導体素子として有する。M I S F E Tは、ダイヤモンド半導体にて構成された第1導電型のダイヤモンド基板と、ホッピング伝導が行われる第1密度にて構成された第1導電型の第1層と、前記第1密度よりも低密度な第2密度にて構成された第1導電型もしくはi型の第2層とを有し、前記第1層および前記第2層が交互に繰り返して積層された $\delta$ ドープ構造のダイヤモンド半導体にて構成されたドリフト層と、前記ドリフト層の上に形成され、ダイヤモンド半導体にて構成された第2導電型のボディ層と、前記ボディ層の上層部に形成され、ダイヤモンド半導体にて構成された第1導電型のソース領域と、前記ボディ層の表面に形成されたゲート絶縁膜と、ゲート絶縁膜と接するボディ層の一部は、チャネル領域を提供し、前記ゲート絶縁膜の表面に形成されたゲート電極と、前記ソース領域および前記チャネル領域に電氣的に接続された第1電極と、前記ダイヤモンド基板に電氣的に接続された第2電極と、を含む。M I S F E Tは、前記ドリフト層内において、前記第1層と前記第2層の平面に対して交差する方向となる縦方向に電流を流すことで、前記第1電極と前記第2電極との間に電流が流れる。

[0009] このような構成の半導体装置では、ドリフト層内において、第1層と第2層の平面方向に対して交差する方向となる縦方向に電流を流すことで、第1電極と第2電極との間に電流を流す。このため、低密度層となる第2層においてもキャリア密度が大きくなり、抵抗を小さくすることが可能となる。これにより、ドリフト層のトータルの不純物量（面密度またはドーズ）について、抵抗を小さくすることを目的として増加させなくても良くなり、ドリフト層における最大電界強度が強くないで済む。したがって、素子の耐圧を確保しつつ、抵抗を小さくすることも可能となる。

[0010] 本開示の第二の態様において、半導体装置は、ショットキーダイオードを半導体素子として有する。ショットキーダイオードは、ダイヤモンド半導体にて構成された第1導電型のダイヤモンド基板と、ホッピング伝導が行われる第1密度にて構成された第1導電型の第1層と、前記第1密度よりも低密度な第2密度にて構成された第1導電型もしくはi型の第2層とを有し、前記第1層および前記第2層が交互に繰り返して積層された $\delta$ ドーピング構造のダイヤモンド半導体にて構成されたドリフト層と、前記ドリフト層にショットキー接触させられたショットキー電極にて構成された第1電極と、前記ダイヤモンド基板に電氣的に接続された第2電極と、を含む。ショットキーダイオードは、前記ドリフト層内において、前記第1層と前記第2層の平面方向に対して交差する方向となる縦方向に電流を流すことで、前記第1電極と前記第2電極との間に電流が流れる。前記ドリフト層におけるトータルの第1導電型の不純物密度が $1 \times 10^{13} \text{ cm}^{-2}$ 以下である。

[0011] このような構成においても、第1層と第2層の平面方向に対して交差する方向となる縦方向に電流を流すことで、第1電極と第2電極との間に電流を流す。これにより、ドリフト層のトータルの不純物量（面密度またはドーズ）について、抵抗を小さくすることを目的として増加させなくても良くなり、最大電界強度が強くないで済む。したがって、最大電界強度が弱くなるようにしつつ、抵抗を小さくすることも可能となる。

図面の簡単な説明

- [0012] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
- [図1]図1は、本開示の第1実施形態にかかるダイヤモンド半導体にて構成されるトレンチゲート構造のM I S F E Tを備えた半導体装置の断面図であり、
- [図2]図2は、 $\delta$ ドープ構造における不純物密度（体積密度）と電流の流れの関係を示した図であり、
- [図3]図3は、 $\delta$ ドープ構造とされるp型ドリフト層2のトータルの不純物密度（面密度）とトレンチゲート構造の直下での電界強度との関係の測定結果を示した図であり、
- [図4(a)]図4（a）は、図3の測定に用いた $\delta$ ドープ構造の模式図であり、
- [図4(b)]図4（b）は、図3の測定に用いた $\delta$ ドープ構造の濃度プロファイルを示した図であり、
- [図5]図5は、第1層2aのピッチ間隔と $\delta$ ドープ構造とされるp型ドリフト層2での電圧降下量との関係の測定結果を示した図であり、
- [図6]図6は、本開示の第2実施形態にかかるダイヤモンド半導体にて構成されるショットキーダイオードを備えた半導体装置の断面図であり、
- [図7]図7は、ダイヤモンド半導体における温度と抵抗率の関係を示す図である。

### 発明を実施するための形態

#### [0013] （第1実施形態）

本開示の第1実施形態について説明する。本実施形態では、ダイヤモンド半導体を用いた半導体装置として、トレンチゲート構造のM I S F E Tを備えた半導体装置を例に挙げて説明する。まず、図1を参照して、本実施形態にかかるトレンチゲート構造のM I S F E Tの構成について説明する。なお、図1では、M I S F E Tの1セル分しか記載していないが、直線L1を対称線として図1を左右対称にした構造のものを複数個形成することで、本実施形態にかかるトレンチゲート構造のM I S F E Tを備えた半導体装置が構

成されている。

[0014] 図1に示すように、p型不純物（ボロンなど）が高濃度にドーピングされたダイヤモンド半導体からなるp<sup>+</sup>型ダイヤモンド基板1の上に、p型不純物がドーピングされたダイヤモンド半導体からなるp型ドリフト層2が形成されている。p型ドリフト層2の詳細構造については後述するが、 $\delta$ ドーピング構造とされている。つまり、p型ドリフト層2は、p<sup>+</sup>型ダイヤモンド基板1の表面から低密度なp型層もしくは非常に低密度で不純物が殆どドーピングされていないi型層にて構成される第1層2aと高密度なp型層にて構成される $\delta$ ドーピング層を構成する第2層2bとが交互に繰り返された構造とされている。

[0015] また、p型ドリフト層2の上には、n型不純物（リンなど）がドーピングされたダイヤモンド半導体からなるn型ボディ層3が形成されている。n型ボディ層3の上層部分には、p型不純物が高濃度にドーピングされたダイヤモンド半導体からなるp<sup>+</sup>型ソース領域4が形成されている。さらに、n型ボディ層3およびp<sup>+</sup>型ソース領域4を貫通してp型ドリフト層2に達する深さのトレンチ5が形成されている。このトレンチ5の側面と接するようにn型ボディ層3およびp<sup>+</sup>型ソース領域4が配置されている。

[0016] トレンチ5のうちn型ボディ層3の表面を含む内壁面全面に構成されたゲート絶縁膜6が形成されており、ゲート絶縁膜6の表面に形成されたゲート電極7によって、トレンチ5内の一部または全部が埋め尽くされている。このように、トレンチ5内にゲート絶縁膜6およびゲート電極7を備えた構造により、トレンチゲート構造が構成されている。

[0017] なお、図1では示されていないが、トレンチゲート構造は、例えば紙面垂直方向を長手方向とした短冊状とされており、複数本のトレンチゲート構造が紙面左右方向に等間隔にストライプ状に並べられることで複数セルが備えられた構造とされている。

[0018] また、隣接するトレンチ5の間に配置されるn型ボディ層3の中央部、つまりp<sup>+</sup>型ソース領域4を挟んでトレンチ5の反対側にはn型ボディ層3の一部を部分的に露出させる凹部10が形成されている。

- [0019]  $p^+$ 型ソース領域4の表面および凹部10内に埋め込まれるように第1電極に相当するソース電極8が形成されている。ソース電極8は、 $p^+$ 型ソース領域4や凹部10内において露出している $n$ 型ボディ層3に対してオーミック接触またはショットキー接触させられている。なお、ソース電極8は、図示しない層間絶縁膜上に形成されることで、ゲート電極7に電氣的に接続される図示しないゲート配線と電氣的に分離されている。そして、層間絶縁膜に形成されたコンタクトホールを通じて、ソース電極8は $p^+$ 型ソース領域4および $n$ 型ボディ層3と電氣的に接触させられている。
- [0020] さらに、 $p^+$ 型ダイヤモンド基板1の裏面側には $p^+$ 型ダイヤモンド基板1と電氣的に接続された第2電極に相当するドレイン電極9が形成されている。このような構造により、 $p$ 型チャネルタイプの反転型のトレンチゲート構造のMISFETが構成されている。
- [0021] 続いて、このように構成されたトレンチゲート構造のMISFETに備えられた $p$ 型ドリフト層2の詳細構造について説明する。
- [0022] 上記したように、 $p$ 型ドリフト層2は、 $\delta$ ドーピング構造とされ、低密度な $p$ 型層もしくは不純物が殆どドーピングされていない $i$ 型層にて構成される第1層2aと高密度な $p$ 型層にて構成される第2層2bとが交互に繰り返された構造とされている。
- [0023] 第1層2aは、ホッピング伝導が支配的に行われる $p$ 型不純物密度、すなわち $1 \times 10^{19} \text{ cm}^{-3}$ 以上に設定され、例えば $1 \times 10^{20} \text{ cm}^{-3}$ とされている。第1層2aの厚みについては薄いほど好ましいが、特に1nm以下であると、第1層2aに加えて第2層2bも含めた $p$ 型ドリフト層2のトータルの不純物量（面密度またはドーピング）を低下させられるため好ましい。
- [0024] 第2層2bは、ホッピング伝導が支配的になる $p$ 型不純物密度よりも小さな密度に設定され、バンド伝導を示し、例えば $1 \times 10^{15} \text{ cm}^{-3}$ とされている。第2層2bの幅についても任意であるが、100nm以下であると好ましい。
- [0025] また、第1層2aと第2層2bのトータルの不純物量（面密度またはドーピング）

ズ) が  $1 \times 10^{13} \text{ cm}^{-2}$  以下とされ、第 1 層 2 a のピッチ間隔、つまり隣接する第 1 層 2 a の中心同士の間隔が  $0.13 \mu\text{m}$  以下とされている。このような構造により、 $\delta$  ドープ構造の p 型ドリフト層 2 が構成されている。

[0026] このように構成された MISFET は、ゲート電極 7 に対してゲート電圧を印加すると、n 型ボディ層 3 のうちトレンチ 5 の側壁面に配置されたゲート絶縁膜 6 と接する部分が反転し、p 型チャネルとなり、ソース電極 8 とドレイン電極 9 との間に電流を流す。つまり、 $\delta$  ドープ構造とされた p 型ドリフト層 2 に対して、各第 1 層 2 a および各第 2 層 2 b の平面方向（積層方向に対する垂直方向）に対して交差する方向となる縦方向に電流を流すことになる。

[0027] そして、イオン化エネルギーが大きなダイヤモンド半導体においては、p 型不純物密度が  $1 \times 10^{19} \text{ cm}^{-3}$  以上になるとホッピング伝導が支配的になる。これにより、ダイヤモンド半導体のイオン化エネルギーが小さくなってホール密度が大きくなる。このメカニズムについては定かではないが、波動関数の広がりがあるために、低密度層においてもホール密度が大きくなったか、ホール密度の大きな  $\delta$  ドープ層から拡散によって低不純物密度層にホールが移動したため、ホール密度が大きくなったと考えられている。

[0028] 例えば、図 2 に示すように、 $\delta$  ドープ構造においては第 1 層 2 a の位置で不純物密度がパルス状に大きくなり、第 2 層 2 b の位置で不純物密度が小さくなっている構造となる。そして、このような構造において、図中矢印で示した方向に電流が流れる。

[0029] ところが、波動関数の広がりにより、第 2 層 2 b の位置にもホールが存在することになり、第 1 層 2 a の位置から第 2 層 2 b の位置にホールが拡散しているかのような状態となって、ホール密度が大きくなる。このため、第 2 層 2 b の位置、つまり低密度層においても低抵抗となる。

[0030] もしくは、第 1 層 2 a から第 2 層 2 b 側へのホールの拡散によって、低密度層においてもホール密度が大きくなったと考えられる。

[0031] このように、低密度層となる第 2 層 2 b においてもホール密度が大きくな

り、抵抗を小さくすることが可能となる。そして、p型ドリフト層2を $\delta$ ドーピング構造とし、トータルの不純物量（面密度またはドーズ）については抵抗を小さくすることを目的として増加させなくても良いため、最大電界強度が強くならないで済む。したがって、最大電界強度が弱くなるようにしつつ、抵抗を小さくすることも可能となる。

[0032] また、本実施形態では、 $\delta$ ドーピング構造とされるp型ドリフト層2のトータルの不純物量（面密度またはドーズ）を $1 \times 10^{13} \text{ cm}^{-2}$ 以下にし、 $\delta$ ドーピング構造における第1層2aのピッチ間隔が $0.13 \mu\text{m}$ 以下となるようにしている。これは、以下の理由による。

[0033] まず、 $\delta$ ドーピング構造におけるトータルの不純物量（面密度またはドーズ）を $1 \times 10^{13} \text{ cm}^{-2}$ 以下にしている理由について説明する。

[0034]  $\delta$ ドーピング構造とされるp型ドリフト層2のトータルの不純物量（面密度またはドーズ）は、p型ドリフト層2の抵抗を決めるパラメータとなる。p型ドリフト層2のトータルの不純物量（面密度またはドーズ）を大きくすればするほど、p型ドリフト層2の抵抗は小さくなるものの、トレンチゲート構造の直下での電界強度が強くなる。図3は、 $\delta$ ドーピング構造とされるp型ドリフト層2のトータルの不純物量（面密度またはドーズ）とトレンチゲート構造の直下での電界強度の関係を計算により検討した結果を示している。

[0035] その結果、図3に示すように、p型ドリフト層2のトータルの不純物量（面密度またはドーズ）が $1 \times 10^{13} \text{ cm}^{-2}$ まではトレンチゲート構造の直下でのダイヤモンド中の電界強度はほぼ一定であり、ダイヤモンドの絶縁破壊電界強度の $10 \text{ MV/cm}$ 以下である。 $1 \times 10^{13} \text{ cm}^{-2}$ は、それを越えると電界強度が強くなる臨界点である。この臨界点を越えると、急激に電界強度が強くなることから、すぐさまダイヤモンドの絶縁破壊電界である $10 \text{ MV/cm}$ を超えてしまい、破壊することが示された。したがって、p型ドリフト層2のトータルの不純物量（面密度またはドーズ）を $1 \times 10^{13} \text{ cm}^{-2}$ 以下とすることで、トレンチゲート構造の直下の電界強度の急激な上昇を防ぐことが可能となる。これにより、阻止電圧の低下を防止することが可能とな

る。このように一定の電界強度が急激に強くなるトータルの不純物量に臨界性が存在することは、発明者らが発見した新規事項である。

[0036] 次に、 $\delta$  ドープ構造における第1層2aのピッチ間隔が $0.13\mu\text{m}$ 以下となるようにしている理由について説明する。

[0037] 例えば、第1層2aの厚みを所定幅とした場合に、第1層2aのピッチ間隔が大きくなることは第2層2bの厚みが厚くなることを意味している。このため、第1層2aのピッチ間隔を大きくするほど、p型ドリフト層2の抵抗が大きくなり、p型ドリフト層2での電圧降下量が大きくなる。図5は、第1層2aのピッチ間隔と $\delta$  ドープ構造とされるp型ドリフト層2での電圧降下量との関係を計算した結果を示している。第1層2aのピッチ間隔については第2層2bの厚みを変化させることによって変化させた。ここで、 $\delta$  ドープ構造の厚さは $1\mu\text{m}$ と固定しており、トータルの不純物量（面密度またはドーズ）は $1 \times 10^{13} \text{ cm}^{-2}$ の一定としている。この不純物量は最大の不純物密度を一定としながら、第1層2aの厚みと本数を変えることで制御している。

[0038] この図に示すように、p型ドリフト層2における第1層2aのピッチ間隔を広くした場合、ピッチ間隔が $0.13\mu\text{m}$ 以下ではp型ドリフト層2での電圧降下量が低い値のままほぼ変化ない状態となった。しかしながら、 $0.13\mu\text{m}$ を超えるとp型ドリフト層2での電圧降下量が急激に増加した。したがって、第1層2aのピッチ間隔を $0.13\mu\text{m}$ 以下とすることで、p型ドリフト層2での電圧降下量の上昇を防止でき、p型ドリフト層2の抵抗をより小さくすることが可能となる。このように一定の電圧降下が急激に増大するにピッチ間隔に臨界性が存在し、その $0.13\mu\text{m}$ が臨界点であることは、発明者らが発見した新規事項である。

[0039] 非特許文献1では、 $\delta$  ドープ構造において、移動度が改善し、ホール密度が上昇する結果として、横方向（ $\delta$  ドープ層に平行な方向）に電流を流した場合において抵抗が低減することが既に述べられている。しかしながら、 $\delta$  ドープ構造に対して電流を縦（ $\delta$  ドープ層と交差する方向）に流す場合には

事情がことなる。すなわち、 $\delta$  ドープ層はホールにとって障壁であるため、この障壁をホールが乗り越える際にエネルギー（電圧）が必要とされ、さらに移動度の低下がもたらされる。その結果、抵抗が低減しないとの懸念が従来よりあった。

[0040] しかしながら、発明者らは、 $\delta$  ドープ構造において、 $\delta$  ドープ層と垂直方向に電流を流した場合にも抵抗が低減することを、以下に述べるような方法にて立証した。これは、発明者らが新規に発見した事項である。

[0041] 以下は、実験による $\delta$  ドープ構造の抵抗の低減効果を示す。ここでは、図4（a）に示すように、ボロンをp型不純物として用いて高密度部分となる第1層2aを厚み3nmで構成すると共に、低密度部分となる第2層2bを厚み95nmで構成し、図4（b）に示すような濃度プロファイルとした $\delta$  ドープ構造を形成し、第1層2aに垂直に電流を流して抵抗を評価した。この実験ではボロンの体積密度を第1層2aについては $3 \times 10^{20} \text{ cm}^{-3}$ 、第2層2bについては $4 \times 10^{17} \text{ cm}^{-3}$ としてある。実験の結果、高密度層となる第1層2aの抵抗率は単体では $4 \times 10^{-3} \Omega \text{ cm}$ となり、低密度層となる第2層2bの抵抗率が単体では $40 \Omega \text{ cm}$ との結果が得られた。図4における $\delta$  ドープ構造の抵抗率は、積層されている第1層2aと第2層2bを単純に足し合わせたものとなる。その場合の抵抗率は $38 \Omega \text{ cm}$ である。ところが、抵抗率を実測したところ $2 \Omega \text{ cm}$ となっており、 $1/20$ に低減されていた。

[0042] 以上説明したように、本実施形態にかかる半導体装置では、p型ドリフト層2を第1層2aと第2層2bとが交互に配置された $\delta$  ドープ構造とし、各第1層2aおよび各第2層2bの平面方向に対して交差する方向となる縦方向に電流を流すようにしている。ホッピング伝導を利用した $\delta$  ドープ構造を採用すれば、低密度層となる第2層2bにおいてもホール密度が大きくなり、抵抗を小さくすることが可能となる。また $\delta$  ドープ構造は不純物量（面密度）を小さくできるので最大電界強度が弱くなる。すなわち、ホッピング伝導を利用した $\delta$  ドープ構造を採用したデバイスは、その耐圧を確保しながら

抵抗が小さくできる。

[0043] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対して半導体装置に備えられる半導体素子を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0044] 本実施形態の半導体装置には、半導体素子として図6に示すショットキダイオードが備えられている。ショットキダイオードは、 $p^+$ 型ダイヤモンド基板11の上に、 $p$ 型ドリフト層12が備えられ、 $p$ 型ドリフト層12の上にショットキー電極13が備えられている共に、 $p^+$ 型ダイヤモンド基板11の裏面に裏面電極14が備えられた構造とされている。

[0045]  $p$ 型ドリフト層12は、第1実施形態で説明した $p$ 型ドリフト層2と同様、第1層12aと第2層12bとが交互に繰り返して積層された構造の $\delta$ ドープ層にて構成されている。ショットキー電極13は、第1電極に相当するものであり、 $p$ 型ドリフト層12に対してショットキー接触させられた金属材料によって構成されている。裏面電極14は、第2電極に相当するものであり、 $p^+$ 型ダイヤモンド基板11に対してオーミック接触させられた金属材料によって構成されている。

[0046] このように、半導体素子としてショットキダイオードが備えられる場合においても、 $\delta$ ドープ層にて $p$ 型ドリフト層12を構成することができる。このような構成とすることにより、 $p$ 型ドリフト層12によって第1実施形態と同様の作用を奏することが可能となり、最大電界強度が弱くなるようにしつつ、抵抗を小さくすることが可能となる。

[0047] なお、 $\delta$ ドープ層を有するショットキダイオードについては、A. Denisenko, E. Kohn、DIAMOND AND RELATED MATERIALS "Diamond power defices. Concepts and limits"、Diamond & Related Materials 14(2005) p.491-p.498において開示されている。しかしながら、この文献には、単にドリフト層を $\delta$ ドープ層によって構成していることが開示されているだけであり、ドリフ

ト層のトータルの不純物量との関係については何ら開示されていない。これに対して、本実施形態のショットキーダイオードにおいては、p型ドリフト層12を構成する $\delta$ ドープ層を第1実施形態と同様、トータルのp型不純物量が $1 \times 10^{13} \text{ cm}^{-2}$ 以下となるようにしている。これにより、上記文献では得られない、最大電界強度が弱くなるようにしつつ、抵抗を小さくすることが可能となるという効果を奏することができる。

[0048] (他の実施形態)

例えば、上記実施形態では、 $\delta$ ドープ構造を有するダイヤモンド半導体にて構成された半導体装置の一例としてMISFETやショットキーダイヤモンドを例に挙げて説明したが、他の素子についても本開示を適用できる。すなわち、不純物密度をホッピング伝導が支配的になるほど高められた第1密度とされた第1層2aと、第1密度よりも低密度な第2密度とされた第2層2bが交互に積層された $\delta$ ドープ構造を構成し、各第1層2aおよび各第2層2bの平面方向に対して交差する方向となる縦方向に電流を流す素子であれば良い。なお、ここでいう各第1層2aおよび各第2層2bの平面方向に対して交差する方向とは、交差していれば良く、直交ではなく斜めに交差している方向も含む。例えば、トレンチゲート構造のトレンチゲート側面が斜めになっていても良い。

[0049] また、上記各実施形態ではpチャネル型のMISFETを備えた半導体装置を例として挙げたが、各構成要素の導電型を反転させたnチャネル型のMISFETであっても良い。また、トレンチゲート構造に限らず、プレーナ型のMISFETであっても良い。勿論、MISFET以外の半導体素子、例えばショットキーダイオードを備えた半導体装置とする場合であっても、同様のことが言える。

[0050] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形

態をも、本開示の範疇や思想範囲に入るものである。

## 請求の範囲

[請求項1]

M I S F E T を半導体素子として有し、

M I S F E T は、

ダイヤモンド半導体にて構成された第1導電型のダイヤモンド基板(1)と、

ホッピング伝導が行われる第1密度にて構成された第1導電型の第1層(2a)と、前記第1密度よりも低密度な第2密度にて構成された第1導電型もしくはi型の第2層(2b)とを有し、前記第1層および前記第2層が交互に繰り返して積層された $\delta$ ドープ構造のダイヤモンド半導体にて構成されたドリフト層(2)と、

前記ドリフト層の上に形成され、ダイヤモンド半導体にて構成された第2導電型のボディ層(3)と、

前記ボディ層の上層部に形成され、ダイヤモンド半導体にて構成された第1導電型のソース領域(4)と、

前記ボディ層の表面に形成されたゲート絶縁膜(6)と、ゲート絶縁膜と接するボディ層の一部は、チャネル領域を提供し、

前記ゲート絶縁膜の表面に形成されたゲート電極(7)と、

前記ソース領域および前記チャネル領域に電氣的に接続された第1電極(8)と、

前記ダイヤモンド基板に電氣的に接続された第2電極(9)と、を含み、

M I S F E T は、前記ドリフト層内において、前記第1層と前記第2層の平面に対して交差する方向となる縦方向に電流を流すことで、前記第1電極と前記第2電極との間に電流が流れる半導体装置。

[請求項2]

前記ドリフト層におけるトータルの第1導電型の不純物量が $1 \times 10^{13} \text{ cm}^{-2}$ 以下である請求項1に記載の半導体装置。

[請求項3]

M I S F E T は、さらに、ボディ層を貫通して、ドリフト層に達するトレンチを有し、

ゲート絶縁膜は、トレンチの内壁に配置され、  
ゲート電極は、ゲート絶縁膜を通して、トレンチ内に配置され、  
ソース領域は、トレンチの側面に接している請求項 1 または 2 に記載の半導体装置。

[請求項4] 隣接する前記第 1 層の中心同士の間隔となるピッチ間隔が  $0.13 \mu\text{m}$  以下とされている請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置。

[請求項5] 前記第 1 層の厚みが  $1 \text{ nm}$  以下である請求項 4 に記載の半導体装置。

[請求項6] ショットキーダイオードを半導体素子として有し、  
ショットキーダイオードは、  
ダイヤモンド半導体にて構成された第 1 導電型のダイヤモンド基板 (11) と、

ホッピング伝導が行われる第 1 密度にて構成された第 1 導電型の第 1 層 (12a) と、前記第 1 密度よりも低密度な第 2 密度にて構成された第 1 導電型もしくは i 型の第 2 層 (12b) とを有し、前記第 1 層および前記第 2 層が交互に繰り返して積層された  $\delta$  ドープ構造のダイヤモンド半導体にて構成されたドリフト層 (12) と、

前記ドリフト層にショットキー接触させられたショットキー電極にて構成された第 1 電極 (13) と、

前記ダイヤモンド基板に電氣的に接続された第 2 電極 (14) と、を含み、

ショットキーダイオードは、前記ドリフト層内において、前記第 1 層と前記第 2 層の平面方向に対して交差する方向となる縦方向に電流を流すことで、前記第 1 電極と前記第 2 電極との間に電流が流れ、

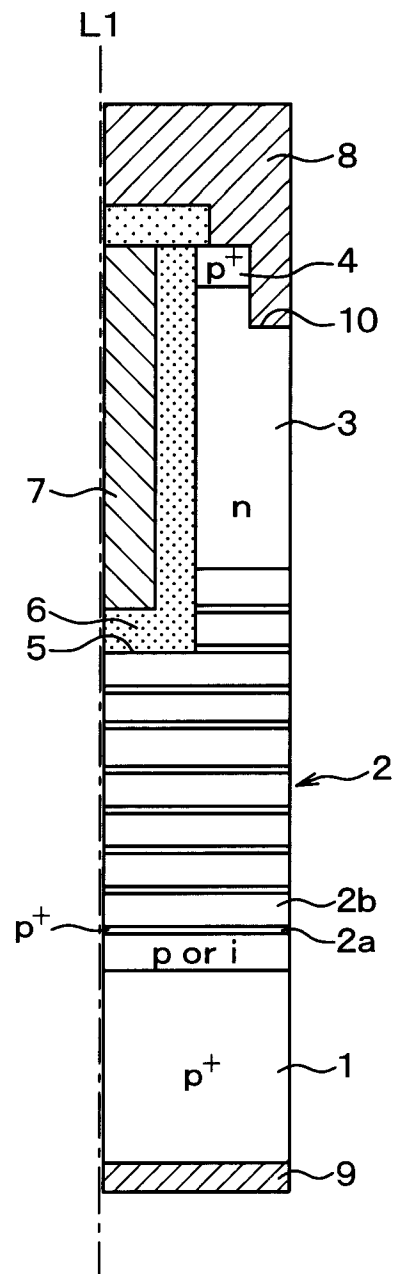
前記ドリフト層におけるトータルの第 1 導電型の不純物密度が  $1 \times 10^{13} \text{ cm}^{-2}$  以下である半導体装置。

[請求項7] 隣接する前記第 1 層の中心同士の間隔となるピッチ間隔が  $0.13$

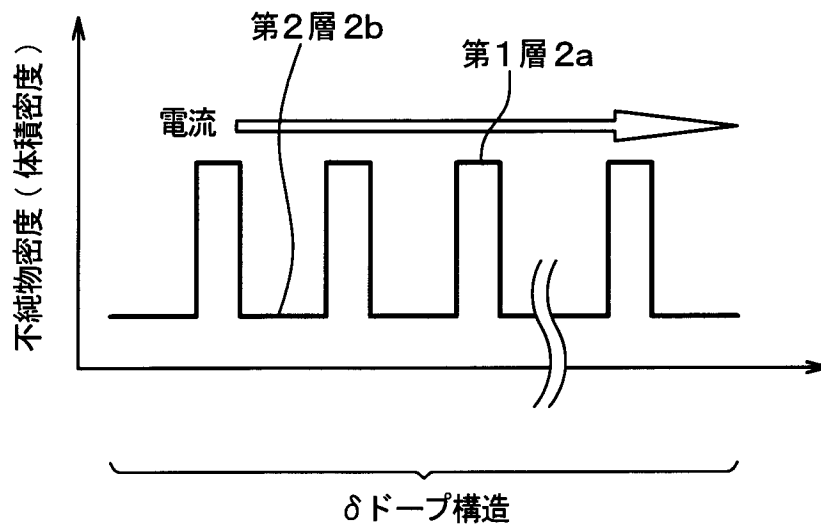
$\mu\text{m}$ 以下とされている請求項6に記載の半導体装置。

[請求項8]      前記第1層の厚みが1 nm以下である請求項7に記載の半導体装置  
。

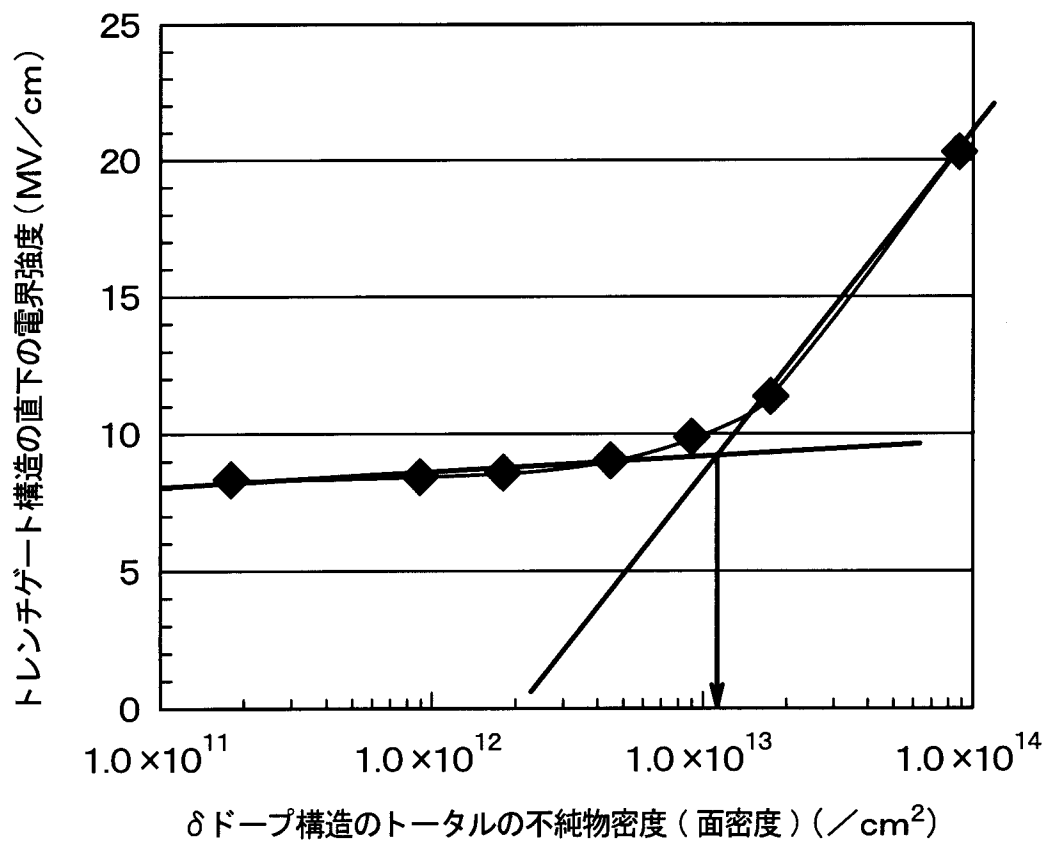
[図1]



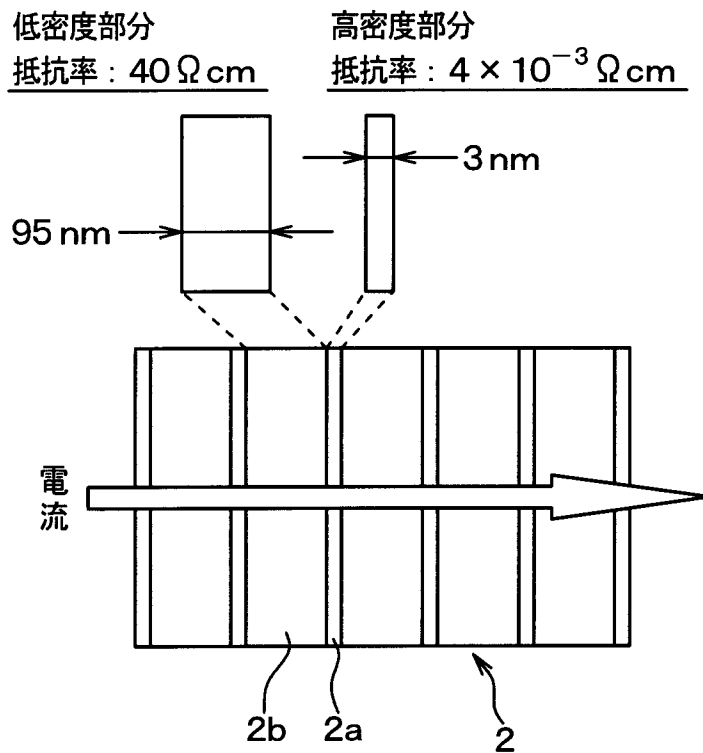
[図2]



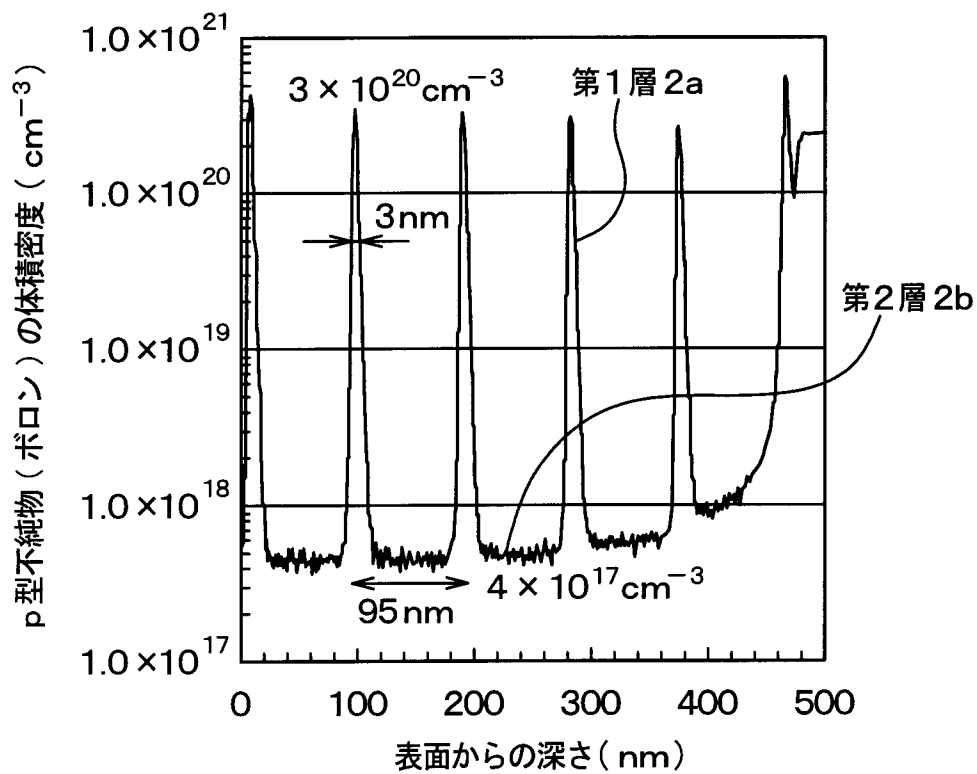
[図3]



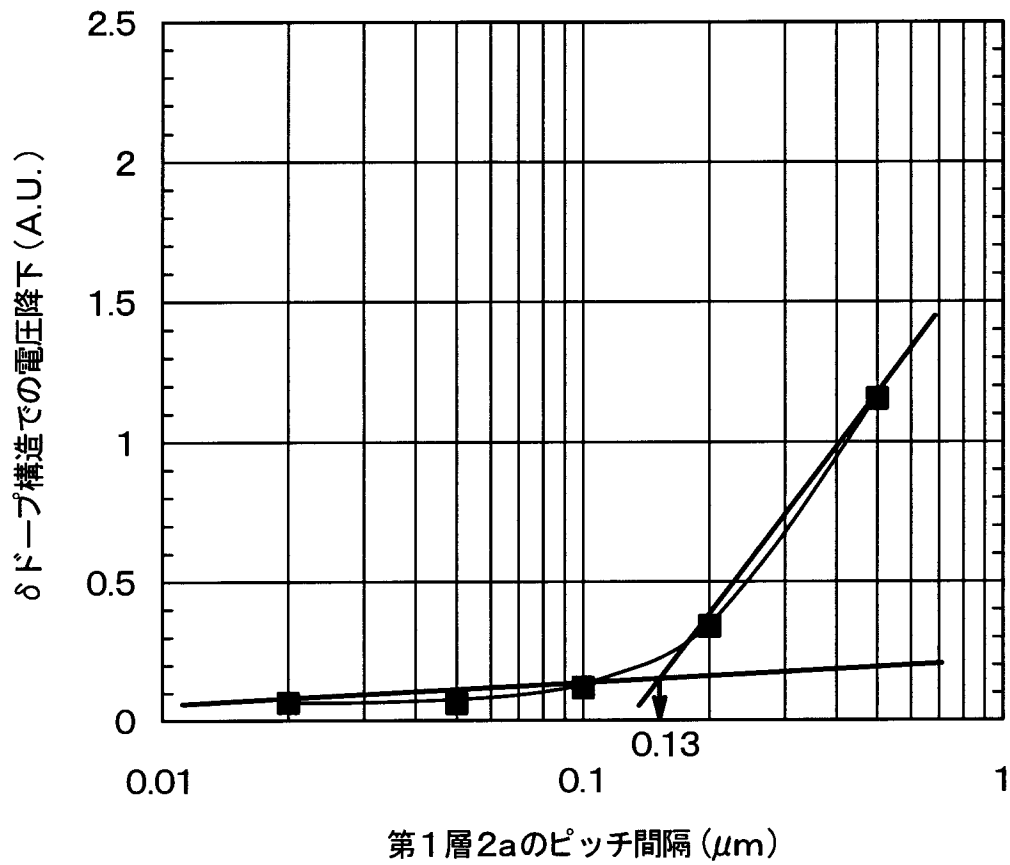
[図4(a)]



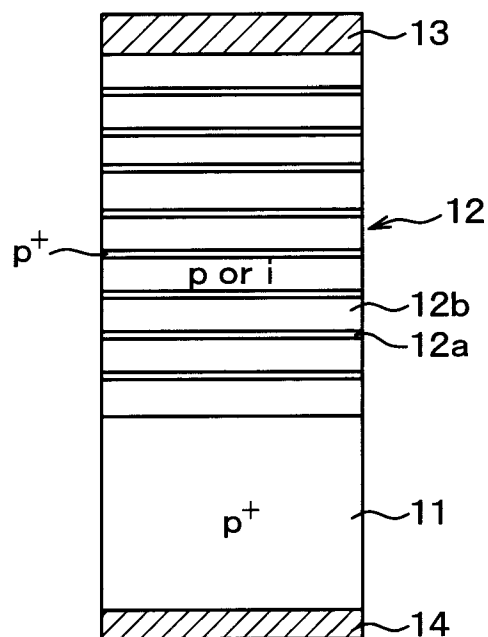
[図4(b)]



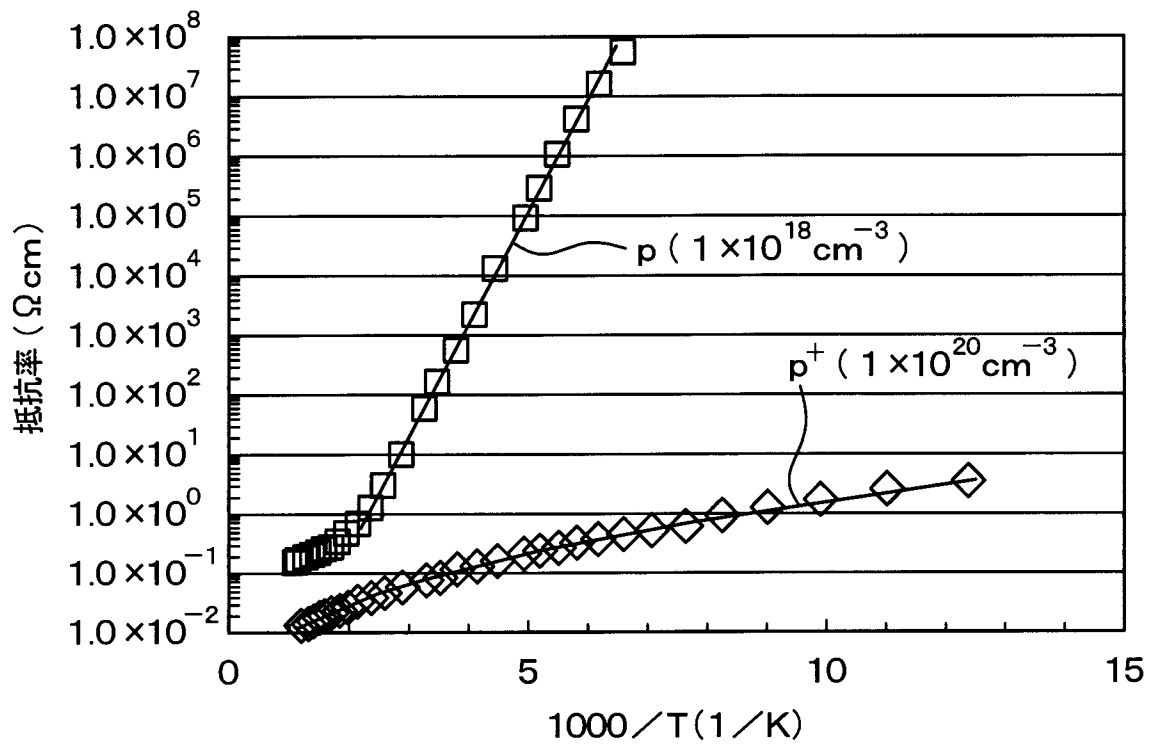
[図5]



[図6]



[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/005875

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/12(2006.01)i, H01L29/47(2006.01)i, H01L29/78(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/12, H01L29/47, H01L29/78, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Science Direct

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                    | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | WO 2013/161753 A1 (Rohm Co., Ltd.),<br>31 October 2013 (31.10.2013),<br>paragraphs [0026] to [0031], [0049] to [0050];<br>fig. 2<br>& JP 2013-232533 A                                                                                | 1-5                   |
| Y         | JP 07-221328 A (Murata Mfg. Co., Ltd.),<br>18 August 1995 (18.08.1995),<br>paragraphs [0005] to [0021]; fig. 1 to 6<br>(Family: none)                                                                                                 | 1-5, 6-8              |
| Y         | Kazuihiro OYAMA et al., High performance of<br>diamond p <sup>+</sup> -i-n <sup>+</sup> junction diode fabricated using<br>heavily doped p <sup>+</sup> and n <sup>+</sup> layers, Applied Physics<br>Letters, 2009, Vol.94, p.152109 | 1-5, 6-8              |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
12 December 2014 (12.12.14)

Date of mailing of the international search report  
22 December 2014 (22.12.14)

Name and mailing address of the ISA/  
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/005875

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                           | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2009-054641 A (National Institute of Advanced Industrial Science and Technology),<br>12 March 2009 (12.03.2009),<br>paragraphs [0005] to [0011]; fig. 1<br>(Family: none) | 6-8                   |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/12(2006.01)i, H01L29/47(2006.01)i, H01L29/78(2006.01)i, H01L29/872(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/12, H01L29/47, H01L29/78, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 4 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 4 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 4 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Science Direct

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                                  | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| Y               | WO 2013/161753 A1（ローム株式会社）2013.10.31,<br>[0026]-[0031], [0049]-[0050], 図 2 & JP 2013-232533 A                                                                                                                                      | 1-5            |
| Y               | JP 07-221328 A（株式会社村田製作所）1995.08.18, [0005]-[0021],<br>図 1-6（ファミリーなし）                                                                                                                                                              | 1-5, 6-8       |
| Y               | Kazuihiro OYAMA et al., High performance of diamond p <sup>+</sup> -i-n <sup>+</sup><br>junction diode fabricated using heavily doped p <sup>+</sup> and n <sup>+</sup> layers,<br>Applied Physics Letters, 2009, Vol.94, p.152109 | 1-5, 6-8       |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 1 2 . 2 0 1 4

国際調査報告の発送日

2 2 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

大橋 達也

5 F

4 6 8 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

| C (続き) . 関連すると認められる文献 |                                                                               |                |
|-----------------------|-------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                             | 関連する<br>請求項の番号 |
| Y                     | JP 2009-054641 A (独立行政法人産業技術総合研究所) 2009.03.12,<br>[0005]-[0011], 図1 (ファミリーなし) | 6-8            |