



(12) 发明专利

(10) 授权公告号 CN 110830007 B

(45) 授权公告日 2024. 12. 13

(21) 申请号 201810919559.2

H03K 3/013 (2006.01)

(22) 申请日 2018.08.14

H03K 3/012 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 110830007 A

(56) 对比文件

CN 208797912 U, 2019.04.26

(43) 申请公布日 2020.02.21

审查员 周素梅

(73) 专利权人 武汉芯泰科技有限公司

地址 430074 湖北省武汉市东湖开发区东

信路数码港(留学生创业园)C栋2116

(72) 发明人 邹维 张科峰 刘览琦 逯召静

石琴琴 胡昂 杨阳 谭珍

(74) 专利代理机构 深圳市温斯顿专利代理事务

所(普通合伙) 44686

专利代理师 徐员兰

(51) Int. Cl.

H03K 3/03 (2006.01)

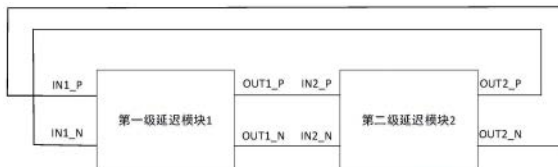
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种低相位噪声宽带环型振荡器

(57) 摘要

本发明公开了一种低相位噪声宽带环型振荡器,属于半导体集成电路技术领域,该环型振荡器包括第一级延迟模块(1)和第二级延迟模块(2)。其中,所述第一级延迟模块(1)包括输入输出反相器单元(11)、锁存器单元(12)、开关电容阵列单元(13)和传输门单元(14);运用锁存器单元(12)本身提供的额外延迟使得两级延迟模块就可以维持振荡,节约了功耗;采用锁存器单元(12)形成的正反馈来提高振荡信号在边沿的转换速率;采用开关电容阵列单元(13)和传输门单元(14)可变电阻调节频率的方法,实现所述低相位噪声宽带环型振荡器的频率的粗调与细调。该低相位噪声宽带环型振荡器输出频率范围大,相位噪声低,功耗低。



1. 一种低相位噪声宽带环型振荡器,其特征在于,所述低相位噪声宽带环型振荡器包括第一级延迟模块(1)和第二级延迟模块(2);所述第一级延迟模块(1)和所述第二级延迟模块(2)组成一个环路,用于提供所述低相位噪声宽带环型振荡器起振所需要的相移和增益;

所述第一级延迟模块(1)的一个输入端(IN1_P)连接所述第二级延迟模块(2)的一个输出端(OUT2_N);

所述第一级延迟模块(1)的另一个输入端(IN1_N)连接所述第二级延迟模块(2)的另一个输出端(OUT2_P);

所述第一级延迟模块(1)的一个输出端(OUT1_P)连接所述第二级延迟模块(2)的一个输入端(IN2_P);

所述第一级延迟模块(1)的另一个输出端(OUT1_N)连接所述第二级延迟模块(2)的另一个输入端(IN2_N);

所述第一级延迟模块(1)包括第一输入输出反相器单元(11)、第一锁存器单元(12)、第一开关电容阵列单元(13)和第一传输门单元(14);

所述第二级延迟模块(2)包括第二输入输出反相器单元(21)、第二锁存器单元(22)、第二开关电容阵列单元(23)和第二传输门单元(24);

所述第一开关电容阵列单元(13)和第二所述开关电容阵列单元(23)使用相同的数字控制位进行控制;

所述第一传输门单元(14)和第二所述传输门单元(24)共用相同的调谐电压;

所述第一输入输出反相器单元(11)包括第一反相器(X1)和第二反相器(X2);

所述第一锁存器单元(12)包括第三反相器(X3)和第四反相器(X4);

所述第一反相器(X1)的输入端为所述第一级延迟模块(1)的一个输入端(IN1_P);

所述第二反相器(X2)的输入端为所述第一级延迟模块(1)的另一个输入端(IN1_N);

所述第三反相器(X3)的输入端和所述第四反相器(X4)的输出端对接,对接端连接所述第一反相器(X1)的输出端和所述第一开关电容阵列单元(13)的一端;

所述第三反相器(X3)的输出端和所述第四反相器(X4)的输入端对接,对接端连接所述第二反相器(X2)的输出端和所述第一开关电容阵列单元(13)的另一端;

所述第一开关电容阵列单元(13)包括一条或至少两条并联的开关电容支路,每条开关电容支路都设置有一个开关和两个容值相等的电容,且开关设置在两个电容之间;所述开关电容支路通过数字控制位进行开断控制,以调整所述开关电容支路输出的电容值,用于对所述低相位噪声宽带环型振荡器的输出频率的粗调以及输出频带的划分;

所述第一传输门单元(14)包括第一传输门(141)和第二传输门(142);

所述第一传输门(141)的输入端连接所述第一开关电容阵列单元(13)的一端;所述第一传输门(141)的输出端连接所述低相位噪声宽带环型振荡器的一个输出端(OUT1_N);

所述第二传输门(142)的输入端连接所述第一开关电容阵列单元(13)的另一端,所述第二传输门(142)的输出端连接所述低相位噪声宽带环型振荡器的另一个输出端(OUT1_P);

所述第一级延迟模块(1)和所述第二级延迟模块(2)的电路结构完全相同。

2. 根据权利要求1所述的低相位噪声宽带环型振荡器,其特征在于,

所述第一传输门(141)包括第一PMOS管(PM1)和第一NMOS管(NM1)；
所述第一PMOS管(PM1)的源极和所述第一NMOS管(NM1)的源极相连；
所述第一PMOS管(PM1)的漏极和所述第一NMOS管(NM1)的漏极相连；
所述第一PMOS管(PM1)的栅极设置有一个连接第一接地电压(VSS1)的端口(Port1_VSS)；

所述第一NMOS管(NM1)的栅极设置有一个连接第一调谐电压(Vtune1)的端口(Port1_Vtune)；

所述第二传输门(142)包括第二PMOS管(PM2)和第二NMOS管(NM2)；
所述第二PMOS管(PM2)的源极和所述第二NMOS管(NM2)的源极相连；
所述第二PMOS管(PM2)的漏极和所述第二NMOS管(NM2)的漏极相连；
所述第二PMOS管(PM2)的栅极设置有一个连接第二接地电压(VSS2)的端口(Port2_VSS)；

所述第二NMOS管(NM2)的栅极设置有一个连接第二调谐电压(Vtune2)的端口(Port2_Vtune)。

3. 根据权利要求2所述的低相位噪声宽带环型振荡器,其特征在于,所述端口(Port1_VSS)连接的第一接地电压(VSS1)和所述端口(Port2_VSS)连接的第二接地电压(VSS2)相等；

所述端口(Port1_Vtune)连接的第一调谐电压(Vtune1)和所述端口(Port2_Vtune)连接的第二调谐电压(Vtune2)相等。

4. 根据权利要求2所述的低相位噪声宽带环型振荡器,其特征在于,所述第一PMOS管(PM1)、所述第二PMOS管(PM2)、所述第一NMOS管(NM1)和所述第二NMOS管(NM2)为低阈值器件,用于改善所述低相位噪声宽带环型振荡器的细调增益线性度。

5. 根据权利要求2所述的低相位噪声宽带环型振荡器,其特征在于,通过调节所述第一NMOS管(NM1)和所述第二NMOS管(NM2)的栅极电压用于改变所述第一NMOS管(NM1)和所述第二NMOS管(NM2)的电阻值从而改变所述低相位噪声宽带环型振荡器的频率。

一种低相位噪声宽带环型振荡器

技术领域

[0001] 本发明涉及半导体集成电路技术领域,尤其涉及一种低相位噪声宽带环型振荡器。

背景技术

[0002] 随着集成电路产业的发展,锁相环(Phase Locked Loop,PLL)被广泛用于时钟和频率合成器的设计。时钟模块的应用包括给高性能的模数转换电路(Analog to Digital Converter,ADC)和基带输出级接口电路提供高性能时钟等等。这些应用要求时钟锁相环具有低抖动宽频率范围的输出。一般来说,PLL的设计分为两个典型的大类,一类是采用电感电容压控振荡器(LCVoltage-Controlled Oscillator,LC-VCO)的PLL,它的优点是噪声性能好,功耗低,缺点是面积大,调谐范围小;另一类是采用环型压控振荡器(Ring Voltage-controlled Oscillator, Ring-VCO)的PLL,它的优点是调谐范围大,面积小,工艺移植性好,不易受电磁耦合影响,缺点是噪声性能差,功耗相对较高。基于Ring-VCO的PLL由于其面积小等的优点使对其的设计和研究得到工程师们的重视。

[0003] 在基于Ring-VCO的PLL中,为了改善其输出相位噪声性能,需要解决电荷泵,分频器,量化噪声等对小带宽的要求与Ring-VCO对大带宽要求的最基本的矛盾,一些主流的方法采用下采样结构或者注入锁定环路等等来优化带内的噪声从而使环路可以采用大的带宽来抑制Ring-VCO的相位噪声,解决以上描述的带宽的矛盾,从而使基于Ring-VCO的PLL能得到与LC-VCO PLL一样的相位噪声性能。但采用下采样等环路会引入有限的捕获范围等问题,所以基于传统的PLL顶层结构设计Ring-VCO型PLL依然具有现实意义。

[0004] 为了解决Ring-VCO型PLL的相位噪声问题,设计低相位噪声的Ring-VCO变得尤为重要。现在最常用的两种现有技术是:

[0005] 现有技术一:采用电阻作负载的差分放大器作为延迟单元,四级延迟单元连接,环路中有一个延迟单元接成同相形式,而其他的延迟单元接成反相形式。延迟单元如图1所示,采用正反馈技术来调节延迟单元的延迟时间,当电流 I_1 变化时,M3,M4的小信号等效阻抗会发生变化,差分对的等效负载阻抗也会发生变化,从而导致该延迟单元的延迟时间发生变化,进而调节振荡器的频率。这一技术的缺陷是:由于采用四级延迟单元,相位噪声性能受到限制,功耗大,通过调节负载电阻的阻值来控制频率使得调谐范围小。同时,作为差分调谐结构,需要差分电荷泵结构对其进行控制,限制了其在PLL中的应用。

[0006] 现有技术二:采用两个反馈环路将单端的传输门环型振荡器转化成差分环型振荡器并具有对电源波动的抗干扰能力。如图2所示,MP1和MP2组成第一个反馈环路,用来补偿电源波动引起的延迟时间波动;MN1和MN2组成第二个反馈环路,构成相互耦合的锁存器用来实现差分操作以及进一步实现电源噪声抑制。这一技术的缺陷是:调谐控制器件处在延迟单元内部,起振容易受到图中调谐电压 V_{ctrl} 的影响,同样需要四级延迟单元来满足起振条件,相位噪声性能受到限制,功耗大。

[0007] 可见,现有技术中Ring-VCO设计很难同时满足频率范围大,相位噪声低和功耗低

的需求。

发明内容

[0008] 针对现有技术中Ring-VC0设计存在功耗大,频率范围与VC0增益之间存在矛盾,即频率范围大时增益大,而增益太大会增大环路滤波器的面积以及恶化PLL杂散性能,以及相位噪声差等问题,本发明提供了一种低相位噪声宽带环型振荡器,该低相位噪声宽带环型振荡器输出频率范围大,相位噪声低,功耗低。

[0009] 本发明提供了一种低相位噪声宽带的低相位噪声宽带环型振荡器,包括第一级延迟模块和第二级延迟模块;所述第一级延迟模块和所述第二级延迟模块组成一个环路,用于提供所述低相位噪声宽带环型振荡器起振所需要的相移和增益;

[0010] 所述第一级延迟模块的一个输入端连接所述第二级延迟模块的一个输出端;

[0011] 所述第一级延迟模块的另一个输入端连接所述第二级延迟模块的另一个输出端;

[0012] 所述第一级延迟模块的一个输出端连接所述第二级延迟模块的一个输入端;

[0013] 所述第一级延迟模块的另一个输出端连接所述第二级延迟模块的另一个输入端;

[0014] 所述第一级延迟模块包括输入输出反相器单元、锁存器单元、开关电容阵列单元和传输门单元;

[0015] 所述第二级延迟模块包括输入输出反相器单元、锁存器单元、开关电容阵列单元和传输门单元;

[0016] 所述开关电容阵列单元和所述开关电容阵列单元使用相同的数字控制位进行控制;

[0017] 所述传输门单元和所述传输门单元共用相同的调谐电压。

[0018] 优选地,所述输入输出反相器单元包括第一反相器和第二反相器;所述锁存器单元包括第三反相器和第四反相器;

[0019] 所述第一反相器的输入端为所述第一级延迟模块的一个输入端;

[0020] 所述第二反相器的输入端为所述第一级延迟模块的另一个输入端;

[0021] 所述第三反相器的输入端和所述第四反相器的输出端对接,对接端连接所述第一反相器的输出端和所述开关电容阵列单元的一端;

[0022] 所述第三反相器的输出端和所述第四反相器的输入端对接,对接端连接所述第二反相器的输出端和所述开关电容阵列单元的另一端。

[0023] 优选地,所述开关电容阵列单元包括一条或者至少两条并联的开关电容支路,每条开关电容支路都设置有一个开关和两个容值相等的电容,且开关设置在两个电容之间;所述开关电容支路通过数字控制位进行开断控制,以调整所述开关电容支路输出的电容值,用于对所述低相位噪声宽带环型振荡器的输出频率的粗调以及输出频带的划分。

[0024] 优选地,所述传输门单元包括第一传输门和第二传输门;

[0025] 所述第一传输门的输入端连接所述开关电容阵列单元的一端;所述第一传输门的输出端连接所述低相位噪声宽带环型振荡器的一个输出端;

[0026] 所述第二传输门的输入端连接所述开关电容阵列单元的另一端,所述第二传输门的输出端连接所述低相位噪声宽带环型振荡器的另一个输出端。

[0027] 优选地,所述第一传输门包括第一PMOS管和第一NMOS管;

- [0028] 所述第一PMOS管的源极和所述第一NMOS管的源极相连；
- [0029] 所述第一PMOS管的漏极和所述第一NMOS管的漏极相连；
- [0030] 所述第一PMOS管的栅极设置有一个连接第一接地电压的端口；
- [0031] 所述第一NMOS管的栅极设置有一个连接第一调谐电压的端口；
- [0032] 所述第二传输门包括第二PMOS管和第二NMOS管；
- [0033] 所述第二PMOS管的源极和所述第二NMOS管的源极相连；
- [0034] 所述第二PMOS管的漏极和所述第二NMOS管的漏极相连；
- [0035] 所述第二PMOS管的栅极设置有一个连接第二接地电压的端口；
- [0036] 所述第二NMOS管的栅极设置有一个连接第二调谐电压的端口。
- [0037] 优选地,所述端口连接的第一接地电压和所述端口连接的第二接地电压相等；
- [0038] 所述端口连接的第一调谐电压和所述端口连接的第二调谐电压相等。
- [0039] 优选地,所述第一PMOS管、所述第二PMOS管、所述第一NMOS管和所述第二NMOS管为低阈值器件,用于改善所述低相位噪声宽带环型振荡器的细调增益线性度。
- [0040] 优选地,通过调节所述第一NMOS管和所述第二NMOS管的栅极电压用于改变所述第一NMOS管和所述第二NMOS管的电阻值从而改变所述低相位噪声宽带环型振荡器的频率。
- [0041] 优选地,所述第一级延迟模块和所述第二级延迟模块的电路结构完全相同。
- [0042] 本发明中提供的一个或多个技术方案,至少具有如下技术效果或优点:
- [0043] 本发明主要针对现有应用广泛的Ring-VC0中存在的功耗大,频率范围与VC0增益之间存在矛盾,即频率范围大时增益大,而增益太大会增大环路滤波器的面积以及恶化PLL杂散性能,以及相位噪声差等问题,提出了一种低相位噪声宽带环型振荡器:运用锁存器单元本身提供的额外延迟使得两级延迟模块就可以维持振荡,节约了功耗;通过采用锁存器单元形成的正反馈来提高振荡信号在边沿的转换速率;由于传输门单元对频率的调节位于电源和地的通路之外,采用这样的调谐方式可以增加电路对电源波动的抗干扰性;同时,本发明针对Ring-VC0调谐范围与调谐增益之间的矛盾,采用开关电容阵列单元和传输门单元可变电阻调节频率的方法,实现所述低相位噪声宽带环型振荡器的频率的粗调与细调,这有利于PLL输出杂散的抑制;此外,在传输门的设计中采用低阈值器件改善了Ring-VC0的细调增益线性度。

附图说明

[0044] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其它的附图。

- [0045] 图1为现有技术一中延迟单元的电路原理图；
- [0046] 图2为现有技术二中差分环形振荡器的电路原理图；
- [0047] 图3为本发明实施例提供的一种低相位噪声宽带环型振荡器的结构框图；
- [0048] 图4为本发明实施例提供的一种低相位噪声宽带环型振荡器中的第一级延迟模块的电路原理图；
- [0049] 图5为本发明实施例提供的一种低相位噪声宽带环型振荡器中的第二级延迟模块

的电路原理图。

具体实施方式

[0050] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚完整地描述,显然,所描述的实施例仅仅是本发明的一部分实施例,而不是全部实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0051] 本发明实施例提供了一种低相位噪声宽带环型振荡器,如图3所示,所述低相位噪声宽带环型振荡器包括第一级延迟模块1和第二级延迟模块2;第一级延迟模块1和第二级延迟模块2组成一个环路,用于提供所述低相位噪声宽带环型振荡器起振所需要的相移和增益;

[0052] 第一级延迟模块1的一个输入端IN1_P连接第二级延迟模块2的一个输出端OUT2_N;

[0053] 第一级延迟模块1的另一个输入端IN1_N连接第二级延迟模块2的另一个输出端OUT2_P;

[0054] 第一级延迟模块1的一个输出端OUT1_P连接第二级延迟模块2的一个输入端IN2_P;

[0055] 第一级延迟模块1的另一个输出端OUT1_N连接第二级延迟模块2的另一个输入端IN2_N。

[0056] 由常识可知,振荡器是不需要外部信号激励的,其自身能将直流电能转换为周期性交流输出信号的电路。振荡器起振需要满足一定的起振条件,称为Barkhausen判据,即环路增益的相移为 360° 处,环路增益的幅度必须不小于1,该反馈系统才能产生振荡。在本实施例中为了实现稳定的振荡输出,所述低相位噪声宽带环型振荡器由2个电路结构相同的延迟模块组成一个环路,并且使得环路传输函数仅在一个频率点上满足Barkhausen判据,实现其频率选择特性。第一个延迟模块1和第二个延迟模块2的作用都是提供起振所需要的相移和增益,使由两个延迟模块构成的反馈环路能够满足Barkhausen判据,实现正常的振荡器功能。

[0057] 请参见图4,示出了本发明实施例提供的一种低相位噪声宽带环型振荡器中的第一级延迟模块的电路原理图。如图4所示,第一级延迟模块1包括输入输出反相器单元11、锁存器单元12、开关电容阵列单元13和传输门单元14;输入输出反相器单元11用于在信号路径上引入延迟;运用锁存器单元12本身提供的额外延迟使得两级延迟模块就可以维持振荡,节约了功耗;通过采用锁存器单元12形成的正反馈来提高振荡信号在边沿的转换速率;由于传输门单元14对频率的调节位于电源和地的通路之外,采用这样的调谐方式可以增加电路对电源波动的抗干扰性;采用开关电容阵列单元13和传输门单元14可变电阻调节频率的方法,实现所述低相位噪声宽带环型振荡器的频率的粗调与细调。

[0058] 具体地,如图4所示,输入输出反相器单元11包括第一反相器X1和第二反相器X2;锁存器单元12包括第三反相器X3和第四反相器X4;第一反相器X1的输入端连接第一级延迟模块1的一个输入端IN1_P;第二反相器X2的输入端连接第一级延迟模块1的另一个输入端IN1_N;第三反相器X3的输入端和第四反相器X4的输出端对接,对接端连接第一反相器X1的

输出端和开关电容阵列单元13的一端;第三反相器X3的输出端和第四反相器X4的输入端对接,对接端连接第二反相器X2的输出端和开关电容阵列单元13的另一端。

[0059] 在本实施例中,如图4所示的第一级延迟模块1是一种互补输入,互补输出的结构,它可以尽可能地提高振荡信号在边沿的转换速率。其中,X1、X2在信号路径上引入一定的延迟;X3、X4组成的锁存器单元12,在发生状态转换时,在输出端OUT1_P和输出端OUT1_N之间形成一个正反馈,加快状态转换速率。

[0060] 环型振荡器的ISF(Impulse Sensitivity Function)函数的均方值 Γ_{rms} 可以用式(1)表示:

$$[0061] \quad \Gamma_{rms}^2 = \frac{1}{3\pi} \left(\frac{1}{f_{rise}} \right)^3 (1 + A^3) \quad (1)$$

[0062] 其中 $A = f_{rise}/f_{fall}$, f_{rise} 和 f_{fall} 分别是振荡信号上升沿和下降沿的最大斜率,表示振荡信号上升沿与下降沿的最大斜率的一个比值。由式(1)可以看出,提高环型振荡器在上升沿和下降沿的状态转换速率,可以减小ISF的均方值 Γ_{rms} ,即减小所述低相位噪声宽带环型振荡器的相位噪声性能。在选定的工艺下,状态转换速率主要决定于工艺所提供的晶体管特征频率,当晶体管的特征尺寸缩小,特征频率提高时,环型振荡器的转换速率可以得到进一步提高,相位噪声性能也可以得到更大的改善。

[0063] 故当X3、X4组成的锁存器单元12,在发生状态转换时,在输出端OUT1_P和输出端OUT1_N之间形成一个正反馈,加快状态转换速率,即可提高相位噪声性能。

[0064] 另外,由于锁存器单元12会引入额外的延迟时间,因此两级延迟模块就可以维持稳定振荡,减小延迟单元级数也可以提高相位噪声性能。

[0065] 具体地,如图4所示,开关电容阵列单元13包括一条或至少两条并联的电容支路,每条开关电容支路都设置有一个开关 K_i ($i=1,2,3,4,\dots,n$, n 为大于1的正整数) 和两个容值相等的电容 C_i ($i=1,2,3,4,\dots,n$, n 为大于1的正整数),且开关 K_i 设置在两个电容之间。例如,第一条开关电容支路上设置有一个开关 K_1 和两个容值相等的电容 C_1 ,其它开关电流源支路结构与第一条开关电流源支路的结构相同或相似,这里不再一一赘述。多条并联的开关电容支路通过数字控制位进行开断控制,以调整开关电容的电容值,用于对低相位噪声宽带环型振荡器的输出频率的粗调,并将低相位噪声宽带环型振荡器需输出的宽频带划分为多个频带进行输出。

[0066] 具体地,如图4所示,传输门单元14包括第一传输门141和第二传输门142;第一传输门141和第二传输门142的电路结构完全一样;第一传输门141的输入端连接电容阵列单元13的一端;第一传输门141的输出端连接所述低相位噪声宽带环型振荡器的一个输出端OUT1_N;第二传输门142的输入端连接开关电容阵列单元13的另一端,第二传输门142的输出端连接所述低相位噪声宽带环型振荡器的另一个输出端OUT1_P。

[0067] 第一传输门141包括第一PMOS管PM1和第一NMOS管NM1;第一PMOS管PM1的源极和第一NMOS管NM1的源极相连;第一PMOS管PM1的漏极和第一NMOS管NM1的漏极相连;第一PMOS管PM1的栅极设置有一个连接第一接地电压VSS1的端口Port1_VSS;所述第一NMOS管NM1的栅极设置有一个连接第一调谐电压Vtune1的端口Port1_Vtune。

[0068] 第二传输门142包括第二PMOS管PM2和第二NMOS管NM2;第二PMOS管PM2的源极和第二NMOS管NM2的源极相连;第二PMOS管PM2的漏极和第二NMOS管NM2的漏极相连;第二PMOS管

PM2的栅极设置有一个连接第二接地电压VSS2的端口Port2_VSS;第二NMOS管NM2的栅极设置有一个连接第二调谐电压Vtune2的端口Port2_Vtune。

[0069] 端口Port1_VSS连接的第一接地电压VSS1和所述端Port2_VSS连接的第一接地电压VSS2相等;端口Port1_Vtune连接的第二调谐电压Vtune1和所述端口Port2_Vtune连接的第二调谐电压Vtune2相等。

[0070] 在本实施例中,第一PMOS管PM1、第二PMOS管PM2、第一NMOS管NM1和第二NMOS管NM2为低阈值器件,用于改善所述低相位噪声宽带环型振荡器的细调增益线性度。与传统的MOS器件相比,低阈值器件在版图上减小了衬底的掺杂浓度,MOS管的阈值电压是指形成强反型时的最小栅极电压。规定当表面电子浓度等于体内平衡多子浓度时,半导体表面形成强反型层,所以当衬底的掺杂浓度减小时,MOS的阈值电压相应减小。从而使MOS电阻调谐过程中的调谐增益变化减小,优化了增益线性度。

[0071] 通过调节第一NMOS管NM1和第二NMOS管NM2的栅极电压用于改变第一NMOS管NM1和第二NMOS管NM2的电阻值从而改变所述低相位噪声宽带环型振荡器的频率。采用传输门单元14可变电阻和开关电容阵列单元13调节频率的方法,实现所述低相位噪声宽带环型振荡器频率的细调与粗调。

[0072] 请参见图5,示出了本发明实施例提供的一种低相位噪声带宽的低相位噪声宽带环型振荡器中的第二级延迟模块的电路原理图。第二级延迟模块2和第一级延迟模块的电路结构完全相同。

[0073] 在本实施例中,开关电容阵列单元13和开关电容阵列单元23通过相同的数字控制位进行控制;传输门单元14和传输门单元24共用相同的调谐电压。

[0074] 本发明针对现有Ring-VC0所存在的功耗大,频率范围与VC0增益之间存在矛盾,即频率范围大时增益大,而增益太大会增大环路滤波器的面积以及恶化PLL杂散性能,以及相位噪声差等的问题,提出了一种低相位噪声宽带环型振荡器:运用锁存器单元本身提供的额外延迟使得两级延迟模块就可以维持振荡,节约了功耗;通过采用锁存器单元形成的正反馈来提高振荡信号在边沿的转换速率;由于传输门单元对频率的调节位于电源和地的通路之外,采用这样的调谐方式可以增加电路对电源波动的抗干扰性。同时,本发明针对Ring-VC0调谐范围与调谐增益之间的矛盾,采用开关电容阵列单元和传输门单元可变电阻调节频率的方法,实现所述低相位噪声宽带环型振荡器的频率的细粗调与粗细调,这有利于减小VC0调谐增益,进而减小PLL输出参考杂散;此外,在传输门的设计中采用低阈值器件改善了Ring-VC0的细调增益线性度。最终实现了宽带低相位噪声的Ring-VC0,并且具有低的调谐增益和高的调谐线性度,这将有利于基于Ring-VC0的PLL的相位噪声和杂散性能以及环路稳定性。

[0075] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例做出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0076] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

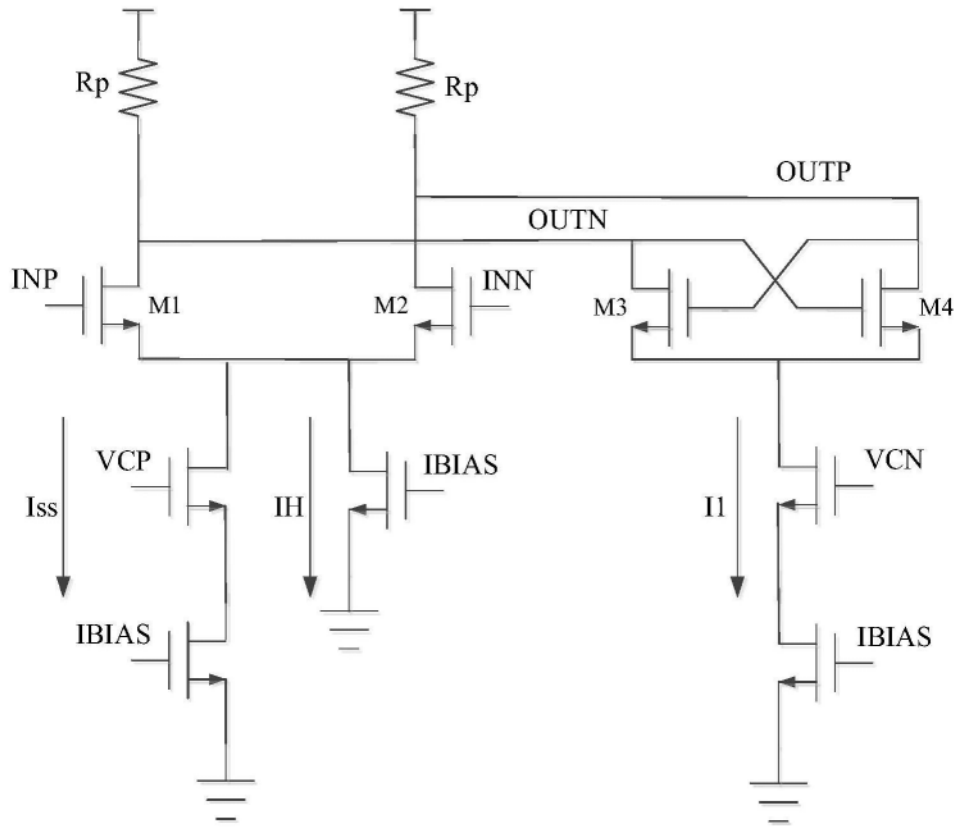


图1

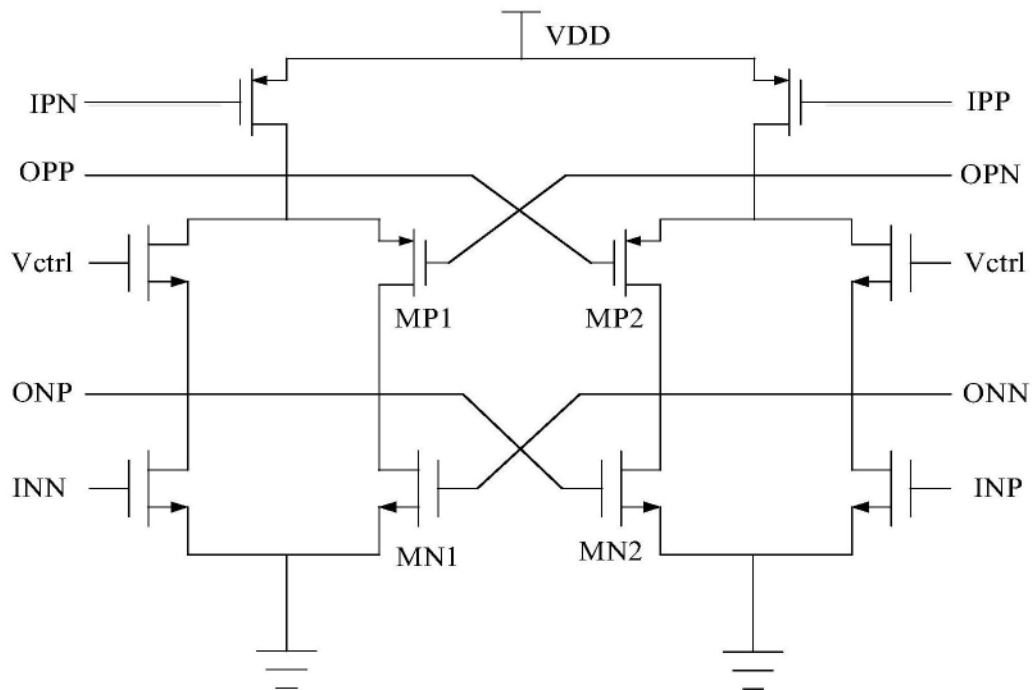


图2

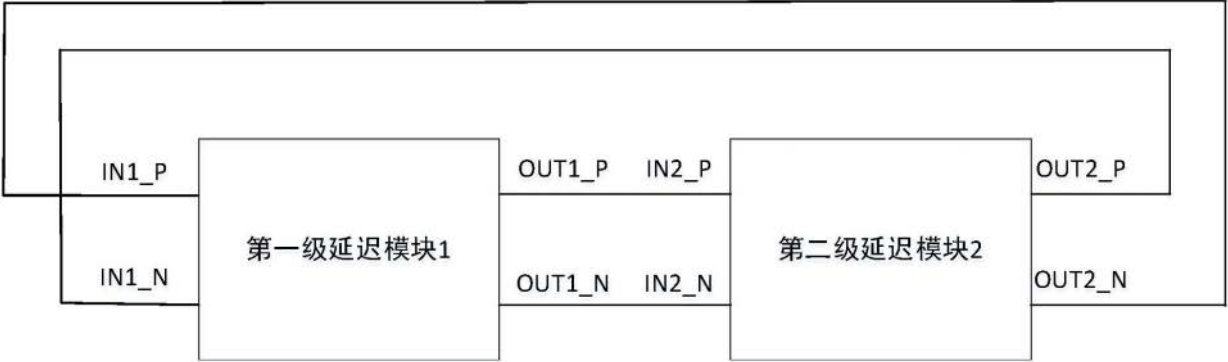


图3

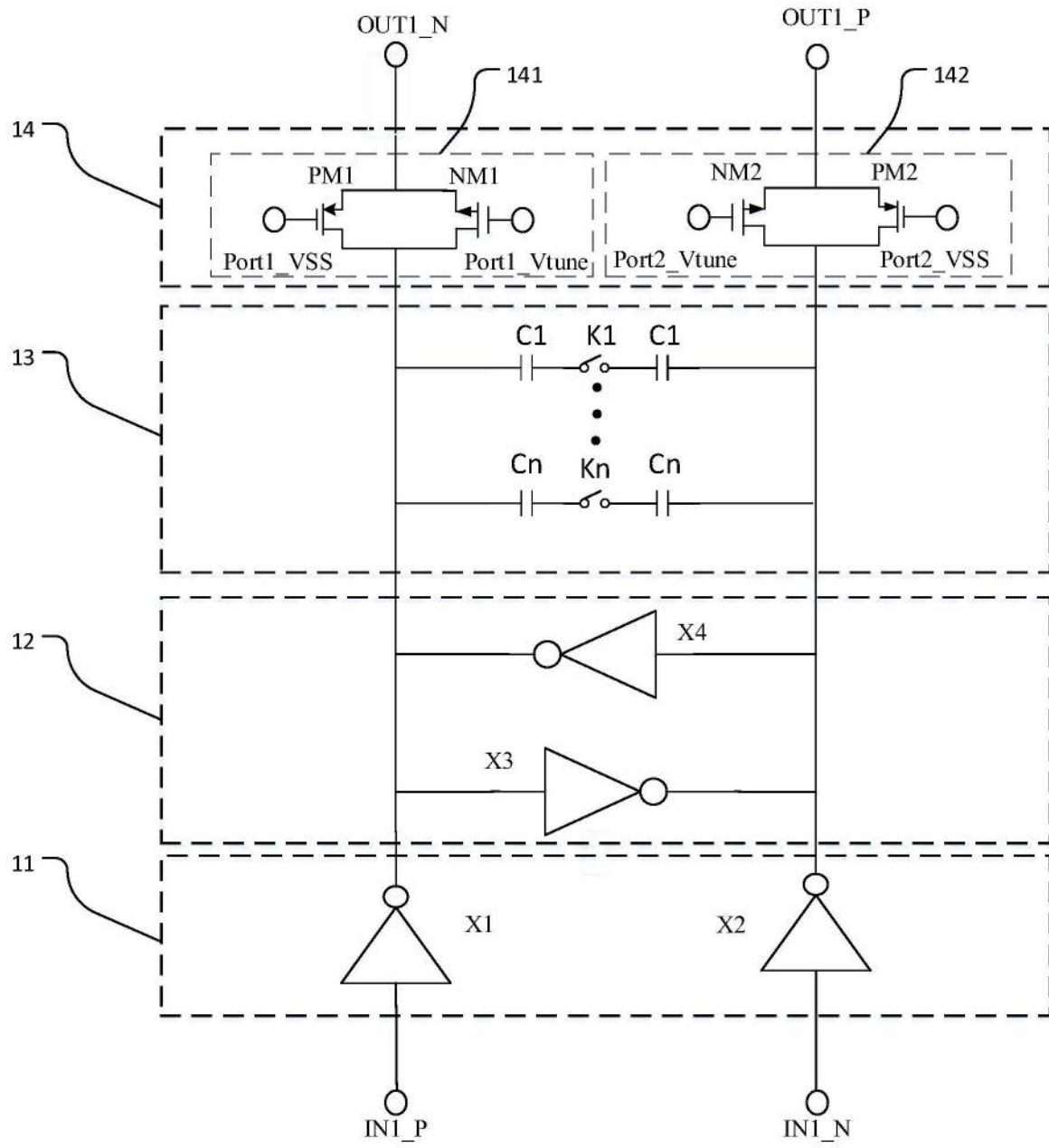


图4

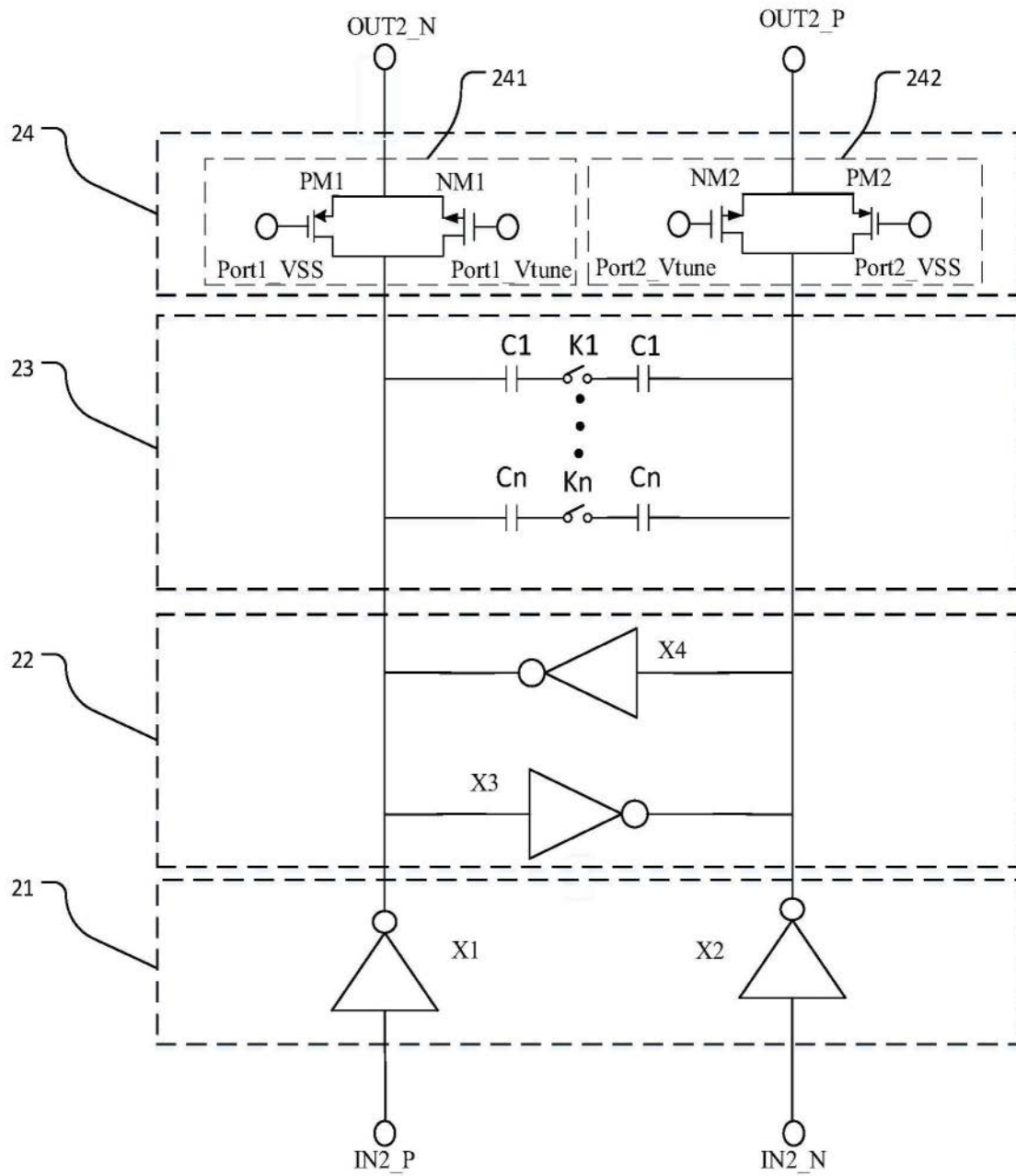


图5