



(12)

Patentschrift

(21) Aktenzeichen: **10 2016 100 845.1**
(22) Anmeldetag: **19.01.2016**
(43) Offenlegungstag: –
(45) Veröffentlichungstag
der Patenterteilung: **16.03.2017**

(51) Int Cl.: **H04L 12/403** (2006.01)
G06F 13/42 (2006.01)
G06F 13/00 (2006.01)
H05B 37/02 (2006.01)
F21S 4/24 (2016.01)
F21S 8/10 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:

**Elmos Semiconductor Aktiengesellschaft, 44227
Dortmund, DE**

(72) Erfinder:

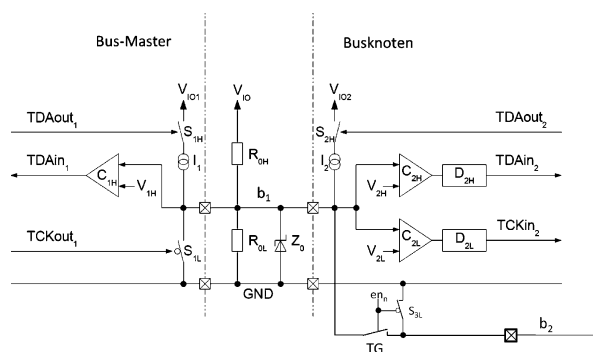
Schmitz, Christian, 44575 Castrop-Rauxel, DE

(56) Ermittelter Stand der Technik:

DE	10 2007 060 441	B3
DE	10 2015 004 434	B3
DE	102 15 720	A1
DE	102 56 631	A1
US	2004 / 0 208 200	A1
US	2014 / 0 281 076	A1

(54) Bezeichnung: **Businterface für einen bidirektionalen Eindrahtlichtsteuerbus**

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Betreiben eines Eindrahtdatenbusses (b1, b2, b3) zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mehreren Busknoten (BS1, BS2, BS3). Das Verfahren umfasst als einen Schritt das zeitweise Verbinden des Eindrahtdatenbusses (b1, b2, b3) mit einer ersten zuschaltbaren Spannungsquelle (S_{1L}) des Bus-Masters (BM), die einen ersten Innenwiderstand (R_{1L}) mit einem ersten Potenzial (V_0) hat. Das Verfahren umfasst darüber hinaus das zeitweise Verbinden des Eindrahtdatenbusses (b1, b2, b3) mit einer zweiten zuschaltbaren Spannungsquelle (S_{1H} , I_1) des Bus-Masters (BM), die einen zweiten Innenwiderstand (R_{1H}) besitzt, mit einem zweiten Potenzial (V_{IO1}). Das Verfahren umfasst darüber hinaus das zeitweise Verbinden des Eindrahtdatenbusses (b1, b2, b3) mit einer dritten zuschaltbaren Spannungsquelle (S_{2H} , I_2) eines Busknotens (BS1, BS2, BS3) mit einem dritten Potenzial (V_{IO2}). Die dritte zuschaltbare Spannungsquelle (S_{2H} , I_2) besitzt einen dritten Innenwiderstand (R_{2H}). Das Verfahren umfasst das zeitweise Halten des Eindrahtdatenbusses (b1, b2, b3) durch eine vierte Spannungsquelle zwischen einem vierten Potenzial (V_{IO}), das vorzugsweise gleich dem zweiten und dritten Potenzial (V_{IO1} , V_{IO2}) ist, und dem ersten Potenzial (V_0) mit einem vierten Innenwiderstand (R_0) auf einem mittleren Potenzial (V_M). Der Wert des mittleren Potenzials (V_M) liegt zwischen dem Wert des ersten Potenzials (V_0) und dem Wert des zweiten Potenzials (V_{IO1}) und/oder zwischen dem Wert des ersten Potenzials (V_0) und dem Wert des dritten Potenzials (V_{IO2}). Der erste Innenwiderstand (R_{1L}) ist kleiner als die anderen Innenwiderstände (R_{1H} , R_{2H} , R_0). Der vierte Innenwiderstand (R_0) ist größer als die anderen Innenwiderstände (R_{1H} , R_{1L} , R_{2H}).



Beschreibung

Einleitung

[0001] In der Automobilindustrie sollen in Zukunft Leuchtbänder aus Leuchtdioden (LEDs) mit vorzugsweise mehreren Farben eingesetzt werden können. Diese LEDs sollen mittels den bekannten Puls-Modulations-Verfahren wie Puls-Weiten-Modulation (PWM), Puls-Code-Modulation (PCM), Puls-Count-Modulation (PCM), Phasen-Offset-Modulation (POM), Puls-Dichte-Modulation (PDM), Puls-Frequenz-Modulation (PFM) etc. angesteuert und mit Energie versorgt werden. Die entsprechenden Modulationsarten kann der Fachmann der einschlägigen Literatur entnehmen. Wenn im Folgenden von PWM die Rede ist sind damit innerhalb dieser Offenbarung alle Pulsmodulationsarten gemeint, die derzeit im Stand der Technik bekannt sind. Je nach dem mittleren Spannungs- oder Strompegel, der an die jeweilige LED gelegt wird, kann die LED in der Helligkeit und ggf. in gewissem Umfang auch in der Farbtemperatur eingestellt werden. Somit bestimmen beispielsweise im Falle einer PWM-Modulation Duty-Cycle und Pegel Helligkeitserscheinung und wahrgenommene Farbtemperatur.

[0002] Die LEDs des Leuchtbandes sind üblicherweise über die Länge des Leuchtbandes gleichverteilt.

[0003] Im Stand der Technik ist es üblich, mehrere integrierte Schaltungen, die sich als Busknoten mehr oder weniger ebenfalls gleichverteilt auf dem Leuchtband befinden, zur Ansteuerung der LEDs zu benutzen. Typischerweise sind jedem Busknoten dabei mehrere Leuchtmittel, vorzugsweise LEDs, zugeordnet, die von einem Busknoten dann jeweils gesteuert werden.

[0004] Diese Ansteuerung erfolgt für die einzelne integrierte Schaltung für eine einzelne LED oder für mehrere auf dem Leuchtband typischerweise hintereinander angeordnete LEDs, also für einen Leuchtbandabschnitt, der dieser integrierten Schaltung zugeordnet ist.

[0005] Im Stand der Technik ist es nun üblich, diese integrierten Schaltungen jeweils mit einem Schieberegister mit einem Eingang und einem Ausgang zu versehen. Der Eingang eines nachfolgenden Schieberegisters einer auf dem Leuchtband nachfolgenden integrierten Schaltung ist dabei mit dem Ausgang des Schieberegisters der auf dem Leuchtband vorausgehenden integrierten Schaltung verbunden. Die erste integrierte Schaltung des Leuchtbandes ist statt mit einer vorausgehenden integrierten Schaltung mit einem Bus-Master (BM) verbunden, der die Daten und den Schiebetakt erzeugt. Typischerweise handelt es sich um einen Micro-Controller.

[0006] Der Bus-Master (BM) versorgt über eine Taktleitung (TCK) alle Schieberegistersegmente aller integrierten Schaltungen entlang einer dermaßen zusammengesetzten Schieberegisterkette mit dem notwendigen Schiebetakt und einem Übernahmesignal, das über eine Testdatenleitung (TDI) im Zeitmultiplex oder eine Test-Mode-Signalleitung (TMS) im Raummultiplex übermittelt wird, mit dem die aktuellen Werte in den Segmenten der Schieberegisterkette in Schatten-Register der integrierten Schaltungen geladen werden.

[0007] Um die benötigten Informationen zu übertragen, erzeugt der Bus-Master (BM) also einen seriellen Datenstrom, der die Informationen über Helligkeit und/oder Farbtemperatur enthält, schiebt diese in der bit-rechtigen Reihenfolge in die Schieberegisterkette und signalisiert im korrekten Takt den integrierten Schaltkreisen die Übernahme, woraufhin diese ihre Schattenregister entsprechend laden und die PWM-Modulation der LED-Treiber in Amplitude und Duty-Cycle bzw. Füllfaktor entsprechend den somit geladenen Helligkeits- und Farbtemperaturwerten einstellen.

[0008] Hierbei treten bei der Verwendung im Automobil mehrere Probleme auf, die zu lösen sind.

[0009] Zum ersten erfordert die aus dem Stand der Technik bekannte Vorgehensweise und die aus dem Stand der Technik bekannte Anordnung zur Steuerung eines derartigen Leuchtbandes eine Versorgungsspannungsleitung, eine Masseleitung, eine Taktleitung, eine Signalisierungsleitung und eine Datenleitung, also insgesamt fünf Leitungen. Als Masseleitung kann ggf. die Karosserie des Autos genutzt werden, wenn diese nicht aus nicht leitendem Kunststoff oder einem anderen Isolator ist. Es verbleibt dann immer noch die Notwendigkeit von vier Leitungen. Dies führt zu Kosten und einer Gewichtszunahme.

[0010] Zum zweiten ist kein Rückkanal vorgesehen, um beispielsweise Fehlerfälle erkennen zu können, die Temperatur am Ort der LED messen zu können, einen Selbsttest durchführen zu können etc.

[0011] Es ist also eine Lösung erforderlich, die die Programmierung und das Auslesen der integrierten Schaltungen über eine einzige Datenleitung ermöglicht.

[0012] Aus dem Stand der Technik ist das JTAG-Protokoll bekannt. Das JTAG-Protokoll hat sich zu einer der führenden Hilfsmittel bei der Programmierung, dem Test, dem Debugging und der Emulation von integrierten Schaltkreisen entwickelt. In einem Verfahren, das als Boundary-Scan-Verfahren bezeichnet wird, kann ein Host-Prozessor den Zustand einer integrierten Schaltung kontrollieren. Insbesondere ist der Host-Prozessor als Bus-Master über eine spezielle Schnittstelle, die JTAG-Schnittstelle nach IEEE 1149 Standard, in der Lage, die integrierte Schaltung als Busknoten geeignet zu programmieren und ggf. zu initialisieren. Des Weiteren ist der Host-Prozessor als Bus-Master in der Lage, den Zustand der integrierten Schaltung nach einer vorbestimmten Anzahl von Systemtaktperioden der JTAG-Schnittstelle nach IEEE 1149 Standard oder bei Erkennung eines vorbestimmten Ereignisses auszulesen oder während des Betriebs der integrierten Schaltung, also des Busknotens, abzuändern. Dies umfasst auch das Anhalten der integrierten Schaltung oder den zwangsweisen Wechsel in andere Zustände oder das Ändern von Speicherinhalten. Das JTAG-Protokoll ist aber eine Punkt-zu-Punkt-Verbindung und damit für die Steuerung automobiler Leuchtbänder ungeeignet. Aus dem Stand der Technik ist zwar eine Verkettung von JTAG-Testschnittstellen mit dem Schutzrecht EP 0 503 117 B1 seit langem bekannt. Die EP 0 503 117 B1 offenbart aber die Verkettung von 4-Draht-JTAG-Schnittstellen. Damit erfüllt die Technik der EP 0 503 117 B1 die Anforderung eines Eindrahtdatenbusses für die Steuerung automobile LED basierender Lichtbänder nicht.

[0013] Die im weiteren Verlauf beschriebene Erfindung betrifft somit eine Vorrichtung zur verketteten Steuerung und/oder zur Programmierung mehrerer integrierter Schaltungen, Mikrosystemen incl. mikroelektromechanischen Systemen (MEMS) und integrierten mikroelektrooptischen Systemen (MEOS) mittels eines Eindrahtdatenbusses, wobei die zu steuernden integrierten Schaltungen, Mikrosysteme incl. mikroelektromechanischen Systemen (MEMS) und integrierten mikroelektrooptischen Systeme (MEOS) jeweils die Rolle eines Busknotens einnehmen. Bei solchen Systemen ist es bereits heute üblich, diese für den Fertigungstest über einen JTAG-Test-Bus nach IEEE 1149 Standard in reiner Punkt-zu-Punkt-Konfiguration anzusteuern. Diese standardgemäße JTAG-Schnittstelle verfügt über einen Testdaten-Port mit typischerweise vier Testanschlüssen:

1. mindestens einem seriellen Dateneingang (Testdateneingang) TDI,
2. mindestens einem seriellen Datenausgang (Testausgang) TDo,
3. mindestens einem Mode-Eingang (Testmode-Eingang) TMS,
4. mindestens einem Takteingang (Testtakteingang) TCK,
5. einem optionalen Rücksetzeingang (Testrücksetzeingang) TRST.

[0014] Da das Verfahren seit mehreren Jahrzehnten bekannt ist wird an dieser Stelle auf die entsprechende Fachliteratur und auf die entsprechenden Patent- und Offenlegungsschriften verwiesen (IEEE 1149 Standards).

[0015] Hier sei nur so viel kurz beschrieben: Das JTAG-Protokoll nach IEEE 1149 Standard umfasst im Basisstandard fünf Signalgruppen, die zwischen der Emulationseinheit, die den Host-Prozessor enthält und damit als Bus-Master fungiert, und der integrierten Schaltung als Slave, im Folgenden jeweils mit Busknoten bezeichnet, ausgetauscht werden. Das TCK-Signal stellt den Systemtakt dar und synchronisiert zeitlich die interne Zustandsmaschine des Test-Controllers (TAPC) der JTAG-Testschnittstelle nach IEEE 1149 Standard der integrierten Schaltung. Das TMS-Signal steuert den Zustand dieses Test-Controllers (TAPC) der JTAG-Schnittstelle des Busknotens. Je nach Zustand des Test-Controllers (TAPC) führt die JTAG-Testschnittstelle des Busknotens unterschiedliche Operationen durch. Der TDI-Eingang stellt einen seriellen Dateneingang dar. Der TDo-Ausgang stellt einen seriellen Datenausgang dar. Die beiden Eingänge TMS und TDI werden typischerweise aber nicht notwendigerweise mit der steigenden TCK-Flanke abgetastet. Der Datenausgang (TDo) wechselt sein Datum typischerweise mit der fallenden Flanke des TCK-Signals. Die TCK-, TMS- und TDI-Einzelsignale bilden im Stand der Technik die Testdateneingangssignale. In dem Zusammenhang dieser Offenbarung bilden sie die Dateneingangssignale. Das TDo-Signal stellt das Ausgangssignal dar. Mit der steigenden Systemtaktfanke (TCK-Flanke) und bei geeigneter Einstellung eines Test-Controller (TAPC) internen Instruktionsregisters (IR) werden die Daten seriell über den seriellen Dateneingang TDI in verschiedene Schieberegisterketten, sogenannte Scan-Pfade, in die integrierte Schaltung als Busknoten hinein verschoben. Gleichzeitig wird der ursprüngliche Inhalt der betreffenden Scan-Kette am seriellen Datenausgang (TDo) ausgegeben. Hierbei können Zustandsvektoren endlicher Automaten innerhalb des Busknotens Teil der Scan-Kette sein. Somit ist eine Änderung der Inhalte und Zustände bzw. die Kontrolle dieser Inhalte und Zustände der Speicherzellen der Scan-Ketten über diese Schnittstelle im Stand der Technik leicht möglich. Hier sei nochmals auf die Fachliteratur verwiesen.

Fig. 1 (Stand der Technik)

[0016] Fig. 1 zeigt das standardisierte Zustandsdiagramm für einen JTAG-Test-Controller (TAPC) entsprechend dem Stand der Technik und der relevanten Normen. Nach dem Zurücksetzen des Systems befindet sich der Test-Controller (TAPC) in dem Zustand „Test-Logik zurücksetzen“ (TLR). In diesem verbleibt er, solange das Test-Mode-Signal (TMS) 1 ist. Wird das Test-Mode-Signal (TMS) 0, so wechselt der Test-Controller (TAPC) synchron zum Systemtakt (TCK) in den „Wartezustand“ (RUN). In diesem verbleibt der Test-Controller (TAPC), bis am Test-Mode-Signal (TMS) eine 1 anliegt. Dann wechselt der Test-Controller (TAPC) in den Zustand „Start des Datenregisterschiebens“ (SDRS). Sofern das Test-Mode-Signal (TMS) auch beim nächsten Mal wieder eine 1 zeigt, wechselt der Test-Controller (TAPC) dann in den Zustand „Start Instruktionsregisterschieben“ (SIRS). Sofern auch dann mit dem nächsten Takt wieder eine 1 auf dem Test-Mode-Signal (TMS) anliegt, wechselt der Test-Controller (TAPC) wieder in den Zustand „Testlogik zurücksetzen“ (TLR) und setzt die Datenschnittstellenlogik zurück.

[0017] Liegt jedoch im Zustand „Start des Instruktionsregisterschiebens“ (SIRS) eine 0 auf dem Test-Mode-Signal (TMS) vor, so wechselt der Test-Controller (TAPC) in den Zustand „Instruktionsregisterdaten laden“ (CIR) in dem die Daten, die in einem Instruktionsschattenregister verfügbar sind, in das Instruktionsregister (IR) geladen werden. Insofern ist das Instruktionsregister (IR) ein zweistufiges Register, bei dem der Vordergrund durch ein Schieberegister gebildet wird und die eigentlichen Daten sich in einem Schattenregister befinden, das nur in diesem Zustand gelesen wird. Das Schieberegister des Instruktionsregisters (IR) dient der Zu- und Abführung der Daten, während das Schattenregister des Instruktionsregisters (IR) die eigentlichen, gültigen Daten enthält. Diese Zweistufigkeit gilt für alle Register, insbesondere auch die Datenregister (DR), der JTAG-Schnittstelle, auch die im Folgenden beschriebenen erfindungsgemäßen Register der erfindungsgemäßen Schnittstelle. Ggf. Kann das Schattenregister des Instruktionsregisters (IR) noch ganz oder teilweise in eines für Lese- und eines für Schreibvorgänge unterteilt sein. Weitere Sichtbarkeits- und Zugriffsmöglichkeitenänderungen in Abhängigkeit von inneren Zuständen sind natürlich möglich. Liegt im Zustand „Instruktionsregisterdaten laden“ (CIR) beim nächsten Takt des Test-Mode-Signals (TMS) eine 1 an, so springt der Test-Controller (TAPC) direkt in den später beschriebenen Zustand „Instruktionsregister Exit 1“ (EIR1). Liegt jedoch eine 0 an, so wechselt der Test-Controller (TAPC) in den Zustand „Schieben Instruktionsregister“ (SIR) in dem er verbleibt, solange eine 0 am Test-Mode-Signal (TMS) anliegt. Nur in diesem Zustand wird das Schieberegister des Instruktionsregisters (IR) in der Funktion eines Schieberegisters betrieben und sein Dateninhalt mit jedem Takt des Systemtakts (TCK) um ein Bit in Richtung auf den seriellen Datenausgang (TDI) verschoben, mit dem die letzte Speicherzelle des Schieberegisters des Instruktionsregisters (IR) verbunden ist. Das Schattenregister des Instruktionsregisters (IR) wird natürlich nicht diesem Schiebevorgang unterworfen. Die am Dateneingang (TDI) anliegende Dateninformation wird mit jedem Takt des Systemtakts (TCK) in die erste Zelle des Schieberegisters des Instruktionsregisters (IR) geladen und von dort während des Schiebens mit jedem weiteren Takt weiterbefördert. Sofern aber bei einem Takt eine 1 an dem Test-Mode-Signal anliegt, verlässt der Test-Controller (TAPC) den Zustand „Instruktionsregister schieben“ (SIR) und wechselt in den schon zuvor erwähnten Zustand „Instruktionsregister Exit 1“ (EIR1). Sofern wieder eine 1 beim nächsten Takt des Systemtakts (TCK) anliegt, wechselt der Test-Controller (TAPC) in den Zustand „Instruktionsregister schreiben“ (UIR2) bei dem der Wert des Schieberegisterteils des Instruktionsregisters (IR) in das Schattenregister des Instruktionsregisters (IR) geschrieben wird. Liegt jedoch im Zustand „Instruktionsregister Exit 1“ (EIR1) eine 0 am Test-Mode-Signal (TMS) an, so wechselt der Test-Controller (TAPC) in den Zustand „Pause Instruktionsregister“ (PIR), wo er verbleibt, solange eine 0 am Test-Mode-Signal (TMS) anliegt. Liegt im Zustand „Pause Instruktionsregister“ (PIR) eine 1 auf dem Test-Mode-Signal (TMS) an, so wechselt der Test-Controller (TAPC) in den Zustand „Instruktionsregister Exit 2“ (EIR2). Sofern mit dem nächsten Systemtakt (TCK) eine 0 auf dem Test-Mode-Signal (TMS) anliegt, wechselt der Test-Controller (TAPC) wieder zum bereits beschriebenen Zustand „Instruktionsregister schieben“ (SIR) zurück. Sofern jedoch im Zustand „Instruktionsregister Exit 2“ (EIR2) mit dem nächsten Systemtakt (TCK) eine 1 auf dem Test-Mode-Signal (TMS) anliegt, wechselt der Test-Controller (TAPC) in den Zustand „Instruktionsregister schreiben“ (UIR2). Im darauf folgenden Takt wechselt der Test-Controller (TAPC) in den Zustand „Start des Datenregisterschiebens“ (SDRS), wenn bei diesem Takt eine 1 auf dem Test-Mode-Signal (TMS) anliegt, und in den Zustand „Warten“ (RUN), wenn eine 0 anliegt.

[0018] Liegt im Zustand „Start des Datenregisterschiebens“ (SDRS) eine 0 auf dem Test-Mode-Signal (TMS) vor, so wechselt der Test-Controller (TAPC) in den Zustand „Datenregisterdaten laden“ (CDR) in dem die Daten, die in einem Datenschattenregister verfügbar sind, in das jeweilige Datenregister (DR) geladen werden. Welches Datenregister (DR) von mehreren Datenregistern ausgewählt wird, bestimmen dabei standardgemäß zumindest ein Teil der gültigen Bits des Schattenregisters des Datenregisters (DR). Auch hier ist typischerweise das Datenregister (DR) ein zweistufiges Register, bei dem der Vordergrund durch ein Schieberegister gebildet wird und die eigentlichen Daten sich in einem Schattenregister befinden, das nur in diesem Zustand

gelesen wird. Das Schieberegister des Datenregisters (DR) dient auch hier der Zu- und Abführung der Daten, während das Schattenregister des Datenregisters (DR) die eigentlichen Daten enthält. Diese Zweistufigkeit gilt ja, wie gesagt, für alle Register der JTAG-Schnittstelle, auch die im Folgenden beschriebenen erfindungsgemäßen Register der erfindungsgemäßen Schnittstelle, die standardgemäß als Datenregister (DR) ausgeführt werden. Ggf. kann das Schattenregister des Datenregisters (DR) wieder ganz oder teilweise in eines für Lese- und eines für Schreibvorgänge unterteilt sein. Weitere Sichtbarkeits- und Zugriffsmöglichkeitenänderungen in Abhängigkeit von inneren Zuständen sind natürlich auch hier möglich. Liegt im Zustand „Datenregisterdaten laden“ (CDR) beim nächsten Takt des Test-Mode-Signals (TMS) eine 1 an, so springt der Test-Controller (TAPC) direkt in den später beschriebenen Zustand „Datenregister Exit 1“ (EDR1). Liegt jedoch eine 0 an, so wechselt der Test-Controller (TAPC) in den Zustand „Schieben Datenregister“ (SDR) in dem er verbleibt, solange eine 0 am Test-Mode-Signal (TMS) anliegt. Nur in diesem Zustand und sonst nicht wird das Schieberegister des Datenregisters (DR) in der Funktion eines Schieberegisters betrieben und sein Dateninhalt mit jedem Takt des Systemtakts (TCK) um ein Bit in Richtung auf den seriellen Datenausgang (TDI) verschoben, mit dem die letzte Speicherzelle des Schieberegisters des Datenregisters (DR) verbunden ist. Das Schattenregister des Datenregisters (DR) wird natürlich nicht diesem Schiebevorgang unterworfen. Die am Dateneingang (TDI) anliegende Dateninformation wird mit jedem Takt des Systemtakts (TCK) in die erste Zelle des Schieberegisters des Datenregisters (DR) geladen und von dort während des Schiebens mit jedem weiteren Takt weiterbefördert. Sofern aber bei einem Takt eine 1 an dem Test-Mode-Signal (TMS) anliegt, verlässt der Test-Controller (TAPC) den Zustand „Datenregister schieben“ (SDR) und wechselt in den schon zuvor erwähnten Zustand „Datenregister Exit 1“ (EDR1). Sofern wieder eine 1 beim nächsten Takt des Systemtakts (TCK) anliegt, wechselt der Test-Controller (TAPC) in den Zustand „Datenregister schreiben“ (UIR2) bei dem der Wert des Schieberegisterteils des Datenregisters (DR) in das Schattenregister des Datenregisters (DR) geschrieben wird. Liegt jedoch im Zustand „Datenregister Exit 1“ (EDR1) eine 0 am Test-Mode-Signal (TMS) an, so wechselt der Test-Controller (TAPC) in den Zustand „Pause Datenregister“ (PDR), wo er verbleibt, solange eine 0 am Test-Mode-Signal (TMS) anliegt. Liegt im Zustand „Pause Datenregister“ (PDR) eine 1 auf dem Test-Mode-Signal (TMS) an, so wechselt der Test-Controller (TAPC) in den Zustand „Datenregister Exit 2“ (EDR2). Sofern mit dem nächsten Systemtakt (TCK) eine 0 auf dem Test-Mode-Signal (TMS) anliegt, wechselt der Test-Controller (TAPC) wieder zum bereits beschriebenen Zustand „Datenregister schieben“ (SDR) zurück. Sofern jedoch im Zustand „Datenregister Exit 2“ (EDR2) mit dem nächsten Systemtakt (TCK) eine 1 auf dem Test-Mode-Signal (TMS) anliegt, wechselt der Test-Controller (TAPC) in den Zustand „Datenregister schreiben“ (UDR2). Im darauf folgenden Takt wechselt der Test-Controller (TAPC) in den Zustand „Start des Datenregisterschiebens“ (SDRS), wenn bei diesem Takt eine 1 auf dem Test-Mode-Signal (TMS) anliegt, und in den Zustand „Warten“ (RUN), wenn eine 0 anliegt.

[0019] Es ist besonders sinnvoll dieses Zustandsschema des IEEE 1149 JTAG-Standards zu verwenden, um kompatibel zu dem bereits großflächig im Einsatz befindlichen Standard auf Software-Ebene zu bleiben. Natürlich sind Abweichungen von diesem JTAG-Standard denkbar. Bei der Beschreibung der Erfindung setzen wir aber voraus, dass dieser JTAG-Standard für das Zustandsdiagramm des test-Controllers (TAPC) eingehalten wird.

[0020] Die Halbleiterindustrie hat in den vergangenen Jahren mehrfach versucht, die Anzahl der zu verwendenden Anschlüsse für solche JTAG-Schnittstellen zu reduzieren, um die Größe der benötigten Gehäuse und damit die Herstellkosten zu beschränken. Hierbei sind verschiedene relevante Dokumente offengelegt worden. Ein beispielhaftes Dokument ist das US-Schutzrecht US 2007/0 033 465 A1. Die dort offengelegte Technik erlaubt keine konsistente Wandlung der Daten des IEEE 1149.1 4-Wire-JTAG-Protokolls in die Daten des dort beschriebenen Verfahrens und umgekehrt. Die dort beschriebene Vorrichtungsanordnung und das dort beschriebene Verfahren erfordern synchronisierte Zeitschlitze zwischen dem Bus-Master, also dem Host-Prozessor und dem Busknoten als Slave, also der integrierten Schaltung, die getestet, programmiert oder debugged werden soll. Im Falle einer fehlenden zeitlichen Synchronisation des Zugriffs von Bus-Master und Busknoten auf den Testdatenbus kann der TDo-Ausgangstreiber des Busknotens und der Bus-Master-Ausgangstreiber (typischerweise eine Push-Pull-Stufe) bei gleichzeitigem sendenden Zugriff auf die Testdatenleitung einen Kurzschluss erzeugen. Außerdem offenbart sie nur eine Punkt-zu-Punkt-Verbindung.

[0021] Aus der US 2007/0 033 465 A1 ist eine Mehrpegel-Eindraht-Punkt-zu-Punkt-Anordnung bekannt, die bereits nur mit einer Datenleitung auskommt, aber nicht für eine Ansteuerung mehrere Busknoten geeignet ist. Die Erweiterung durch die in der EP 0 503 117 B1 ist nicht möglich, da diese keine geeignete Methode zur bidirektionalen Weiterschaltung der Zwischenpegel offenbart.

[0022] Aus der DE 102 56 631 A1, der US 2014/0 281 076 A1, der DE 102 15 720 A1, der US 2004/0 208 200 A1 und der DE 10 2007 060 441 B3 sind Bussysteme bekannt. Aus der

US 2004/0 208 200 A1 und der US 2014/0 281 076 A1 ist ein nicht autoadressierungsfähiges Eindrahtdatenbussystem bekannt. Aus der DE 102 15 720 A1 ist ein Zweidraht-Datenbussystem bekannt. Aus der DE 102 56 631 A1 ist ein Autoadressierungsverfahren für ein LIN-Bus-System bekannt. Bei einem LIN Protokoll wird der Takt im Empfänger erzeugt und mittels eines vom Sender empfangenen Sync-Bytes mit dem Takt des Senders synchronisiert.

Aufgabe der Erfindung

[0023] Es ist die Aufgabe der Erfindung eine bidirektionale, frei konfigurierbare Übertragung von Beleuchtungsdaten mit nur einer Datenleitung für mehr als einen Busknoten (BS1, BS2, BS3) als Slave eines Bus-Masters (BM) zu ermöglichen.

[0024] Diese Aufgabe wird durch ein Verfahren nach Anspruch 1 gelöst.

Beschreibung der Erfindung

[0025] Erfindungsgemäß wurde erkannt, dass sich ein Eindraht-Test-Bus, wie er mit dem zugehörigen Betriebsverfahren beispielsweise in den deutschen Patenten DE 2015 004 434 B3, DE 2015 004 433 B3, DE 2015 004 435 B3 und DE 2015 004 436 B3 beschrieben ist, ganz besonders für die Übertragung solcher Daten, insbesondere für die Steuerung der Leuchtmittel von Leuchtbändern, eignet, wenn jeder Busknoten eine geeignete Teilvorrichtung zur bidirektionalen Weiterschaltung aufweist. Der Offenbarungsgehalt dieser deutschen Patentanmeldungen ist somit vollumfänglicher Teil dieser Offenbarung.

[0026] Im Gegensatz zu den deutschen Patenten DE 10 2015 004 434 B3, DE 10 2015 004 433 B3, DE 10 2015 004 435 B3 und DE 10 2015 004 436 B3 werden nun jedoch keine Testdaten, sondern Nutzdaten insbesondere zur Beleuchtungssteuerung übertragen. Des Weiteren ist auch der in den deutschen Patenten DE 10 2015 004 434 B3, DE 10 2015 004 433 B3, DE 10 2015 004 435 B3 und DE 10 2015 004 436 B3 offenbarte Test-Bus nur für eine Punkt-zu-Punkt-Verbindung ausgelegt. Es ist also notwendig, diesen Test-Bus so zu modifizieren, dass mehrere Bus-Slaves als Busknoten angesteuert und betrieben werden können. Die Steuerdaten werden dabei erfindungsgemäß in ein spezielles Datenregister (DR) einer JTAG-Schnittstelle geschrieben bzw. von einem solchen gelesen.

[0027] Die vorstehende und andere Aufgaben werden gemäß der vorliegenden Erfindung durch die Bereitstellung einer Schnittstelleneinheit mit einer JTAG-Schnittstelle gelöst, die eine zeitliche Abfolge zeitlich gemultiplexer Signale mittels einer Schnittstelleneinrichtung mit der integrierten Schaltung austauschen kann. Die Signale werden so formatiert, dass alle Informationen, die durch die JTAG-Schnittstelle für die Steuerung des Datenflusses und die Einstellung der Beleuchtungsparameter der angeschlossenen Leuchtmittel benötigt werden, über diese Schnittstelle seriell übertragen werden. Hierbei werden alle Datenwerte des JTAG-Boundary-Protokolls in dafür vorgesehenen Zeitschlitzen übertragen. Neben dem zeitlichen Multiplexen der JTAG-Steuersignale, verwendet die erfindungsgemäße Schnittstellenvorrichtung drei verschiedene Spannungsbereiche (V_{B1} , V_{B2} , V_{B3}), siehe **Fig. 2**, um

1. mindestens die Daten des seriellen Testdateneingangs TDI und
2. mindestens die Daten des einen seriellen Testausgangs TDO und
3. mindestens die Steuerdaten des Testmode-Eingangs TMS zur Steuerung des Test-Controllers der integrierten Schaltung und
4. mindestens den Testtakt zur Versorgung des Test-Controllers mit seinem Test-System-Takt TCK und
5. ein optionales Testrücksetzsignal TRST

zu übertragen

[0028] Die Erfindung betrifft somit in erster Linie einen bidirektionalen Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mindestens zwei weiteren Teilvorrichtungen, den Busknoten (BS1, BS2, BS3), siehe **Fig. 6**. Dabei ist der Busknoten identisch mit der zuvor erwähnten integrierten Schaltung zur Steuerung von Leuchtmitteln mittels PWM im weitesten Sinne, deren Zustände kontrolliert bzw. geändert werden sollen. Natürlich ist der in dieser Offenbarung beschriebene bidirektionale Datenbus auch für die Steuerung anderer Verbraucher elektrischer Energie geeignet. Dieser bidirektionale Datenbus weist vorzugsweise nur eine Masseleitung (GND) und eine einzelne Datenleitung in Form eines Eindrahtdatenbusses (b1, b2, b3) auf, der durch die Busknoten (BS1, BS2, BS3) in verschiedene Eindrahtdatenbusabschnitte (b1, b2, b3) unterteilt wird. Hierdurch benötigen die Busknoten jeweils nur zwei einzelne zusätzliche elektrische Anschlüsse. Um nun sowohl Daten in einen der Busknoten (BS1, BS2, BS3), im Folgenden betrachteter Busknoten genannt,

hineinsenden zu können, als auch Daten aus dem betreffenden Busknoten auslesen zu können, können die Daten über den Eindrahthdatenbus (b1, b2, b3) bidirektional übertragen werden. Dabei entsteht das Problem, dass neben der Datenübertragung auch ein Synchronisationssignal übertragen werden muss. Hierfür wird über den Eindrahthdatenbus (b1, b2, b3) der Systemtakt durch ein Taktsignal, das TCK-Signal, insbesondere vom Bus-Master zu den Busknoten zusätzlich übertragen. Um diese Kommunikation zu ermöglichen, verfügen die Busknoten (BS1, BS2, BS3) über eine erste Einrichtung, die den Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder auf einem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) mit einem ersten Schwellwert vergleicht. Bevorzugt ist eine Realisierung dieser ersten Einrichtung als erster Komparator (C_{2H}), der den besagten Pegel mit dem eines ersten Schwellwertsignals (V_{2H}), vergleicht. Entsprechend verfügt der Busknoten des Weiteren über eine zweite Einrichtung, die den Signalpegel in Form einer Signalspannung auf dem Eindrahthdatenbus (b1, b2, b3) oder auf einem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) mit einem zweiten Schwellwert vergleicht. Dies geschieht bevorzugt durch, einen zweiten Komparator (C_{2L}), der den Signalpegel in Form einer Signalspannung auf Eindrahthdatenbus (b1, b2, b3) oder auf einem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) mit dem Spannungspegel eines zweiten Schwellwertsignals (V_{2L}) vergleicht. Ist der erste Schwellwert (V_{2H}) vom zweiten Schwellwert (V_{2L}) verschieden und liegen die Schwellwerte innerhalb des Versorgungsspannungsbereiches, so werden durch diese zwei Schwellwerte (V_{2H} , V_{2L}) drei Spannungsbereiche (V_{B1} , V_{B2} , V_{B3}) definiert und festgelegt. Dabei messen der erste und zweite Komparator (C_{2H} , C_{2L}) auf Busknoten-Seite, in welchem Spannungsbereich (V_{B1} , V_{B2} , V_{B3}) sich der Eindrahthdatenbus (b1, b2, b3) oder der jeweils an den betreffenden Busknoten angeschlossene Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) gerade befindet. Der erste und zweite Schwellwert definieren somit zwischen der Betriebsspannung (V_{IO}) und dem Bezugspotenzial (V_0) der Bezugspotenzialeitung (GND) die drei besagten Signalspannungsbereiche (V_{B1} , V_{B2} , V_{B3}). Zur besseren Klarheit benennen wir den mittleren Spannungsbereich als zweiten Spannungsbereich (V_{B2}). Dieser wird von einem ersten Spannungsbereich (V_{B1}) nach oben oder unten hin begrenzt. Wir lassen hierbei bewusst offen, ob es sich beim ersten Spannungsbereich (V_{B1}) um einen Spannungsbereich mit positiveren oder negativeren Spannungen als die Spannungen des mittleren, zweiten Spannungsbereichs (V_{B2}) handelt, da das System auch mit umgekehrten Spannungspolaritäten funktioniert. Gleichzeitig wird korrespondierend der zweite Spannungsbereich (V_{B2}) zur anderen Spannungsseite hin, also nach unten oder oben hin, aber andersherum als beim ersten Spannungsbereich (V_{B1}) durch einen dritten Spannungsbereich (V_{B3}) begrenzt.

[0029] Um nun die Daten vom Bus-Master (BM), also dem Host-Prozessor, zu einem Busknoten (BS1, BS2, BS3) zu übertragen, werden nun in mindestens drei aufeinander folgenden Zeitschlitzen (TIN0, TIN1, TDO) durch den Bus-Master (BM) oder den betreffenden Busknoten (BS1, BS2, BS3) Daten über den Eindrahthdatenbus (b1, b2, b3) oder den an den Busknoten (BS1, BS2, BS3) angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) übertragen, siehe **Fig. 4**. Wer dabei eine Sendeberechtigung hat, wird durch die zeitliche Position des jeweiligen Zeitschlitzes (TIN0, TIN1, TDO) sowie durch den Inhalt der Busknotenregister (BKADR) der Busknoten und die durch den Busmaster (BM) zuvor übermittelte Sendeadresse festgelegt. Hierbei werden dem Bus-Master (BM) typischerweise zwei Zeitschlitze (TIN0, TIN1) und dem betreffenden Busknoten (BS1, BS2, BS3) typischerweise ein Zeitschlitz (TDO) in dem Paket der drei aufeinanderfolgenden Zeitschlitze (TIN0, TIN1, TDO) zugewiesen. Welche Busknoten (BS1, BS2, BS3) unter den Busknoten (BS1, BS2, BS3) senden dürfen, wird erfindungsgemäß durch ein Datum, die Sendeadresse des betreffenden Busknotens (BS1, BS2, BS3), festgelegt, das der Bus-Master in allen Senderegistern (SR) aller erreichbaren Busknoten gleichzeitig übermittelt und ablegt, deren Einzeldrahthdatenbusabschnitte gerade eine Verbindung zum Bus-Master (BM) ermöglichen. Alle Busknoten vergleichen diese Sendeadresse in ihren jeweiligen Senderegistern (SR) mit einer ihnen in ihren Busknotenadressregistern (BKADR) während der Businitialisierung eingespeicherten eigenen Busknotenadresse und senden nur dann, wenn die übermittelte Sendeadresse in ihrem Senderregister (SR) mit der eigenen eingespeicherten Busknotenadresse in ihrem Busknotenadressregister (BKADR) übereinstimmt und dann auch nur zu den vorbestimmten Zeiten. Die relative Zeitschlitzposition innerhalb des Paketes aus mindestens drei Zeitschlitzen (TIN0, TIN1, TDO) ist dabei vorzugsweise, aber nicht notwendigerweise für vorzugsweise alle Busknoten immer gleich. Besonders bevorzugt enthalten der erste Zeitschlitz (TIN0) und der zweite Zeitschlitz (TIN1) ein Kontrolldatum und/oder ein erstes Datum, das vom Bus-Master (BM) zu den Busknoten (BS1, BS2, BS3) übertragen wird, wobei das Kontrolldatum und das erste Datum insbesondere und vorzugsweise mit den Daten des IEEE1149.1 4 Draht Testdatenbusses kompatibel sein sollten, und wobei die Busknoten das Kontrolldatum und das erste Datum empfangen. Hierdurch können beispielsweise Busknotenadressen, Sendeadressen und Beleuchtungswerte übertragen werden.

[0030] Im Gegensatz zum Stand der Technik wird nun jedoch im dritten Zeitschlitz das Datum vom betreffenden Busknoten (BS_n) zum Bus-Master (BM) nur im zweiten und dritten Spannungsbereich (V_{B2} und V_{B3})

und eben nicht im ersten Spannungsbereich (V_{B1}) übertragen, wenn die übermittelte und im Senderegister (SR) der JTAG-Schnittstelle des Busknotens abgelegte Sendeadresse mit der im Busknotenadressregister (BKADR) des Busknotens während der Businitialisierung abgelegten eingespeicherten Busknotenadresse übereinstimmt. Somit enthält der dritte Zeitschlitz erfindungsgemäß ein zweites Datum, das vom betreffenden Busknoten (BS1, BS2, BS3) zum Bus-Master (BM) übertragen wird und wobei der Bus-Master (BM) dieses zweite Datum empfängt und wobei das zweite Datum nur im zweiten Spannungsbereich (V_{B2}) und im dritten Spannungsbereich (V_{B3}) übertragen wird. Gleichzeitig wird der Takt durch den Bus-Master (BM) in jedem Zeitschlitz übertragen. Das Taktsignal (TCK) wird dabei durch ein Taktsignal signalisiert, das zwischen dem ersten Spannungsbereich (V_{B1}) in einer ersten Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) einer Systemtaktperiode (T) auf der einen Seite und dem zweiten Spannungsbereich (V_{B2}) oder dritten Spannungsbereich (V_{B3}) in der zweiten Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) einer Systemtaktperiode (T) schwankt. Das Taktsignal kann daher dadurch detektiert werden, dass die Spannung auf der auf dem Eindrahtdatenbus (b1, b2, b3) oder auf einem angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) aus dem zweiten Spannungsbereich (V_{B2}) oder dritten Spannungsbereich (V_{B3}) in den ersten Spannungsbereich (V_{B1}) und umgekehrt wechselt. Das Kreuzen der entsprechenden Schwellspannung (V_{2L}) kann durch den zugehörigen Komparator (C_{2L}) oder die entsprechende Einrichtung erkannt werden. Somit wird es möglich, den Systemtakt (TCK) auf der Busknoten-Seite, also der Seite der integrierten Schaltung, sicher zu extrahieren. Hierbei ist die Konstruktion der Takteinprägung im Vergleich zur Konstruktion der Einprägung der anderen Signale erfindungsgemäß so gewählt, dass der Takt-Sender auf Seiten des Bus-Masters (BM) alle anderen Pegelquellen, die an der Datenleitung parallel aktiv sein können, überschreiben kann. Dies ist ein wesentlicher Unterschied zum Stand der Technik. In der Realität kann es daher erforderlich sein, externe größere Transistoren für die Einprägung des Taktes auf dem Eindrahtdatenbus (b1, b2, b3) oder auf einem angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) vorzusehen, um möglichst viele Busknoten mit einem Takt versorgen zu können.

[0031] In einer besonderen Ausprägung der Erfindung zeichnet sich diese daher dadurch aus, dass drei logische Zustände beim bidirektionalen Senden der Daten auf dem Eindrahtdatenbus (b1, b2, b3) oder auf einem angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) durch den Bus-Master (B) und die Busknoten (BS1, BS2, BS3) verwendet werden, wobei diese logischen Zustände eine Hierarchie haben und ein Taktzustand, hier der, in dem der Eindrahtdatenbus (b1, b2, b3) oder ein angeschlossener Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) sich im ersten Spannungsbereich (V_{B1}) befindet, die höchste Priorität hat und nicht durch andere Sendeeinrichtungen überschrieben werden kann. Hierdurch ist sichergestellt, dass der Bus-Master und die Busknoten zumindest hinsichtlich des Basistaktes stets synchron arbeiten können. Um diesen ersten logischen Zustand, bei dem der Eindrahtdatenbus (b1, b2, b3) oder ein angeschlossener Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) in den ersten Spannungsbereich (V_{B1}) gezwungen wird, herstellen zu können, weist die Master-Eindrahtdatenbusschnittstelle (OWM) des Bus-Masters (BM) vorzugsweise einen dominanten Schalter (S_{1L}) auf, der den Eindrahtdatenbus (b1, b2, b3) oder einen angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) beispielsweise gegen das Bezugspotenzial (V_0) der Bezugspotenzialleitung (GND) in den zugehörigen Halbtaktperioden der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) der jeweiligen Systemtaktperiode (T) kurzschließt, siehe **Fig. 3**. Dieser periodische Kurzschluss kann dann durch andere Sender nicht mehr überschrieben werden, wenn deren Innenwiderstand erfindungsgemäß höher ist, als der des dominanten Schalters (S_{1L}). Beispielsweise durch einen Spannungsteiler aus einem ersten Spannungsteilerwiderstand (R_{0H}) gegen eine Spannung, beispielsweise die Versorgungsspannung (V_{IO}), und einen zweiten Spannungsteilerwiderstand (R_{0L}) gegen eine andere Spannung, beispielsweise das Bezugspotenzial (V_0), der Eindrahtdatenbus (b1, b2, b3) oder ein angeschlossener Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) im zweiten Spannungsbereich (V_{B2}) gehalten bzw. in diesen zurückgeführt, wenn keiner der anderen Sender (S_{1L} , S_{1H} , I_1 , S_{2H} , I_2) des Bus-Masters (BM) oder der Busknoten (BS1, BS2, BS3) sendet. Um nun Daten zu übertragen, wird der Eindrahtdatenbus (b1, b2, b3) oder ein angeschlossener Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) im Gegensatz zum Stand der Technik aus diesem zweiten Spannungsbereich (V_{B2}) durch die Sender des Bus-Masters (BM) und/oder der Busknoten (BS1, BS2, BS3) in den dritten Spannungsbereich (V_{B3}) gebracht, wenn ein dem logischen Datenwert des zweiten Spannungsbereichs (V_{B2}) entgegengesetzter logischer Wert übertragen werden soll. Hierzu speist die jeweilige sendende Einheit, also der Bus-Master oder der betreffende Busknoten (BS1, BS2, BS3), einen Strom in den Eindrahtdatenbus (b1, b2, b3) oder den betreffenden, angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) ein. Dieser eingespeiste Strom führt zu einem geänderten Spannungsabfall über die Spannungsteilerwiderstände (R_{0H} , R_{0L}). Bei einer geeigneten Polarität des eingespeisten Stroms wird der Spannungspegel auf dem Eindrahtdatenbus (b1, b2, b3) oder auf einem angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) vom zweiten Spannungsbereich (V_{B2}) in den dritten Spannungsbereich (V_{B3}) verschoben. Sollte es zu einem gleichzeiti-

gen Senden mittels eines solchen Datenstromes, und dem gleichzeitigen Schließen des dominanten Schalters (S_{1L}) kommen, so wird der dominante Schalter, sofern er erfindungsgemäß niederohmig genug ausgelegt ist, den Sendestrom des jeweiligen Senders abführen und somit diesen Spannungspegel und ggf. auch den durch den Spannungsteiler (R_{0H} , R_{0L}) erzeugten Spannungspegel überschreiben. Es kommt jedoch nicht, wie im Stand der Technik, möglicherweise zu einem Kurzschluss. Insbesondere kommt es nicht zu dem aus der US 2007/0 033 465 A1 bekannten Kurzschluss zwischen der Busknoten-Seite und dem Bus-Master-Sender. Es ist somit ein besonderes Merkmal der Erfindung, dass ein zweiter der drei logischen Zustände auf dem Datenbus durch eine erste schaltbare Stromquelle (I_1 , S_{1H}) in dem Bus-Master und/oder eine zweite schaltbare Stromquelle (I_2 , S_{2H}) und nicht durch eine Spannungsquelle erzeugt wird. Gleichzeitig wird in einer Ausprägung der Erfindung ein dritter der drei logischen Zustände auf dem Datenbus durch einen Pull-Schaltkreis (R_{0H} , R_{0L}) in Form eines Spannungsteilers erzeugt. Natürlich sind auch andere Möglichkeiten für einen solchen Pull-Schaltkreis denkbar. Im Prinzip handelt es sich bei dem Pull-Schaltkreis in Form eines Spannungsteilers um eine Spannungsquelle, die die Datenleitung auf eine zweite Spannung legt, die innerhalb des zweiten Spannungsbereiches (V_{B2}) liegt, und wobei diese Spannungsquelle einen Innenwiderstand aufweist, der so groß ist, dass der mögliche Eingangsstrom so begrenzt ist, dass die geschalteten Stromquellen (I_1 , S_{1H}) und (I_2 , S_{2H}) einen größeren Strom liefern, als dieser Pull-Schaltkreis (R_{0H} , R_{0L}) abführen kann. Somit ergibt sich eine klare Hierarchie:

- Es dominiert als erstes der Schaltzustand des dominierenden Schalters (S_{1L}) des Bus-Masters (BM), dann folgen
- als zweites in der Hierarchie der spannungsbestimmenden Elemente für die Spannung auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder dem betreffenden, angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$) die beiden geschalteten Stromquellen des Bus-Masters (I_1 , S_{1H}) und des betreffenden Busknotens (I_2 , S_{2H}), die typischerweise untereinander gleichberechtigt sind, und als
- drittes und letztes mit niedrigster Priorität der Pull-Schaltkreis, hier in Form eines Spannungsteilers (R_{0H} , R_{0L}), der typischerweise nur einmal pro Eindrahtdatenbussystem vorgesehen wird.

[0032] Bevorzugt korrespondiert der erste logische Zustand mit einem Spannungspegel (V_0) im ersten Spannungsbereich (V_{B1}) auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$), der zweite logische Zustand mit einem Spannungspegel (V_M) im zweiten Spannungsbereich (V_{B2}) auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$) und der dritte logische Zustand mit einem Spannungspegel (V_{IO}) im dritten Spannungsbereich (V_{B3}) auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$), siehe **Fig. 2**.

[0033] Erfindungsgemäß wird der zweite logische Zustand auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$) zur Übertragung eines ersten logischen Zustands, beispielsweise „low“, eines Datensignals benutzt und der dritte logische Zustand auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$) für die Übertragung eines zweiten logischen Zustands, beispielsweise „high“, des Datensignals benutzt. Befindet sich die Datenleitung im ersten logischen Zustand, so wird dieser für die Datenübertragung ignoriert.

[0034] Erfindungsgemäß wird der erste logische Zustand auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$) zur Übertragung eines ersten logischen Zustands, beispielsweise „low“ eines Systemtaktsignals benutzt und der dritte oder zweite logische Zustand auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$) für die Übertragung eines zweiten logischen Zustands, beispielsweise „high“ des Systemtaktsignals benutzt. Wechselt der logische Zustand auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$) zwischen dem zweiten oder dritten logischen Zustand auf dem Eindrahtdatenbus ($b1$, $b2$, $b3$) oder einem angeschlossenen Eindrahtdatenbusabschnitt ($b1$, $b2$, $b3$) des Eindrahtdatenbusses ($b1$, $b2$, $b3$), so wird dieser Wechsel für die Übertragung des Systemtaktes ignoriert und typischerweise weiterhin als zweiter logischer Zustand, beispielsweise „high“ interpretiert.

[0035] Erfindungsgemäß handelt es sich bei der offenbarten Technologie also in einer Ausprägung um ein Datenbussystem mit einer Bezugspotenzialleitung (GND) und einem Eindrahtdatenbus ($b1$, $b2$, $b3$) zur Übertragung von Daten zwischen einen Bus-Master (BM) und mindestens zwei Busknoten (BS1, BS2, BS3), insbesondere zu Leuchtmittel-Busknoten. Dabei ist der Eindrahtdatenbus ($b1$, $b2$, $b3$) durch die Busknoten (BS1, BS2, BS3) in mindestens zwei Eindrahtdatenbusabschnitte ($b1$, $b2$, $b3$) unterteilt. Er wird durch einen Buskno-

ten, den abschließenden Busknoten (BS3) abgeschlossen. Jeder der Busknoten (BS1, BS2, BS3) ist bis auf einen ersten Busknoten (BS1) durch einen vorausgehenden Eindrahdatenbusabschnitt (b1, b2, b3) der Eindrahdatenbusabschnitte (b1, b2, b3) mit einem vorausgehenden Busknoten (BS1, BS2) der Busknoten (BS1, BS2, BS3) verbunden. Der erste Busknoten (BS1) ist durch einen vorausgehenden Eindrahdatenbusabschnitt (b1) der Eindrahdatenbusabschnitte (b1, b2, b3) mit dem Bus-Master (BM) verbunden. Jeder Busknoten (BS1, BS2, BS3) ist bis auf einen abschließenden Busknoten (BS3) durch einen nachfolgenden Eindrahdatenbusabschnitt (b2, b3) der Eindrahdatenbusabschnitte (b1, b2, b3) mit einem nachfolgenden Busknoten (BS3, BS4) der Busknoten (BS1, BS2, BS3) verbunden. Dies gilt nicht für den abschließenden Busknoten (BS3). Der Bus-Master (BM) ist mit einer Master-Eindrahdatenbusschnittstelle (OWM) versehen, wobei die Master-Eindrahdatenbusschnittstelle (OWM) dazu vorgesehen ist, mittels eines Datenbusprotokolls mit mehr als zwei physikalischen Spannungs- und/oder Strompegeln bidirektional Daten über den Eindrahdatenbus (b1, b2, b3) oder zumindest einen Eindrahdatenbusabschnitt (b1, b2, b3) der Eindrahdatenbusabschnitte (b1, b2, b3), im Folgenden als betrachteter Eindrahdatenbusabschnitt (b1, b2, b3) bezeichnet, zu senden und von diesem zu empfangen. Der betrachtete Eindrahdatenbusabschnitt (b1, b2, b3) umfasst dabei nur eine einzige Signalleitung. An den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) sind eine Eindrahdatenbusschnittstelle (OWS1, OWS2, OWS3) eines Busknotens (BS1, BS2, BS3) der Busknoten (BS1, BS2, BS3), im Folgenden als betrachteter Busknoten bezeichnet, und ein Transfer-Gate (TG1, TG2, TG3) des betrachteten Bus-Knotens (BS1, BS2, BS3) elektrisch angeschlossen. Die Eindrahdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens ist dazu vorgesehen, mittels eines Datenbusprotokolls mit mehr als zwei physikalischen Spannungs- und/oder Strompegeln bidirektional Daten über den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) zu senden und von diesem zu empfangen. Das Transfer-Gate (TG1, TG2, TG3) des betrachteten Busknotens ist dazu vorgesehen, den betrachteten Eindrahdatenbusabschnitt (b1, b2) von einem optionalen nachfolgenden Eindrahdatenbusabschnitt (b2, b3) zu trennen und/oder mit diesem elektrisch zu verbinden. Der betrachtete Bus-Knoten (BS1, BS2, BS3) verfügt über ein erstes Transfer-Gate-Control-Register (TGCR), das dazu ausgelegt ist, das Transfer-Gate (TG1, TG2, TG3) des betrachteten Busknotens zu steuern. Der Bus-Master (BM) kann über die Master-Eindrahdatenbusschnittstelle (OWM) und den Eindrahdatenbus (b1, b2, b3) oder den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) und die Eindrahdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens das Transfer-Gate-Control-Register (TGCR) des betrachteten Busknotens (BS1, BS2, BS3) beschreiben. Somit ist der Bus-Master in der Lage, den Zustand des Transfer-Gates (TG1, TG2, TG3) des betrachteten Busknotens (BS1, BS2, BS3) zu steuern.

[0036] In einer weiteren Ausprägung weist der betrachtete Busknoten (BS1, BS2, BS3) intern mindestens eine IEEE 1149 konforme Schnittstelle, auch als JTAG-Schnittstelle bekannt, auf, die über die Eindrahdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens mit dem Eindrahdatenbus (b1, b2, b3) oder zumindest dem betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) verbunden ist, sodass der Bus-Master (BM) über den Eindrahdatenbus (b1, b2, b3) oder zumindest den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) diese JTAG-Schnittstelle bedienen kann. Dabei ist eine JTAG-Schnittstelle im Sinne dieser Offenbarung dadurch gekennzeichnet, dass sie einen Test-Controller (TAPC) in Form eines endlichen Automaten – auch Finite-State-Machine genannt – aufweist, der ein IEEE 1149 konformes Zustandsdiagramm entsprechend **Fig. 1** und der Einleitungsbeschreibung besitzt.

[0037] In einer weiteren Ausprägung ist ein erfindungsgemäßer Datenbus dadurch gekennzeichnet, dass das jeweilige Transfer-Gate-Control-Register (TGCR) des betrachteten Busknotens (BS1, BS2, BS3) mittels der mindestens einen JTAG-Test-Schnittstelle des betrachteten Busknotens (BS1, BS2, BS3) über den Eindrahdatenbus (b1, b2, b3) oder zumindest den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) durch den Bus-Master (BM) beschrieben werden kann.

[0038] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass zumindest der betrachtete Busknoten, ein Leuchtmittel-Bus-Knoten, dazu vorgesehen ist, ihm zugeordnete Leuchtmittel, im Folgenden als betrachtete Leuchtmittel bezeichnet, in Abhängigkeit von Daten, die über den Eindrahdatenbus (b1, b2, b3) oder den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) von dem Bus-Master (BM) zum betrachteten Busknoten (BS1, BS2, BS3) übertragen werden, anzusteuern.

[0039] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass die JTAG-Schnittstelle des betrachteten Busknotens mindestens ein Beleuchtungsregister (ILR) als Datenregister (DR) der JTAG-Schnittstelle des betrachteten Busknotens umfasst, von dessen zumindest zeitweiligem Inhalt zumindest zeitweilig die Ansteuerung der betrachteten Leuchtmittel, insbesondere in Helligkeit und/oder Farbtemperatur, durch den betrachteten Busknoten mittels der PWM-Einheiten (PWM1, PWM2, PWM3) des betrachteten Busknotens abhängt.

[0040] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass die JTAG-Schnittstelle des betrachteten Busknotens mindestens ein Beleuchtungskontrollregister (ILCR) als Datenregister (DR) der JTAG-Schnittstelle des betrachteten Busknotens und ein Beleuchtungsregister (ILR) als Datenregister (DR) der JTAG-Schnittstelle des betrachteten Busknotens umfasst. Zumindest von Teilen des Inhalts des Beleuchtungskontrollregisters (ILCR) hängt ab, ob das Beleuchtungsregister (ILR) über die JTAG-Schnittstelle mittels des kombinierten TMS-TDI-Signals (TMS_TDI) der JTAG-Schnittstelle des betrachteten Busknotens oder einen separaten Dateneingang (SILDI) des betrachteten Busknotens die seriellen Beleuchtungsdaten zur Steuerung der Ansteuerung der betrachteten Leuchtmittel von dem Bus-Master (BM) oder einem anderen Busknoten erhält. Vom dem zumindest zeitweiligen Inhalt des Beleuchtungsregisters (ILR) hängt in diesem Fall zumindest zeitweilig die Ansteuerung der betrachteten Leuchtmittel durch den betrachteten Bus-Knoten ab.

[0041] Das erfindungsgemäße Datenbussystem ist mit einer Bezugspotenzialleitung (GND) und einem Eindrahtdatenbus (b1, b2, b3) zur Übertragung von Daten zwischen einen Bus-Master (BM) und mindestens zwei Busknoten (BS1, BS2, BS3), insbesondere Leuchtmittel-Bus-Knoten, versehen. Dabei wird der Eindrahtdatenbus (b1, b2, b3) durch die Busknoten (BS1, BS2, BS3) in mindestens zwei Eindrahtdatenbusabschnitte (b1, b2, b3) unterteilt. Er wird durch einen Busknoten, den abschließenden Busknoten (BS3) abgeschlossen. Jeder der Busknoten (BS1, BS2, BS3) bis auf einen ersten Busknoten (BS1) wird durch einen vorausgehenden Eindrahtdatenbusabschnitt (b2, b3) der Eindrahtdatenbusabschnitte (b1, b2, b3) mit einem vorausgehenden Busknoten (BS1, BS2) der Busknoten (BS1, BS2, BS3) verbunden. Der eine erste Busknoten (BS1) wird durch einen vorausgehenden Eindrahtdatenbusabschnitt (b1) der Eindrahtdatenbusabschnitte (b1, b2, b3) mit dem Bus-Master (BM) verbunden. Jeder Busknoten (BS1, BS2, BS3) bis auf den abschließenden Busknoten (BS3) ist durch einen nachfolgenden Eindrahtdatenbusabschnitt (b2, b3) der Eindrahtdatenbusabschnitte (b1, b2, b3) mit einem nachfolgenden Busknoten (BS3, BS4) der Busknoten (BS1, BS2, BS3) verbunden. Das Datenbussystem verfügt über den Bus-Master (BM) mit einer Master-Eindrahtdatenbusschnittstelle (OWM). Die Master-Eindrahtdatenbusschnittstelle (OWM) ist dabei wie beschrieben dazu vorgesehen, mittels eines Datenbusprotokolls mit mehr als zwei physikalischen Spannungs- und/oder Strompegeln bidirektional Daten über den Eindrahtdatenbus (b1, b2, b3) oder zumindest einen Eindrahtdatenbusabschnitt (b1, b2, b3) der Eindrahtdatenbusabschnitte (b1, b2, b3), im Folgenden als betrachteter Eindrahtdatenbusabschnitt (b1, b2, b3) bezeichnet, zu senden und von diesem zu empfangen. Der betrachtete Eindrahtdatenbusabschnitt (b1, b2, b3) umfasst nur eine einzige Signalleitung. An den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) ist eine Eindrahtdatenbusschnittstelle (OWS1, OWS2, OWS3) eines Busknotens (BS1, BS2, BS3) der Busknoten (BS1, BS2, BS3), im Folgenden als betrachteter Busknoten bezeichnet, elektrisch angeschlossen. Die Eindrahtdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens ist dazu vorgesehen mittels eines Datenbusprotokolls mit mehr als zwei physikalischen Spannungs- und/oder Strompegeln Daten von dem den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) zu empfangen. Der betrachtete Busknoten (BS1, BS2, BS3) umfasst ein Adressregister (BKADR) als Datenregister (DR) einer JTAG-Schnittstelle, das durch den Bus-Master (BM) vorzugsweise nur bei geöffnetem Transfer-Gate (TG) beschrieben werden kann und von dessen Inhalt und vom Inhalt des Senderegisters (SR) der JTAG-Schnittstelle des Busknotens abhängt, ob die Eindrahtdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens Daten zu dafür vorgesehenen Zeitpunkten und/oder nach Übersendung spezifischer Daten, beispielsweise einer Sendeadresse für die Senderegister (SR) der Busknoten, durch den Bus-Master (BM) oder einen anderen Busknoten der Busknoten (BS1, BS2, BS3) auf den Eindrahtdatenbus (b1, b2, b3) und/oder den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) Daten ausgeben darf. Die Eindrahtdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens ist dazu vorgesehen, mittels eines Datenbusprotokolls mit mindestens zwei physikalischen Spannungs- und/oder Strompegeln Daten über den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) zu senden.

[0042] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass der betrachtete Busknoten (BS1, BS2, BS3) intern mindestens eine IEEE 1149 konforme Schnittstelle, auch als JTAG- Schnittstelle bekannt, aufweist, die über die Eindrahtdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens mit dem Eindrahtdatenbus (b1, b2, b3) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) verbunden ist, sodass der Bus-Master (BM) über den Eindrahtdatenbus (b1, b2, b3) oder zumindest den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) diese JTAG- Schnittstelle bedienen kann. Dabei ist eine JTAG-Schnittstelle im Sinne dieser Offenbarung dadurch gekennzeichnet, dass sie einen Test-Controller (TAPC) in Form eines endlichen Automaten – auch Finite-State-Machine genannt – aufweist, der ein IEEE1149 konformes Zustandsdiagramm entsprechend **Fig. 1** besitzt.

[0043] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass an den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) ein Transfer-Gate (TG1, TG2, TG3) des betrachteten Bus-Knotens (BS1, BS2, BS3) elektrisch angeschlossen ist. Das Transfer-Gate (TG1, TG2, TG3)

des betrachteten Busknotens ist dazu vorgesehen, den betrachteten Eindrahdatenbusabschnitt (b1, b2) von dem optionalen nachfolgenden Eindrahdatenbusabschnitt (b2, b3) zu trennen und/oder mit diesem elektrisch zu verbinden. Der betrachtete Bus-Knoten (BS1, BS2, BS3) verfügt über ein Transfer-Gate-Control-Register (TGCR) als Datenregister (DR) der JTAG-Schnittstelle, das dazu ausgelegt ist, das Transfer-Gate (TG1, TG2, TG3) zusteuern. Das jeweilige Transfer-Gate-Control-Register (TGCR) des betrachteten Busknotens (BS1, BS2, BS3) kann mittels der mindestens einen JTAG-Test-Schnittstelle des betrachteten Busknotens (BS1, BS2, BS3) über den Eindrahdatenbus (b1, b2, b3) oder zumindest den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) zumindest durch den Bus-Master (BM) beschrieben werden.

[0044] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass zumindest der betrachtete Busknoten, ein Leuchtmittel-Bus-Knoten, dazu vorgesehen ist, ihm zugeordnete Leuchtmittel (LM), im Folgenden als betrachtete Leuchtmittel (LM) bezeichnet, in Abhängigkeit von Daten, die über den Eindrahdatenbus (b1, b2, b3) oder den betrachteten Eindrahdatenbusabschnitt (b1, b2, b3) von dem Bus-Master (BM) zum betrachteten Busknoten (BS1, BS2, BS3) übertragen werden, anzusteuern.

[0045] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass die JTAG-Schnittstelle des betrachteten Busknotens mindestens ein Beleuchtungsregister (ILR) als Datenregister (DR) der JTAG-Schnittstelle des betrachteten Busknotens umfasst, von dessen zumindest zeitweiligem Inhalt zumindest zeitweilig die Ansteuerung der betrachteten Leuchtmittel (LM) durch den betrachteten Busknoten abhängt. Dies kann z. B. den Duty-Cycle, die Amplitude, die Frequenz und andere Parameter der PWM-Ansteuerung betreffen.

[0046] In einer weiteren Ausprägung ist ein erfindungsgemäßes Datenbussystem dadurch gekennzeichnet, dass die JTAG-Schnittstelle des betrachteten Busknotens mindestens ein Beleuchtungskontrollregister (ILCR) als Datenregister der JTAG-Schnittstelle des betrachteten Busknotens und ein Beleuchtungsregister (ILR) als Datenregister der JTAG-Schnittstelle des betrachteten Busknotens umfasst. Zumindest von Teilen des Inhalts des Beleuchtungskontrollregisters (ILCR) hängt ab, ob das Beleuchtungsregister (ILR) über die Testdatenschnittstelle (TMS_TDI) der JTAG-Schnittstelle des betrachteten Busknotens oder einen separaten Dateneingang (SILDI) des betrachteten Busknotens die vorzugsweise seriellen Beleuchtungsdaten zur Steuerung der Ansteuerung der betrachteten Leuchtmittel von dem Bus-Master oder einem anderen Busknoten erhält. Vom dem zumindest zeitweiligem Inhalt des Beleuchtungsregisters (ILR) hängt dabei zumindest zeitweilig die Ansteuerung der betrachteten Leuchtmittel (LM) durch den betrachteten Bus-Knoten ab.

[0047] Eine erfindungsgemäße JTAG Schnittstelle eines Busknotens (BS1, BS2, BS3) zur Steuerung der Ansteuerung von Leuchtmitteln (LM) durch einen Busknoten (BS1, BS2, BS3) einer Leuchtkette ist erfindungsgemäß dadurch gekennzeichnet, dass sie mindestens ein Beleuchtungsregister (ILR) als Datenregister (DR) dieser JTAG-Schnittstelle umfasst, von dessen zumindest zeitweiligem Inhalt zumindest zeitweilig die Ansteuerung der Leuchtmittel (LM) durch den Busknoten (BS1, BS2, BS3) abhängt. Wie zuvor ist eine JTAG-Schnittstelle dadurch gekennzeichnet, dass der Test-Controller (TAPC) ein Zustandsdiagramm entsprechend dem IEEE 1149 Standard (siehe auch **Fig. 1**) und insbesondere einem oder mehreren dessen Unterstandards IEEE 1149.1 bis IEEE 1149.8 und deren Weiterentwicklungen umfasst. Diese Definition des Kennzeichens einer JTAG-Schnittstelle gilt für das ganze Dokument.

[0048] Ein erfindungsgemäßes Verfahren zur Ansteuerung eines Leuchtmittels (LM) mittels einer elektrischen Regelvorrückung innerhalb eines Busknotens (BS1, BS2, BS3) von mehreren Busknoten (BS1, BS2, BS3), des betrachteten Busknotens, umfasst danach folgende Schritte:

Übertragung von Steuerdaten für die Einstellung von Leuchtwerten für mindestens ein Leuchtmittel durch Ansteuerung eines JTAG-Controllers (TAPC) einer JTAG-Schnittstelle innerhalb des betrachteten Busknotens (BS_n), der mindestens ein Leuchtmittel (LM) mit steuerbarer elektrischer Energie in Abhängigkeit von diesen Steuerdaten versorgt. Dabei ist die JTAG-Schnittstelle wieder – wie in dieser gesamten Offenbarung – dadurch gekennzeichnet, dass der Test-Controller (TAPC) ein Zustandsdiagramm entsprechend dem IEEE 1149 Standard und/oder insbesondere einem oder mehreren der Unterstandards IEEE 1149.1 bis IEEE 1149.8 und deren Weiterentwicklungen umfasst.

[0049] Eine erfindungsgemäße JTAG-Schnittstelle zur Steuerung der Ansteuerung von Leuchtmitteln durch einen Busknoten (BS1, BS2, BS3) einer Leuchtkette kann auch so gekennzeichnet werden, dass sie mindestens ein Beleuchtungskontrollregister (ILCR) als Datenregister der JTAG-Schnittstelle und ein Beleuchtungsregister (ILR) als Datenregister der JTAG-Schnittstelle umfasst. Zumindest von Teilen des Inhalts des Beleuchtungskontrollregisters (ILCR) hängt dann erfindungsgemäß ab, ob das Beleuchtungsregister (ILR) über die Testdatenschnittstelle (TMS_TDI) der JTAG-Schnittstelle oder einen separaten Dateneingang (SILDI) die Be-

leuchtungsdaten zur Steuerung der Ansteuerung der Leuchtmittel durch den Busknoten erhält. Diese Register können auch Teilregister des Instruktionsregisters (IR) oder eines anderen Datenregisters der JTAG-Schnittstelle sein. Die separate Realisierung ist aber in der Regel vorzuziehen. Vom zumindest zeitweiligen Inhalt des Beleuchtungsregisters (ILR) hängt dann zumindest zeitweilig die Ansteuerung der Leuchtmittel durch den Busknoten (BS1, BS2, BS3) ab. Dabei ist wie zuvor wieder die JTAG-Schnittstelle dadurch gekennzeichnet, dass sie einen Test-Controller (TAPC) umfasst, der ein Zustandsdiagramm entsprechend dem IEEE 1149 Standard und insbesondere einem oder mehreren der Unterstandards IEEE 1149.1 bis IEEE 1149.8 und deren Weiterentwicklungen aufweist.

[0050] Ein erfindungsgemäßer Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mindestens zwei weiteren Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) weist eine Bezugspotenzialleitung (GND) mit einem Bezugspotenzial (V_0) und einen Eindrahtdatenbus (b1, b2, b3) zur Datenübertragung und zur Systemtaktübertragung zwischen dem Bus-Master (BM) und den Busknoten (BS1, BS2, BS3) auf. Dabei wird der Eindrahtdatenbus (b1, b2, b3) durch die Busknoten (BS1, BS2, BS3) in mindestens zwei Eindrahtdatenbusabschnitte (b1, b2, b3) unterteilt. Jeder dieser Busknoten (BS1, BS2, BS3) ist bis auf einen ersten Busknoten (BS1) über einen vorausgehenden Eindrahtdatenbusabschnitt (b1, b2, b3) mit einem vorausgehenden Busknoten (BS1, BS2) der Busknoten (B1, B2, B3) verbunden. Der erste Busknoten (BS1) ist über einen vorausgehenden Eindrahtdatenbusabschnitt (b1) mit dem Bus-Master (BM) verbunden. Jeder dieser Busknoten (BS1, BS2, BS3) ist bis auf einen abschließenden Busknoten (BS3) über einen nachfolgenden Eindrahtdatenbusabschnitt (b2, b3) mit einem nachfolgenden Busknoten (BS2, BS3) verbunden. Dies gilt, wenn der Busknoten nicht der letzte Busknoten (B3) der Kette der Busknoten (BS1, BS2, BS3) vom Bus-Master (BM) aus in der Folge der Busknoten (BS1, BS2, BS3) ist. Über den Eindrahtdatenbus (b1, b2, b3) oder zumindest über einen Eindrahtdatenbusabschnitt (b1, b2, b3) der Eindrahtdatenbusabschnitte (b1, b2, b3), im Folgenden betrachteter Eindrahtdatenbusabschnitt (b1, b2, b3) genannt, werden bidirektional Daten zwischen dem Bus-Master (BM) und einem Busknoten (BS1, BS2, BS3), im Folgenden betrachteter Busknoten (BS1, BS2, BS3) genannt, übertragen oder können übertragen werden. Über den Eindrahtdatenbus (b1, b2, b3) oder zumindest über den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) wird ein Systemtakt mit einer Systemtaktperiode (T), die in mindestens eine erste Halbtaktperiode (T_{1H}) und eine zweite Halbtaktperiode (T_{2H}) unterteilt ist, die eine unterschiedliche zeitliche Dauer haben können, vom Bus-Master (M) zu dem betrachteten Busknoten (BS1, BS2, BS3) zusätzlich übertragen. Mindestens der betrachtete Busknoten (BS1, BS2, BS3) verfügt über eine erste Einrichtung, insbesondere einen ersten Komparator (C_{2H}), der den Signalpegel in Form einer Signalspannung zwischen dem Bezugspotenzial (V_0) der Bezugspotenzialleitung (GND) und dem Potenzial des betrachteten Eindrahtdatenbusabschnitts (b1, b2, b3) mit einem ersten Schwellwert, insbesondere dem eines ersten Schwellwertsignals (V_{2H}), vergleicht. Der betrachtete Busknoten verfügt über eine zweite Einrichtung, insbesondere einen zweiten Komparator (C_{2L}), der den Signalpegel in Form einer Signalspannung zwischen dem Bezugspotenzial (V_0) der Bezugspotenzialleitung (GND) und dem Potenzial des betrachteten Eindrahtdatenbusabschnitts (b1, b2, b3) mit einem zweiten Schwellwert, insbesondere dem eines zweiten Schwellwertsignals (V_{2L}), vergleicht. Der erste Schwellwert ist dabei vom zweiten Schwellwert verschieden. Der erste und zweite Schwellwert definieren dabei zwischen der Betriebsspannung (V_{IO} , V_{IO1} , V_{IO2}) und dem Bezugspotenzial (V_0) der Bezugspotenzialleitung (GND) drei Signalspannungsbereiche (V_{B1} , V_{B2} , V_{B3}). Dabei wird ein mittlerer Spannungsbereich als zweiter Spannungsbereich (V_{B2}) von einem ersten Spannungsbereich (V_{B1}) nach oben oder unten hin begrenzt. Der zweite Spannungsbereich (V_{B2}) wird nach unten oder oben hin aber andersherum als beim ersten Spannungsbereich (V_{B1}) durch einen dritten Spannungsbereich (V_{B3}) begrenzt. Dabei werden Daten auf dem betrachteten Eindrahtdatenbusabschnitt (b2, b3) in zeitlich beabstandeten oder aufeinander folgenden Zeitschlitzpaketen mit jeweils einer Dauer einer Systemtaktperiode (T) mit zumindest drei aufeinander folgenden Zeitschlitzten (TIN0, TIN1, TDO) übertragen. Ein erster Zeitschlitz (TIN0) und ein zweiter Zeitschlitz (TIN1) enthalten zumindest ein Kontrolldatum und/oder ein erstes Datum, das jeweils vom Bus-Master (BM) zum betrachteten Busknoten (BS1, BS2, BS3) übertragen wird, wobei das Kontrolldatum und das erste Datum insbesondere mit den Daten des IEEE 1149.14 Draht Testdatenbusses oder zu einem anderen Unterstandard des IEEE 1149 Standards kompatibel sein können, und wobei der betrachtete Busknoten (BS1, BS2, BS3) das Kontrolldatum und das erste Datum empfängt. Ein dritter Zeitschlitz (TDO) enthält ein zweites Datum, das der betrachtete Busknoten (BS1, BS2, BS3) zum Bus-Master (BM) überträgt, wobei der Bus-Master (BM) dieses zweite Datum empfängt und wobei das zweite Datum nur im zweiten Spannungsbereich (V_{B2}) und dritten Spannungsbereich (V_{B3}) übertragen wird. Die Übertragung der Daten erfolgt in einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) einer Systemtaktperiode (T). Der Systemtakt wird durch ein Taktsignal im ersten Spannungsbereich (V_{B1}) während der jeweils anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) der Systemtaktperiode (T) übertragen.

[0051] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Bus-

knoten (BS1, BS2, BS3) dadurch aus, dass mindestens drei logische Zustände beim bidirektionalen Senden der Daten auf dem Eindrahthdatenbus (b1, b2, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) durch den Bus-Master (BM) und die Busknoten (BS1, BS2, BS3) verwendet werden.

[0052] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) dadurch aus, dass ein erster der mindestens drei logischen Zustände auf dem Eindrahthdatenbus (b1, b2, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) durch einen ersten dominanten Schalter (S_{1L}) des Bus-Masters (BM) erzeugt wird, der das Potenzial des Eindrahthdatenbusses (b1, b2, b3) oder zumindest des betrachteten Eindrahthdatenbusabschnitts (b1, b2, b3) in den ersten Spannungsbereich (V_{B1}) zwingt.

[0053] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) dadurch aus, dass ein zweiter der mindestens drei logischen Zustände auf dem Eindrahthdatenbus (b1, b2, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) durch Einschalten einer ersten schaltbaren Stromquelle (I_1, S_{1H}) in dem Bus-Master (BM) und/oder durch Einschalten einer zweiten schaltbaren Stromquelle (I_2, S_{2H}) in dem Bus-Knoten (BS1, BS2, BS3) erzeugt wird, siehe **Fig. 3**.

[0054] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) dadurch aus, dass das Einschalten der ersten schaltbaren Stromquelle (I_1, S_{1H}) in dem Bus-Master (BM) und/oder das Einschalten der zweiten schaltbaren Stromquelle (I_2, S_{2H}) in dem Bus-Knoten (BS1, BS2, BS3) das Potenzial auf dem Eindrahthdatenbus oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) auf ein Potenzial im dritten Spannungsbereich (V_{B3}) zwingt sofern der erste dominante Schalter (S_{1L}) des Bus-Masters (BM) nicht eingeschaltet ist, der das Potenzial des Eindrahthdatenbusses oder zumindest des betrachteten Eindrahthdatenbusabschnitts (b1) bei Einschalten in den ersten Spannungsbereich zwingt und die schaltbaren Stromquellen (I_1, S_{1H}, I_2, S_{2H}) überschreibt.

[0055] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) dadurch aus, dass ein dritter der mindestens drei logischen Zustände auf der dem Eindrahthdatenbus (b1, b3, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) durch einen Pull-Schaltkreis (R_{0H}, R_{0L}) erzeugt wird, wenn keiner der anderen logischen Zustände vorliegt, indem der Pull-Schaltkreis (R_{0H}, R_{0L}) das Potenzial des Eindrahthdatenbusses oder zumindest des betrachteten Eindrahthdatenbusabschnitts (b1, b2, b3) auf ein mittleres Potenzial (VM) im zweiten Spannungsbereich (V_{B3}) bringt.

[0056] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) dadurch aus, dass Wechsel vom einen zweiten oder einen dritten logischen Zustand auf dem Eindrahthdatenbus (b1, b3, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) auf der einen Seite zum einen ersten logischen Zustand auf dem Eindrahthdatenbus (b1, b3, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) auf der anderen Seite und Wechsel in die umgekehrte Richtung zur Übertragung eines Taktsignals benutzt werden.

[0057] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) dadurch aus, dass Wechsel vom einen ersten oder einen zweiten logischen Zustand auf dem Eindrahthdatenbus (b1, b3, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) auf der einen Seite zum einen dritten logischen Zustand auf dem Eindrahthdatenbus (b1, b3, b3) oder zumindest dem betrachteten Eindrahthdatenbusabschnitt (b1, b2, b3) auf der anderen Seite und Wechsel in die umgekehrte Richtung zur Übertragung eines Datensignals vom Bus-Master (BM) zum betrachteten Busknoten und/oder von dem betrachteten Busknoten zum Bus-Master (BM) benutzt werden.

[0058] In einer anderen Ausprägung der Erfindung zeichnet sich der erfindungsgemäße Datenbus zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und weiteren mindestens zwei Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) dadurch aus, dass die Daten in einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) eines Zeitschlitzes übertragen werden und der Systemtakt in einer anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) eines Zeitschlitzes übertragen wird, wobei ein Zeitschlitzpaket eine Länge einer Systemtaktperiode (T) mit mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) aufweist.

[0059] Ein erfindungsgemäßer Datenbus erstreckt sich zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mindestens zwei weiteren Teilvorrichtungen, den Busknoten (BS1, BS2, BS3), wobei der Datenbus eine Bezugspotenzialleitung (GND) mit einem Bezugspotenzial (V_0) und einen Eindrahtdatenbus (b1, b2, b3) mit einer einzelnen Datenleitung aufweist, der durch die Busknoten (BS1, BS2, BS3) in mehrere Eindrahtdatenbusabschnitte (b1, b2, b3) unterteilt wird und durch einen letzten Busknoten (BS3) der Busknoten (BS1, BS2, BS3), den abschließenden Busknoten (BS3), abgeschlossen wird und kann auch wie folgt gekennzeichnet werden: Der Bus-Master (BM) weist eine Master-Eindrahtdatenbusschnittstelle (OWM) auf. Die Master-Eindrahtdatenbusschnittstelle (OWM) weist weiter eine erste schaltbare Spannungsquelle (S_{1L}) mit einem ersten Innenwiderstand auf, die den Eindrahtdatenbus (b1, b2, b3) oder zumindest einen Eindrahtdatenbusabschnitt (b1, b2, b3), im Folgenden betrachteter Eindrahtdatenbusabschnitt (b1, b2, b3) genannt, mit einem ersten Potenzial (V_0) verbinden kann. Die Master-Eindrahtdatenbusschnittstelle (OWM) weist eine zweite schaltbare Spannungsquelle (S_{1H} , I_1) mit einem zweiten Innenwiderstand auf, die zumindest den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) oder den Eindrahtdatenbus (b1, b2, b3) mit einem zweiten Potenzial (V_{IO1}) verbinden kann, wobei die zweite schaltbare Spannungsquelle auch eine Stromquelle (S_{1H} , I_1) mit einem zweiten Innenwiderstand (R_{1H}) und dem Stromwert ($I_1 = V_{IO1}/R_{1H}$) sein kann. Zumindest einer der Busknoten (BS1, BS2, BS3), im Folgenden als betrachteter Busknoten bezeichnet, weist eine Eindrahtdatenbusschnittstelle (OWS1, OWS2, OWS3), im Folgenden mit betrachteter Eindrahtdatenbusschnittstelle bezeichnet, auf. Zumindest diese betrachtete Eindrahtdatenbusschnittstelle (OWS1, OWS2, OWS3) des betrachteten Busknotens weist eine dritte schaltbare Spannungsquelle (S_{2H} , I_2) mit einem dritten Innenwiderstand auf, die zumindest den betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) oder den Eindrahtdatenbus (b1, b2, b3) mit einem dritten Potenzial (V_{IO2}) verbinden kann, das vorzugsweise gleich dem zweiten Potenzial (V_{IO1}) ist und wobei die dritte schaltbare Spannungsquelle auch eine Stromquelle (S_{2H} , I_2) mit einem dritten Innenwiderstand (R_{2H}) und dem Stromwert ($I_2 = V_{IO2}/R_{2H}$) sein kann. Zumindest der betrachtete Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) oder der Eindrahtdatenbus (b1, b2, b3) wird durch eine vierte Spannungsquelle, insbesondere einen Pull-Schaltkreis (R_{OH} , R_{OL}) zwischen einem vierten Potenzial (V_{IO}), das vorzugsweise gleich dem zweiten und dritten Potenzial (V_{IO1} , V_{IO2}) ist, und dem ersten Potenzial (V_0), mit einem vierten Innenwiderstand auf einem mittleren Potenzial (V_M) gehalten. Der Wert des mittleren Potenzials (V_M) liegt dabei zwischen dem Wert des ersten Potenzials (V_0) und dem Wert des zweiten Potenzials (V_{IO1}) und/oder zwischen dem Wert des ersten Potenzials (V_0) und dem Wert des dritten Potenzials (V_{IO2}). Der erste Innenwiderstand ist dabei kleiner als die anderen Innenwiderstände. Der vierte Innenwiderstand ist größer als die anderen Innenwiderstände.

[0060] Entsprechend lässt sich ein erfindungsgemäßes Verfahren zum Betreiben eines Datenbusses zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mindestens zwei weiteren Teilvorrichtungen, den Busknoten (BS1, BS2, BS3) formulieren. Dabei weist der Datenbus eine Bezugspotenzialleitung (GND) mit einem Bezugspotenzial (V_0) und einen Eindrahtdatenbus (b1, b2, b3) auf, der durch die mindestens zwei Busknoten (BS1, BS2, BS3) in mindestens zwei Eindrahtdatenbusabschnitte (b1, b2, b3) unterteilt wird und durch mindestens einen Busknoten (BS3) der Busknoten (BS1, BS2, BS3), den abschließenden Busknoten (BS3), abgeschlossen wird. Das Verfahren umfasst die Schritte: Als ersten Schritt eine bidirektionale Übertragung von Daten über den Eindrahtdatenbus (b1, b2, b3) oder zumindest einen Eindrahtdatenbusabschnitt (b1, b2, b3) der Eindrahtdatenbusabschnitte (b1, b2, b3), im Folgenden betrachteter Eindrahtdatenbusabschnitt genannt, zwischen dem Bus-Master (BM) und mindestens einem Busknoten (BS1, BS2, BS3), im Folgenden betrachteter Busknoten (BS1, BS2, BS3) genannt; Als zweiten Schritt die gleichzeitige Übertragung eines Taktsignals über den Eindrahtdatenbus (b1, b2, b3) oder zumindest dem besagten Eindrahtdatenbusabschnitt (b1, b2, b3) vom Bus-Master (BM) zu zumindest dem betrachteten Busknoten (BS1, BS2, BS3) mit einer Systemtaktperiode (T), die in mindestens eine erste Halbtaktperiode (T_{1H}) und eine zweite Halbtaktperiode (T_{2H}) unterteilt ist; Als dritten Schritt das Vergleichen des Signalpegels auf dem Eindrahtdatenbus (b1, b2, b3) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) in Form einer Signalspannung zwischen dem Bezugspotenzial (V_0) der Bezugspotenzialleitung (GND) und dem Potenzial des Eindrahtdatenbusses (b1, b2, b3) oder zumindest des betrachteten Eindrahtdatenbusabschnitts (b1, b2, b3) mit einem ersten Schwellwert, insbesondere dem eines ersten Schwellwertsignals (V_{2H}), durch eine erste Einrichtung des betrachteten Busknotens (BS1, BS2, BS3), insbesondere einen ersten Komparator (C_{2H}); Als vierten Schritt das Vergleichen des Signalpegels auf dem Eindrahtdatenbus (b1, b2, b3) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt (b1, b2, b3) in Form einer Signalspannung zwischen dem Bezugspotenzial (V_0) auf der Bezugspotenzialleitung (GND) und dem Potenzial des Eindrahtdatenbusses (b1, b2, b3) oder zumindest des betrachteten Eindrahtdatenbusabschnitts (b1, b2, b3) mit einem zweiten, vom ersten Schwellwert verschiedenen Schwellwert, insbesondere dem eines zweiten Schwellwertsignals (V_{2L}), durch eine zweite Einrichtung des betrachteten Busknotens (BS1, BS2, BS3), insbesondere einen zweiten Komparator (C_{2L}). Dabei definieren der erste und zweite Schwellwert zwischen einer Betriebsspannung (V_{IO} , V_{IO1} , V_{IO2}) und dem Bezugspotenzial (V_0) der Bezugspotenzialleitung (GND) drei Signalspannungsbereiche (V_{B1} , V_{B2} , V_{B3}). Ein mittlerer Spannungsbereich wird dabei als zweiter

Spannungsbereich (V_{B2}) von einem ersten Spannungsbereich (V_{B1}) nach oben oder unten hin begrenzt wird und wobei der zweite Spannungsbereich (V_{B2}) nach unten oder oben hin aber andersherum als beim ersten Spannungsbereich (V_{B1}) durch einen dritten Spannungsbereich (V_{B3}) begrenzt wird; Als fünften Schritt die Übertragung der Daten auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) in Zeitschlitzpaketen mit jeweils einer Dauer einer Systemtaktperiode (T) mit zumindest drei aufeinander folgenden Zeitschlitz (TIN0, TIN1, TDO), wobei die Reihenfolge der Zeitschlitz (TIN0, TIN1, TDO) innerhalb der Folge dieser mindestens drei Zeitschlitz (TIN0, TIN1, TDO) systemspezifisch gewählt werden kann; Als sechsten Schritt das Übertragen zumindest eines Kontrolldatums und/oder eines ersten Datums in einem ersten Zeitschlitz (TIN0) und in einen zweiten Zeitschlitz (TIN1) vom Bus-Master (BM) zum betrachteten Busknoten (BS1, BS2, BS3), wobei das Kontrolldatum und das erste Datum insbesondere mit den Daten des IEEE1149 Standards kompatibel sein können und wobei der betrachte Busknoten (BS1, BS2, BS3) das Kontrolldatum und das erste Datum empfängt; Als siebten Schritt das Übertragen eines zweiten Datums in einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) der Systemtaktperiode (T) im zweiten Spannungsbereich (V_{B2}) und im dritten Spannungsbereich (V_{B3}) auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) vom betrachteten Busknoten (BS1, BS2, BS3) zum Bus-Master (BM) in einem dritten Zeitschlitz (TDO) der mindestens drei aufeinanderfolgenden Zeitschlitz (TIN0, TIN1, TDO), wobei der Bus-Master (BM) dieses zweite Datum empfängt; Als achten Schritt das Übertragen eines weiteren Kontrolldatums und/oder eines weiteren ersten Datums in einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) der Systemtaktperiode (T) des betreffenden Zeitschlitzes, im zweiten Spannungsbereich (V_{B2}) und dritten Spannungsbereich (V_{B3}) auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) vom Bus-Master (BM) zum betrachteten Busknoten (BS1, BS2, BS3) in dem ersten und/oder zweiten Zeitschlitz (TIN0, TIN1) der mindestens drei aufeinanderfolgenden Zeitschlitz (TIN0, TIN1, TDO), wobei der betrachtete Busknoten (BS1, BS2, BS3) das weitere Kontrolldatum und das weitere erste Datum empfängt, wobei die Übertragung der Daten durch Wechsel des Potenzials auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) zwischen dem zweiten Spannungsbereich (V_{B2}) auf der einen Seite und dem dritten Spannungsbereich (V_{B3}) auf der anderen Seite über den ersten Spannungsbereich (V_{B1}) und Wechsel über den ersten Spannungsbereich (V_{B1}) in die Gegenrichtung erfolgt; Als neunten Schritt das Übertragen eines Systemtaktes in der jeweils anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) der Systemtaktperiode (T) des betreffenden Zeitschlitzes, typischerweise in jeden der mindestens drei Zeitschlitz (TIN0, TIN1, TDO), wobei in dieser Halbtaktperiode keine Daten gesendet werden und wobei die Übertragung des Systemtaktes in dem betreffenden Zeitschlitz durch einen Wechsel des Potenzials auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) zwischen dem ersten Spannungsbereich (V_{B1}) auf der einen Seite und dem zweiten Spannungsbereich (V_{B2}) und/oder dritten Spannungsbereich (V_{B3}) auf der anderen Seite und Wechsel in die Gegenrichtung erfolgt.

[0061] Eine Variante dieses Verfahren zeichnet sich dadurch aus, dass drei logische Zustände beim bidirektionalen Senden der Daten auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) durch den Bus-Master (BM) und dem betrachteten Busknoten verwendet werden, wobei jeder logische Zustand einem, typischerweise genau einem, Spannungsbereich (V_{B1}, V_{B2}, V_{B3}) des Potenzials des Eindrahdatenbusses ($b1, b2, b3$) oder zumindest des betrachteten Eindrahdatenbusabschnitts ($b1, b2, b3$) zugeordnet ist.

[0062] Eine weitere Variante dieses Verfahren zeichnet sich durch ein zeitweises Schließen eines dominanten Schalters (S_{1L}) des Bus-Masters (BM), der auch ein Transistor oder anderer Halbleiterschalter sein kann, zur zeitweisen Erzeugung eines ersten der drei logischen Zustände auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$), wobei das Potenzial des Eindrahdatenbusses ($b1, b2, b3$) oder zumindest des betrachteten Eindrahdatenbusabschnitts ($b1, b2, b3$) in den ersten Spannungsbereich (V_{B1}) gezwungen wird.

[0063] Eine weitere Variante dieses Verfahren zeichnet sich durch ein zeitweises Einschalten einer ersten schaltbaren Stromquelle (I_1, S_{1H}) in dem Bus-Master (BM) und/oder durch zeitweises Einschalten einer zweiten schaltbaren Stromquelle (I_2, S_{2H}) in dem betrachteten Busknoten zur Erzeugung eines dritten der drei logischen Zustände auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) aus.

[0064] Eine weitere Variante dieses Verfahren zeichnet sich dadurch aus, dass das Einschalten der ersten schaltbaren Stromquelle (I_1, S_{1H}) in dem Bus-Master (BM) und/oder das Einschalten der zweiten schaltbaren Stromquelle (I_2, S_{2H}) in dem betrachteten Busknoten das Potenzial auf dem Eindrahdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahdatenbusabschnitt ($b1, b2, b3$) auf ein drittes Potenzial zwingt so-

fern der erste dominante Schalter (S_{1L}) des Bus-Masters (BM) nicht eingeschaltet ist, der das Potenzial des Eindrahtdatenbusses ($b1, b2, b3$) oder zumindest des betrachteten Eindrahtdatenbusabschnitts ($b1, b2, b3$) in den ersten Spannungsbereich (V_{B1}) zwingt und die Stromquellen überschreibt.

[0065] Eine weitere Variante dieses Verfahren zeichnet sich durch das Erzeugen eines zweiten der drei logischen Zustände auf dem Eindrahtdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt ($b1, b2, b3$), insbesondere durch einen Pull-Schaltkreis (R_{0H}, R_{0L}), aus, wenn keiner der anderen logischen Zustände auf dem Eindrahtdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt ($b1, b2, b3$) vorliegt, insbesondere indem der Pull-Schaltkreis (R_{0H}, R_{0L}) das Potenzial des Eindrahtdatenbusses ($b1, b2, b3$) oder zumindest des betrachteten Eindrahtdatenbusabschnitts ($b1, b2, b3$) auf einem mittleren Potenzial (V_M) im zweiten Spannungsbereich (V_{B2}) hält.

[0066] Eine weitere Variante dieses Verfahren zeichnet sich durch die Übertragung eines Systemtakts durch das Wechseln vom zweiten oder dritten logischen Zustand auf dem Eindrahtdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt ($b1, b2, b3$) auf der einen Seite zu einem ersten logischen Zustand auf dem Eindrahtdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt ($b1, b2, b3$) auf der anderen Seite und Wechsel in die umgekehrte Richtung aus.

[0067] Eine weitere Variante dieses Verfahren zeichnet sich durch die Übertragung von Daten durch das Wechseln vom zweiten logischen Zustand auf dem Eindrahtdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt ($b1, b2, b3$) auf der einen Seite zu einem dritten logischen Zustand auf dem Eindrahtdatenbus ($b1, b2, b3$) oder zumindest dem betrachteten Eindrahtdatenbusabschnitt ($b1, b2, b3$) auf der anderen Seite und Wechsel in die umgekehrte Richtung aus.

[0068] Eine weitere Variante dieses Verfahren zeichnet sich dadurch aus, dass ein erstes oder zweites Datum oder ein Kontrolldatum oder anderes Datum in einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) eines Zeitschlitzes der mindestens drei aufeinander folgenden Zeitschlitz (TIN0, TIN1, TDO) übertragen wird und ein Systemtakt in der anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) dieses Zeitschlitzes der mindestens drei aufeinander folgenden Zeitschlitz (TIN0, TIN1, TDO) übertragen wird, wobei ein Zeitschlitzpaket eine Länge einer Systemtaktperiode (T) mit mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) aufweist.

[0069] Ein anderer Aspekt der Erfindung betrifft ein Verfahren zum Betreiben eines Datenbusses zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mindestens zwei weiteren Teilvorrichtungen, den Busknoten (BS1, BS2, BS3), wobei der Datenbus eine Bezugspotenzialleitung (GND) mit einem Bezugspotenzial (V_0) und einen Eindrahtdatenbus ($b1, b2, b3$), der durch die mindestens zwei Busknoten in mindestens zwei Eindrahtdatenbusabschnitte ($b1, b2, b3$) unterteilt wird und durch mindestens einen Busknoten (BS3) der Busknoten (BS1, BS2, BS3), den abschließenden Busknoten (BS3), abgeschlossen wird, aufweist. Das Verfahren umfasst als ersten Schritt das zeitweise Verbinden des Eindrahtdatenbusses ($b1, b2, b3$) oder zumindest eines Eindrahtdatenbusabschnitts der Eindrahtdatenbusabschnitte ($b1, b2, b3$), im Folgenden als betrachteter Eindrahtdatenbusabschnitt ($b1, b2, b3$) bezeichnet, mit einer ersten zuschaltbaren Spannungsquelle (S_{1L}) des Bus-Masters (BM), die einen ersten Innenwiderstand hat, mit einem ersten Potenzial (V_0). Als zweiten Schritt umfasst es das zeitweise Verbinden des Eindrahtdatenbusses ($b1, b2, b3$) oder zumindest des betrachteten Eindrahtdatenbusabschnitts ($b1, b2, b3$) mit einer zweiten zuschaltbaren Spannungsquelle (S_{1H}, I_1) des Bus-Masters (BM), die einen zweiten Innenwiderstand besitzt, mit einem zweiten Potenzial (V_{IO1}), wobei die zweite zuschaltbare Spannungsquelle auch eine Stromquelle (S_{1H}, I_1), die einen zweiten Innenwiderstand (R_{1H}) und den Stromwert ($I_1 = V_{IO1}/R_{1H}$) besitzt, sein kann. Als dritten Schritt umfasst das Verfahren das zeitweise Verbinden des Eindrahtdatenbusses ($b1, b2, b3$) oder zumindest des betrachteten Eindrahtdatenbusabschnitts ($b1, b2, b3$) mit einer dritten zuschaltbaren Spannungsquelle (S_{2H}, I_2) eines Busknotens (BS1, BS2, BS3), im Folgenden betrachteter Busknoten genannt, mit einem dritten Potenzial (V_{IO2}), das vorzugsweise gleich dem zweiten Potenzial (V_{IO1}) ist und wobei die dritte zuschaltbare Spannungsquelle (S_{2H}, I_2) einen dritten Innenwiderstand besitzt und wobei die dritte zuschaltbare Spannungsquelle auch eine Stromquelle (S_{2H}, I_2), die einen dritten Innenwiderstand (R_{2H}) und den Stromwert ($I_2 = V_{IO2}/R_{2H}$) besitzt, sein kann. Als vierten Schritt umfasst das Verfahren das zeitweise Halten des Eindrahtdatenbusses ($b1, b2, b3$) oder zumindest des betrachteten Eindrahtdatenbusabschnitts ($b1, b2, b3$) durch eine vierte Spannungsquelle, insbesondere einen Pull-Schaltkreis (R_{0H}, R_{0L}) zwischen einem vierten Potenzial (V_{IO}), das vorzugsweise gleich dem zweiten und dritten Potenzial (V_{IO1}, V_{IO2}) ist, und dem ersten Potenzial (V_0), mit einem vierten Innenwiderstand auf einem mittleren Potenzial (V_M). Dabei liegt der Wert des mittleren Potenzials (V_M) zwischen dem Wert des ersten Potenzials (V_0) und dem Wert des zweiten Potenzials (V_{IO1}) und/oder zwischen dem Wert des ersten Potenzials (V_0) und

dem Wert des dritten Potentials (V_{102}). Der erste Innenwiderstand ist dabei kleiner als die anderen Innenwiderstände. Der vierte Innenwiderstand ist dabei größer als die anderen Innenwiderstände.

[0070] Die Erfindung umfasst auch ein Verfahren zur Initialisierung eines solchen Eindrahtdatenbusses, wie er hier beschrieben wurde, zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mindestens zwei weiteren Teilvorrichtungen, den Busknoten (BS1, BS2, BS3). Dabei weist der Datenbus eine Bezugspotentialleitung (GND) mit einem Bezugspotential (V_0) und einen Eindrahtdatenbus (b1, b2, b3), der durch die mindestens zwei Busknoten in mindestens zwei Eindrahtdatenbusabschnitte (b1, b2, b3) unterteilt wird und durch mindestens einen Busknoten (BS3) der Busknoten (BS1, BS2, BS3), den abschließenden Busknoten (BS3), abgeschlossen wird, auf. Das erfindungsgemäße Verfahren umfasst als ersten Schritt das Ermitteln einer neuen Busknotenadresse durch den Bus-Master. Dies kann beispielsweise durch einfaches Hochzählen eines Bus-Master internen Wertes erfolgen. Es folgt als zweiter Schritt das Ablegen dieser Busknotenadresse in einem Busknotenadressregister (BKADR) eines Busknotens (BS1, BS2, BS3), des betreffenden Busknotens, durch den Bus-Master (BM). Dabei sind der Bus-Master (BM) und der betreffende Busknoten durch einen oder mehrere Eindrahtdatenbusabschnitte (b1, b2, b3) miteinander datenmäßig verbunden. Vorzugsweise wird das Busknotenadressregister (BKADR) als eigenständiges Datenregister (DR) im Busknoten realisiert. Es kann aber auch als Teil eines Daten- oder Instruktionsregisters (IR) der erfindungsgemäßen JTAG-Schnittstelle des betreffenden Busknotens realisiert werden. Die Programmierung wird dann aber ggf. komplizierter. Wie zuvor ist wieder eine JTAG-Schnittstelle im Sinne dieser Offenbarung dadurch gekennzeichnet, dass sie einen Test-Controller (TAPC) mit einem Zustandsdiagramm entsprechend dem IEEE 1149 Standard oder eines seiner Unterstandards, wie im Zusammenhang mit **Fig. 1** erläutert, aufweist. Als dritter Schritt folgt nach dieser Busknotenadressvergabe das Verbinden der bereits mit dem betreffenden Busknoten und dem Bus-Master (BM) verbundenen einen oder mehrere Eindrahtdatenbusabschnitte (b1, b2, b3) mit einem oder mehreren weiteren Eindrahtdatenbusabschnitten (b1, b2, b3) durch das Schließen des Transfer-Gates (TG) des betreffenden Busknotens. Um bei der nächsten Busknotenadressvergabe ein Überschreiben der zuvor vergebenen Busknotenadresse im Busknotenadressregister (BKADR) des betreffenden Busknotens zu verhindern, verhindert eine Logik innerhalb des Busknotens eine solche Ablage einer Busknotenadresse in dem Busknotenadressregister (BKADR) des betreffenden Busknotens (BS1, BS2, BS3) solange, wie das Transfer-Gate (TG) des betreffenden Busknotens geschlossen ist. Ein Beschreiben des Busknotenadressregisters ist daher erfindungsgemäß nur mit geöffnetem Transfer-Gate möglich.

[0071] Eine weitere Ausprägung des Verfahrens umfasst als weiteren Schritt das Ablegen eines Befehls zum Öffnen eines Transfer-Gatters (TG) in dem Instruktionsregister (IR) oder einem Transfer-Gate-Control-Register (TGCR) der JTAG-Schnittstelle des betrachteten Busknotens. Hierdurch kann der Bus-Master (BM) den Bus jederzeit neu initialisieren. Vorzugsweise wird das Transfer-Gate-Control-Register (TGCR) hierfür benutzt und mit einer identischen Instruktion im Instruktionsregister (IR) angesprochen.

[0072] Eine weitere Ausprägung des Verfahrens umfasst als weiteren Schritt das Überprüfen der korrekten Adressierung zumindest eines Busknotens durch zyklisches Schreiben und Lesen, insbesondere eines Bypass-Registers.

[0073] Eine weitere Ausprägung des Verfahrens umfasst als ersten weiteren Schritt das Ermitteln der Anzahl korrekt adressierbarer Busknoten durch den Bus-Master (BM). Es folgt dann das Vergleichen der Anzahl korrekt adressierbarer Busknoten mit einer Sollanzahl und Auslösung mindestens eines Signals oder einer Maßnahme in Abhängigkeit von der Anzahl durch den Bus-Master oder ein angeschlossenes System.

[0074] Eine weitere Ausprägung des Verfahrens umfasst als weiteren Schritt das gleichzeitige Übermitteln einer Sendeadresse an alle erreichbaren Busknoten durch beschreiben von Senderegistern (SR) aller Busknoten durch den Busmaster (BM) mit dieser Sendeadresse, wobei das jeweilige Senderegister (SR) eines jeweiligen Busknotens ein Datenregister oder ein Teil eines Datenregisters oder ein Teil des Instruktionsregisters (IR) der JTAG-Schnittstelle dieses Busknotens ist, und wobei das Busadressregister (BKADR) kein Teil des betreffenden Registers ist. Als zweiter Schritt folgt der Vergleich der Sendeadresse im Senderegister (SR) mit der Busknotenadresse im Busknotenadressregister (BKADR) durch jeden Busknoten mittels eines vorbestimmten Vergleichsalgorithmus. Vorzugsweise wird auf Gleichheit geprüft. Andere Algorithmen sind aber denkbar. Als dritter Schritt folgt entweder die Aktivierung der Sendefähigkeit für den jeweiligen Busknoten zu den dafür vorgesehenen Zeitpunkten, wenn der Vergleichsalgorithmus des zuvor durch diesen jeweiligen Busknoten ausgeführten Vergleiches eine ausreichende Übereinstimmung mit der für die Sendeerlaubnis erwarteten Kombination aus der in seinem Busknotenregister (BKADR) abgelegten Busknotenadresse und der in seinem Senderegister (SR) abgelegten Sendeadresse ergibt oder als alternativer dritter Schritt die Deaktivierung der Sendefähigkeit für den jeweiligen Busknoten, wenn der Vergleichsalgorithmus des zuvor durch

diesen jeweiligen Busknoten ausgeführten Vergleiches keine ausreichende Übereinstimmung mit der für die Sendeerlaubnis erwarteten Kombination aus der in seinem Busknotenregister (BKADR) abgelegten Busknotenadresse und der in seinem Senderegister (SR) abgelegten Sendeadresse ergibt.

[0075] Um sicherzustellen, dass nur der Busknoten die für ihn bestimmten Daten erhält ist es sinnvoll, wenn nicht nur das Senden des Busknotens gesteuert wird, sondern auch das Empfangen des Busknotens. Hierzu werden bestimmte Register ganz oder teilweise für ein Beschreiben durch den Bus-Master gesperrt, bis die Sendeadresse im Senderegister (SR) mit der Busknotenadresse (BKADR) übereinstimmt. Diese Sperrung kann die Sperrung des Schieberegisterteils eines oder mehrerer Datenregister (DR) oder die Datenübernahme vom Schieberegisterteil eines oder mehrerer Datenregister (DR) oder des Instruktionsregisters in das Schattenregister betreffen. Dabei können ggf. auch nur einzelne oder mehrere Bits durch eine Sperrung der Datenübernahme betroffen sein. Es ist ja notwendig, stets die Übertragung bestimmter Befehle, zumindest das Schreiben des Senderegisters (SR) zuzulassen. Daher beginnt die Übertragung eines Kommandos oder von Daten an einen zuvor nicht angesprochenen Busknoten wie zuvor mit dem gleichzeitigen Übermitteln einer Sendeadresse an alle erreichbaren Busknoten durch Beschreiben der Senderegister (SR) aller Busknoten durch den Busmaster (BM) mit dieser Sendeadresse. Dabei ist das jeweilige Senderegister (SR) des betreffenden Busknotens ein Datenregister oder ein Teil eines Datenregisters oder ein Teil des Instruktionsregisters (IR) der JTAG-Schnittstelle dieses Busknotens. Wie zuvor darf das Busadressregister (BKADR) kein Teil des betreffenden Registers sein. Es folgt wieder der Vergleich der Sendeadresse im Senderegister (SR) mit der Busknotenadresse im Busknotenadressregister (BKADR) durch jeden Busknoten mittels des besagten vorbestimmten Vergleichsalgorithmus. Schließlich folgt die Aktivierung der Empfangsfähigkeit des jeweiligen Busknotens für den Inhalt vorbestimmter Datenregister des jeweiligen Busknotens, wenn der Vergleichsalgorithmus des zuvor durch diesen jeweiligen Busknoten ausgeführten Vergleiches eine ausreichende Übereinstimmung mit der für die Sendeerlaubnis erwarteten Kombination aus der in seinem Busknotenregister (BKADR) abgelegten Busknotenadresse und der in seinem Senderegister (SR) abgelegten Sendeadresse ergibt. Im anderen Fall folgt die Deaktivierung der Empfangsfähigkeit des jeweiligen Busknotens für den Inhalt vorbestimmter Datenregister des jeweiligen Busknotens, wenn der Vergleichsalgorithmus des zuvor durch diesen jeweiligen Busknoten ausgeführten Vergleiches keine ausreichende Übereinstimmung mit der für die Sendeerlaubnis erwarteten Kombination aus der in seinem Busknotenregister (BKADR) abgelegten Busknotenadresse und der in seinem Senderegister (SR) abgelegten Sendeadresse ergibt.

[0076] Sofern das Beschreiben von Teilen des Instruktionsregisters (IR) oder von Teilen von Datenregistern gesperrt bzw. entsperrt werden soll beginnt das entsprechende Verfahren mit dem gleichzeitigen Übermitteln einer Sendeadresse an alle erreichbaren Busknoten durch Beschreiben der Senderegister (SR) aller Busknoten durch den Busmaster (BM) mit dieser Sendeadresse, wobei das jeweilige Senderegister (SR) eines jeweiligen Busknotens ein Datenregister oder ein Teil eines Datenregisters oder ein Teil des Instruktionsregisters (IR) der JTAG-Schnittstelle dieses Busknotens ist, und wobei das Busadressregister (BKADR) kein Teil des betreffenden Registers ist. Es folgt wieder der Vergleich der Sendeadresse im Senderegister (SR) mit der Busknotenadresse im Busknotenadressregister (BKADR) durch jeden Busknoten mittels des besagten vorbestimmten Vergleichsalgorithmus. Je nach Ergebnis des Vergleiches folgt die Aktivierung der Empfangsfähigkeit des jeweiligen Busknotens für den Inhalt vorbestimmter Inhalte des Instruktionsregisters (IR) des jeweiligen Busknotens zur Zulassung vorbestimmter Befehle für einen Instruktionsdecoder (IRDC) der JTAG-Schnittstelle des jeweiligen Busknotens, wenn der Vergleichsalgorithmus des zuvor durch diesen jeweiligen Busknoten ausgeführten Vergleiches eine ausreichende Übereinstimmung mit der für die Sendeerlaubnis erwarteten Kombination aus der in seinem Busknotenregister (BKADR) abgelegten Busknotenadresse und der in seinem Senderegister (SR) abgelegten Sendeadresse ergibt. Im anderen Fall erfolgt die Deaktivierung der Empfangsfähigkeit des jeweiligen Busknotens für den Inhalt vorbestimmter Inhalte des Instruktionsregisters (IR) des jeweiligen Busknotens zur Unterdrückung vorbestimmter Befehle für einen Instruktionsdecoder (IRDC) der JTAG-Schnittstelle des jeweiligen Busknotens, wenn der Vergleichsalgorithmus des zuvor durch diesen jeweiligen Busknoten ausgeführten Vergleiches keine ausreichende Übereinstimmung mit der für die Sendeerlaubnis erwarteten Kombination aus der in seinem Busknotenregister (BKADR) abgelegten Busknotenadresse und der in seinem Senderegister (SR) abgelegten Sendeadresse ergibt.

Beschreibung der Figuren

[0077] Fig. 1 zeigt das Zustandsdiagramm eines Test-Controllers gemäß dem IEEE 1149 Standard. Die Fig. 1 wurde in der Einleitung erläutert.

[0078] Fig. 2 zeigt die grundlegenden Signalformen des erfindungsgemäßen Datenprotokolls auf dem Eindrahtdatenbus (b1, b2, b3) oder einem angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3)

[0079] Fig. 3 zeigt einen erfindungsgemäßen Realisierungsvorschlag in schematischer Form.

[0080] Fig. 4 zeigt beispielhafte Pegelfolgen für jeweils ein Zeitschlitzpaket aus drei aufeinanderfolgenden Zeitschlitzten.

[0081] Fig. 5 zeigt beispielhaft die Extraktion der Daten im betreffenden Busknoten für drei aufeinander folgende Zeitschlitzte.

[0082] Fig. 6 zeigt schematisch ein beispielhaftes Eindrahtdatenbussystem

[0083] Fig. 7 zeigt ein Detail aus dem beispielhaften Eindrahtdatenbussystem: Die Verbindung zweier aufeinanderfolgender Busknoten.

[0084] Fig. 8 zeigt schematisch vereinfacht eine beispielhafte Implementierung einer Bus-Master-Eindrahtdatenbusschnittstelle

[0085] Fig. 9 zeigt schematisch vereinfacht eine beispielhafte Implementierung einer Busknoten-Eindrahtdatenbusschnittstelle

[0086] Fig. 10 zeigt vereinfacht eine erfindungsgemäße JTAG-Schnittstelle mit Beleuchtungsregister (ILR)

[0087] Fig. 11 zeigt vereinfacht eine erfindungsgemäße JTAG-Schnittstelle mit Beleuchtungsregister (ILR) und separatem zuschaltbaren seriellen Dateneingang für das Beleuchtungsregister

[0088] Fig. 12 zeigt schematisch ein beispielhaftes Eindrahtdatenbussystem mit separatem seriellen Datenbus für Beleuchtungsdaten

[0089] Fig. 13 zeigt vereinfacht eine erfindungsgemäße JTAG-Schnittstelle mit Beleuchtungsregister (ILR) und Transfer-Gate-Control-Register (TGCR)

Fig. 2

[0090] Fig. 2 zeigt die grundlegenden Signalformen des erfindungsgemäßen Datenprotokolls auf dem Eindrahtdatenbus (b1, b2, b3) oder einem angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3). Im oberen Teil der Fig. 2 sind die Signalformen für einen Zweidraht-Test-Bus gemäß IEEE 1149 Standard schematisch skizziert, wie sie aus dem Stand der Technik bekannt sind. Das oberste Signal (TDA) zeigt das Datensignal. Das zweite Signal (TCK) zeigt den zugehörigen Takt. Beide Signale sind als Stand der Technik markiert und gehören zum 2-Draht-JTAG-Standard. Darunter ist beispielhaft die digitale Kodierung vermerkt. Hierbei wird noch nicht dargestellt, ob der betreffende Busknoten oder der Master sendet. Hier ist nur die Signalform skizziert.

[0091] Darunter ist die erfindungsgemäße Signalform auf dem Eindrahtdatenbus (b1, b2, b3) oder einem angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) des Eindrahtdatenbusses (b1, b2, b3) skizziert, die den Takt und die Daten kombiniert.

[0092] Ganz unten sind die verschiedenen Spannungspegel skizziert. Das Signal weist beim Senden drei Spannungspegel auf:

1. Einen ersten Spannungspegel, der typischerweise gleich einer Versorgungsspannung (V_{IO}) ist. Dabei kann diese gleich der Versorgungsspannung (V_{IO2}) auf Busknoten-Seite oder der Versorgungsspannung (V_{IO1}) auf Bus-Masterseite sein. Im Folgenden meint V_{IO} eine dieser beiden Versorgungsspannungen oder eine Kombination der beiden oder eine andere, vergleichbare Versorgungsspannung mit gleicher Wirkung. Vorzugsweise sollten Bus-Master (BM) und Busknoten (BS1, BS2, BS3) die gleiche Versorgungsspannung als Referenz benutzen.
2. Einen zweiten, mittleren Spannungspegel (V_M).
3. Einen dritten Spannungspegel, der typischerweise gleich einem Bezugspotenzial (V_0) ist.

[0093] Für die Extraktion des Systemtaktes ist eine zweite Schwellspannung (V_{2L}) definiert, die zwischen dem Bezugspotenzial (V_0) und dem mittleren Potenzial (V_M) liegt.

[0094] Für die Extraktion der Daten ist eine dritte Schwellspannung (V_{1H}) des Bus-Masters (BM) und eine erste Schwellspannung (V_{2H}) der Busknoten (BS1, BS2, BS3) definiert, die zwischen der Versorgungsspannung (V_{IO}) und dem mittleren Potenzial (V_M) liegen und in etwa gleich sein sollten.

[0095] Durch die zweiten Schwellspannungen (V_{2L}) der Busknoten (BS1, BS2, BS3) und das Bezugspotenzial (V_0) wird ein erster Spannungsbereich (V_{B1}) definiert und begrenzt.

[0096] Durch die erste Schwellspannung (V_{2H}) der Busknoten (BS1, BS2, BS3) bzw. die dritte Schwellspannung (V_{1H}) des Bus-Masters (BM) auf der einen Seite und die zweite Schwellspannung (V_{2L}) der Busknoten (BS1, BS2, BS3) wird ein zweiter Spannungsbereich (V_{B2}) definiert und begrenzt.

[0097] Durch die erste Schwellspannung (V_{2H}) der Busknoten (BS1, BS2, BS3) bzw. die dritte Schwellspannung (V_{1H}) des Bus-Masters (BM) auf der einen Seite und die Versorgungsspannung wird ein dritter Spannungsbereich (V_{B3}) definiert und begrenzt.

[0098] Zeitlich gliedert sich das Signal auf dem Eindrahthdatenbus (b1, b2, b3) oder einem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) in Zeitschlitzpakete mit mindestens drei Zeitschlitzen (TIN0, TIN1, TDO). Die Zeitschlitzpakete folgen typischerweise aufeinander mit einer Systemtaktperiode (T). Die Reihenfolge der Zeitschlitze innerhalb eines Zeitschlitzpaketes kann für ein System beliebig, aber vorzugsweise für alle Zeitschlitzpakete gleich gewählt werden. Jede Systemtaktperiode (T) gliedert sich in mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}), deren Länge vorzugsweise aber nicht notwendigerweise gleich ist.

[0099] In einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) wird der Systemtakt übertragen.

[0100] Hierbei befindet sich der Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) in einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) im ersten Spannungsbereich (V_{B1}). Hierdurch wird ein erster logischer Wert des Systemtaktes übertragen. In dem Beispiel reicht es aus, dass der Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) sich unterhalb der zweiten Schwelle (V_{2L}) befindet. Eine Begrenzung nach unten durch das Bezugspotenzial (V_0) ist für die Entscheidung, ob der Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) sich im ersten Spannungsbereich (V_{B1}) befindet, nicht relevant und wird daher in der Praxis nicht verwendet. Daher kann der erste Spannungsbereich (V_{B1}) in vielen Anwendungsfällen auch als nach unten offen angesehen werden.

[0101] In der anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) befindet sich der Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) im zweiten Spannungsbereich (V_{B2}) oder dritten Spannungsbereich (V_{B3}). Hierdurch wird ein zweiter logischer Wert des Systemtaktes übertragen, der vom ersten logischen Wert des Systemtaktes verschieden ist. In dem Beispiel reicht es aus, dass der Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) sich oberhalb der zweiten Schwelle (V_{2L}) befindet. Eine Begrenzung nach oben durch die Versorgungsspannung (V_{IO}) ist für die Entscheidung, ob der Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) sich im zweiten Spannungsbereich (V_{B2}) oder dritten Spannungsbereich (V_{B3}) befindet, nicht relevant und wird daher in der Praxis nicht verwendet. Daher kann der dritte Spannungsbereich (V_{B3}) in vielen Anwendungsfällen auch als nach oben offen angesehen werden.

[0102] Da es für die Extraktion des Systemtaktes innerhalb dieser anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) nicht relevant ist, ob der Pegel auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) sich im dritten Spannungsbereich (V_{B3}) oder zweiten Spannungsbereich (V_{B2}) befindet, können nun durch eine Unterscheidung zwischen dem dritten Spannungsbereich (V_{B3}) und dem zweiten Spannungsbereich (V_{B2}) innerhalb dieser anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) Daten übertragen werden.

[0103] In dieser anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) befindet sich der Pegel auf dem Eindrahdatenbus (b1, b2, b3) oder dem angeschlossenen Eindrahdatenbusabschnitt (b1, b2, b3) des Eindrahdatenbusses (b1, b2, b3) im zweiten Spannungsbereich (V_{B2}), wenn ein erster logischer Datenwert übertragen wird. und im dritten Spannungsbereich (V_{B3}), wenn ein zweiter logischer Datenwert übertragen wird.

[0104] Rechts neben dem unteren Signal sind zur besseren Verdeutlichung beispielhafte logische Zustände für die drei Pegel eingezeichnet.

[0105] Der obere Pegel entspricht in dem Beispiel einem beispielhaften logischen Wert des Systemtakts (TCK) von 1 und einem beispielhaften logischen Wert des Datensignals (TDA) von 1.

[0106] Der mittlere Pegel entspricht in dem Beispiel einem beispielhaften logischen Wert des Systemtakts (TCK) von 1 und einem beispielhaften logischen Wert des Datensignals (TDA) von 0.

[0107] Der untere Pegel entspricht in dem Beispiel einem beispielhaften logischen Wert des Systemtakts (TCK) von 0.

Fig. 3

[0108] In Fig. 3 sind die wichtigsten Teile der erfindungsgemäßen Schnittstelle zur Realisierung des erfindungsgemäßen Protokolls auf dem Eindrahdatenbus (b1, b2, b3) oder dem hier beispielhaft angeschlossenen ersten Eindrahdatenbusabschnitt (b1) des Eindrahdatenbusses (b1, b2, b3) zwischen dem Bus-Master und dem betreffenden Busknoten dargestellt. Als Bezugspotenzial für die Signale auf dem Eindrahdatenbus (b1, b2, b3) und dem angeschlossenen ersten Eindrahdatenbusabschnitt (b1) des Eindrahdatenbusses (b1, b2, b3) dient hier beispielhaft die Masse mit der Bezugspotenzialleitung (GND), die auf dem Bezugspotenzial (V_0) liegt. Durch den Spannungsteiler aus einem unteren Widerstand (R_{OL}) zwischen auf dem Eindrahdatenbus (b1, b2, b3) und damit dem angeschlossenen ersten Eindrahdatenbusabschnitt (b1) des Eindrahdatenbusses (b1, b2, b3) und Bezugspotenzial (GND) und einem oberen Widerstand (R_{OH}) zwischen dem Eindrahdatenbus (b1, b2, b3) und damit dem angeschlossenen ersten Eindrahdatenbusabschnitt (b1) des Eindrahdatenbusses (b1, b2, b3) und einem vom Bezugspotenzial (V_0) verschiedenen Versorgungspotenzial (V_{IO}) wird der Eindrahdatenbus (b1, b2, b3) in Form des angeschlossenen ersten Eindrahdatenbusabschnitts (b1) zunächst auf einem mittleren Potenzial (V_M) zwischen diesen beiden Potenzialen (V_0 , V_{IO}) gehalten. Auf der Masterseite wird nun immer in einer Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) einer Systemtaktperiode (T) des Systemtaktes (TCKout₁) der dominierende Schalter (S_{1L}) geschlossen, der zwischen dem Eindrahdatenbus (b1, b2, b3) in Form des angeschlossenen ersten Eindrahdatenbusabschnitts (b1) und der Bezugspotenzialleitung (GND) geschaltet ist. Da der Innenwiderstand des dominierenden Schalters (S_{1L}) vorzugsweise kleiner als der Innenwiderstand des Spannungsteiles aus dem oberen Widerstand (R_{OH}) und dem unteren Widerstand (R_{OL}) ist, wird dadurch in der betreffenden Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) einer Systemtaktperiode (T) durch das Schließen des dominierenden Schalters (S_{1L}) der Spannungspiegel auf dem Eindrahdatenbus (b1, b2, b3) von dem besagten mittleren Potenzial (V_M) in einem zweiten Spannungsbereich (V_{B2}) auf das Potenzial des Bezugspotenzials (V_0), das sich im ersten Spannungsbereich (V_{B1}) befindet, gezogen. Der dominierende Schalter (S_{1L}) wird dabei durch den Systemtakt auf Masterseite (TCKout₁) angesteuert. Ist dieser dominierende Schalter (S_{1L}) nicht geschlossen, so können Daten bidirektional in der anderen Halbtaktperiode der mindestens zwei Halbtaktperioden (T_{1H} , T_{2H}) einer Systemtaktperiode (T) übertragen werden. Auf der Bus-Master-Seite speist dazu eine geschaltete Stromquelle (S_{1H} , I_1) Strom in den Eindrahdatenbus (b1, b2, b3) ein, wenn die Sendeleitung (TDAout₁) aus dem Inneren des Bus-Masters (BM) aktiv ist. Hierzu schließt die Sendeleitung (TDAout₁) aus dem Inneren des Bus-Masters (BM) den Schalter (S_{1H}) der steuerbaren Stromquelle (S_{1H} , I_1). Hierdurch liefert die Stromquelle (I_1) der steuerbaren Stromquelle (S_{1H} , I_1) Strom in den Eindrahdatenbus (b1, b2, b3). Vorzugsweise ist dieser Strom größer als der Strom, den der Pull-Schaltkreis bestehend aus dem oberen Widerstand (R_{OH}) und dem unteren Widerstand (R_{OL}) abführen kann. Somit wandert das Potenzial des Eindrahdatenbusses (b1, b2, b3) oder zumindest des angeschlossenen ersten Eindrahdatenbusabschnitts (b1) des Eindrahdatenbusses (b1, b2, b3) in diesem Fall vom mittleren Potenzial (V_M) in einem zweiten Spannungsbereich (V_{B2}) zu einem Potenzial nahe der Versorgungsspannung (V_{IO1}) für die schaltbare Stromquelle (S_{1H} , I_1) des Bus-Masters (BM) in dem dritten Spannungsbereich (V_{B3}). Wird jedoch der dominierende Schalter (S_{1L}) geschlossen, so überschreibt dieser den Einfluss der schaltbaren Stromquelle (S_{1H} , I_1) des Bus-Masters (BM) und des Pull-Schaltkreises bestehend aus dem oberen Widerstand (R_{OH}) und dem unteren Widerstand (R_{OL}). Beide sind bei geeigneter Auslegung des dominierenden Schalters (S_{1L}) nicht in der Lage, das Potenzial auf dem Eindrahdatenbus (b1, b2, b3) oder zumindest dem beispielhaft

angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) gegen den dominierenden Schalter (S_{1L}) zu bestimmen.

[0109] In gleicher Weise arbeitet die zweite schaltbare Stromquelle auf der Busknoten-Seite. Auf der Busknoten-Seite speist dazu eine geschaltete Stromquelle (S_{2H} , I_2) Strom in den Eindrahthdatenbus (b1, b2, b3) bzw. den angeschlossenen Eindrahthdatenbusabschnitt (b1, b2, b3) des Eindrahthdatenbusses (b1, b2, b3) ein, wenn die Sendeleitung ($TDAout_2$) aus dem Inneren des Busknotens aktiv ist. Hierzu schließt die Sendeleitung ($TDAout_2$) aus dem Inneren des Busknotens den Schalter (S_{2H}) der steuerbaren Stromquelle (S_{2H} , I_2). Hierdurch liefert die Stromquelle (I_2) der steuerbaren Stromquelle (S_{2H} , I_2) Strom in den Eindrahthdatenbus (b1, b2, b3) bzw. den angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3). Vorzugsweise ist dieser Strom wieder größer als der Strom, den der Pull-Schaltkreis bestehend aus dem oberen Widerstand (R_{0H}) und dem unteren Widerstand (R_{0L}) abführen kann. Somit wandert das Potenzial des Eindrahthdatenbusses (b1, b2, b3) bzw. des angeschlossenen Eindrahthdatenbusabschnitts (b1) in diesem Fall vom mittleren Potenzial (V_M) in einem zweiten Spannungsbereich (V_{B2}) zu einem Potenzial nahe der Versorgungsspannung (V_{IO2}) für die schaltbare Stromquelle (S_{2H} , I_2) des Bus-Knotens (BS1, BS2, BS3) in dem dritten Spannungsbereich (V_{B3}). Wird jedoch der dominierende Schalter (S_{1L}) geschlossen, so überschreibt dieser wieder den Einfluss der schaltbaren Stromquelle (S_{2H} , I_2) des Bus-Knotens und des Pull-Schaltkreises bestehend aus dem oberen Widerstand (R_{0H}) und dem unteren Widerstand (R_{0L}). Beide sind bei geeigneter Auslegung des dominierenden Schalters (S_{1L}) nicht in der Lage, das Potenzial auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) gegen den dominierenden Schalter (S_{1L}) zu bestimmen. Auch wenn die schaltbare Stromquelle (S_{1H} , I_1) des Bus-Masters (BM) ebenfalls hinzugeschaltet wird, wird bei geeigneter Auslegung des dominierenden Schalters (S_{1L}) dieser das Potenzial auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) weiterhin bestimmen.

[0110] Auf der Busknoten-Seite vergleicht ein erster Komparator (C_{2H}) das Potenzial auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) mit einem ersten Schwellwert (V_{2H}). Gleichzeitig vergleicht ein zweiter Komparator (C_{2L}) das Potenzial auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) mit einem zweiten Schwellwert (V_{2L}). Der zweite Schwellwert (V_{2L}) unterscheidet sich vom ersten Schwellwert (V_{2H}) und bestimmt die Grenze zwischen dem ersten Spannungsbereich (V_{B1}) und dem zweiten Spannungsbereich (V_{B2}). Der erste Schwellwert (V_{2H}) bestimmt die Grenze zwischen dem zweiten Spannungsbereich (V_{B2}) und dem dritten Spannungsbereich (V_{B3}). Der zweite Komparator (C_{2L}) gewinnt den Systemtakt aus dem Signal auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) zurück. Dieses Signal wird ins Innere des Busknotens als durch den Busknoten empfangenes Taktsignal ($TCKin_2$) weitergegeben. Der erste Komparator (C_{2H}) gewinnt die Dateninformation aus dem Signal auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) als durch den Busknoten empfangene Daten ($TDAin_2$) zurück. Dabei enthalten die durch den Busknoten empfangenen Daten auch noch Anteile des Systemtaktes. Dies kann durch einfaches Abtasten beispielsweise in einem Flip-Flop mit der Flanke eines leicht verzögerten Systemtaktes oder alternativ durch Verzögerung der empfangenen Daten und Abtastung mit einem nicht verzögerten Systemtakt leicht behoben werden. Ggf. müssen die Signale vor der Verwendung noch aufbereitet werden (D_{2H} , D_{2L}).

[0111] In einer Ausprägung der Erfindung könnte das Datenausgangssignal ($TDAin_2$) auf 1 durch den ersten Komparator (C_{2H}) geschaltet werden, wenn das Potenzial auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) höher als der erste Schwellwert (V_{2H}) ist, und umgekehrt auf 0 geschaltet werden, wenn das Potenzial niedriger als dieser Schwellwert ist. In einer Ausprägung der Erfindung könnte das Systemtaktsignal ($TCKin_2$) auf 1 durch den zweiten Komparator (C_{2L}) geschaltet werden, wenn das Potenzial auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) höher als der zweite Schwellwert (V_{2L}) ist, und umgekehrt auf 0 geschaltet werden, wenn das Potenzial niedriger als dieser Schwellwert ist.

[0112] In ähnlicher Weise tastet der Bus-Master (BM) mittels eines dritten Komparators (C_{1H}) den Zustand auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) ab. Hierzu vergleicht der dritte Komparator (C_{1H}) das Potenzial auf dem Eindrahthdatenbus (b1, b2, b3) oder dem angeschlossenen ersten Eindrahthdatenbusabschnitt (b1) des Eindrahthdatenbusses (b1, b2, b3) mit einem dritten Schwellwert (V_{1H}) und gewinnt dadurch die auf der Datenleitung befindlichen Daten zurück, die jedoch auch hier noch Anteile des Systemtaktes aufweisen. Auch hier hilft eine

geeignete Abtastung. Auf diese Weise werden die durch den Bus-Master (BM) empfangenen Daten ($TDAin_1$) gewonnen. In einer Ausprägung der Erfindung könnte das Datenausgangssignal ($TDAin_1$) auf 1 durch den dritten Komparator (C_{1H}) geschaltet werden, wenn das Potenzial auf dem Eindrahtdatenbus ($b1, b2, b3$) oder dem angeschlossenen ersten Eindrahtdatenbusabschnitt ($b1$) des Eindrahtdatenbusses ($b1, b2, b3$) höher als der dritte Schwellwert (V_{1H}) ist, und umgekehrt auf 0 geschaltet werden, wenn das Potenzial niedriger als dieser Schwellwert ist. Der dritte Schwellwert (V_{1H}) ist vorzugsweise bis auf einen kleinen Toleranzbereich von vorzugsweise deutlich kleiner 25% dieses Wertes gleich dem ersten Schwellwert (V_{2H}).

[0113] In der weiteren Verarbeitung können nun Schaltungen aus dem Stand der Technik für einen Datenbus mit separater Datenleitung und Systemtaktleitung verwendet werden, sodass hier auf die Beschreibung verzichtet werden kann. Beispielhaft sei auf die WO 2006/102284 A2 verwiesen.

[0114] Es ergibt sich nun folgende Tabelle der Spannungspegel und logischen Werte als eine mögliche Implementierung der Erfindung. Andere Pegel und korrespondierende logische Werte sind natürlich möglich, wie dem Fachmann klar sein wird. Man beachte dass hier in diesem Beispiel $TCKout_1 = 0$ den dominierenden Schalter (S_{1L}) schließt. Dies kann natürlich auch invertiert implementiert werden.

Senden			betrachtete Eindrahtdatenleitung/Zeitungabschnitt	Empfangen		
$TCKout_1$	$TDAout_1$	$TDAout_2$	$b1, b2, b3, b_n$	$TCKin_2$	$TDAin_1$	$TDAin_2$
0	0	0	V_0	0	0	0
0	0	1	V_0	0	0	0
0	1	0	V_0	0	0	0
0	1	1	V_0	0	0	0
1	0	0	V_M	1	0	0
1	0	1	V_{IO2}	1	1	1
1	1	0	V_{IO1}	1	1	1
1	1	1	$V_{IO1/2}$	1	1	1

[0115] Vorzugsweise stimmen der erste Schwellwert (V_{2H}) und der dritte Schwellwert (V_{1H}) überein, wodurch Bus-Master und Busknoten die gleiche Datensequenz erkennen. Durch entsprechend gesteuerte zeitliche Abtastung können diese Daten dann geeignet den Zeitschlitzten ($TIN0, TIN1, TDO$) zugeordnet werden.

[0116] Im Gegensatz zu den deutschen Patenten DE 10 2015 004 434 B3, DE 10 2015 004 433 B3, DE 10 2015 004 435 B3 und DE 10 2015 004 436 B3 weist der erfindungsgemäße Busknoten typischerweise ein Transfer-Gate (TG) auf, das die Funktion eines Schalters hat und den ersten Eindrahtdatenbusabschnitt ($b1$) mit einem nachfolgenden zweiten Eindrahtdatenbusabschnitt ($b2$) verbinden kann. Ist das Transfer-Gate (TG) geöffnet, so verbindet vorzugsweise ein zweiter Schalter (S_{3L}) den nachfolgenden zweiten Eindrahtdatenbusabschnitt ($b2$) mit dem Bezugspotenzial (GND) oder einem anderen geeigneten Potenzial. Hierdurch liegt der nachfolgende Eindrahtdatenbus ($b2, b3$) auf einem definierten Potenzial ohne dass ein Systemtakt und damit Daten übertragen werden.

Fig. 4

[0117] Fig. 4 zeigt eine beispielhafte Protokollsequenz von drei aufeinander folgenden Zeitschlitzten ($TIN0, TIN1, TDO$). In anderen Implementierungen der Erfindung kann ein Zeitschlitzpaket auch mehr als drei Zeitschlitzte ($TIN0, TIN1, TDO$) umfassen. Im ersten Zeitschlitz ($TIN0$) werden typischerweise Kontrolldaten übertragen, die dem TMS-Signal des Standard-Boundary-Scan (IEEE1149) entsprechen. Dieses Signal steuert typischerweise den Zustand des endlichen Automaten gemäß Zustandsdiagramm Fig. 1. Im zweiten Zeitschlitz ($TIN1$) werden typischerweise die Daten übertragen, die dem TDI-Signals des Standard-Boundary-Scans (IEEE 1149) entsprechen. In diesen beiden Zeitschlitzten überträgt der Bus-Master (BM) Daten auf den Busknoten. Sollte parallel auch der Busknoten senden, so überschreibt der Busknoten den Bus-Master (BM), wenn dessen schaltbare Stromquelle (S_{1H}, I_1) ausgeschaltet ist. Umgekehrt kann der Bus-Master (BM) den Busknoten überschreiben, wenn die schaltbare Stromquelle (S_{2H}, I_2) des Busknotens ausgeschaltet ist. Ein Überschreiben des Bus-Masters (BM) durch den Busknoten kann der Bus-Master (BM) dadurch detektieren,

dass die gesendeten Daten ($TDA_{out,1}$) im Hinblick auf ihren logischen Inhalt darauf durch eine Logik im Bus-Master (BM) überprüft werden, ob diese mit den empfangenen Daten ($TDA_{in,1}$) in der betreffenden Halbtaktperiode übereinstimmen, in der der Systemtakt ($TCK_{out,1}$) den dominierenden Schalter (S_{1L}) nicht schließt. Im Falle einer solchen Asynchronizität kann der Bus-Master durch permanentes Halten des Spannungspegels auf dem Eindrahtdatenbus (b_1, b_2, b_3) oder dem angeschlossenen ersten Eindrahtdatenbusabschnitt (b_1) des Eindrahtdatenbusses (b_1, b_2, b_3) im dritten Spannungsbereich (V_{B3}) bei geeigneter Auslegung der State-Machine des Test-Controllers (TAPC) der Busknoten diese wieder re-synchronisieren. Hierzu muss die State-Machine des Test-Controllers (TAPC) des Busknotens so ausgelegt sein, dass ein permanentes Halten im dritten Spannungsbereich (V_{B3}) im Kontrollfeld, also hier beispielsweise im ersten Zeitschlitz (TIN_0), zu einem Reset in Form der Einnahme eines sogenannten „Idle-States“ (TLR) als einem abwartenden Zustand des Test-Controllers (TAPC) führt. Dies ist bei einem Zustandsdiagramm eines JTAG-Controllers gemäß IEEE 1149 Standard der Fall. Dieses permanente Halten des Spannungspegels auf dem Eindrahtdatenbus (b_1, b_2, b_3) oder dem angeschlossenen ersten Eindrahtdatenbusabschnitt (b_1) des Eindrahtdatenbusses (b_1, b_2, b_3) im dritten Spannungsbereich (V_{B3}) kann durch ein dauerhaftes Einschalten der schaltbaren Stromquelle (S_{1H}, I_1) des Bus-Masters (BM) für die Dauer des Reset-Vorgangs erfolgen.

Fig. 5

[0118] Fig. 5 zeigt eine erfindungsgemäße, beispielhafte Abfolge von Signalen. Eingabe sind die mit „2 Draht Daten“ bezeichneten Zweidraht basierenden Daten. In dem Beispiel werden drei aufeinanderfolgende Zeitschlitzpakete ($n - 1, n, n + 1$) mit beispielhaft je drei Zeitschlitzen (TIN_0, TIN_1, TDO) dargestellt. Die Verwendung von mehr als drei Zeitschlitzen je Zeitschlitzpakete ist natürlich denkbar. Die Bedeutung der jeweiligen Zeitschlitze innerhalb eines Zeitschlitzpakets hängt nur von der zeitlichen Position ab und ändert sich nicht. Wenn in dieser Beschreibung vom ersten Zeitschlitz (TIN_0), zweiten Zeitschlitz (TIN_1) und dritten Zeitschlitz (TDO) die Rede ist, so ist das eine reine Bezeichnung und bezieht sich nicht auf die Position innerhalb eines Zeitschlitzpaketes. Vorzugsweise ist die zeitliche Positionierung der einzelnen mindestens drei Zeitschlitze (TIN_0, TIN_1, TDO) innerhalb der Zeitschlitzpakete immer gleich oder zumindest durch einen Algorithmus vorhersagbar. Auch zeigt die Figur den zugehörigen Systemtakt (2 Draht Takt). Im Zeitschlitzpaket $n - 1$ liefert der Busknoten im Zeitschlitz TDO_{n-1} eine logische 1 und im Zeitschlitzpakete n im Zeitschlitz TDO_n eine logische 1 und im Zeitschlitzpakete $n + 1$ im Zeitschlitz TDO_{n+1} eine logische 0. Die vom Bus-Master (BM) gesendeten Daten in den Zeitschlitzen $TIN_{0,n-1}, TIN_{1,n-1}, TIN_{0,n}, TIN_{1,n}, TIN_{0,n+1}, TIN_{1,n+1}$ sind in Ihrem logischen Gehalt nicht beispielhaft festgelegt und darum schraffiert. Das mit „TOW“ bezeichnete Signal soll den Potenzialverlauf auf dem Eindrahtdatenbus ($b_1, b_2, b_3 \dots b_n, \dots b_m$) oder einem angeschlossenen n-ten Eindrahtdatenbusabschnitt (b_n) des Eindrahtdatenbusses ($b_1, b_2, b_3 \dots b_n, \dots b_m$) schematisch veranschaulichen. Aus diesem Potenzialverlauf auf dem betroffenen Eindrahtdatenbusabschnitt (b_n) erzeugt beispielhaft der erste Komparator (C_{2H}) die durch den betroffenen Busknoten empfangenen Daten ($TDA_{in,2}$). Der zweite Komparator (C_{2L}) erzeugt beispielhaft aus dem Potenzialverlauf auf dem betroffenen Eindrahtdatenbusabschnitt (b_n) das durch den Busknoten empfangene Taktsignal ($TCK_{in,2}$), das dem rekonstruierten Systemtakt entspricht. Bei geeigneter Synchronisierung von betroffenem Busknoten und Bus-Master, erzeugt der betroffene Busknoten einen internen Systembasistakt (TCK), der erst in der zweiten Halbtaktperiode des dritten Zeitschlitzes (TDO_n) der Systemtaktperiode (T) einen Puls mit der Dauer einer Halbtaktperiode zeigt. Mit der steigenden Flanke dieses Signals übernimmt der Busknoten in diesem Beispiel die logischen Werte der vom Bus-Master gesendeten Daten ($TDA_{in,2}$) mittels der fallenden Flanke von $TCK_{in,2}$. Mit der fallenden Flanke des Systemtakts (TCK) zu Beginn des nächsten Zeitschlitzpaketes wird der in diesem Beispiel vom Busknoten zu sendende Wert (TDO) geändert. $TDA_{out,2}$ wird jedoch erst im dritten Zeitschlitz (TDO_{n+1}) des folgenden Zeitschlitzpaketes aktiv, wenn der betroffene Busknoten senden darf. Dem Fachmann ist klar, dass die Steuerung nicht nur mittels der in Fig. 5 dargestellten Steuerung über die fallende Flanke des Systemtaktes (TCK) möglich ist, sondern auch über die steigende Flanke.

Fig. 6

[0119] Fig. 6 zeigt einen beispielhaften Eindrahtdatenbus (b_1, b_2, b_3) mit drei Busknoten (BS1, BS2, BS3) und drei Eindrahtdatenbusabschnitten (b_1, b_2, b_3) und einem Busmaster (BM). Der erste Eindrahtdatenbusabschnitt (b_1) verbindet den Busmaster (BM) mit dem ersten Busknoten (BS1).

[0120] Der zweite Eindrahtdatenbusabschnitt (b_2) verbindet den zweiten Busknoten (BS2) mit dem ersten Busknoten (BS1). Der dritte Eindrahtdatenbusabschnitt (b_3) verbindet den dritten Busknoten (BS3) mit dem zweiten Busknoten (BS2).

[0121] Der Eindrahtdatenbus wird durch einen Bus-Master (BM) mittels einer Master-Eindrahtdatenbusschnittstelle (OWM) gesteuert, an die der erste Eindrahtdatenbusabschnitt (b1) angeschlossen ist.

[0122] Die erste Eindrahtdatenbusschnittstelle (OWS1) ist mit dem ersten Eindrahtdatenbusabschnitt (b1) verbunden. Sie empfängt über diesen ersten Eindrahtdatenbusabschnitt (b1) Daten vom Bus-Master und sendet solche zu diesem. Intern stellt sie einen ersten rekonstruierten Systemtakt (TCK1) bereit, mit dem die interne JTAG-Schnittstelle des ersten Busknotens betrieben wird. Des Weiteren stellt sie das erste kombinierte TMS-TDI-Signal (TMS_TDI1) bereit, das in diesem Beispiel im Zeitmultiplex das Test-Mode-Signal (TMS) und das Dateneingangssignal (TDI) umfasst. Mit dem Test-Mode-Signal (TMS) wird der endliche Automat (finite state machine) des Test-Controllers (TAPC) der JTAG-Schnittstelle des ersten Busknotens gesteuert. Die Daten des TDI-Signalanteils werden zum Beschicken der Schieberegister der JTAG-Schnittstelle des ersten Busknotens benutzt. Umgekehrt liefert die JTAG-Schnittstelle mit dem seriellen TDO Ausgangssignal Daten aus den Registern der JTAG-Schnittstelle des ersten Busknotens zurück. Durch ein erstes Transfer-Gate (TG1) kann der erste Eindrahtdatenbusabschnitt (b1) mit dem nachfolgenden zweiten Eindrahtdatenbusabschnitt (b2) verbunden werden. Hierzu beschreibt der Bus-Master ein hier nicht gezeichnetes Transfergate-Control-Register (TGCR) über den JTAG-Bus und setzt ein Flag, das die erste Enable-Leitung (en1) setzt oder löscht. In Abhängigkeit von dieser ersten Enable-Leitung (en1) wird das erste Transfer-Gate (TG1) des ersten Busknotens geöffnet und geschlossen. Somit kann mittels eines Befehls vom Bus-Master (BM) der Eindrahtdatenbus (b1, b2, b3) verlängert und verkürzt werden.

[0123] Die zweite Eindrahtdatenbusschnittstelle (OWS2) ist mit dem zweiten Eindrahtdatenbusabschnitt (b2) verbunden. Sie empfängt über diesen ersten Eindrahtdatenbusabschnitt (b2) Daten vom Bus-Master (BM), wenn der erste Busknoten (BS1) sein Transfer-Gate (TG1) geschlossen hat. Die zweite Eindrahtdatenbusschnittstelle (OWS2) sendet auch solche Daten zu dem Bus-Master (BM). Intern stellt sie einen zweiten rekonstruierten Systemtakt (TCK2) bereit, mit dem die interne JTAG-Schnittstelle des zweiten Busknotens (BS2) betrieben wird. Des Weiteren stellt sie das zweite kombinierte TMS-TDI-Signal (TMS_TDI2) bereit, das in diesem Beispiel im Zeitmultiplex das Test-Mode-Signal (TMS) und das Dateneingangssignal (TDI) umfasst. Mit dem Test-Mode-Signal (TMS) wird der endliche Automat (finite state machine) des Test-Controllers (TAPC) der JTAG-Schnittstelle des zweiten Busknotens (BS2) gesteuert. Die Daten des TDI-Signalanteils werden zum Beschicken der Schieberegister der JTAG-Schnittstelle des zweiten Busknotens benutzt. Umgekehrt liefert die JTAG-Schnittstelle des zweiten Busknotens mit dem seriellen TDO Ausgangssignal Daten aus den Registern der JTAG-Schnittstelle des zweiten Busknotens zurück. Durch ein zweites Transfer-Gate (TG2) kann der zweite Eindrahtdatenbusabschnitt (b2) mit dem dritten Eindrahtdatenbusabschnitt (b3) verbunden werden. Hierzu beschreibt der Bus-Master ein hier nicht gezeichnetes Transfergate-Control-Register (TGCR) über den JTAG-Bus und setzt ein Flag, das die zweite Enable-Leitung (en2) setzt oder löscht. In Abhängigkeit von dieser zweiten Enable-Leitung (en2) wird das zweite Transfer-Gate (TG2) des zweiten Busknotens geöffnet und geschlossen. Somit kann mittels eines Befehls vom Bus-Master (BM) der Eindrahtdatenbus (b1, b2, b3) noch weiter verlängert und verkürzt werden.

[0124] Die dritte Eindrahtdatenbusschnittstelle (OWS3) ist mit dem dritten Eindrahtdatenbusabschnitt (b3) verbunden. Sie empfängt über diesen dritten Eindrahtdatenbusabschnitt (b3) Daten vom Bus-Master (BM), wenn der erste Busknoten (BS1) sein Transfer-Gate (TG1) geschlossen hat und wenn der zweite Busknoten (BS2) ebenfalls sein zweites Transfer-Gate (TG2) geschlossen hat. Die dritte Eindrahtdatenbusschnittstelle (OWS3) sendet auch solche Daten zu dem Bus-Master (BM). Intern stellt sie einen dritten rekonstruierten Systemtakt (TCK3) bereit, mit dem die interne JTAG-Schnittstelle des dritten Busknotens (BS3) betrieben wird. Des Weiteren stellt sie das dritte kombinierte TMS-TDI-Signal (TMS_TDI3) bereit, das in diesem Beispiel im Zeitmultiplex das Test-Mode-Signal (TMS) und das Dateneingangssignal (TDI) für die JTAG-Schnittstelle des dritten Busknotens (BS3) umfasst. Mit dem Test-Mode-Signal (TMS) wird der endliche Automat (finite state machine) des Test-Controllers (TAPC) der JTAG-Schnittstelle des dritten Busknotens (BS3) gesteuert. Die Daten des TDI-Signalanteils werden zum Beschicken der Schieberegister der JTAG-Schnittstelle des dritten Busknotens (BS3) benutzt. Umgekehrt liefert die JTAG-Schnittstelle des dritten Busknotens (BS3) mit dem seriellen TDO-Ausgangssignal Daten aus den Registern der JTAG-Schnittstelle des dritten Busknotens (BS3) zurück. Durch ein drittes Transfer-Gate (TG3) kann der dritte Eindrahtdatenbusabschnitt (b3) mit weiteren Eindrahtdatenbusabschnitten (b_n) verbinden. Hier soll der dritte Busknoten aber beispielhaft den Eindrahtdatenbus (b1, b2, b3) abschließen.

[0125] Jeder der Busknoten ist mit Gruppen von Leuchtmitteln (LM1, LM2, LM3) verbunden, die durch den jeweiligen Busknoten (BS1, BS2, BS3) gesteuert werden. Andere Verbraucher elektrischer Energie sind natürlich denkbar.

Fig. 7

[0126] Fig. 7 entspricht der Aneinanderreihung zweier Busknotendatenbusschnittstellen in Form von zwei rechten Hälften der Fig. 3. Ein vorausgehender n -ter Eindrahtdatenbusabschnitt (b_n) ist mit einem n -ten Busknoten (BS_n) verbunden. Dieser n -te Busknoten (BS_n) kann mittels seines TransfERGatters (TG) diesen vorausgehenden n -ten Eindrahtdatenbusabschnitt (b_n) mit dem $n + 1$ -ten Eindrahtdatenbusabschnitt ($b_{(n+1)}$) verbinden. Sofern das Transfer-Gatter des n -ten Busknotens (BS_n) geöffnet ist, legt ein dritter Schalter (S_{3L}) das Potenzial des $n + 1$ -ten Eindrahtdatenbusabschnitts ($b_{(n+1)}$) und damit aller nachfolgenden Eindrahtdatenbusabschnitte ($b_{(n+2)}$) auf ein definiertes Potenzial (GND) und verhindert damit die versehentliche Datenübertragung.

[0127] Der $n + 1$ -te Busknoten ($BS_{(n+1)}$) kann mittels seines TransfERGatters (TG) wieder diesen vorausgehenden $n + 1$ -ten Eindrahtdatenbusabschnitt ($b_{(n+1)}$) mit dem $n + 2$ -ten Eindrahtdatenbusabschnitt ($b_{(n+2)}$) verbinden. Sofern das Transfer-Gatter des $n + 1$ -ten Busknotens ($BS_{(n+1)}$) geöffnet ist, legt ein dritter Schalter (S_{3L}) wieder das Potenzial des $n + 2$ -ten Eindrahtdatenbusabschnitts ($b_{(n+2)}$) und damit aller nachfolgenden Eindrahtdatenbusabschnitte ($b_{(n+3)}$), sofern vorhanden, auf ein definiertes Potenzial (GND) und verhindert damit die versehentliche Datenübertragung.

Fig. 8

[0128] Fig. 8 zeigt einen Implementierungsvorschlag für eine Master-Eindrahtdatenbusschnittstelle (OWM) mit beispielhaft umgekehrten Spannungsvorzeichen gegenüber dem in den bisherigen Figuren gezeigten Realisierungsvorschlag. Ein Spannungsregler (PS) erzeugt aus einer externen Versorgungsspannung (V_{ext1}) eine Referenzspannung (V_{REF}). Der nur einmal notwendige untere Widerstand (R_{0L}) und der obere Widerstand (R_{0H}) des Spannungsteilerpaares, das beispielhaft den Pull-Schaltkreis bildet, werden durch den ersten Widerstand ($R1$) und den zweiten Widerstand ($R2$) gebildet. Der Pull-Schaltkreis hält den Eindrahtdatenbus ($b1, b2, b3$) im zweiten Spannungsbereich (V_{B2}) auf einem mittleren Potenzial (V_M), wenn keiner der anderen Sender ($S_{1L}, S_{1H}, I_1, S_{2H}, I_2$) aktiv ist. Hier ist beispielhaft der erste Eindrahtdatenbusabschnitt ($b1$) am Ausgang der Master-Eindrahtdatenbusschnittstelle (OWM) angeschlossen. Der Schalter (S_{1H}) der steuerbaren Stromquelle (S_{1H}, I_1) für den Sender des Bus-Masters wird durch den zweiten Transistor ($T2$) gebildet. Der dominierende Schalter (S_{1L}) wird durch den ersten Transistor ($T1$) gebildet. Der zweite Transistor ($T2$) ist in diesem Beispiel ein N-Kanal-Transistor. Der erste Transistor ($T1$) ist in diesem Beispiel ein P-Kanal-Transistor. Über einen beispielhaften invertierenden Pufferschaltkreis (buf) wird der erste Transistor ($T1$) mit dem Systemtakt (TCK) angesteuert. Über ein NOR-Gatter (NOR) wird der zweite Transistor ($T2$) mit dem kombinierten TMS-TDI Signal (TMS_TDI) angesteuert, wenn das Systemtaktsignal (TCK) inaktiv ist. Durch den Spannungsteiler ($R3$) wird eine Referenzspannung erzeugt, mit der der Komparator (cmp) den Spannungspegel auf dem angeschlossenen ersten Eindrahtdatenbusabschnitt ($b1$) vergleicht und das Datensignal (TDO) für die weitere Verarbeitung innerhalb des Busmasters (BM) erzeugt.

Fig. 9

[0129] Fig. 9 zeigt eine beispielhafte Implementierung der n -ten Eindrahtdatenbusschnittstelle (OWS_n) eines n -ten Busknotens (BS_n) der Busknoten ($BS1, BS2, BS3$) mit beispielhaft umgekehrten Spannungsvorzeichen passend zur Master-Eindrahtdatenbusschnittstelle (OWM) der Fig. 8. Die Eindrahtdatenbusschnittstelle (OWS_n) des n -ten Busknotens (BS_n) ist beispielhaft an den n -ten Eindrahtdatenbusabschnitt (b_n) angeschlossen. Der Schalter der steuerbaren Stromquelle (S_{2H}, I_2) für den Sender des Busknotens wird durch den dritten Transistor ($T3$) gebildet. Dessen Innenwiderstand wird durch den seriell geschalteten siebten Widerstand ($R7$) bestimmt. Durch den Spannungsteiler aus dem vierten Widerstand ($R4$), dem fünften Widerstand ($R5$) und den sechsten Widerstand ($R6$) werden zwei Referenzspannungen aus der Versorgungsspannung (V_{bat}) des Busknotens erzeugt. Mit diesen zwei Referenzspannungen vergleichen ein zweiter Komparator ($cmp2$) und ein dritter Komparator ($cmp3$) das Potenzial auf dem beispielhaft angeschlossenen n -ten Eindrahtdatenbusabschnitt (b_n). Sie erzeugen hieraus den rekonstruierten Systemtakt (TCK_n) des n -ten Busknotens (BS_n) und das n -te kombinierte TMS-TDI-Signal (TMS_TDI_n) innerhalb des n -ten Busknotens (BS_n) für die Ansteuerung des Test-Controllers (TAPC) der JTAG-Schnittstelle innerhalb des n -ten Busknotens (BS_n). Hierbei werden Takt und Daten durch eine Verzögerungseinheit (Δt) für das kombinierte TMS-TDI-Signal (TMS_TDI_n) wieder synchronisiert. Das Ausgangssignal der JTAG-Schnittstelle des n -ten Busknotens (BS_n) wird in diesem Beispiel genutzt, um über einen invertierenden zweiten Pufferschaltkreis ($buf2$) den dritten Transistor ($T3$) anzusteuern. Dem Fachmann wird es ein Leichtes sein, die zeitliche Struktur der Signale durch eine geeignete Logik sicherzustellen.

Fig. 10

[0130] Fig. 10 zeigt die innere Struktur einer erfindungsgemäßen JTAG-Schnittstelle. Diese ist zu der in dem IEEE 1149 Standard vorgesehenen Architektur kompatibel, sodass die auf dem Markt erhältliche Software genutzt werden kann, was einen erheblichen Vorteil darstellt.

[0131] In diesem Beispiel wird das kombinierte TMS-TDI-Signal (TMS_TDI_n) in einer Testdatenaufbereitung (TB) synchron zum Systemtakt (TCK) in das Test-Mode-Signal (TMS) und die seriellen Eingangsdaten (TDI) zerlegt. Mit dem Test-Mode-Signal (TMS) wird wieder der Test-Controller (TAPC) synchron zum Takt entsprechend dem bereits aus dem Stand der Technik bekannten und bei der Beschreibung der Fig. 1 besprochen Zustandsdiagramm gesteuert. Dieses Zustandsdiagramm eines Test-Controllers (TAPC) kennzeichnet im Sinne dieser Offenbarung eine JTAG-Schnittstelle, da durch Einhaltung dieses Zustandsdiagramms erst Software-Kompatibilität hergestellt wird. Durch das Steuersignal (sir_sdr) für den ersten Multiplexer (MUX1) schaltet der Test-Controller zwischen dem Instruktionsregister (IR) und den Datenregistern (BR, IDCR, RX, ILR) mittels des ersten Multiplexers (MUX1) um. Der serielle Dateneingang (TDI) wird auf alle Datenregister (BR, IDCR, RX, ILR), das Instruktionsregister (IR) und ggf. weitere Datenregister geleitet. Alle diese Register sind typischerweise zweistufig ausgeführt. Das bedeutet, dass sie über ein Schieberegister einer Bit-Länge m und parallel dazu über ein Schattenregister der gleichen Länge m verfügen. Das Schieberegister dient dem Datentransport, während das Schattenregister die gültigen Daten enthält. Wie oben beschrieben, werden die Daten in Abhängigkeit vom Zustand des Test-Controllers (TAPC) in das Schattenregister vom Schieberegister geladen oder vom Schattenregister in das Schieberegister geladen oder geschoben oder ruhen. In dem Beispiel der Fig. 10 steuert ein Instruktionsdekoder (IRDC) in Abhängigkeit vom Inhalt des Instruktionsregisters (IR) die JTAG-Schnittstelle. Beispielsweise ist es denkbar, dass der betreffende Busknoten nur dann senden darf, wenn das Schattenregister des Instruktionsregisters (IR) an bestimmten Bit-Positionen bestimmte Werte, also eine bestimmte Sendeadresse enthält. Eine solche Adressierung kann aber auch in einem separaten Senderegister (SR) vorgenommen werden.

[0132] Besonders bevorzugt verfügt die JTAG-Schnittstelle über ein Busknotenadressregister (BKADR). Dieses gibt die Identifikationsnummer des Busknotens an. Des Weiteren verfügt die JTAG Schnittstelle bevorzugt über ein Senderegister (SR). Dieses Senderegister (SR) wird durch den Busmaster (BM) gesetzt und gibt die Nummer des Busknotens an, der senden soll/darf. Nur, wenn beide Adressen, die Adresse im Busknotenadressregister (BKADR) und die Adresse im Senderegister (SR) übereinstimmen, darf der betreffende Busknoten (BS_n) zur vorbestimmten Zeit senden. Um die Busknotenadressen in den Busknotenadressregistern (BKADR) der Busknoten bei der Initialisierung des Eindrahtdatenbussystems zu setzen, sind zu Anfang alle Transfer-Gates (TG) aller Busknoten geöffnet. Dies kann vorzugsweise durch einen speziellen Befehl an alle erreichbaren Instruktionsregister (IR) aller an den Eindrahtdatenbus ($b1, b2, b3$) angeschlossenen erfindungsgemäßen JTAG-Schnittstellen und erreichbaren Busknoten geschehen. Hierfür müssen die Instruktionsregister (IR) dieser JTAG Schnittstellen in den niederwertigsten Bits, das sind die zuerst beschriebenen Schieberegisterbits, übereinstimmen. Der Busmaster (BM) vergibt nach einem festgelegten Algorithmus dann die erste Busadresse an den ersten und einzigen Busknoten ($BS1$), der direkt mit ihm verbunden ist durch Beschreiben des ersten Busknotenadressregister (BKADR) des ersten Busknotens ($BS1$). Dann testet der Busmaster (BM) typischer-, aber nicht notwendiger Weise die Verbindung. Vorzugsweise kann das Busknotenadressregister (BKADR) des betreffenden Busknotens nur beschrieben werden, wenn das Transfer-Gate (TG) des betreffenden Busknotens nicht geschlossen ist. Hierdurch wird sichergestellt, dass nur der letzte Busknoten, also der erste Busknoten in der Folge von Busknoten vom Busmaster aus, der sein Transfer-Gate (TG) nicht geschlossen hat, eine Busknotenadresse in sein Busknotenadressregister (BKADR) übernimmt. Nach einer solchen Übernahme wird das Transfer-Gate (TG) typischerweise automatisch oder per Software-Befehl des Bus-Masters geschlossen. Damit wird die im Busadressregister gespeicherte Busknotenadresse eingefroren. Gleichzeitig kann nun die Adressierung des nachfolgenden Busknotens erfolgen. Um ein geordnetes Rücksetzen des Bussystems zu ermöglichen, wird beispielsweise ein für alle Busknoten gleicher Befehl im Instruktionsregister (IR) vorgesehen, der alle Transfer-Gatter aller Busknoten öffnet, sodass eine Neuvergabe von Adressen erfolgen kann. Sofern nach einer Adressvergabe der Busknoten mit dieser Busknotenadresse nicht antwortet, ist der Busknoten entweder defekt oder existiert nicht. Im letzteren Fall kennt dann der Bus-Master die Position aller Busknoten und deren Anzahl.

[0133] Die beispielhafte JTAG-Schnittstelle der Fig. 10 umfasst ein Standard gemäße Bypass-Register (BR), das zum Vorbeileiten von Daten durch die JTAG-Schnittstelle dient. Darüber hinaus umfasst es in diesem Beispiel ein Identifikationsregister (IDCR) zum Auslesen einer Seriennummer des Schaltkreises und weitere Datenregister (RX), die dem JTAG-Standard entsprechen. Diese können beispielsweise Testregister und andere Register sein.

[0134] Erfindungsgemäß ist nun ein Beleuchtungsregister (ILR) vorgesehen. Im Beleuchtungsregister (ILR) legt der Bus-Master (BM) Daten zur Einstellung der Energieversorgungen für die Leuchtmittel (LM) ab. Typischerweise handelt es sich bei den Energieversorgungen um ein oder mehrere (hier drei) Puls-Weiten-Modulations-(PWM-)Treiber (PWM1, PWM2, PWM3), die eine puls-weiten-(PWM-)modulierte Ausgangsspannung oder einen entsprechend modulierten Strom erzeugen.

Fig. 11

[0135] Fig. 11 zeigt die Fig. 10 mit dem Unterschied, dass die JTAG-Schnittstelle zusätzlich ein Beleuchtungsinstruktionsregister (ILIR) aufweist. Dieses steuert einen dritten Multiplexer (MUX3). Dieser kann die seriellen Eingabedaten für das Beleuchtungsregister (ILR) zwischen einem seriellen Eingang für Beleuchtungsdaten (SILDI_n) und dem seriellen Dateneingang (TDI) mittels eines Beleuchtungsdatenauswahlsignals (ilds) umschalten. Gleichzeitig wird der Ausgang des Beleuchtungsregisters (ILR) auf den seriellen Ausgang für Beleuchtungsdaten (SILDO_n) kopiert.

Fig. 12

[0136] Fig. 12 zeigt die mögliche direkte Verbindung mehrerer Schaltkreise mit JTAG-Controllern entsprechend Fig. 11 über eine Verkettung mittels der Eingänge für Beleuchtungsdaten (SILD11, SILD12, SILD13) und entsprechender Ausgänge für Beleuchtungsdaten (SILDO1, SILDO2, SILDO3).

[0137] Hierdurch ist es möglich, ohne komplizierte Adressierung schnell Daten für ganze Gruppen von Leuchtmitteln zu übertragen, da nur noch ein Baustein adressiert werden muss.

Fig. 13

[0138] Fig. 13 zeigt eine JTAG-Schnittstelle wie in Fig. 10 mit dem Unterschied, dass Sie ein separates Transfer-Gate-Control-Register (TGCR) aufweist. Anstatt das Flag für das Öffnen und Schließen des Transfer-Gate (TG) im Instruktionsregister (IR) zu platzieren, kann auch ein separates Transfer-Gate-Control-Register (TGCR) vorgesehen werden, das die entsprechende Enable-Leitung (en_n) des entsprechenden Busknotens (BS_n) erzeugt.

Bezugszeichenliste

b1 – erster Eindrahdatenbusabschnitt
 b2 – zweiter Eindrahdatenbusabschnitt
 b3 – dritter Eindrahdatenbusabschnitt
 b_n – n-ter Eindrahdatenbusabschnitt
 BKADR – Busknotenadressregister
 BM – Bus-Master
 BR – Bypass-Register
 BS1 – beispielhafter erster Busknoten
 BS2 – beispielhafter zweiter Busknoten
 BS3 – beispielhafter dritter Busknoten
 BS_n – beispielhafter n-ter Busknoten (Der relevante Busknoten wird an verschiedenen Stellen dieser Offenbarung mit BS_n bezeichnet)
 buf – Pufferschaltkreis.
 buf2 – zweiter Pufferschaltkreis.

Busknoten – Busknoten-Schaltkreis. Der Busknoten ist typischerweise der integrierte Schaltkreis oder ein sonstiges elektrisches System, das durch den Host-Prozessor, den Bus-Master, über die Eindrahdatenbus (b1, b2, b3) bzw. zumindest einen angeschlossenen Eindrahdatenbusabschnitt (b1, b2, b3) gesteuert wird.

Bus-Master – Masterschaltkreis. Der Bus-Master ist typischerweise der Host-Prozessor, über den der integrierte Schaltkreis, der Busknoten, gesteuert wird.

C_{2H} – erster Komparator auf Busknoten Seite. Der erste Komparator vergleicht den Spannungspegel auf dem Eindrahdatenbus (b1, b2, b3) bzw. auf dem angeschlossenen Eindrahdatenbusabschnitt (b1, b2, b3) mit einem ersten Schwellwert (V_{2H}) und gibt über eine erste Aufbereitung (D_{2H}) das durch den Busknoten empfangene Datensignal an das Innere der Schaltung des Busknotens, typischerweise der integrierten Schaltung oder des zu testenden oder zu steuernden Systems weiter. Der erste Komparator detektiert das Wechseln des Spannungspegels auf dem Eindrahdatenbus (b1, b2, b3) bzw. auf dem ange-

schlossenen Eindrahdatenbusabschnitt (b1, b2, b3) vom dritten Spannungsbereich (V_{B3}) auf der einen Seite in den ersten Spannungsbereich (V_{B1}) oder zweiten Spannungsbereich (V_{B2}) auf der anderen Seite und umgekehrt.

C_{2L} – zweiter Komparator auf Busknoten Seite. Der zweite Komparator vergleicht den Spannungspegel auf dem Eindrahdatenbus (b1, b2, b3) bzw. auf dem angeschlossenen Eindrahdatenbusabschnitt (b1, b2, b3) mit einem zweiten Schwellwert (V_{2L}) und gibt über eine zweite Aufbereitung (D_{2L}) das durch den Busknoten empfangene Taktsignal an das Innere der Schaltung des Busknotens, typischerweise der integrierten Schaltung oder des zu testenden oder zu steuernden Systems weiter. Der zweite Komparator detektiert das Wechseln des Spannungspegels auf dem Eindrahdatenbus (b1, b2, b3) bzw. auf dem angeschlossenen Eindrahdatenbusabschnitt (b1, b2, b3) vom ersten Spannungsbereich (V_{B1}) auf der einen Seite in den dritten Spannungsbereich (V_{B3}) oder zweiten Spannungsbereich (V_{B2}) auf der anderen Seite und umgekehrt.

C_{1H} – dritter Komparator auf Master Seite. Der dritte Komparator vergleicht den Spannungspegel auf dem Eindrahdatenbus (b1, b2, b3) bzw. auf dem angeschlossenen Eindrahdatenbusabschnitt (b1, b2, b3) mit einem dritten Schwellwert (V_{1H}) und gibt das durch den Master empfangene Datensignal an das Innere der Schaltung des Masters, typischerweise den Host-Prozessor, weiter. Der dritte Komparator detektiert das Wechseln des Spannungspegels auf dem Eindrahdatenbus (b1, b2, b3) bzw. auf dem angeschlossenen Eindrahdatenbusabschnitt (b1, b2, b3) vom dritten Spannungsbereich (V_{B3}) auf der einen Seite in den ersten Spannungsbereich (V_{B1}) oder zweiten Spannungsbereich (V_{B2}) auf der anderen Seite und umgekehrt.

CIR – Zustand „Instruktionsregisterdaten laden“ des Test-Controllers

CDR – Zustand „Datenregisterdaten laden“ des Test-Controllers

cmp – Komparator

cmp2 – zweiter Komparator

cmp3 – dritter Komparator

D_{1H} – erste Aufbereitung.

D_{2H} – zweite Aufbereitung.

DR – Datenregister der JTAG-Schnittstelle (Es sind typischerweise mehrere Datenregister parallel geschaltet und werden über den zweiten Multiplexer (MUX2) während der Lesens der Datenregister (DR) ausgewählt.)

drs – Auswahlssignal für das Datenregister, das gelesen werden soll.

Δt – Verzögerungseinheit für das kombinierte TMS-TDI-Signal (TMS_TDI_n)

EDR1 – Zustand „Datenregister Exit 1“ des Test-Controllers (TAPC)

EDR2 – Zustand „Datenregister Exit 2“ des Test-Controllers (TAPC)

EIR1 – Zustand „Instruktionsregister Exit 1“ des Test-Controllers (TAPC)

EIR2 – Zustand „Instruktionsregister Exit 2“ des Test-Controllers (TAPC)

en1 – erste Enable-Leitung zum Öffnen und Schließen des ersten Transfer-Gates (TG1) des ersten Busknotens (BS1)

en2 – zweite Enable-Leitung zum Öffnen und Schließen des zweiten Transfer-Gates (TG2) des zweiten Busknotens (BS2)

en3 – dritte Enable-Leitung zum Öffnen und Schließen des dritten Transfer-Gates (TG3) des dritten Busknotens (BS3)

en_n – n-te Enable-Leitung zum Öffnen und Schließen des dritten Transfer-Gates (TG3) des n-ten Busknotens (BS_n)

GND – Bezugspotenzialleitung. Diese liegt typischerweise aber nicht notwendigerweise auf Masse. Sie besitzt das Bezugspotenzial (V_0).

I_1 – Stromquelle der steuerbaren Stromquelle (S_{1H} , I_1) für den Sender des Masters, also typischerweise des Host-Prozessors.

I_2 – Stromquelle der steuerbaren Stromquelle (S_{2H} , I_2) für den Sender des Busknotens, also der integrierten Schaltung oder des zu testenden oder steuernden Systems.

IDCR – Identifikationsregister

lids – Beleuchtungsdatenauswahlsignal

ILR – Beleuchtungsregister

ILIR – Beleuchtungsinstruktionsregister

IR – Instruktionsregister der JTAG-Schnittstelle

IRDC – Instruktionsdekoder

LED – Leuchtdiode. Es kann sich im Sinne dieser Erfindung auch um die Parallel- und/oder Serienschaltung mehrerer LEDs handeln.

LM1 – Leuchtmittelgruppe 1, die durch den ersten Busknoten (BS1) gesteuert wird.

LM2 – Leuchtmittelgruppe 2, die durch den zweiten Busknoten (BS2) gesteuert wird.

LM3 – Leuchtmittelgruppe 3, die durch den dritten Busknoten (BS3) gesteuert wird.

MUX1 – erster Multiplexer innerhalb der JTAG Schnittstelle zum Umschalten zwischen den Datenregistern (DR) und dem Instruktionsregister (IR)

MUX2 – zweiter Multiplexer innerhalb der JTAG-Schnittstelle zum Auswählen des aktiven Datenregisters (DR)

MUX3 – dritter Multiplexer zum Umschalten zwischen einem seriellen Eingang für Beleuchtungsdaten (SILDI_n) und den seriellen Eingangsdaten (TDI).

NOR – invertierender ODER-Schaltkreis

OWM – Master-Eindrahtdatenbusschnittstelle

OWS1 – erste Eindrahtdatenbusschnittstelle

OWS2 – zweite Eindrahtdatenbusschnittstelle

OWS3 – dritte Eindrahtdatenbusschnittstelle

OWS_n – Eindrahtdatenbusschnittstelle des n-ten Busknotens

PCM – Puls-Code-Modulation

PDM – Puls-Dichte-Modulation

PDR – Zustand „Pause Datenregister“ des Test-Controllers (TAPC)

PFM – Puls Frequenz Modulation

PIR – Zustand „Pause Instruktionsregister“ des Test-Controllers (TAPC)

POM – Pulse-On-Time Modulation und/oder Pulse-Off-Time-Modulation

PS – Spannungsregler

PWM – Puls-Weiten-Modulation. (Dieser Begriff umfasst im Sinne dieser Offenbarung alle bekannten Arten der Puls-Modulation wie beispielsweise PFM, PCM, PDM, POM etc.)

PWM1 – erste PWM-Einheit

PWM2 – zweite PWM-Einheit

PWM3 – dritte PWM-Einheit

R₀ – Innenwiderstand des Pull-Schaltkreises (R_{0H}, R_{0L}), der als vierte reale Spannungsquelle den Eindrahtdatenbus (b1, b2, b3) bzw. den angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) auf einem mittleren Potenzial (V_M) hält, wenn die anderen Sender (S_{1L}, S_{1H}, I₁, S_{2H}, I₂) nicht aktiv sind. (Nicht in den Figuren eingezeichnet)

R_{0L} – unterer Widerstand des Spannungsteilerpaares, das beispielhaft den Pull-Schaltkreis bildet. Der Pull-Schaltkreis hält den Eindrahtdatenbus (b1, b2, b3) bzw. den angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) im zweiten Spannungsbereich (V_{B2}) auf einem mittleren Potenzial (V_M), wenn keiner der anderen Sender (S_{1L}, S_{1H}, I₁, S_{2H}, I₂) aktiv ist.

R_{0H} – oberer Widerstand des Spannungsteilerpaares, das beispielhaft den Pull-Schaltkreis bildet. Der Pull-Schaltkreis hält den Eindrahtdatenbus (b1, b2, b3) bzw. den angeschlossenen Eindrahtdatenbusabschnitt (b1, b2, b3) im zweiten Spannungsbereich (V_{B2}) auf einem mittleren Potenzial (V_M), wenn keiner der anderen Sender (S_{1L}, S_{1H}, I₁, S_{2H}, I₂) aktiv ist.

R1 – erster Widerstand

R_{1H} – Innenwiderstand der zweiten schaltbaren realen Spannungsquelle, die durch die schaltbare Stromquelle (S_{1H}, I₁) des Masters gebildet wird. (Nicht in den Figuren eingezeichnet)

R2 – zweiter Widerstand

R_{2H} – Innenwiderstand der dritten schaltbaren realen Spannungsquelle, die durch die schaltbare Stromquelle (S_{1H}, I₁) des Busknotens gebildet wird. (Nicht in den Figuren eingezeichnet)

R3 – Spannungsteiler

R4 – vierter Widerstand

R5 – fünfter Widerstand

R6 – sechster Widerstand

R7 – siebter Widerstand zur Einstellung des Innenwiderstands des Schalters der steuerbaren Stromquelle (S_{2H}, I₂) für den Sender des Busknotens

RUN – Zustand „Warten“ des Test-Controllers (TAPC)

RX – weitere Datenregister (DR), die dem JTAG-Standard entsprechen

S_{1L} – dominierender Schalter. Der dominierende Schalter zwingt typischerweise die Datenleitung (TOW) auf das Potenzial des Bezugspotenzials (V₀), indem er im Falle des Einschaltens die Datenleitung (TOW) mit der Bezugspotenzialleitung (GND) verbindet.

S_{1H} – Schalter der steuerbaren Stromquelle (S_{1H}, I₁) für den Sender des Masters, also typischerweise des Host-Prozessors.

S_{2H} – Schalter der steuerbaren Stromquelle (S_{2H}, I₂) für den Sender des Busknotens.

SDRS – Zustand „Start des Datenregisterschiebens“ im Test-Controller (TAPC)

SILDI_n – serieller Eingang für Beleuchtungsdaten

SILDI1 – erster serieller Eingang für Beleuchtungsdaten des ersten Busknotens (BS1)

SILDI2 – zweiter serieller Eingang für Beleuchtungsdaten des zweiten Busknotens (BS2)
 SILDI3 – dritter serieller Eingang für Beleuchtungsdaten des dritten Busknotens (BS3)
 SILDO_n – serieller Ausgang für Beleuchtungsdaten
 SILDO1 – erster serieller Ausgang für Beleuchtungsdaten des ersten Busknotens (BS1)
 SILDO2 – zweiter serieller Ausgang für Beleuchtungsdaten des zweiten Busknotens (BS2)
 SILDO3 – dritter serieller Ausgang für Beleuchtungsdaten des dritten Busknotens (BS3)
 SIRS – Zustand „Start des Instruktionsregisterschiebens“ im Test-Controller (TAPC)
 SIR – Zustand „Schieben Instruktionsregister“ des Test-Controllers (TAPC)
 sir_sdr – Steuersignal für den ersten Multiplexer (MUX1) zwischen Instruktionsregister (IR) und Datenregistern (DR)
 SDR – Zustand „Schieben Datenregister“ des Test-Controllers (TAPC)
 SR – Senderegister
 T – Systemtaktperiode
 T1 – erster Transistor
 T_{1H} – erste Halbtaktperiode von mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) der Systemtaktperiode (T)
 T2 – zweiter Transistor
 T_{2H} – zweite Halbtaktperiode von mindestens zwei Halbtaktperioden (T_{1H}, T_{2H}) der Systemtaktperiode (T)
 T3 – dritter Transistor
 TAPC – Test-Controller
 TB – Datenaufbereitung
 TCK – Takteingang (Testtakeingang) und Systemtakt
 TCK1 – erster rekonstruierter Systemtakt innerhalb des ersten Busknotens (BS1)
 TCK2 – zweiter rekonstruierter Systemtakt innerhalb des zweiten Busknotens (BS2)
 TCK3 – dritter rekonstruierter Systemtakt innerhalb des dritten Busknotens (BS3)
 TCK_n – n-ter rekonstruierter Systemtakt innerhalb des n-ten Busknotens (BS_n)
 TCKin₂ – durch den betrachteten Busknoten empfangenes Taktsignal (rekonstruierter Systemtakt).
 TCKout₁ – durch den Bus-Master zu sendendes Taktsignal (Systemtakt).
 TDAin₁ – durch den Bus-Master (BM) empfangene Daten.
 TDAin₂ – durch den Busknoten (BS1, BS2, BS3) empfangene Daten.
 TDAout₁ – Sendedaten aus dem Inneren des Bus-Masters (BM).
 TDAout₂ – Sendedaten aus dem Inneren des Busknotens (BS1, BS2, BS3).
 TDI – serieller Dateneingang (Testdateneingang)
 TDO – dritter Zeitschlitz. Der dritte Zeitschlitz wird typischerweise zur Übertragung des TDO-Signals des JTAG Test-Ports nach IEEE Standard 1149 vom Busknoten zum Bus-Master verwendet. Es ist aber nicht zwingend notwendig, dass dieser Zeitschlitz an der dritten zeitlichen Position platziert wird. Andere zeitliche Reihenfolgen sind möglich.
 TDo – serieller Datenausgang (Testdatenausgang)
 TIN0 – erster Zeitschlitz. Der erste Zeitschlitz wird typischerweise zur Übertragung des TMS-Signals des JTAG Test-Ports nach IEEE Standard 1149 vom Bus-Master (BM) zum jeweiligen Bus-Knoten (BS1, BS2, BS3) verwendet. Es ist aber nicht zwingend notwendig, dass dieser Zeitschlitz an der ersten zeitlichen Position platziert wird. Andere zeitliche Reihenfolgen sind möglich.
 TIN1 – zweiter Zeitschlitz. Der zweite Zeitschlitz wird typischerweise zur Übertragung des TDI-Signals des JTAG Test-Ports nach IEEE Standard 1149 vom Bus-Master zum Busknoten (BS1, BS2, BS3) verwendet. Es ist aber nicht zwingend notwendig, dass dieser Zeitschlitz an der zweiten zeitlichen Position platziert wird. Andere zeitliche Reihenfolgen sind möglich.
 TLR – Zustand „Testlogik zurücksetzen“.
 TMS – Mode-Eingang (Testmode-Eingang) bzw. Test-Mode-Signal
 TMS_TDI1 – erstes kombiniertes TMS-TDI-Signal innerhalb des ersten Busknotens (BS1)
 TMS_TDI2 – zweites kombiniertes TMS-TDI-Signal innerhalb des zweiten Busknotens (BS2)
 TMS_TDI3 – drittes kombiniertes TMS-TDI-Signal innerhalb des dritten Busknotens (BS3)
 TMS_TDI_n – n-tes kombiniertes TMS-TDI-Signal innerhalb des n-ten Busknotens (BS_n)
 TRST – optionaler Rücksetzeingang (Testrücksetzeingang)
 TG1 – erstes Transfer-Gate des beispielhaft ersten Busknotens (BS1)
 TG2 – zweites Transfer-Gate des beispielhaft zweiten Busknotens (BS2)
 TG3 – drittes Transfer-Gate des beispielhaft dritten Busknotens (BS3)
 TGCR – Transfer-Gate-Control-Register
 UDR2 – Zustand „Datenregister schreiben“ des Test-Mode-Controllers
 UIR2 – Zustand „Instruktionsregister schreiben“ des Test-Mode-Controllers

V_0 – Bezugspotenzial im ersten Spannungsbereich (V_{B1}), das sich zumindest annähernd auf einem Eindrahtdatenbusabschnitt (b1, b2, b3) oder dem Eindrahtdatenbus (b1, b2, b3) einstellt, wenn der dominierende Schalter (S_{1L}) geschlossen ist. Die Bezugspotenzialleitung (GND) liegt auf dem Bezugspotenzial.

V_{bat} – Versorgungsspannung des Busknotens

V_M – Potenzial im zweiten Spannungsbereich (V_{B2}), dass sich einstellt, wenn kein anderer Sender (S_{1L} , S_{1H} , I_1 , S_{2H} , I_2) aktiv ist und sich somit der Pull-Schaltkreis (R_{0H} , R_{0L}) durchsetzt.

V_{1H} – dritter Schwellwert. Der dritte Schwellwert separiert den dritten Spannungsbereich (V_{B3}) vom ersten Spannungsbereich (V_{B1}) und zweiten Spannungsbereich (V_{B2}) auf Bus-Master-Seite. Der dritte Schwellwert ist vorzugsweise gleich oder ähnlich dem ersten Schwellwert (V_{2H}).

V_{2H} – erster Schwellwert. Der erste Schwellwert separiert den dritten Spannungsbereich (V_{B3}) vom ersten Spannungsbereich (V_{B1}) und zweiten Spannungsbereich (V_{B2}) auf Busknoten-Seite. Der erste Schwellwert ist vorzugsweise gleich oder ähnlich dem dritten Schwellwert (V_{1H}).

V_{2L} – zweiter Schwellwert. Der zweite Schwellwert separiert den ersten Spannungsbereich (V_{B1}) vom dritten Spannungsbereich (V_{B3}) und zweiten Spannungsbereich (V_{B2}) auf der Busknoten-Seite.

V_{B1} – erster Spannungsbereich, der zum zweiten Spannungsbereich (V_{B2}) hin durch den zweiten Schwellwert (V_{2L}) begrenzt wird.

V_{B2} – zweiter Spannungsbereich zwischen dem ersten Spannungsbereich (V_{B1}) und dem dritten Spannungsbereich (V_{B3}), der zum ersten Spannungsbereich (V_{B1}) hin durch den zweiten Schwellwert (V_{2L}) begrenzt wird und der zum dritten Spannungsbereich (V_{B3}) hin durch den ersten Schwellwert (V_{2H}) des Busknotens und/oder durch den dritten Schwellwert (V_{1H}) des Masters begrenzt wird.

V_{B3} – dritter Spannungsbereich, der zum zweiten Spannungsbereich (V_{B2}) hin durch den ersten Schwellwert (V_{2H}) des Busknotens und/oder durch den dritten Schwellwert (V_{1H}) des Bus-Masters begrenzt wird.

V_{ext1} – externe Versorgungsspannung

V_{IO} – Versorgungsspannung für den Pull-Schaltkreis, hier dem Spannungsteiler (R_{0H} , R_{0L}).

V_{IO1} – Versorgungsspannung der schaltbaren Stromquelle (S_{1H} , I_1) des Bus-Masters, also des Host-Prozessors. Der Spannungspegel liegt im dritten Spannungsbereich (V_{B3}).

V_{IO2} – Versorgungsspannung der schaltbaren Stromquelle (S_{2H} , I_2) des Busknotens, also der integrierten Schaltung oder des zu testenden oder steuernden Systems. Der Spannungspegel liegt im dritten Spannungsbereich (V_{B3}).

VREF – Referenzspannung

Z_0 – Zenerdiode zur Spannungsbegrenzung auf einem Eindrahtdatenbusabschnitt (b1, b2, b3) oder dem Eindrahtdatenbus (b1, b2, b3).

Patentansprüche

1. Verfahren zum Betreiben eines Datenbusses zwischen einer ersten Teilvorrichtung, dem Bus-Master (BM), und mindestens zwei weiteren Teilvorrichtungen, den Busknoten (BS1, BS2, BS3), wobei der Datenbus eine Bezugspotenzialleitung (GND) mit einem Bezugspotenzial (V_0) und einen Eindrahtdatenbus (b1, b2, b3), der durch die mindestens zwei Busknoten in mindestens zwei Eindrahtdatenbusabschnitte (b1, b2, b3) unterteilt wird und durch mindestens einen Busknoten (BS3) der Busknoten (BS1, BS2, BS3), den abschließenden Busknoten (BS3), abgeschlossen wird, aufweist umfassend die Schritte,
 - a zeitweises Verbinden des Eindrahtdatenbusses (b1, b2, b3) oder zumindest eines Eindrahtdatenbusabschnitts der Eindrahtdatenbusabschnitte (b1, b2, b3), im Folgenden als betrachteter Eindrahtdatenbusabschnitt (b1, b2, b3) bezeichnet, mit einer ersten zuschaltbaren Spannungsquelle (S_{1L}) des Bus-Masters (BM), die einen ersten Innenwiderstand (R_{1L}) mit einem ersten Potenzial (V_0) hat, und
 - b zeitweises Verbinden des Eindrahtdatenbusses (b1, b2, b3) oder zumindest des betrachteten Eindrahtdatenbusabschnitts (b1, b2, b3) mit einer zweiten zuschaltbaren Spannungsquelle (S_{1H} , I_1) des Bus-Masters (BM), die einen zweiten Innenwiderstand (R_{1H}) besitzt, mit einem zweiten Potenzial (V_{IO1}), wobei die zweite zuschaltbare Spannungsquelle auch eine Stromquelle (S_{1H} , I_1), die einen zweiten Innenwiderstand (R_{1H}) und den Stromwert ($I_1 = V_{IO1}/R_{1H}$) besitzt, sein kann, und
 - c zeitweises Verbinden des Eindrahtdatenbusses (b1, b2, b3) oder zumindest des betrachteten Eindrahtdatenbusabschnitts (b1, b2, b3) mit einer dritten zuschaltbaren Spannungsquelle (S_{2H} , I_2) eines Busknotens (BS1, BS2, BS3), im Folgenden betrachteter Busknoten genannt, mit einem dritten Potenzial (V_{IO2}), wobei die dritte zuschaltbare Spannungsquelle (S_{2H} , I_2) einen dritten Innenwiderstand (R_{2H}) besitzt und wobei die dritte zuschaltbare Spannungsquelle auch eine Stromquelle (S_{2H} , I_2), die einen dritten Innenwiderstand (R_{2H}) und den Stromwert ($I_2 = V_{IO2}/R_{2H}$) besitzt, sein kann, und
 - d zeitweises Halten des Eindrahtdatenbusses (b1, b2, b3) oder zumindest des betrachteten Eindrahtdatenbusabschnitts (b1, b2, b3) durch eine vierte Spannungsquelle zwischen einem vierten Potenzial (V_{IO}) und dem ersten Potenzial (V_0), mit einem vierten Innenwiderstand (R_0) auf einem mittleren Potenzial (V_M),

e wobei der Wert des mittleren Potentials (V_M) zwischen dem Wert des ersten Potentials (V_0) und dem Wert des zweiten Potentials (V_{IO1}) und/oder zwischen dem Wert des ersten Potentials (V_0) und dem Wert des dritten Potentials (V_{IO2}) liegt und

f wobei der erste Innenwiderstand (R_{1L}) kleiner ist als die anderen Innenwiderstände (R_{1H} , R_{2H} , R_0) und

g wobei der vierte Innenwiderstand (R_0) größer ist als die anderen Innenwiderstände (R_{1H} , R_{1L} , R_{2H}).

2. Verfahren nach Anspruch 1 dadurch gekennzeichnet a dass das zeitweise Halten des Eindrahdatenbusses (b1, b2, b3) oder zumindest des betrachteten Eindrahdatenbusabschnitts (b1, b2, b3) durch eine vierte Spannungsquelle in Form eines Pull-Schaltkreises (R_{0H} , R_{0L}) geschieht.

3. Verfahren nach Anspruch 1 dadurch gekennzeichnet b dass das vierten Potential (V_{IO}) gleich dem zweiten und dritten Potential (V_{IO1} , V_{IO2}) ist.

4. Verfahren nach Anspruch 1 dadurch gekennzeichnet c dass das dritte Potential (V_{IO2}) gleich dem zweiten Potential (V_{IO1}) ist.

Es folgen 13 Seiten Zeichnungen

Anhängende Zeichnungen

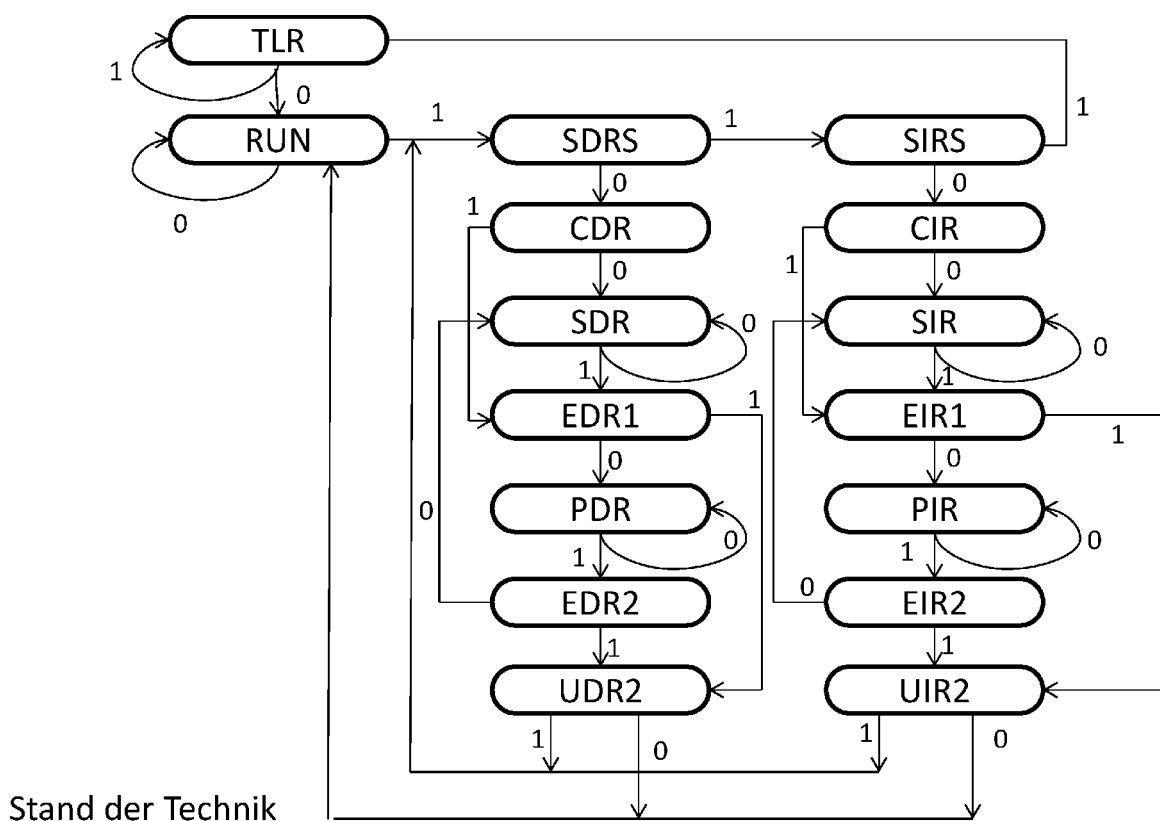


Fig. 1

2 Draht JTAG IEEE 1149.7 Standard (SdT)

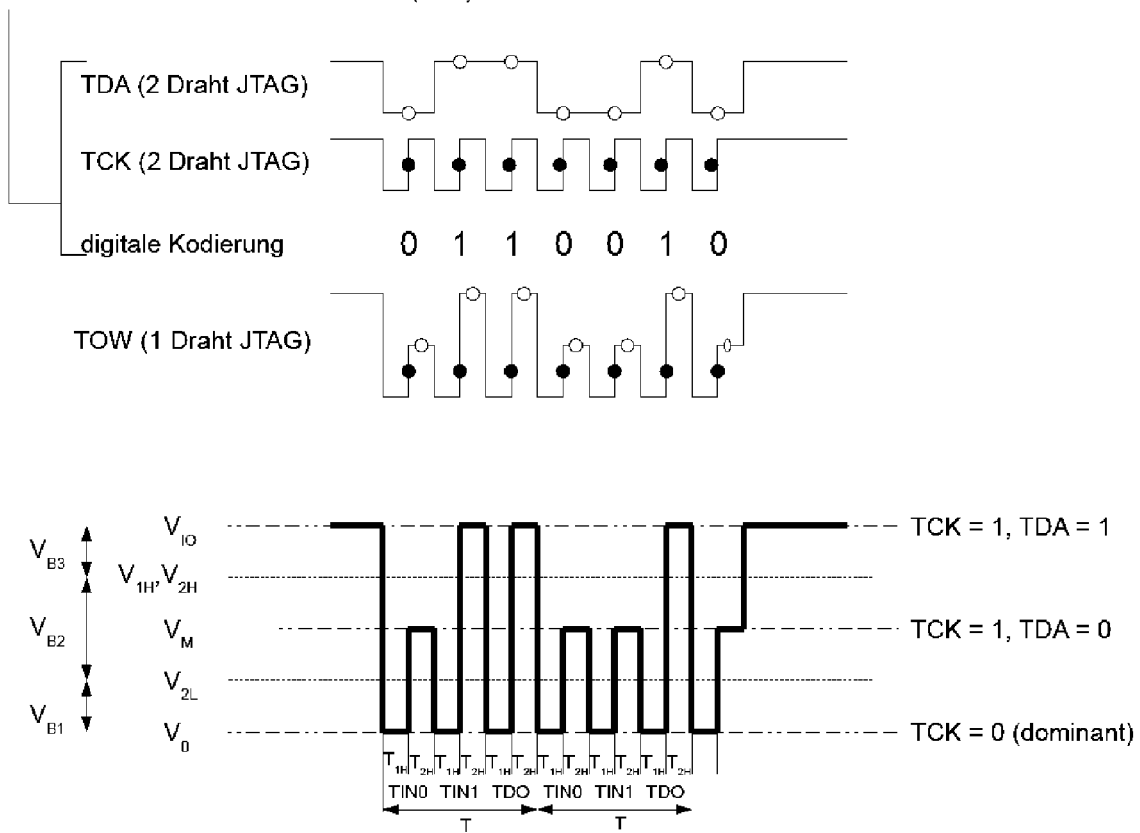


Fig. 2

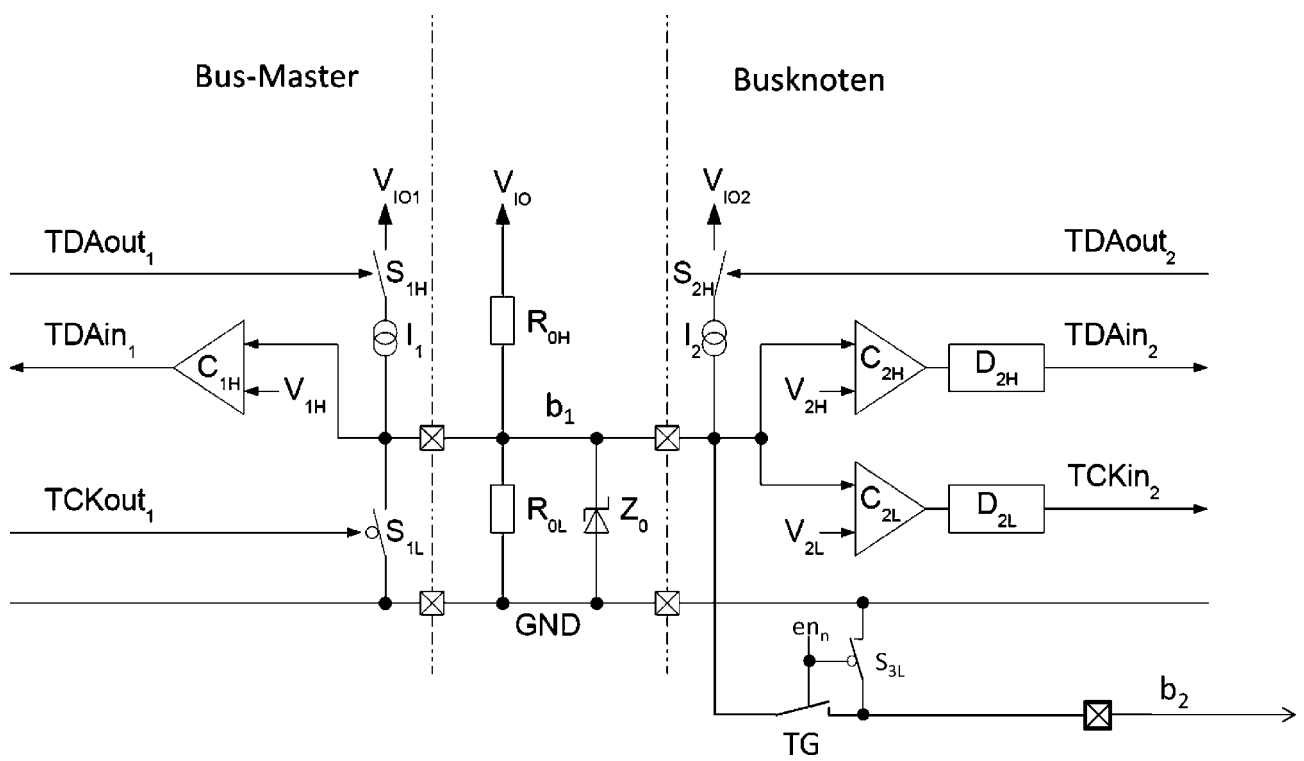


Fig. 3

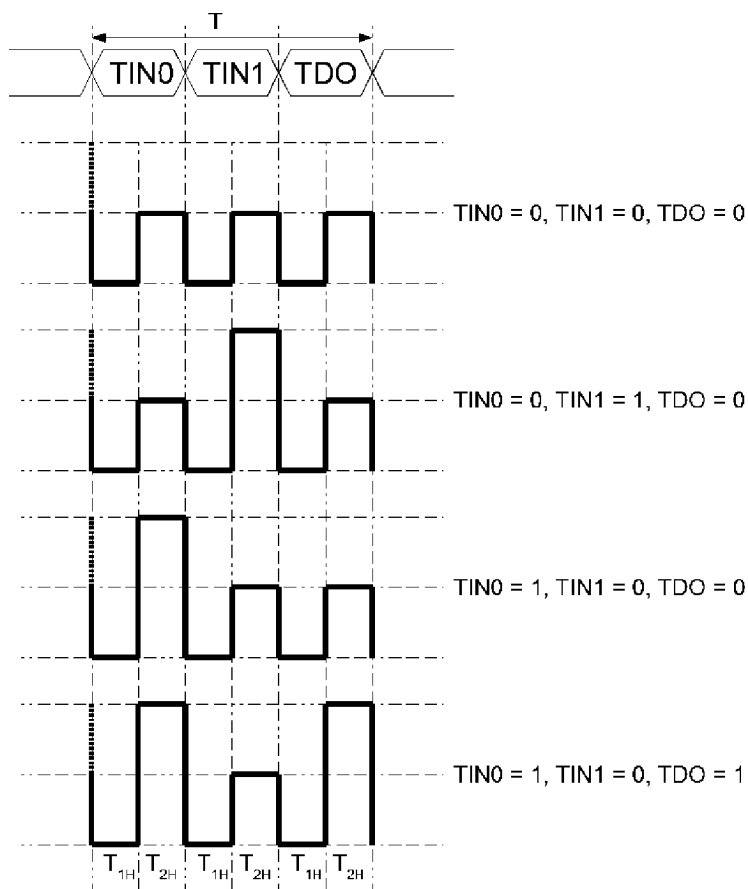


Fig. 4

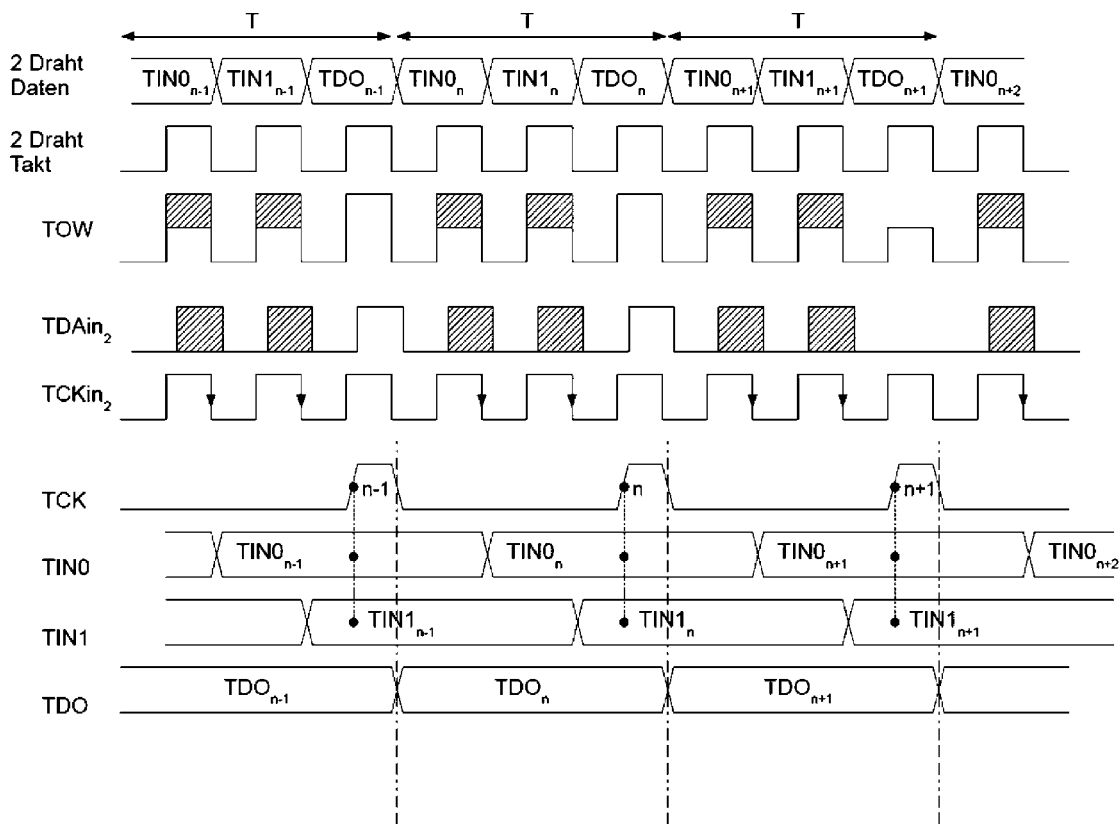


Fig. 5

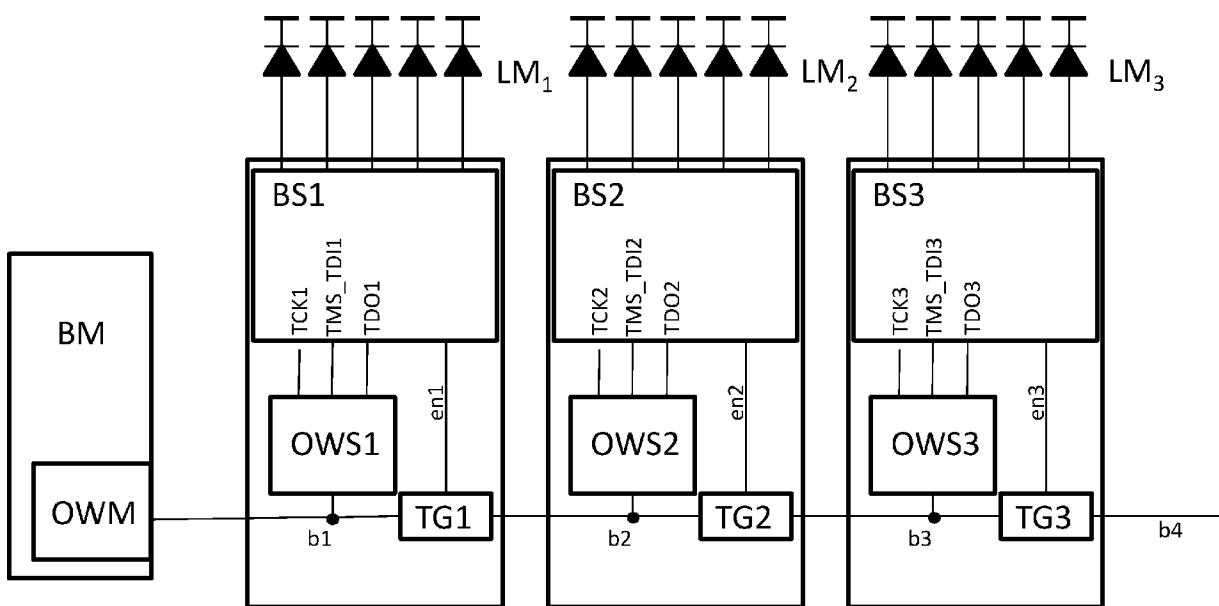


Fig. 6

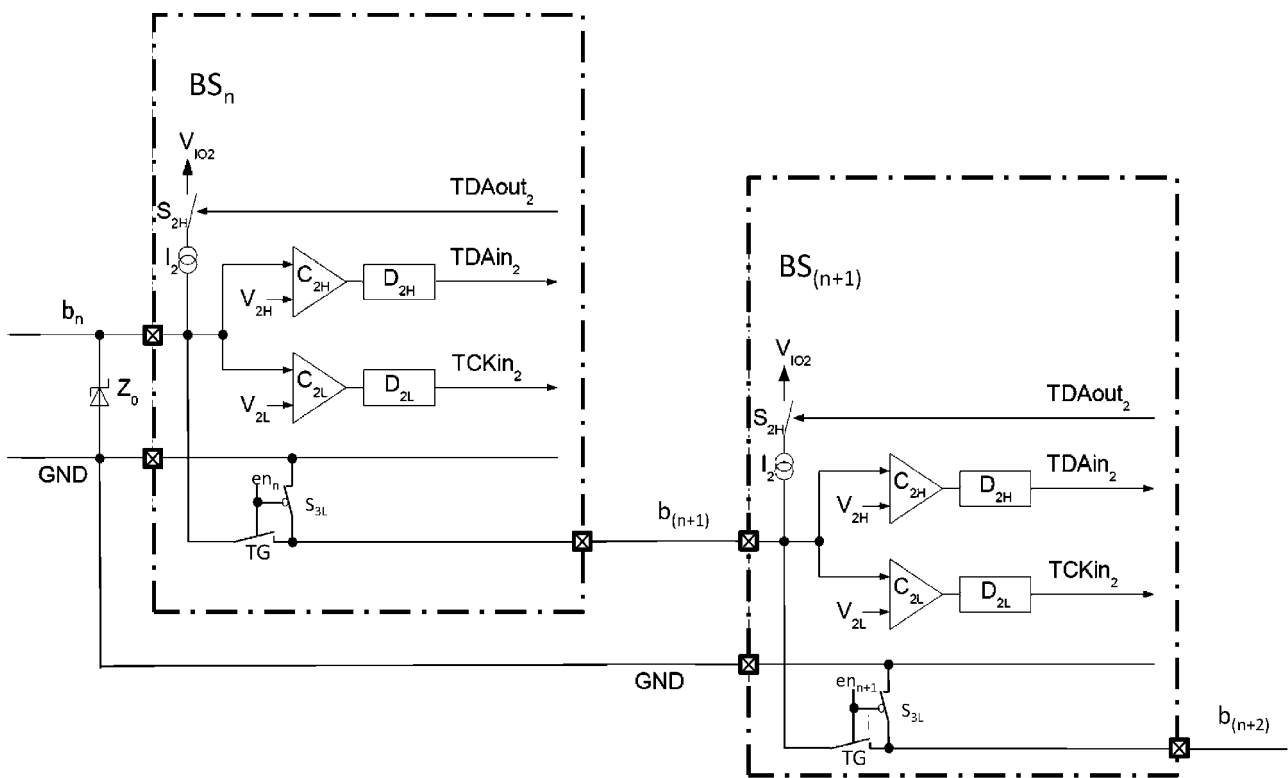


Fig. 7

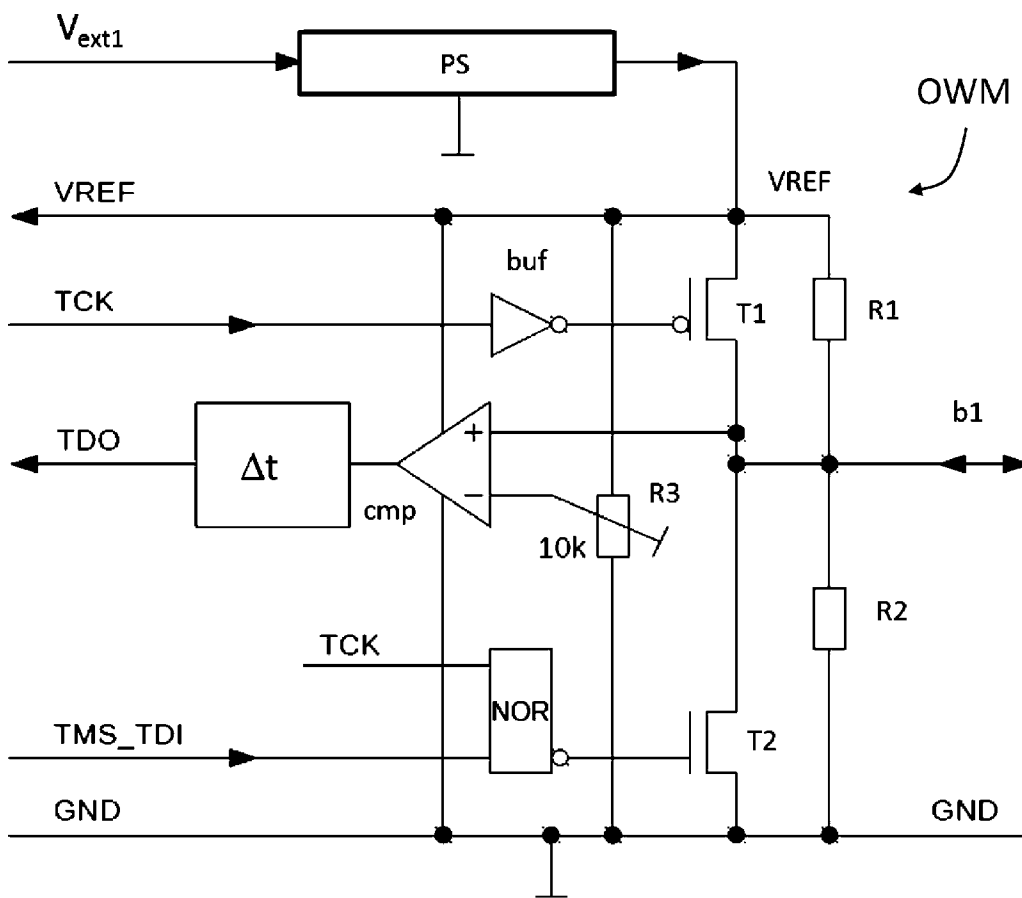


Fig. 8

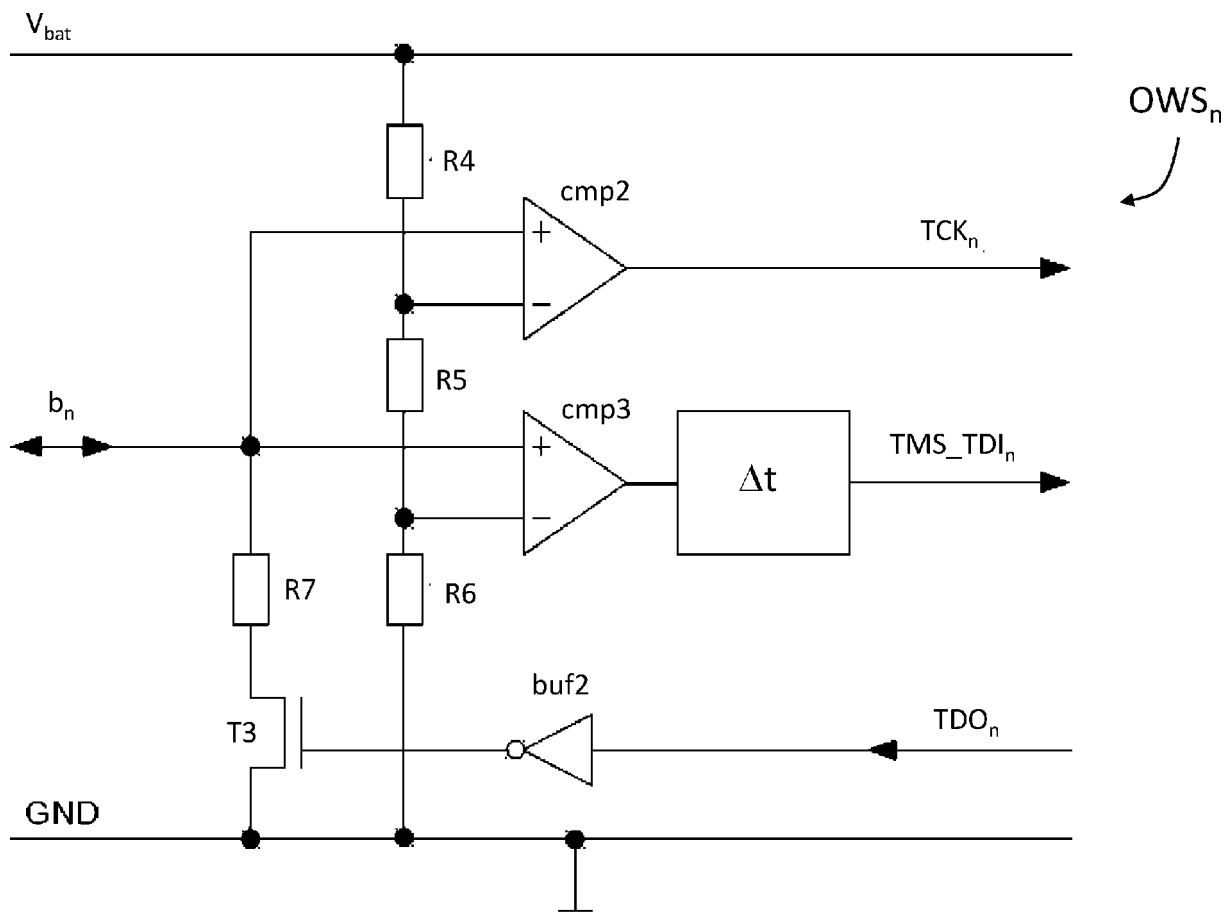


Fig. 9

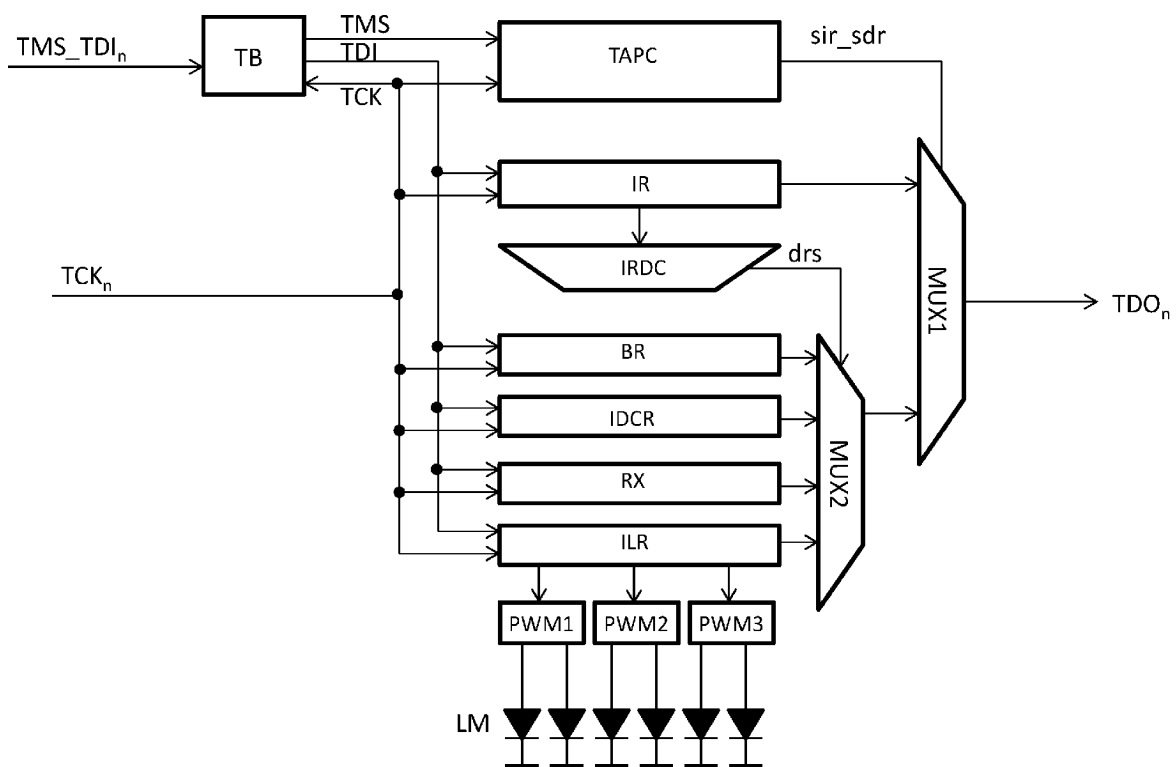


Fig. 10

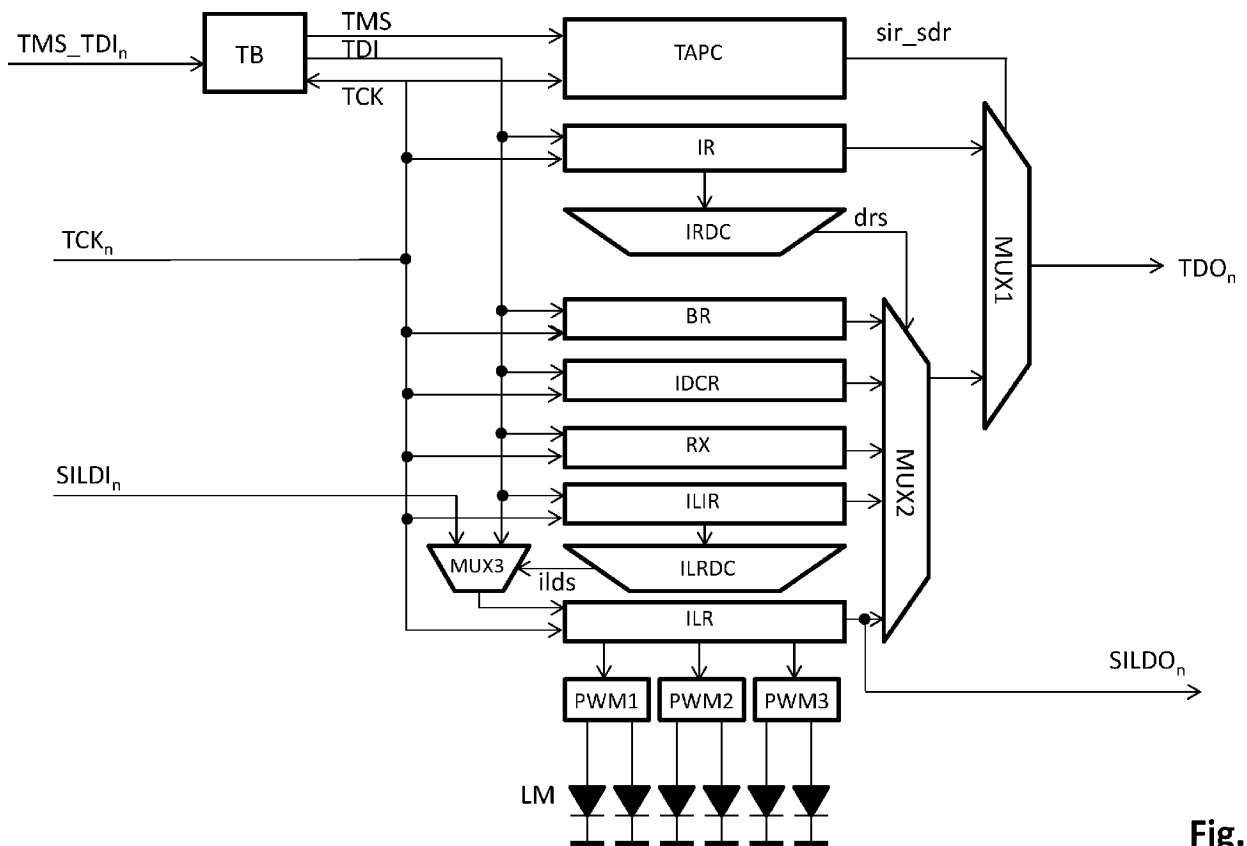
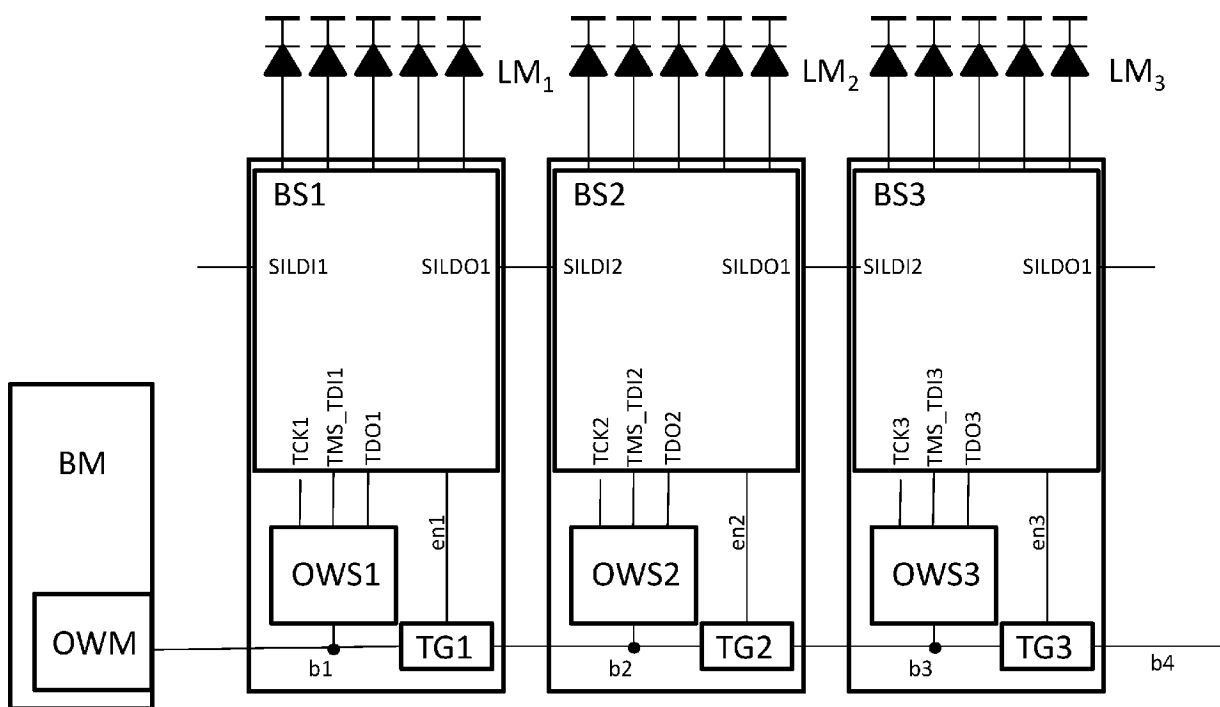


Fig. 11

**Fig. 12**

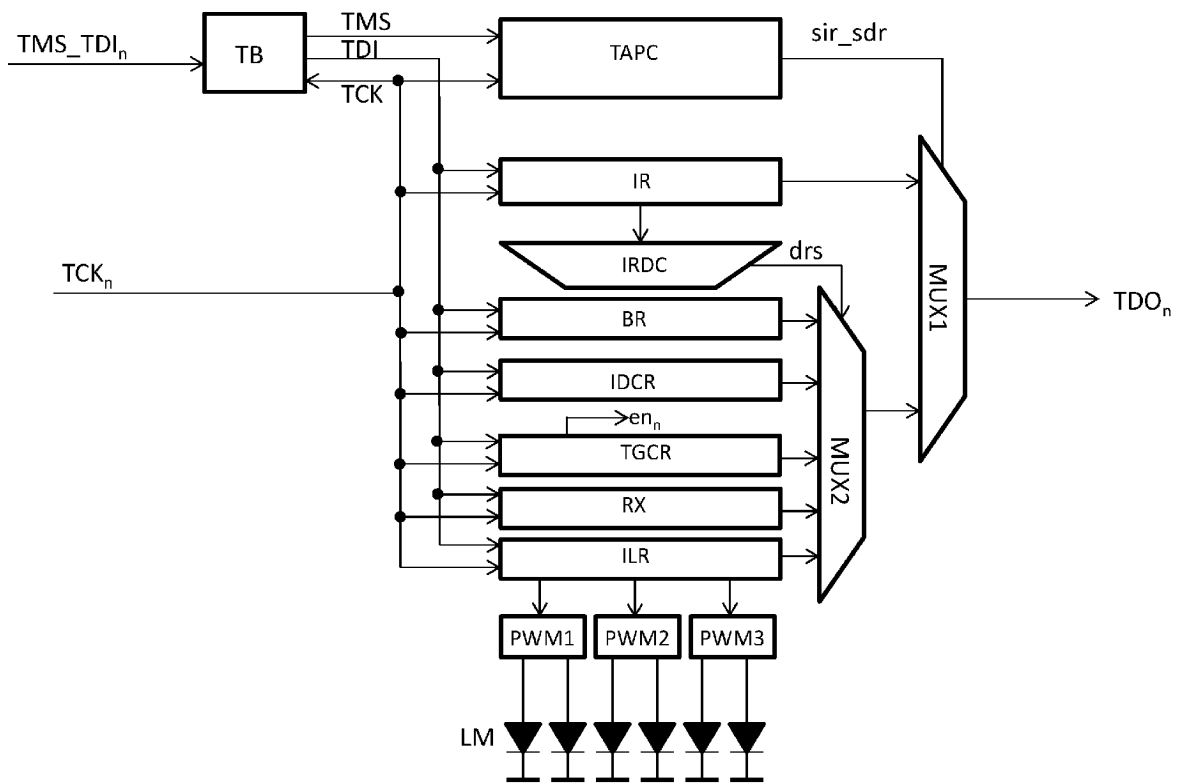


Fig. 13