(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 5/45

(45) 공고일자 1999년06월01일
(11) 등록번호 10-0190251
(24) 등록일자 1999년01월19일

(21) 출원번호 10-1993-0000036
(22) 출원일자 1993년01월05일
(65) 공개번호 특1993-0017428
(43) 공개일자 1993년08월30일
(30) 우선권주장 9200281.5 1992년01월08일 영국(GB)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드 크리트먼 어윈 엠
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330
(72) 발명자 세이저, 티모씨 윌리암
미합중국, 인디아나 46260, 인디아나폴리스, 나샤우 드라이브 8318
에르소즈, 나다니엘 하루크
미합중국, 인디아나 46112, 브라운스버그, 이스트스테이트로드 136,6565
(74) 대리인 나영환, 도두형

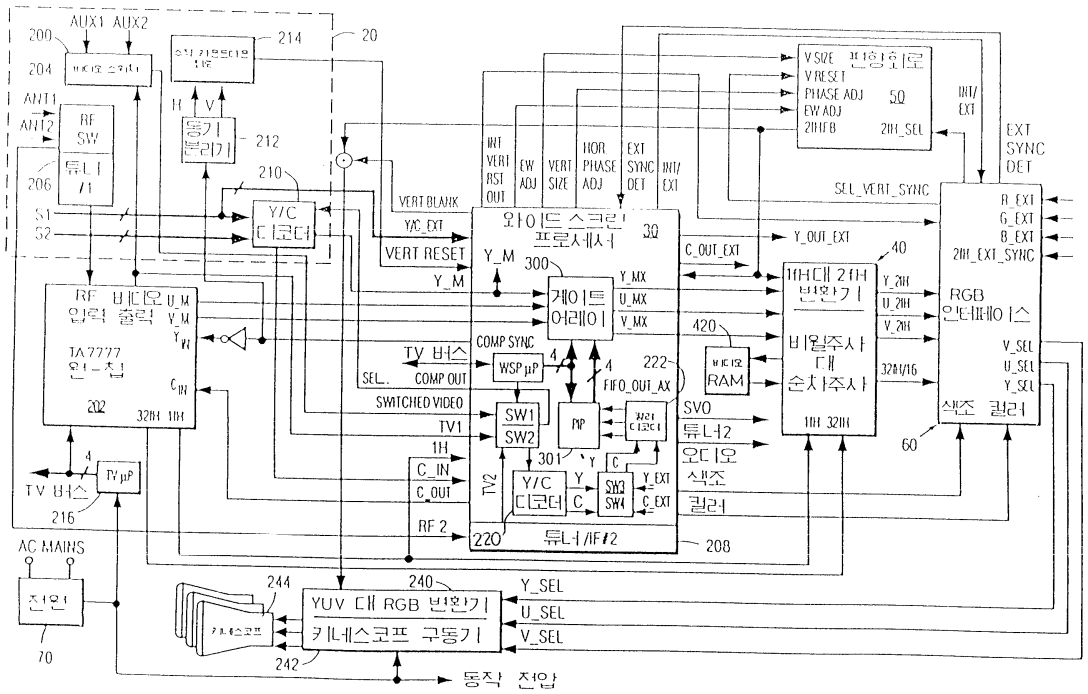
심사관 : 최훈

(54) 와이드 스크린 텔레비젼의 화상내 화상(PIP) 디스플레이용 수평 패닝 시스템

요약

텔레비젼 장치용 비디오 디스플레이(224)는 와이드 디스플레이 포맷비를 가지며 제 1 화상을 나타내는 제 1 비디오 신호(RV1)와 동기화된다. PIP 프로세서(301)는 제 2 화상을 나타내는 제 2 비디오 신호(TV2)에 응답하여 비디오 디스플레이보다 더 작은 크기로 보조 화상을 한정한다. FIFO 라인 메모리(354)는 보조 화상을 나타내는 비디오 정보의 연속 라인을 저장하는데, 상기 연속 라인은 제 1 화상을 나타내는 특정 비디오 정보의 연속 라인과 조합된다. 제 1 비디오 신호의 각 수평 라인(502)의 개시에 대응하는 시간에 초기화되는 카운터는 가변 시간 지연을 일으킨다. FIFO 제어 회로는 가변 시간 지연후에 메인 화상을 나타내는 비디오 정보와의 조합을 위해 라인 메모리(354)로부터 보조 화상을 나타내는 비디오 정보의 라인 전송을 연속적으로 시작한다. 가변 시간 지연으로 인해 비디오 디스플레이 전체에 결쳐 보조 화상의 복수의 수평 패닝 위치들중 어느 한 위치가 결정된다. 수동으로 동작 가능한 원격 제어 장치는 가변 시간 지연을 조절하는데 사용될 수 있다.

대표도



명세서

[발명의 명칭]

와이드 스크린 텔레비젼의 화상내 화상(PIP) 디스플레이용 수평 패닝 시스템

[도면의 간단한 설명]

제1a도 내지 제1i도는 와이드 스크린 텔레비젼의 상이한 디스플레이 포맷을 설명하는 도면.

제2도는 본 발명에 따라 2 f_H 수평 주사로 동작하도록 적합화된 와이드 스크린 텔레비젼의 블록도.

제3도는 제2도에 도시된 와이드 스크린 프로세서의 블록도.

제4도는 제3도에 도시된 와이드 스크린 프로세서를 보다 상세히 도시한 블록도.

제5도는 제4도에 도시된 PIP(picture-in-picture) 프로세서의 블록도.

제6도는 메인, 보조 및 출력 신호 경로를 설명하는, 제4도에 도시된 게이트 어레이의 블록도.

제7도 및 제8도는 완전히 크로핑된 신호를 사용하여 제1d도에 도시된 디스플레이 포맷의 생성을 설명하는데 유용한 타이밍도.

제9도는 제6도의 메인 신호 경로를 보다 상세히 도시한 블록도.

제10도는 제6도의 보조 신호 경로 및 출력 신호 경로를 보다 상세히 도시한 블록도.

제11도는 제5도의 PIP 프로세서의 타이밍 및 제어부를 도시한 블록도.

제12도는 $1f_H$ 대 $2f_H$ 변환으로 내부 $2f_H$ 신호를 발생시키기 위한 회로의 블록도.

제13도는 제2도에 도시된 편향 회로에 대한 블록도와 회로도를 조합한 도면.

제14도는 제2도에 도시된 RGB 인터페이스의 블록도.

제15도는 PIP 프로세서와 관련된 비디오 RAM에서의 메모리 매핑(mapping)을 설명한 도면.

제16도는 메인 비디오 신호와 보조 비디오 신호간의 출력 스위칭을 제어하기 위한 회로의 블록도.

제17도는 수평 PIP 패닝 동안 비디오 RAM 동작을 설명하기 위한 도면.

제18도는 수평 PIP 패닝 동안 보조 FIFO 동작을 설명하기 위한 도면.

* 도면의 주요부분에 대한 부호의 설명

20 : 비디오 신호 입력부 30 : 와이드 스크린 프로세서

50 : 편향 회로 60 : RGB 인터페이스

70 : 전원 300 : 게이트 어레이

301 : 화상 내 화상 회로 350 : 비디오 RAM

368 : 동기화 블록

[발명의 상세한 설명]

본 발명은 와이드 스크린 텔레비젼에서 보조 화상, 예를 들어 화상 내 화상(PIP:picture-in-picture)을 디스플레이하는 분야에 관한 것이다. 더욱 상세히 말하자면, 보조 화상의 위치를 매핑(mapping) 또는 결정하기 위해 종래의 텔레비젼용으로 설계된 보조 비디오(영상) 신호 처리 회로를 사용하는 와이드(광폭) 스크린 텔레비젼에 관한 것이다.

흔히 4×3 으로서도 표현되는 4:3 디스플레이 포맷비를 갖는 텔레비젼은 단일 및 다중 비디오 신호 소스를 디스플레이할 수 있는 방식이 제한되어 있다.

시험적인 경우를 제외하고는, 상업 방송 회사의 텔레비젼 신호 전송은 4×3 디스플레이 포맷비로 방송된다. 그러나 많은 시청자들은 영화와 관련된 더 넓은 디스플레이 포맷이 4×3 디스플레이 포맷보다 훨씬 큰 만족을 가져다준다는 것을 알고 있다. 왜냐하면 와이드 디스플레이 포맷비를 갖는 텔레비젼은 시청자에게 보다 큰 만족을 제공할뿐만 아니라 대응하는 와이드 디스플레이 포맷 신호 소스를 와이드 디스플레이 포맷에서 디스플레이할 수 있기 때문이다. 영화는 크로핑(cropping)되거나 왜곡된 비젼이 없는 것처럼 보인다. 비디오 소스는 필름에서 비디오로 변경될 때, 예를 들어 텔리신(telecine) 장치 또는 텔레비젼의 프로세서에 의해 크로핑될 필요가 없다.

와이드 디스플레이 포맷비를 갖는 텔레비젼은 또한 종래의 디스플레이 포맷 신호, 와이드 디스플레이 포맷 신호 및 종래의 디스플레이 포맷 신호와 와이드 디스플레이 포맷 신호의 조합에 관련된 매우 다양한 와이드 디스플레이에 적합하다, 그러나 와이드 디스플레이 포맷비 스크린의 사용에는 여러 가지 문제점이 있다. 이러한 문제점을 크게 나누어 보면, 다중 신호 소스의 디스플레이 포맷비를 변경하는 문제, 비동기적이지만 동시에 디스플레이된 소스로부터 일관된 타이밍 신호를 형성하는 문제, 다중 화상 디스플레이를 생성하기 위해 다중 소스들을 전환하는 문제 및 압축된 데이타 신호들로부터 고해상도의 화상을 제공하는 문제가 있다. 이러한 문제점들은 본 발명에 따른 와이드 스크린 텔레비젼을 사용하면 해결될 수 있다. 본 발명의 여러 배열에 따른 와이드 스크린 텔레비젼은 유사하거나 상이한 포맷비를 갖는 단일 또는 다중 소스로부터 고해상도의 단일 또는 다중 화상 디스플레이를 제공하며, 디스플레이 포맷비를 선택할 수도 있다.

와이드 디스플레이 포맷비를 갖는 텔레비젼은 기본 수평 주사율 또는 표준 수평 주사율로 그리고 그것의 다중화 및 비월 주사와 순차 주사에서 비디오 신호를 디스플레이하는 텔레비젼 시스템으로 구현될 수 있다. 예컨대, 표준 NTSC 비디오 신호는 각 비디오 프레임의 연속적인 필드를 비월 주사함으로써 디스플레

이되는데, 여기서 각 필드는 대략 15,734 Hz의 기본 또는 표준 수평 주사율에서 래스터(raster) 주사 동작에 의해 발생된다. 비디오 신호에 대한 기본 주사율은 f_H, $1f_H$ 및 1H 등 여러가지로 표현될 수 있다. $1f_H$ 신호의 실제 주파수는 여러가지 비디오 표준 규격에 따라 변할 것이다. 텔레비젼 장치의 화질을 증진시키고자 하는 노력에 의해, 비디오 신호를 순차적으로, 즉 비월 주사가 아닌 방식으로 디스플레이하는 시스템이 개선되어 왔다. 순차 주사는 각 디스플레이된 프레임이 비월 주사 포맷의 두 개의 필드 중 하나의 필드를 주사하기 위해 할당된 동일 시간 주기에서 주사되어야 한다. 플리커(flicker : 깜박임)를 없앤 AA-BB 디스플레이는 각 필드가 연속적으로 두번 주사되어야 한다. 각각의 경우에 있어서, 수평 주사 주파수는 표준 수평 주파수의 2배가 되어야 한다. 그러한 순차 주사 또는 플리커를 없앤 디스플레이에 대한 주사율은 $2f_H$ 및 2H로서 표시된다. 예를 들어, 미합중국 표준에 따른 $2f_H$의 주사 주파수는 대략 31,468 Hz 이다.

동시 화상 디스플레이에서 오버레이(overlay)의 기능은 대형 화상에서 소형 화상으로 그리고 다시 대형 화상으로 전환하도록 타이밍 신호를 정확한 시간에 디스플레이에 제공하는 것이다. 소형 화상 오버레이의 수평 및 수직 타이밍은 소형화상을 디스플레이하는 것이 중요하다. 4×3 디스플레이에 사용하기 위해 설계된 PIP 프로세서는 톰슨 콘슈머 일렉트로닉스 인코오포레이티드사에 의해 개발된 CPIP 칩이다. 상기 CPIP 칩은 인디아나주 인디아나폴리스에 소재한 톰슨 콘슈머 일렉트로닉스 인코오포레이티드사에서 발행한 The CTC 140 Picture in Picture(PIP) Technical Training Manual라는 명칭의 간행물에 보다 상세히 기재되어 있다. CPIP 칩은 보조 비디오 정보가 6비트 Y, U, V 8:1:1 비디오 RAM 필드 메모리에 저장하는 방식으로 사용된다. 비디오 RAM은 복수의 메모리 기억 위치에서 비디오 데이타의 2개의 필드를 보유한다. 각 메모리 기억 위치는 8비트이다. 각 8비트 기억 위치에는 하나의 6비트 Y(휘도) 샘플과 2개의 다른 비트가 있다. 이들 다른 2개의 비트는 고속 전환 데이타 또는, U 또는 V 샘플 부분이다. 고속 전환 값은 디코딩되어 상부(홀수) 필드와 하부(짝수) 필드 또는 화상 없음(no picture : 무효 데이타) 필드 중 어느 하나로서 어떤 타입의 필드가 비디오 RAM에 기록되었는지를 나타낸다. 이 필드는 수평 및 수직 어드레스에 의해 한정된 경계를 갖는 비디오 RAM 내의 공간 기억 위치를 차지한다. 경계는 고속 전환 데이타에서 화상 없음 필드로부터 유효한 필드로 아니면 그 반대로 변경할 때 수평 및 수직 어드레스에 의해 한정된다. 고속 전환 데이타에서의 이들 필드의 변경으로 화상 오버레이의 외주가 한정된다. 오버레이에서 물체의 이미지 종횡비는 오버레이 그 자체의 디스플레이 포맷비, 예를 들어 4×3 또는 16×9 포맷비와는 무관하게 제어된다는 것을 알 수 있을 것이다. 스크린상의 오버레이 위치는 메인 신호의 각 필드에 대해 주사를 시작할 때 비디오 RAM의 판독 포인터 시작 어드레스에 의해 결정된다. 비디오 RAM에는 저장된 데이타의 2개 필드가 있기 때문에, 전체 비디오 RAM은 디스플레이 기간 동안 판독되며 2개 필드는 디스플레이 주사 동안 판독된다. 디스플레이될 메모리로부터 판독되는 필드는 고속 전환 데이타를 디코딩하고 비디오 RAM의 판독 포인터의 시작 위치를 설정함으로써 결정된다.

보조 비디오 신호를 위한 PIP 비디오 처리 회로가 상술한 CPIP 칩 처럼, 종래의 4×3 디스플레이 포맷비를 갖는 텔레비젼에 사용하기 위해 최초에 의도된 구성으로 구현되는 경우에 문제가 발생한다. 그러한 많은 처리 회로는 다중 화상 디스플레이를 형성하는데 유력한 도구가 될 수 있으며, 상기 처리 회로를 사용하면 와이드 스크린 텔레비젼을 단순화 및/또는 와이드 스크린 텔레비젼의 개발을 가속화시킬 수 있다. 실제로, 그러한 4×3 비디오 처리 회로는 설계에 따라 여러 위치에 PIP를 배치할 수 있게끔 프로그램될 수 있다. PIP 배치에서 가장 넓은 허용범위를 제공하는 PIP 회로에서 조차도, 상기 배치는 와이드 스크린 디스플레이의 수직 높이에 대응하는 수직 넓이를 갖는 4×3 디스플레이의 경계 내에서 수평으로 제한된다. 즉, PIP 회로에 의해 한정된 4×3 비디오 디스플레이 맵의 수평 경계를 초과하는 위치를 한정한다는 것은 불가능하다. 이러한 디스플레이 맵은 비디오 RAM과 PIP 회로에 관련된 기록/판독 어드레스 제어의 함수이다. 여기에서 두가지 대안이 있지만 그 각각은 현저한 단점을 가지고 있다. 이러한 한가지 대안으로서는 와이드 스크린 디스플레이에 가득채워지도록 화상을 신장(stretch)시키는 것이다. 그러나, 이로써 메인 화상과 삽입된 PIP에서 현저한 이미지 종횡비 왜곡이 초래된다. 또 하나의 대안으로서, 소형 화상을 발생하도록 보조 비디오 신호에 비대칭 추림화(decimation)를 취함으로써 상기와 같은 수평 신장이 방지될 수 있다. 그러나, 이러한 과정은 3개 이외의 모든 감소 인자를 비정수(noninteger) 처리해야 하고, 모든 PIP 프로세서가 비정수 추림화를 할 수 있는 것은 아니기 때문에 지극히 어렵다. 따라서, 삽입된 PIP는 실제로 화상의 크기가 원래 화상의 1/3까지로 제한될 것이다. 와이드 스크린 텔레비젼에서 사용할 수 있는 여러 디스플레이 포맷을 실행하기 위해서는, 삽입된 PIP의 크기가 보다 유연성이 있어야 함을 필요로 한다.

본 발명의 구성에 따른 와이드 스크린 텔레비젼 장치는 와이드 디스플레이 포맷비를 가지며 제1 화상을 나타내는 제1 비디오 신호와 동기화되는 비디오 디스플레이를 구비한다. PIP 프로세서는 제2 화상을 나타내는 제2 비디오 신호에 응답하여 비디오 디스플레이보다 더 작은 크기를 갖는 보조 화상을 형성한다. 선입선출(FIFO) 라인 메모리는 보조 화상을 나타내는 비디오 정보의 연속 라인을 저장하는데, 상기 보조 화상을 나타내는 비디오 정보의 연속 라인은 제1 화상을 나타내는 특정한 비디오 정보의 연속 라인과 조합된다. 제1 비디오 신호의 각 수평 라인의 개시에 대응하여 초기화되는 카운터는 가변 시간 지연을 일으킨다. FIFO 제어 회로는 가변 시간 지연 후에 메인 화상을 나타내는 비디오 정보와의 조합을 위하여 라인 메모리로부터 보조 화상을 나타내는 비디오 정보의 라인 전송을 연속적으로 개시한다. 가변 시간 지연은 비디오 디스플레이 전체에 걸쳐 보조 화상의 복수의 수평 패닝(panning)의 어느 한 위치를 결정한다. 수동으로 동작 가능한 제어기 예를 들어, 원격 제어 장치는 가변 시간 지언을 조절하여 수평 패닝 위치를 조절하는데 사용된다.

보조 화상을 나타내는 비디오 정보는 PIP 프로세서의 동작 또는 PIP 프로세서와 FIFO 라인 메모리와의 조합된 동작에 의해 비디오 디스플레이와 수직으로 동기화된다. 비디오 디스플레이상에서 볼수 있는 것과 같은 보조 화상의 각 라인은 특정한 비디오 샘플수를 가지며 FIFO 라인 메모리에 기록된 비디오 정보의 각 라인은 상기 보조 화상의 각 라인이 갖는 특정 비디오 샘플수와 대략 동일한 비디오 샘플수를 갖는다.

제1도는 여러가지 발명 장치에 따라 실행될 수 있는 단일 및 다중 화상 디스플레이 포맷을 다양하게 조합한 것의 전부가 아닌 일부만을 도시하고 있다. 도면에 도시된 것은 본 발명의 장치에 따른 와이드 스크린 텔레비젼을 구비하는 특정 회로를 용이하게 설명하기 위한 것들이다. 본 발명의 장치는 어떤 경우에는 특정 회로를 제외하고는 디스플레이 포맷 그 자체에 관한 것이다. 본 명세서의 기재상의 편의를 위해, 비디

오 소스 또는 신호에 대한 폭 대 높이의 비율인 종래 디스플레이 포맷비를 통상 4×3으로 간주하고, 반면에 와이드 스크린 디스플레이 포맷비를 통상 16×9로 간주한다. 본 발명의 장치는 이들 값에 제한받지 않는다.

제1a도는 종래의 4×3 디스플레이 포맷비를 갖는 텔레비젼을 직접 투사하여 도시한 도면이다. 16×9 디스플레이 포맷비 화상이 4×3 디스플레이 포맷비 신호로서 전송될 경우, 스크린의 상단과 하단에 검은 막대 부분이 나타난다. 이것을 보통 문자박스(letterbox) 포맷이라고 칭한다. 이 경우, 볼 수 있는 화상은 전체 이용 가능한 디스플레이 면적보다 약간 작게 나타난다. 이에 대한 대안으로서, 4×3 디스플레이 포맷의 뷰잉면(viewing surface)의 수직 범위를 가득 채울 수 있도록, 전송하기 전에 16×9 디스플레이 포맷비를 전환시킬 수 있다. 그러나, 이 경우 스크린의 좌측 및/또는 우측에서 많은 정보가 크로핑될 것이다. 또 다른 대안으로서, 문자박스 화상을 수평이 아닌 수직으로 확장시킬 수 있으나 그 결과, 수직 확장으로 인해 화상에 왜곡이 나타나게될 것이다. 세가지 대안들 중 그 어느 것도 특별히 관심을 끌지는 못한다.

제1b도는 16×9 스크린을 도시하고 있다. 16×9 디스플레이 포맷비 비디오 소스는 크로핑되지 않고 그리고 왜곡도 없이 완전히 디스플레이된다. 그 자체가 4×3 디스플레이 포맷비 신호에 있는 16×9 디스플레이 포맷비 문자 박스 화상은 충분한 수직 해상도를 갖는 보다 큰 디스플레이를 제공하기 위해 라인 배가 또는 라인 부가에 의해 순차적으로 주사될 수 있다. 본 발명에 따른 와이드 스크린 텔레비젼은 메인 소스거나 보조 소스거나 외부 RGB 소스건간에 그러한 16×9 디스플레이 포맷비 신호를 디스플레이할 수 있다.

제1c도는 4×3 디스플레이 포맷비 삽입 화상이 디스플레이된 16×9 디스플레이 포맷비 메인 신호를 도시하고 있다. 메인 비디오 신호와 보조 비디오 신호가 16×9 디스플레이 포맷비 소스일 경우, 삽입 화상도 16×9 디스플레이 포맷비를 가질 수 있다. 삽입 화상은 여러 위치에서 디스플레이될 수 있다.

제1d도는 메인 비디오 신호와 보조 비디오 신호가 동일한 크기의 화상으로서 디스플레이되는 포맷(side-by-sidee format)을 도시하고 있다. 각 디스플레이 영역은 8×9의 디스플레이 포맷비를 갖는데, 물론 이 포맷비는 16×9 및 4×3 포맷비와는 다르다. 이러한 디스플레이 영역에서 수평 또는 수직 왜곡이 없는 4×3 디스플레이 포맷비 소스를 나타내기 위해서는, 신호가 좌측 및/또는 우측에서(수평으로) 크로핑되어야 한다. 화상의 수평 압축에 의한 약간의 종횡비 왜곡이 용인될 경우, 화상의 대부분이 약간만 크로핑된 채로 나타내어질 수 있다. 수평 압축은 화상의 대상(object)을 수직 확장시키는 결과를 초래한다. 본 발명에 따른 와이드 스크린 텔레비젼은 종횡비 왜곡이 없고 크로핑이 최대인 것으로부터 종횡비 왜곡은 최대지만 크로핑이 없는 것까지 크로핑 및 종횡비 왜곡을 적절히 혼합한 화상을 제공할 수 있다.

보조 비디오 신호 처리 경로에서의 데이타 샘플링 제한은 크기가 메인 비디오 신호로부터의 디스플레이만큼의 크기인 고해상도 화상의 생성을 곤란하게 한다. 이러한 곤란한 문제점들을 극복하기 위해 여러가지 방법이 개발 중에 있다.

제1e도는 4×3 디스플레이 포맷비 화상이 16×9 디스플레이 포맷비 스크린 중앙에서 디스플레이된 디스플레이 포맷을 도시하고 있다. 이 경우, 어두운 막대부분이 스크린 좌우측에 나타난다.

제1f도는 하나의 대형 4×3 디스플레이 포맷비 화상과 3개의 소형 4×3 디스플레이 포맷비 화상이 동시에 디스플레이된 디스플레이 포맷을 도시하고 있다. 대형 화상 바깥쪽 주변에 있는 소형 화상은 화상 내 화상[PIP(picture-in-picture)]이라기보다는 화상 외 화상[POP(picture-outside-picture)]으로 간주된다. PIP라는 용어는 본 명세서에서 두 개의 디스플레이 포맷에 대해 사용되고 있다. 와이드 스크린 텔레비젼에 두 개의 튜너가 제공될 경우, 즉 예를 들어 비디오 카세트 레코드에서 두 개의 내부 튜너 또는 하나의 내부 튜너와 하나의 외부 튜너가 제공될 경우, 두 개의 디스플레이된 화상은 소스에 따라 실시간으로 움직임을 디스플레이할 수 있다. 남아 있는 화상들은 고정(freeze) 프레임 포맷으로 디스플레이될 수 있다. 추가의 튜너 및 추가의 보조 신호 처리 경로는 두 개 이상의 동화상(moving picture)에 제공될 수 있다. 한쪽의 대형 화상과 다른 쪽의 3개의 소형 화상은 제1g도에 도시된 것과 같은 위치로 전환될 수 있다.

제1h도는 또 다른 디스플레이 포맷을 도시하고 있는데, 이 경우 4×3 디스플레이 포맷비 화상은 중심부에 있고 6개의 소형 4×3 디스플레이 포맷비 화상은 양측에 수직열로 디스플레이 된다. 상술한 포맷에서 처럼, 두 개의 튜너가 제공된 와이드 스크린 텔레비젼은 두 개의 동화상을 제공할 수 있다. 남아 있는 11개의 화상은 고정 프레임 포맷으로 있게 된다.

제1i도는 그리드 모양으로된 12개의 4×3 디스플레이 포맷비 화상을 갖는 디스플레이 포맷을 도시하고 있다. 이러한 디스플레이 포맷은, 특히 채널을 선택하도록 안내하는데 적합하다. 여기서 각 화상은 상이한 채널로부터의 적어도 하나의 고정 프레임이다. 상술한 바와 같이, 동화상의 수는 이용 가능한 튜너 및 신호 처리 경로의 수에 의존한다.

제1도에 도시된 여러 종류의 포맷은 남아 있는 도면과 이하에 상세히 설명된 와이드 스크린 텔레비젼에 의해 실행될 수 있다.

2 f_H 수평 주사로 동작하도록 되어 있는 본 발명의 장치에 따른 와이드 스크린 텔레비젼에 대한 전체적인 블록도는 제2도에 도시되어 있으며 보통 10으로 표시한다. 텔레비젼(10)은 일반적으로 비디오 신호 입력부(20), 새시(chassis) 또는 TV 마이크로프로세서(216), 와이드 스크린 프로세시(30), 1 f_H 대 2 f_H 변환기(40), 편향 회로(50), RGB 인터페이스(60), 산업형 TA7730 칩이 될 수 있는 YUV 대 RGB, 변환기(240), 키네스코프 구동기(242), 직시관 또는 투사관(244) 및 전원(70)으로 구성된다. 설명의 편의상 여러 회로의 그룹을 상이한 기능을 갖는 블록으로 나누어 놓았는데, 이는 그러한 회로들의 상호간의 물리적인 위치를 제한하고자 한 것이 아니다.

비디오 신호 입력부(20)는 상이한 비디오 소스로부터 복수의 복합 비디오 신호를 수신하도록 되어 있다. 비디오 신호는 메인 비디오 신호 및 보조 비디오 신호로서 디스플레이되도록 선택적으로 전환될 수 있다. RF 스위치(204)는 두 개의 안테나 입력 ANT1과 ANT2를 갖는다. 이들은 옥외 안테나 수신 및 케이블(유선) 수신을 위한 입력을 나타낸다. RF 스위치(204)는 제1 튜너(206)와 제2 튜너(208)에 공급되는 안테나 입력을 제어한다. 제1 튜너(206)의 출력은 튜닝, 수평 편향, 수직 편향 및 비디오 제어와 관련된 수많은 기능을 수행하는 원-칩(202)으로 입력된다. 도시된 특정 원-칩은 산업형 TA7777 이다. 제1 튜너(206)로부터

제공되는 신호에 따라 원-칩에서 형성된 기저대 비디오 신호는 비디오 스위치(200)와 와이드 스크린 프로세서(30)의 입력단 TV1에 입력된다. 비디오 스위치(200)에 제공되는 다른 기저대 비디오 입력은 AUX1과 AUX2로 표시되어 있다. 이들은 비디오 카메라, 레이저 디스크 플레이어, 비디오 테이프 플레이어, 비디오 게임 등에 사용될 수 있다. 새시(chassis) 또는 TV 마이크로프로세서(216)에 의해 제어되는 비디오 스위치(200)의 출력은 SWITCHED VIDEO로 표시되어 있다. SWITCHED VIDEO는 와이드 스크린 프로세서(30)에 입력된다.

제2도 및 제3도를 참조하면, 와이드 스크린 프로세서의 스위치 SW1는 Y/C 디코더(210)로 입력되는 SEL COMP OUT 비디오 신호로서 TV1 신호와 SWITCHED VIDEO 신호를 선택한다. Y/C 디코더(210)는 적응 라인 빗형 필터(adaptive line comb filter)로서 구현될 수 있다. 두 개의 추가 비디오 소스 S1과 S2도 또한 Y/C 디코더(210)에 입력된다. 각각의 비디오 소스 S1과 S2는 상이한 S-VHS 소스를 나타내며, 이들 각각은 별도의 휘도 신호 및 색도 신호로 구성된다. 어떤 적응 라인 빗형 필터에서 처럼 Y/C 디코더의 일부로서 결합될 수 있거나 별도의 스위치로서 실행될 수 있는 스위치는 TV 마이크로프로세서(216)에 응답하여 각각 Y_M 및 C_IN으로 표시된 출력으로서의 한쌍의 휘도 및 색도 신호를 선택한다. 선택된 휘도 및 색도 신호쌍은 그후 메인 신호로 간주되어 메인 신호 경로를 따라 처리된다. _M 또는 _MN을 포함하는 신호 표시는 메인 신호 경로에 관한 것이다. 색도 신호 C_IN는 와이드 스크린 프로세서(30)에서 원-칩(202)으로 되돌아가 색차 신호 U_M 및 V_M을 형성한다. 여기에서 U는 R-Y와 등가 표시이며 V는 B-Y와 등가 표시이다. Y_M, U_M 및 V_M 신호는 추가의 신호 처리용 와이드 스크린 프로세서에서 디지탈 형태로 전환된다.

와이드 스크린 프로세서(30)의 일부로서 한정된 제2 튜너(208)는 기저대 비디오 신호 TV2를 형성한다. 스위치 SW2는 Y/C 디코더(220)로의 입력으로서 TV2 신호와 SWITCHED VIDEO 신호 중 하나를 선택한다. Y/C 디코더(220)는 적응 라인 빗형 필터로서 구현될 수 있다. 스위치 SW3와 SW4는 Y/C 디코더(220)의 휘도 출력과 색도 출력 중 하나와, 각각 Y_EXT 및 C_EXT로 표시된 외부 비디오 소스의 휘도 신호와 색도 신호 중 하나를 선택한다. Y_EXT 신호 및 C_EXT 신호는 S_VHS 입력 S1에 대응한다. Y/C 디코더(220)와 스위치 SW3 및 SW4는 적응 라인 빗형 필터에서 처럼 조합될 수 있다. 스위치 SW3 및 SW4의 출력은 그후 보조 신호로 간주되어 보조 신호 경로를 따라 처리된다. 선택된 휘도 출력은 Y_A로 표시된다. _A, _AX 및 _AUX를 포함한 신호 표시는 보조 신호경로에 관한 것이다, 선택된 색도 신호는 색차 신호 U_A 및 V_A로 전환된다. Y_A, U_A 및 V_A 신호는 추가의 신호 처리를 위해 디지탈 형태로 전환된다. 메인 및 보조 신호 경로에서 비디오 신호 소스를 전환하는 장치는 상이한 화상 디스플레이 포맷의 상이한 부분에 대해 소스 선택을 처리하는데 있어서의 유연성을 최대가 되게 한다.

Y_M에 대응하는 복합 동기 신호 COMP SYNC는 와이드 스크린 프로세서에 의해 동기 분리기(212)로 제공된다. 수평 동기 성분 H와 수직 동기 성분 V은 수직 카운트다운 회로(214)로 입력된다. 수직 카운트다운 회로는 와이드 스크린 프로세서(30)로 향하는 VERTICAL RESET 신호를 형성한다. 와이드 스크린 프로세서는 RGB 인터페이스(60)로 향하는 내부 수직 리세트 출력 신호 INT VERT RST OUT를 발생시킨다. RGB 인터페이스(60)에서의 스위치는 내부 수직 리세트 출력 신호와 외부 RGB 소스의 수직 동기 성분 신호 중 하나를 선택한다. 이 스위치의 출력으로서 선택된 수직 동기 성분 SEL_VERT-SYNC은 편향 회로(50)에 입력된다. 보조 비디오 신호의 수평 및 수직 동기 신호는 와이드 스크린 프로세서에 있는 동기 분리기(212)에 의해 형성된다.

1 f_H 대 2 f_H 변환기(40)는 비월 주사된 비디오 신호를 비월 주사되지 않고 순차 주사된 신호로 변환시키는 기능을 한다. 예를 들어, 각 수평 라인이 두번 디스플레이되거나 동일 필드의 보간(interpolating) 인접 수평 라인에 의해 추가의 수평 라인이 발생된다. 인접 필드들 또는 인접 프레임들 사이에서 검출된 움직임 레벨에 따라 이전의 라인이 사용될지 또는 보간된 라인이 사용될지가 결정된다. 변환기 회로(40)는 비디오 RAM(420)과 결합하여 동작한다. 비디오 RAM은 저장용으로 사용될 수 있고 프레임의 보다 많은 필드가 순차적으로 디스플레이 가능하도록 하는데 사용된다. Y_2f_H, U_2f_H 및 V_f_H 신호로서 전환된 비디오 데이타는 RGB 인터페이스(60)에 공급된다.

제14도에 보다 상세히 도시된 RGB 인터페이스(60)는 비디오 신호 입력부로 하여금 디스플레이용 전환 비디오 데이타 또는 외부 RGB 비디오 데이타를 선택할 수 있게 한다. 외부 RGB 신호는 2f_H 주사에 적합화된 와이드 디스플레이 포맷비 신호로 간주된다. 메인 신호의 수직 동기 성분은 와이드 스크린 프로세서에 의해 INT VERT RST OUT으로서 RGB 인더페이스에 공급되어 이로써, 선택된 수직 동기(fvm 또는 fvext)가 편향 회로(50)에 이용될 수 있다. 와이드 스크린 텔레비젼의 동작은 내부/외부 제어 신호 INT/EXT를 발생시킴으로써 사용자가 외부 RGB 신호를 선택할 수 있게 해준다. 그러나, 그러한 신호의 부재시에 외부 RGB 입력 신호를 선택하면, 래스터의 수직 붕괴가 일어날 수 있고, 음극선관 또는 투사관에 손상을 가져오는 결과를 초래할 수 있다. 따라서, RGB 인터페이스 회로는 존재하지 않는 외부 RGB 입력 신호의 선택을 무효로하기 위해 외부 동기 신호를 검출한다. WSP 마이크로프로세서(340)는 또한 외부 RGB 신호에 대한 컬러 및 색조를 제어한다.

와이드 스크린 프로세서(30)는 보조 비디오 신호의 특정 신호 처리를 위해 화상 내 화상 회로(301)의 화상을 포함한다. 화상 내 화상(Picture-in-picture)이라는 용어는 때때로 축약하여 PIP 또는 Pix-in-pix라고 쓰기도 한다. 게이트 어레이(300)는 제1b도 내지 제1i도의 예에 나타낸 것처럼, 여러 종류의 와이드 디스플레이 포맷에서의 메인 비디오 신호 데이타와 보조 비디오 신호 데이타를 조합한다. PIP 회로(301)와 게이트 어레이(300)는 와이드 스크린 프로세서 마이크로 프로세서(WSP μP)(340)의 제어 대상에 속한다. 마이크로프로세서(340)는 직렬버스를 통해 TV 마이크로프로세서(216)에 응답한다. 직렬 버스는 4개의 신호 라인 즉, 데이타, 클록 신호, 인에이불(enable) 신호 및 리세트 신호에 대한 라인을 포함한다. 와이드 스크린 프로세서(30)는 또한 3개의 레벨 샌드캐슬(sandcastle) 신호로서의 복합 수직 소거(blanking)/리세트 신호를 발생시킨다. 또한, 수직 소거 신호 및 수직 리세트 신호는 별개의 신호로서 발생될 수 있다. 복합 소거 신호는 비디오 신호 입력부에 의해 RGB 인터페이스에 제공된다.

제13도에 보다 상세히 도시된 편향 회로(50)는 와이드 스크린 프로세서로부터의 수직 리세트 신호, RGB 인터페이스(60)로부터 선택된 2f_H 수평 동기 신호 및 와이드 스크린 프로세서로부터의 추가의 제어 신호를 수신한다. 이들 추가의 제어 신호는 수평 위상, 수직 크기 조절 및 좌우 핀 조절과 관련이 있다. 편향 회

로(50)는 $2f_H$ 귀선(flyback) 펄스를 와이드 스크린 프로세서(30), $1f_H$ 대 $2f_H$ 변환기(40) 및 YUV 대 RGB 변환기(240)에 제공한다.

전체 와이드 스크린 탤레비젼에 대한 동작 전압은 AC 메인 전원으로 활성화되는 전원(70)에 의해 발생된다.

와이드 스크린 프로세서(30)는 제3도에 보다 상세히 도시되어 있다. 와이드 스크린 프로세서의 주요 구성 요소로는 게이트 어레이(300), PIP 회로(301), 아날로그/디지탈 변환기 및 디지탈/아날로그 변환기, 제2 튜너(208), 와이드 스크린 프로세서 마이크로프로세서(340) 및 와이드 스크린 출력 엔코더(227)가 있다. $1f_H$ 및 $2f_H$ 캐시, 예를 들어 PIP 회로와 연관되어 있는 와이드 스크린 프로세서의 추가의 세부 사항은 제4도에 도시되어 있다. PIP 회로(301)의 주요 부분을 형성하는 PIP 프로세서(320)는 제5도에 보다 상세히 도시되어 있다. 게이트 어레이(300)는 제6도에 상세히 도시되어 있다. 제3도에 도시되어 있으며 메인 및 보조신호 경로의 일부를 형성하는 다수의 구성 요소들에 대해서는 이미 설명한 바 있다.

제2 튜너(208)는 IF 단(224) 및 오디오 단(226)과 관련되어 있다. 제2 튜너(208)는 또한 WSP 마이크로프로세서(340)와 관련하여 동작한다. WSP 마이크로프로세서(340)은 입출력 I/O 부(340A)와 아날로그 출력부(340B)를 포함한다. I/O 부(340A)는 색조 및 컬러 제어 신호, 외부 RGB 비디오 소스를 선택하기 위한 INT/EXT 신호 및 제어 신호를 스위치(SW1 내지 SW6)에 제공한다. I/O 부는 또한 편향 회로와 음극선관을 보호하기 위하여 RGB 인터페이스로부터의 EXT SYNC DET 신호를 감시한다. 아날로그 출력부(340B)는 각 인터페이스 회로(254, 256 및 258)를 통해 수직 크기, 좌우 조절 및 수평 위상을 위해 제어 신호를 제공한다.

게이트 어레이(300)는 복합 와이드 스크린 디스플레이를 구현하기 위해 메인 및 보조 신호 경로 예컨대, 제1도의 여러 부분에 도시된 것들 중 하나로부터의 비디오 정보를 조합하는 역할을 한다. 게이트 어레이에 대한 클록 정보는 저대역 통과 필터(LPF)(376)와 관련하여 동작하는 위상 동기 루프(PLL)(374)에 의해 제공된다. 매인 비디오 신호는 Y_M, U_M 및 V_M으로 표시된 신호로서 YUV 포맷과 아날로그 형태로 와이드 스크린 프로세서에 공급된다. 이들 메인 신호는 제4도에 보다 상세히 도시된 아날로그/디지탈 변환기(342,346)에 의해 아날로그에서 디지탈 형태로 변환된다.

컬러 성분 신호는 일반적인 표시 U 및 V로 언급되고, R_Y 신호 또는 B_Y 신호, 또는 I 및 Q 신호로 배정될 수 있다. 샘플링된 휘도 대역폭은 시스템 클록율이 대략 16 MHz인 1024 f_H이기 때문에 8 MHz로 제한된다. U 신호 및 V 신호가 와이드 I에 대해 500 KHz 또는 1.5 MHz로 제한되므로, 단일 아날로그/디지달 변환기와 아날로그 스위치가 컬러 성분 데이타를 샘플링하기 위해 사용된다. 아날로그 스위치 또는 멀티플렉서(344)에 대한 선택 라인 UV_MUX는 시스템 클록을 2로 제산함으로써 유도된 8 MHz 신호이다. 라인 SOL 펄스의 1 클릭 와이드 개시는 이 신호를 각 수평 비디오 라인의 초기점에서 0까지 동기적으로 리세트시킨다. UV_MUX 라인은 수평 라인 전체에 걸쳐 각 클록 사이클 상태에서 토글(toggle)된다. 라인 길이가 짝수인 클록 사이클이기 때문에 일단 초기화되면, UV_MUX의 상태는 간섭없이 일관성 있게 0,1,0,1,... 상태로 토글할 것이다. 아날로그/디지탈 변환기가 각각 1 클록 사이클 만큼 지연되므로, 아날로그/디지탈 변환기(342,346)로부터의 Y 및 UV 데이타 스트림은 전환된다. 이러한 데이타 전환에 적응하기 위해 메인 신호 처리 경로(304)의 보간 회로 제어(349:제9도 참조)로부터의 클록 게이팅 정보도 유사하게 지연되어야 한다. 만일 클록 게이팅 정보가 지연되지 않는다면, UV 데이타는 검출될 때 정확히 짝지어지지 않을 것이다. 이는 UV 데이타의 각 쌍이 하나의 벡터를 나타내기 때문에 매우 중요한 문제이다. 하나의 벡터로부터의 U 성분은 컬러 전환을 유발하지 않고서는 다른 벡터로부터의 V성분과 쌍을 이룰 수 없다. 그 대신 이전 쌍으로부터의 V 샘플이 현재의 U 샘플과 함께 검출될 것이다. 이러한 UV 멀티플렉싱 방법은 컬러 성분(U,V) 샘플의 모든 쌍에 대해 두 개의 휘도 샘플이 있기 때문에 2:1:1 로서 간주된다. U 및 V에 대한 나이퀴스트 주파수(Niquist frequency)는 휘도 나이퀴스트 주파수의 절반까지 효과적으로 감소된다. 따라서, 휘도 성분에 대한 아날로그/디지탈 변환기 출력의 나이퀴스트 주파수는 8 MHz인 반면에, 컬러 성분에 대한 아날로그/디지탈 변환기 출력의 나이퀴스트 주파수는 4 MHz 이다.

PIP 회로 및/또는 게이트 어레이는 데이타 압축에 상관없이 보조 데이타의 해상도를 증가시키기 위한 수단을 포함할 수도 있다. 다수의 데이타 감소 및 데이타 복원 계획이 예를 들어 쌍을 이루고 있는 화소 압축 및 디더링(dithering) 및 디디더링(dedithering)을 포함하여 진행되어 왔다. 또한, 상이한 비트수를 포함하는 상이한 디더링 시퀀스와 상이한 비트수를 포함하는 상이한 쌍을 이루고 있는 화소 압축이 고려되고 있다. 다수의 특정 데이타 감소 및 복원 계획은 각각의 특정 화상 디스플레이 포맷에 대한 디스플레이된 비디오의 해상도를 최대로 하기 위해 WSP 마이크로프로세서에 의해 선택될 수 있다.

게이트 어레이는 FIFO(356,368)로서 실행될 수 있는 라인 메모리와 관련하여 동작하는 보간 회로를 포함한다. 보간 회로와 FIFO는 메인 신호를 원하는 만큼 다시 샘플링하는데 사용된다. 추가의 보간 회로는 보조 신호를 다시 샘플링할 수 있다. 게이트 어레이에서의 클록 및 동기 회로는 메인 및 보조 신호의 데이타 조작을 제어하고 메인 및 보조 신호를 결합하여 Y_MX, U_MX 및 V_MX 성분을 갖는 단일 출력 비디오 신호가 되게 한다. 이들 출력 성분들은 디지탈/아날로그 변환기(360,362,364)에 의해 아날로그 형태로 전환된다. Y, U 및 V로 표시된 아날로그 신호는 순차 주사 변환을 위해 $1f_H/2f_H$ 변환기(40)에 공급된다. Y, U 및 V 신호는 또한 엔코더(227)에 의해 Y/C 포맷으로 엔코딩되어 잭판(panel jack)에서 이용 가능한 와이드 포맷비 출력 신호 Y_OUT-EXT/C_OUT_EXT를 형성한다. 스위치 SW5는 게이트 어레이의 C_SYNC_MN 또는 PIP 회로의 C_SYNC_AUX로부터 엔코더(227)에 대한 동기 신호를 선택한다. 스위치 SW5는 와이드 스크린 패널 출력에 대한 동기 신호로서 Y_M과 C-SYNC_AUX 중 하나를 선택한다.

수평 동기 회로는 제12도에 보다 상세히 도시되어 있다. 위상 비교기(228)는 저대역 통과 필터(230), 전압 제어 발진기(232), 제산기(234) 및 커패시터(236)를 포함하는 위상 동기 루프의 일부에 속한다. 전압 제어 발진기(232)는 세라믹 공진기(238) 또는 이와 유사한 역할을 하는 것에 응답하여 $32f_H$에서 동작한다. 전압 제어 오실레이터의 출력은 32로 제산되어 적당한 제2 주파수 입력 신호를 위상 비교기(228)에 제공한다. 제산기(234)의 출력은 $1f_H$ REF 타이밍 신호이다. $32f_H$ REF 및 $1f_H$ REF 타이밍 신호는 16으로 제산하는 카운터(400)에 공급된다. $1f_H$ REF 신호에 대한 프리세트(preset) 제산기(40)는 제산기가 비디오 신호

입력부의 위상 동기 루프에 의해 동기적으로 동작하게 한다. 펄스 폭 회로(402)는 $2f_H$-REF 신호가 위상 비교기(예를 들어 저대역 통과 필터(406)와 $2f_H$ 전압 제어 발진기(408)를 포함한 위상 동기 루프의 일부를 형성하는 CA1391 형)의 적절한 동작을 위한 적합한 펄스 폭을 갖게 한다. 전압 제어 발진기(408)는 순차적으로 주사되는 디스플레이를 구동시키는데 필요한 내부 $2f_H$ 타이밍 신호를 발생시킨다. 위상 비교기(404)로의 다른 입력 신호는 $2f_H$ 귀선 펄스이거나 그와 관련된 타이밍 신호이다. 위상 비교기(404)를 포함한 제2 위상 동기 루프는 각각의 $2f_H$ 주사 기간이 입력 신호의 각 $1f_H$H 기간내에서 대칭되도록 한다. 대칭이 되지 않으면, 디스플레이에는 래스터 분할(split)이 나타날 수 있다. 예컨대, 비디오 라인의 절반은 우측으로 위치가 변경되고 나머지 절반은 좌측으로 변경된다.

편향 회로(50)는 제13도에 보다 상세히 도시되어 있다. 상이한 디스플레이 포맷을 실행하는데 필요한 수직 과도 주사(overscan)의 원하는 양에 따라, 회로(500)가 래스터의 수직 크기를 조절하기 위해 제공된다. 도시적으로 설명하자면, 일정한 전류원(502)은 수직 램프파 커패시터(ramp capacitor)(504)를 충전시키는 일정량의 전류 I_{RAMP}를 제공한다. 트랜지스터(506)는 수직 램프파 커패시터와 병렬로 접속되고 수직 리세트 신호에 응답하는 커패시터를 주기적으로 방전시킨다. 어떤 조절 상태가 없다면, 전류 I_{RAMP}는 최대로 이용 가능한 수직 크기를 래스터에 제공한다. 이는 제1a도에 도시된 것처럼, 확장된 4×3 디스플레이 포맷비 신호 소스에 의해 와이드 스크린 디스플레이를 채우는데 필요한 수직 과도 주사의 범위와 일치한다. 수직 래스터의 크기가 보다 덜 요구되는 정도까지, 수직 램프파 커패시터(504)가 보다 천천히 충전되어 보다 작은 피크값을 갖도록 조절 가능한 전류원(508)은 전류 I_{ADJ}의 가변량을 전류 I_{RAMP}로 전환한다. 가변 전류원(508)은 수직 크기 제어 회로에 의해 발생되는 수직 크기 조절 신호에 예를 들어 아날로그 형태로 응답한다. 수직 크기 조절 회로(500)는 전위 차계 또는 백 패널 조절 노브(back panel adjustment knob)에 의해 실행될 수 있는 수동 수직 크기 조절 회로(510)와는 무관하다. 어떤 경우에 있어서는, 수직 편향 회로(512)는 적절한 크기의 구동 전류를 수신한다. 수평 편향은 위상 조절 회로(518), 좌우 핀 보정 회로(514), $2f_H$ 위상 동기 루프(520) 및 수평 출력 회로(516)에 의해 이루어진다.

RGB 인터페이스 회로(60)는 제14도에 보다 상세히 도시되어 있다. 최후까지 디스플레이되어야할 신호는 $1f_H/2f_H$ 변환기(40)의 출력과 외부 RGB 입력 사이에서 선택될 것이다. 본 명세서에 기술된 와이드 스크린 텔레비젼을 위해서는, 외부 RGB 입력이 와이드 디스플레이 포맷비를 갖는 순차 주사된 소스인 것으로 추정할 수 있다. 비디오 신호 입력부(20)로부터의 외부 RGB 신호와 복합 소거 신호는 YUV 변환기(610)의 RGB에 입력된다. 외부 RGB 신호에 대한 외부 $2f_H$ 복합 동기 신호는 외부 동기 신호 분리기(600)에 입력된다. 스위치(608)는 수직 동기 신호를 선택한다. 스위치(604)는 수평 동기 신호를 선택한다. 스위치(606)는 비디오 신호를 선택한다. 각각의 스위치(604,606,608)는 WSP 마이크로프로세서(340)에 의해 발생된 내부/외부 제어 신호에 응답한다. 내부 비디오 소스 또는 외부 비디오 소스는 사용자가 선택한다. 그러나, 그러한 소스가 접속되어 있지 않거나 턴온되지 않았을 때, 사용자가 부주의하게 외부 RGB 소스를 선택할 경우 또는 외부 소스가 사라져 버릴 경우, 수직 래스터는 붕괴되고 음극선관에 심각한 손상을 가져오는 결과를 초래할 것이다. 따라서, 외부 동기 검출기(602)는 외부 동기 신호가 있는지를 조회한다. 그러한 신호가 없을 경우에는, 스위치 오버라이드(override) 제어 신호는 각 스위치(604,606,608)로 전송되어 신호가 존재하지 않는 경우에, 외부 RGB 소스를 선택하지 못하게 한다. RGB 대 YUV 변환기(610)는 또한 WSP 마이크로프로세서(340)로부터의 색조 및 컬러 제어 신호를 수신한다.

본 발명의 장치에 따른 와이드 스크린 텔레비젼은 비록 그러한 회로가 설명되지는 않았지만 $2f_H$ 수평 주사 대신 $1f_H$ 수평 주사로 실행될 수 있다. $1f_H$ 회로에는 $1f_H/2f_H$ 변환기와 RGB 인터페이스가 필요하지 않다. 따라서, $1f_H$ 회로에는 $2f_H$ 주사율에서 외부 와이드 디스플레이 포맷비 RGB 신흐를 디스플레이하기 위한 장치가 없다. $1f_H$ 회로에 대한 와이드 스크린 프로세서와 PIP 프로세서는 매우 유사할 것이다. 입력과 출력 모두가 이용되는 것은 아니기만, 게이트 어레이는 대체적으로 동일하다. 본 명세서에 기술된 여러가지 해상도 향상 계획은 텔레비젼이 $1f_H$ 주사로 동작하든 $2f_H$ 주사로 동작하든지간에 상관없이 일반적으로 어디에나 적용될 수 있다.

제4도는 $1f_H$ 새시 및 $2f_H$ 새시에 대해 동일한 기능을 하는 제3도에 도시된 와이드 스크린 프로세서(30)를 보다 상세히 도시한 블록도이다. Y_A, U_ A 및 V_A 신호는 해상도 처리 회로(370)를 포함할 수 있는 PIP 프로세서(320)에 입력된다. 본 발명의 양상에 따른 와이드 스크린 텔례비젼은 비디오 화상을 확장 및 압축시킬 수 있다. 제1도의 여러 도면에서 설명된 여러 종류의 복합 디스플레이 포맷에 의해 구체화되는 특정 효과는 해상도 처리 회로(370)로부터 제공되는 해상도 처리된 데이타 신호 Y_RP, U_RP 및 V_RP를 수신할 수 있는 PIP 프로세서(320)에 의해 제공된다. 해상도 처리 과정이 항상 필요한 것은 아니고 선택된 디스플레이 포팻 동안만 필요하다. PIP 프로세서(320)는 제5도에 보다 상세히 도시되어 있다. PIP 프로세서의 주요 구성 요소로는 아날로그/디지탈 변환기(322), 입력부(324), 고속 스위치(FSW) 및 비스부(326), 타이밍 및 제어부(328) 및 디지탈/아날로그 변환기(330)가 있다. 타이밍 및 제어부(328)는 제11도에 보다 상세히 도시되어 있다.

PIP 프로세서(320)는 인디애나주 인디아나폴리스에 소재한 톰슨 콘슈머 일렉트로닉스 인코오포레이티드사에서 개발된 기본 CPIP 칩의 개선된 변형물로서 구현될 수 있다. 기본 CPIP 칩에 대해서는 톰슨 콘슈머 일렉트로닉스 인코오포레이티드사에서 입수 가능한 The CTC 140 Picture in Picture(CPIP) Technical Training Manual이라는 명칭의 간행물에 구체적으로 기술되어 있다. 이에 대한 다수의 특징 또는 효과에 대해서는 후술될 것이다. 기본적인 특정 효과는 제1c도에 도시된 것처럼 대형 화상의 일부분에 소형 화상이 디스플레이되는 데에 있다. 대형 화상은 동일한 비디오 신호로부터 그리고 소형 화상은 상이한 비디오 신호로부터 생성될 수 있으며 이들은 상호 교환될 수 있다. 일반적으로 말하면, 오디오 신호는 대형 화상에 언제나 대응하도록 전환된다. 소형 화상은 스크린상의 임의의 위치로 이동되거나 다수의 소정 위치로 이동될 수 있다. 원근 이동(zoom)특성은 예를 들어, 이미 설정된 수많은 크기들 중 임의의 어느 하나로 소형 화상의 크기를 증가 및 감소시키는데 있다. 제1d도에 도시된 디스플레이 포맷에서 처럼 어떤 지점에서는 대형 화상과 소형 화상이 사실상 동일한 크기가 된다.

제1b도, 제1e도 또는 제1f도에 도시된 도면과 같은 단일 화상 방식에 있어서는, 사용자가 예를 들어 1.0:1 대 5.0:1의 비율로부터 단계적으로 단일 화상의 내용(contents)을 원근 이동시킬 수 있다. 원근 이동 방식 동안, 사용자는 스크린 이미지가 화상의 상이한 영역을 가로질러 이동할 수 있게 하는 화상 내용을 통해 조사하거나 팬(pan)한다. 어떤 경우에든 즉, 소형 화상 또는 대형 화상 또는 원근 이동한 화상은 고정 프레임(정지하고 있는 화상 포맷)으로 디스플레이될 수 있다. 이러한 기능은 스트로브(strobe) 포맷을 가능하게 하는데, 여기서 비디오의 최종 9 프레임이 스크린상에서 반복될 수 있다. 프레임 반복율은 초당 30 프레임에서 초당 0 프레임까지 변경될 수 있다.

본 발명의 또 다른 장치에 따른 와이드 스크린 텔레비젼에 사용되는 PIP 프로세서는 상술한 것과 같이, 현재의 기본적인 CPIP 칩 모양과는 다르다. 기본적인 CPIP 칩이 16×9 스크린을 갖는 텔레비젼에 비디오 고속 회로가 없이 사용될 경우, 16×9 와이드 스크린을 가로지르는 주사로 유발되는 효과적인 4/3 배 수평 확장으로 인해 삽입 화상은 종횡비 왜곡을 나타낼 것이다. 화상에서의 대상(object)은 수평으로 연장될 것이다. 외부 고속 회로가 이용될 경우, 종횡비 왜곡은 발생하지 않지만 전체 스크린에 화상이 전부 채워지지는 않을 것이다.

종래의 텔레비젼에 사용되어 왔던 기본 CPIP 칩에 근거한 PIP 프로세서는 어떤 바람직하지 않은 결과를 낳는 특정 방식으로 동작된다. 입력 비디오 신호는 메인 비디오 소스의 수평 동기 신호에 동기된 640 f_H 클록으로 샘플링된다. 즉, CPIP 칩과 관련하여 비디오 RAM에 저장된 데이타는 입력 보조 비디오 소스에 대해 직교 샘플링(orthogonal sampling)이 되지 않는다. 이것이 필드 동기화의 기본 CPIP 방법의 근본적인 한계이다. 입력 샘플링 비율의 비직교 성질은 스큐 에러(skew error)를 유발시킨다. 그러한 한계는 데이터를 기록 및 판독하기 위해 동일 클록을 사용해야 하는 비디오 CPIP 칩과 함께 비디오 RAM을 사용하기 때문이다. 비디오 RAM(350)과 같은 비디오 RAM으로부터의 데이타가 디스플레이 될 경우, 스큐 에러는 화상의 수직 에지를 따라 랜덤한 지터(jitter)로 나타나며 이는 보통 매우 바람직하지 않은 것으로 간주된다.

기본 CPIP 칩과는 다르게 본 발명의 장치에 따른 PIP 프로세서(320)는 비디오 데이타를 복수의 디스플레이 방식들 중 하나의 방식으로 비대칭 압축 시키는데 적합하다. 이러한 동작 방식에서는, 화상이 수평 방향으로 4:1, 수직 방향으로 3:1 압축된다. 이러한 비디오 RAM의 저장시에, 비대칭 압축 방식으로 인해 왜곡된 화상 종횡비가 나타난다. 화상에서의 대상은 수평으로 압축된다. 그러나, 이들 화상이 예를 들어 16×9 디스플레이 포맷비 스크린의 디스플레이에 대한 채널 주사방식에서처럼 정상적으로 판독될 경우, 화상은 올바르게 나타난다. 이 때 스크린에는 화상이 전부 채워지게 되며 종횡비에는 왜곡이 생기지 않는다. 본 발명의 양상에 따른 비대칭 압축 방식으로 인해 외부 고속 회로가 없는 16×9의 특정 디스플레이 포맷 스크린이 나타난다.

제11도는 예를 들어, 상술한 CPIP 칩의 변경된 버젼인 PIP 프로세서의 타이밍 및 제어부(328)의 블록도이다. 상기 CPIP 칩은 복수의 선택 가능한 디스플레이 방식 중 하나로서의 비대칭 압축을 실행하기 위한 추림화(decimation) 회로(328C)를 포함한다. 다른 디스플레이 방식은 상이한 크기를 갖는 보조 화상을 제공할 수 있다. 각 수평 및 수직 추림화 회로는 WSP 마이크로프로세서(340)의 제어하에서 테이블 값으로부터의 압축 인자로 프로그램된 카운터를 포함한다. 그 값의 범위는 1:1, 2:1, 3:1 등이 될 수 있다. 압축 인자는 테이블이 얼마나 셋업되는지에 따라서 대칭 또는 비대칭이 될 수 있다. 압축비의 제어는 또한 WSP 마이크로프로세서(340)의 제어하에서 프로그램 가능한 범용 추림화 회로에 의해 실행될 수 있다.

완전한 스크린 PIP 방식에 있어서, 비안정(free running) 발진기(348)와 관련한 PIP 프로세서는 디코더로부터의 Y/C 입력을 받아들일 것이다. 예컨대, 적응 라인 빗형 필터는 신호를 Y, U, V 컬러 성분으로 디코딩하고 수평 및 수직 동기 펄스를 발생시킨다. 이들 신호는 원근 이동과 같은 여러가지 스크린 방식에 대해 PIP 프로세서에서 처리된다. 채널 주사 방식 동안, 예컨대, 비디오 신호 입력부로부터 제공된 수평 및 수직 동기 신호는 샘플링된 신호(상이한 채널)가 동기 펄스와 관련이 없고 외관상으로는 랜덤한 순간에 전환되기 때문에 많은 불연속성을 가질 것이다. 따라서, 샘플 클록(및 판독/기록 비디오 RAM 클록)은 비안정 발진기에 의해 결정된다. 고정 및 원근 이동 방식에 있어서, 샘플 클록은 입력 비디오 수평 동기로 동기화될 것이다. 이들 특수한 경우의 입력 비디오 수평 동기는 디스플레이 클록 주파수와 동일하다.

제4도를 참조하면, PIP 프로세서로부터의 아날로그 형태인 Y, U, V 및 C_SYNC(복합 동기 신호)는 3.58 MHz 발진기(380)와 관련하여 동작하는 엔코드 회로(366)에 의해 Y/C 성분으로 재엔코딩될 수 있다. 이 Y/C_PIP_ENC 신호는 Y/C 스위치(도시되지 않음)에 연결될 수 있고, 이로 인해 재엔코딩된 Y/C 성분이 메인 신호의 Y/C 성분 대신 사용될 수 있다. 이로써 PIP 엔코딩된 Y, U, V 및 동기 신호는 새시의 나머지 부분에서 수평 및 수직 타이밍의 기초가 된다. 이러한 동작 방식은 메인 신호 경로에서의 보간 회로 및 FIFO의 동작에 근거하여 PIP에 대한 원근 이동 방식을 실행시키는데 적합하다.

제5도에 있어서, PIP 프로세서(320)는 아날로그/디지탈 변환부(322), 입력부(324), 고속 스위치 FSW 및 버스 제어부(326), 타이밍 및 제어부(328) 및 디지탈/아날로그 변환부(330)를 포함한다. 일반적으로, PIP 프로세서(320)는 비디오 신호를 휘도(Y) 및 색차 신호(U,V)로 디지털화하고, 상술한 것처럼, 1 Mbit 비디오 RAM(350)의 결과를 서브샘플링 및 저장한다. PIP 프로세서(320)와 관련된 비디오 RAM(350)은 1 Mbit의 메모리 용량을 갖는데, 이는 8비트 샘플을 갖는 비디오 데이타의 완전한 필드를 저장하기에는 부족한 용량이다. 메모리 용량을 증가시키는 것은 비용이 많이 들고 복잡한 관리 회로가 요구될 수 있다. 보조 채널에서 샘플당 비트수가 작으면 8비트 샘플 전체를 처리하는 메인 신호에 비해 양자화 해상도 또는 대역폭에서의 감소를 나타낸다. 이러한 대역폭의 사실상의 감소는 보조 디스플레이된 화상이 상대적으로 작을 때는 문제가 되지 않지만 보조 디스플레이된 화상이 클 때, 예를 들어 메인 디스플레이된 화상과 같은 크기일 때는 곤란한 문제가 될 수 있다. 해상도 처리 회로(370)는 양자화 해상도 또는 보조 비디오 데이타의 실제 대역폭을 증가시키도록 하나 이상의 계획을 선택적으로 실행할 수 있다. 다수의 데이타 감소 및 데이타 복원 계획은 예를 들어 쌍을 이루고 있는 화소 압축 및 디더링 및 디디더링을 포함하여 개발되어 왔다. 디디더링 회로는 다음에 보다 상세히 설명되는 것처럼 게이트 어레이의 보조 신호 경로에서의 비디오 RAM(350)의 흐름에 따라 배치될 것이다. 또한, 상이한 비트수를 포함하는 상이한 디더링 및 디디더링 시퀀스와 서로 상이한 비트수를 포함하는 상이하게 짝을 이루는 화소 압축이 고려되어야 한다. 다수의 특정 데이타 감소 및 복원 계획 중의 하나는 각 특정 종류의 화상 디스플레이 포맷에 대한 디스플레이된 비

디오의 해상도를 최소화 하도록 WSP 마이크로프로세서에 의해 선택될 수 있다.

휘도 및 색차 신호는 8:1:1의 6비트 Y, U, V 방식으로 저장된다. 즉, 각 성분은 6비트 샘플로 양자화된다. 모든 쌍의 색차 샘플에 대한 8개의 휘도 샘플이 있다. PIP 프로세서(320)는 입력 비디오 데이타가 입력 보조 비디오 동기 신호로 동기화된 640 f_H 클록율로 샘플링되는 방식으로 동작된다. 이러한 방식에서는, 비디오 RAM에 저장되는 데이타가 직교로 샘플링된다. 데이타가 PIP 프로세서의 비디오 RAM(350)으로부터 판독될 경우, 데이타는 또한 입력 보조 비디오 신호로 동기화된 동일한 640 f_H 클록을 사용하여 판독되어야 한다. 그러나, 이러한 데이타가 직교적으로 샘플 및 저장되고 직교적으로 판독될 수 있다고 하더라도, 메인 및 보조 신호 소스의 비동기적 성질로 인하여 비디오 RAM(350)으로부터 직접 직교적으로 디스플레이될 수 없다. 메인 및 보조 비디오 소스는 동일한 비디오 소스로부터 디스플레이되는 신호인 경우에만 동기적 성질을 가질 수 있다.

비디오 RAM(350)으로부터의 데이타 출력인 보조 채널을 메인 채널로 동기화시키기 위해서는 추가의 처리 과정이 필요하다. 다시 제4도를 참조하면, 두 개의 4비트 래치(352A,352B)는 비디오 RAM의 4비트 출력 포트로부터의 8비트 데이타 블록을 재결합 시키는데 필요하다. 4비트 래치는 또한 데이타 클록율을 1280 f_H에서 640 f_H까지 감소시킨다.

일반적으로, 비디오 디스플레이 및 편향 시스템은 메인 비디오 신호로 동기화된다. 메인 비디오 신호는 상술한 바와 같이 와이드 스크린 디스플레이를 채우기 위해 속도가 증가되어야 한다. 보조 비디오 신호는 제1 비디오 신호 및 비디오 디스플레이와 수직적으로 동기화되어야 한다. 보조 비디오 신호는 필드 메모리에서 필드 주기의 일부 만큼 지연될 수 있으며 그 다음 라인 메모리에서 확장된다. 신호를 확장시키기 위해 비디오 RAM(350)을 필드 메모리 및 선입 선출(first in first out : FIFO) 메모리 소자(354)로서 사용하여 보조 비디오 데이타와 메인 비디오 데이타의 동기화를 실행할 수 있다. FIFO(354)의 크기는 2048×8 이다. FIFO의 크기는 판독/기록 포인터 충돌을 방지하는데 필요하다고 생각되는 최소한의 라인 저장 용량과 관련이 있다. 판독/기록 포인터 충돌은 새로운 데이타가 FIFO로 기록될 기회를 갖기 전에 이전의 데이타가 FIFO로부터 판독될 때 발생한다. 또한 이전의 데이타가 FIFO로부터 판독될 기회를 갖기 전에 새로운 데이타가 메모리에 기록될 때 판독/기록 포인터 충돌이 일어난다.

비디오 RAM(350)으로부터의 8비트 DATA_PIP 데이타 블록은 비디오 데이타를 샘플링하는데 사용된 동일한 PIP 프로세서 640 f_H 클록을 갖는 2048×8 FIFO(354)로 기록된다. 여기서, 640 f_H 클록은 메인 신호가 아닌 보조 신호로 동기화된다. FIFO(354)는 메인 비디오 채널의 수평 동기 성분으로 동기화되는 1024 f_H의 디스플레이 클록을 사용하여 판독된다. 판독 및 기록 포트 클록과 무관한 다중 라인 메모리(FIFO)를 사용하면, 제2 비율로 직교적으로 디스플레이되도록 제1 비율로 데이타를 직교적으로 샘플링할 수 있다. 그러나, 판독 및 기록 클록의 비동기적 성질로 인한 판독/기록 포인터 충돌을 방지할 조치가 필요하다.

게이트 어레이의 메인 신호 경로(304), 보조 신호 경로(306) 및 출력 신호 경로(312)는 제6도에 블록도로 도시되어 있다. 게이트 어레이는 또한 클록/동기 회로(320)와 WSP 마이크로프로세서 디코더(310)를 포함한다. WSP DATA와 동일하게 취급되는 WSP 마이크로프로세서의 데이타 및 어드레스 출력 라인은 PIP 프로세서(320) 및 해상도 처리 회로(370)뿐만 아니라 각 메인 회로 및 WSP DATA의 경로에 공급된다. 어떤 회로가 게이트 어레이의 일부로서 한정되는지 그렇지 않은지의 문제는 주로 본 발명의 장치를 용이하게 설명하기 위해서이다.

게이트 어레이는 필요할 경우 상이한 화상 디스플레이 포맷을 실행하도록 메인 비디오 채널의 비디오 데이타를 확장, 압축 및 크로핑하는 기능을 한다. 휘도 성분 Y_MN은 휘도 성분의 보간 성질에 의존하는 시간 길이 동안 선입 선출(FIFO) 라인 메모리에 저장된다. 조합된 색도 성분 U/V_MN은 FIFO(358)에 저장된다. 보조 신호 휘도 및 색도 성분 Y_PIP, U_PIP, V_PIP은 디멀티플렉서(355)에 의해 형성된다. 휘도 성분은 회로(357)에서 원하는 정도만큼 해상도 처리 과정을 실행한 다음 출력으로서 신호 Y_AUX를 발생하는 보간 회로(359)에 의해 필요한 만큼 확장된다.

어떤 경우에는 보조 디스플레이가 제1d도의 예에 도시된 바와 같이 메인 신호 디스플레이 만큼 커질 것이다. PIP 프로세서 및 비디오 RAM(350)과 관련한 메모리 한계는 그러한 큰 디스플레이 영역을 채우기 위한 충분한 수의 데이타 포인트 또는 화소를 제공할 수 있다. 그러한 상황에서는, 해상도 처리 회로(357)는 데이타 압축 또는 감소 동안 손실된 것을 대체하기 위하여 화소를 보조 비디오 신호로 복원시키는데 사용될 수 있다. 그 해상도 처리 과정은 제4도에 도시된 회로(370)가 담당하고 있는 해상도 처리 과정과 일치할 수도 있다. 예에서 처럼, 회로(370)는 디더링 회로일 수 있으며, 회로(357)는 디디더링 회로일 수 있다.

보조 신호의 보간은 보조 신호 경로(306)에서 발생한다. PIP 회로(301)는 입력 비디오 데이타를 저장하도록 6비트 Y, U, V 8:1:1 필드 메모리를 갖는 비디오 RAM(350)을 조절한다. 비디오 RAM(350)은 복수의 메모리 위치에서 비디오 데이타의 2개의 필드를 유지한다. 각 메모리 위치는 8개의 데이타 비트를 보유하고 있다. 각 8비트 위치에는 하나의 6비트 Y(휘도) 샘플(640 f_H에서 샘플된)및 다른 2개의 비트가 있다. 이들 두 개의 다른 비트는 고속 스위치 데이타(FSW_DAT), 아니면 U 또는 V 샘플(80 f_H에서 샘플된)의 일부를 보유한다. 필드의 타입을 나타내는 FSW_DAT 값은 다음과 같이 비디오 RAM으로 기록된다.

FSW_DAT = 0 : 화상 없음:

FSW_DAT = 1 : 상부(홀수) 필드

FSW_DAT = 2 : 하부(짝수) 필드

필드는 제15도의 메모리 위치도에 의해 제안된 것처럼, 수평 및 수직 어드레스에 의해 한정되는 경계를 갖는 비디오 RAM 내의 공간 위치를 차지한다. 경계는 고속 스위치 데이타에서, 화상 없음에서 유요한 필드로 아니면 그 반대로 변경함으로써 어드레스에 의해 한정된다. 고속 스위치 데이타에서의 이들 변화는 또한 PIP 박스 또는 PIP 오버레이로서 언급되는 PIP 삽입물의 파라미터를 한정한다. PIP 화상에서 대상의

이미지 종횡비는 PIP 박스 또는 오버레이의 디스플레이 포맷비 예를 들어, 4×3 또는 16×9와는 무관하게 제어된다는 것을 인식해야 한다. 스크린상의 PIP 오버레이의 위치는 메인 신호의 각 필드에 대해 주사를 시작할 때 비디오 RAM의 판독 포인터의 어드레스를 개시함으로써 결정된다. 비디오 RAM에 저장된 데이타의 2개 필드가 있기 때문에, 전체 비디오 RAM(350)은 디스플레이 기간 동안 판독되며 2개 필드는 디스플레이 주사 동안 판독된다. PIP 회로(301)는 고속 스위치 데이타를 사용함으로써 디스플레이될 메모리로부터 어느 필드가 판독될 것인지와 판독 포인터의 개시 위치를 결정한다. 만일 메인 비디오 소스로 동기화되는 디스플레이가 메인 화상의 상부 필드를 디스플레이하는 것이라면, 보조 화상의 상부 필드에 대응하는 비디오 RAM의 부분은 비디오 RAM으로부터 판독되고 아날로그 데이타로 변환되어 디스플레이될 것이다.

이로인해 메인 비디오 소스와 보조 비디오 소스간의 가능한 모든 위상 관계중 절반에 대해서만 적절히 동작할 것이다. 비디오 RAM의 판독 속도가 PIP 방식에서의 압축된 화상에 대한 비디오 RAM의 기록 속도보다 항상 빠르기 때문에 문제가 발생한다. 동일한 타입의 필드가 동일 시간에 기록 및 판독되는 경우에는, 판독 메모리 포인터는 기록 포인터를 추월할 수 있다. 이로인해 소형 화상의 어디선가 움직임 손상이 발생할 가능성이 50%가 된다. 따라서, PIP 회로는 움직임 손상문제를 극복하기 위해, 기록 중인 필드와 반대 타입의 필드를 판독한다. 만일 판독중인 필드 타입이 디스플레이 중인 필드와 반대 타입일 경우, 비디오 RAM에 저장되는 짝수 필드는 메모리로부터 판독 중인 필드의 최상부 라인을 삭제함으로써 반전된다. 그 결과로서, 소형 화상은 움직임 손상 없이 정확한 비월 주사를 유지한다. 이러한 필드 동기화의 마지막 결과로서는, CPIP 칩이 PIP_FSW라 불리우는 신호를 제공하는 것이다. 상기 신호는 PIP 회로가 메인 및 보조 채널 Y/C(휘도 변조된 색도 비디오 정보) 신호들간을 전환하는 아날로그 스위치에 제공하는 오버레이 신호이다.

제4도 및 제10도에 있어서, 보조 비디오 입력 데이타는 640 f_H 비율에서 샘플링되어 비디오 RAM(350)에 저장된다. 보조 데이타는 VRAM-OUT으로 표시되고 비디오 RAM(350)으로부터 판독된다. PIP 회로(301)는 또한 동일한 정수인자를 사용하여 보조 화상을 비대칭적으로 그리고 수평 수직으로 감소시키는 능력을 갖고 있다. 보조 채널 데이타는 버퍼링되고 4비트 래치(352A,352B), 보조 FIFO(354), 타이밍 회로(369) 및 동기화 회로(371)에 의해 메인 채널 디지탈 비디오와 동기화된다. VRAM_OUT 데이타는 디멀티플렉서(355)에 의해 Y(휘도), U,V(컬러 성분) 및 FSW_DAT(고속 스위치 데이타)로 정렬된다. FSW_DAT는 필드 타입이 비디오 RAM으로 기록되었음을 나타낸 표시이다. PIP FSW 신호는 PIP 회로로부터 직접 수신되어 출력 제어 회로에 인가된다. 여기서 비디오 RAM으로부터 판독된 필드 중 어느 필드가 디스플레이될 것인지가 결정된다. 마지막으로, 보조 채널 비디오 성분 데이타는 제6도에 도시된 3개의 출력 멀티플렉서(315,317,319)를 통해 디스플레이로의 출력을 위해 선택된다. 복합 또는 Y/C 인터페이스에서 아날로그 스위치를 사용하여 PIP 소형 화상을 오버레이하는 대신에, WSP μP(340)는 PIP 오버레이를 디지탈적으로 실행한다.

보조 채널은 메인 채널이 1024 f_H의 비율로 샘플링되는 동안 640 f_H의 비율로 샘플링된다. 보조 채널 FIFO(354)(2048×8)는 보조 채널 샘플율에서 메인 채널 클록율로 데이타를 전환시킨다. 이 과정에서, 비디오 신호는 8/5(1024/640) 압축된다. 이는 보조 채널 신호를 정확히 디스플레이 하는데 필요한 4/3 압축보다 더 많은 수치이다. 따라서, 보조 채널은 4×3 소형 화상을 정확히 디스플레이하기위해 보간 회로에 의해 확장되어야 한다. 요구되는 보간 회로의 확장량은 5/6 이다. 확장 인자 X는 다음 식과 같이 결정된다.

X = (640/1024) * (4/3) = 5/6

그러므로, 소형 화상이 PIP 프로세서에 의해 축소되는 방법에 상관없이, 5/6 확장(5개의 샘플이 입력되어 6개의 샘플이 출력)을 실행하도록 보간 회로(359)를 세팅함으로써 소형 화상은 디스플레이상에 4×3 포맷으로 정확히 디스플레이될 수 있다.

PIP 비디오 데이타는 정확한 PIP 종횡비를 유지하기 위해 수평으로 래스터 매핑되기 때문에, PIP_FSW 데이타는 CPIP VRAM 필드 중 어느 필드가 디스플레이 되어야 하는지를 해석하기 위한 충분히 좋은 방법을 제공하지는 않는다. 비록 PIP 소형 화상이 정확한 비월 주사를 유지한다 하더라도, PIP 오버레이 영역은 일반적으로 잘못된 수평 크기로 될 것이다. PIP 오버레이 크기가 올바르게 되는 유일한 경우는 16×9 소형 화상을 유도해내는 보간 회로(359)를 사용하는 5/8 확장의 경우이다. 모든 다른 보간 회로 세팅에 있어서, 삽입 화상이 수평으로 변하는 동안에도 오버레이 박스는 16×9 포맷을 유지하게 된다. PIP_FSW 신호는 PIP 오버레이의 정확한 수평 크기에 대한 정보가 부족하다. 비디오 RAM 데이타는 PIP 회로가 동기화 알고리즘을 완성하기 전에 판독된다. 따라서, 비디오 RAM 데이타 스트림 VRAM_OUT에서 구현되는 고속 스위치 데이타 FSW_DAT는 비디오 RAM으로 기록되는 필드 타입에 대응한다. 비디오 RAM 비디오 성분 데이타(Y,U,V)는 움직임 손상 및 정확한 비월 주사를 위해 수정되어 왔지만 FSW_DAT는 그렇지 않았다.

본 발명의 장치에 따라서, PIP 오버레이 박스는 FSW_DAT 정보가 비디오 성분 데이타(Y,U,V)와 함께 확장되고 보간되기 때문에 정확한 크기로 되어 있다. FSW_DAT는 오버레이 영역을 정확한 크기가 되게 하지만 어느 필드가 디스플레이 하기에 적합한 필드인지를 나타내지는 않는다. PIP_FSW와 FSW_DAT는 함께 사용되어 비월 주사의 무결성(integrity) 및 정확한 오버레이 크기를 유지하는 문제를 해결할 수 있다. 정상 동작시에 CPIP 칩이 4×3 텔레비젼 수상기에 사용될 수 있는 것처럼, 비디오 RAM에서의 필드 배치는 임의적이다. 필드는 수직, 수평으로 정렬(align)될 수 있거나 전혀 정렬되지 못할 수도 있다. 와이드 스크린 프로세서와 CPIP 칩간에 호환성을 이루기 위하여, PIP 필드 위치가 동일한 수직 라인상에 저장되어서는 안된다. 즉, PIP 필드는 동일한 수직 어드레스가 상부 및 하부 필드 타입 모두에 사용되도록 프로그램되어서는 안된다. 제15도에 도시된 것처럼 수직으로 정렬된 방식으로 비디오 RAM(350)에 PIP 필드를 저장한다는 것은 프로그래밍 견지에서 볼 때 편리한 것이다.

신호 PIP_OVL로 인해 출력 제어 회로(321)는 상기 신호가 활성일 때, 즉, 논리상 하이(HI)일 때 보조 데이타를 디스플레이할 수 있다. 상기 PIP_OVL 신호를 발생시키기 위한 회로의 블록도는 제16도에 도시되어 있다. 회로(680)는 멀티플렉서(688)에 입력되는 출력단 Q를 갖는 J-K 플립플롭(682)을 포함한다. 멀티플렉서(688)의 출력은 D 형 플립플롭(684)으로 입력되고, 상기 D 형 플립플롭(684)의 출력 Q는 멀티플렉서(688)의 다른 입력단과 AND 게이트(690)에 입력된다. PIP_FSW 신호 및 SOL 신호(라인의 시작)는 플립플롭(682)의 J 입력단 및 K 입력단에 각각 입력된다. 배타적 OR 게이트(686)는 입력으로서 두 개의 고속 스위

치 데이타 비트 FSW-DAT0와 FSW_DAT1 신호를 갖는다. 논리적으로 배타적 입력인 (1,0) 및 (0,1)의 값은 각각 유효 필드, 짝수 및 홀수를 나타낸다. 논리적으로 배타적이 아닌 (0,0) 및 (1,1)의 값은 무효 비디오 데이타를 나타낸다. (0,1) 또는 (1,0) 에서 (0,0) 또는(1,1)로의 변화, 아니면 그 반대로의 변화는 PIP 박스 또는 오버레이를 한정하는 경계 변화를 나타낸다. 배타적 OR 게이트(686)의 출력은 AND 게이트(690)로 제2 입력된다. AND 게이트(690)의 제3 입력 신호는 보조 FIFO(354)에 대한 판독 인에이블 신호인 RD_EN_AX 신호이다. AND 게이트(690)의 출력 신호는 PIP_OVL 신호이다. 회로(680)는 PIP_FSW 신호가 오버레이 영역의 실질적인 인에이블을 위해 활성 상태가 되기까지의 시간으로부터 1 라인(필드 라인) 지연을 도입하였다. 이것은 FIFO(354)가 또한 디스플레이 중인 PIP 비디오 데이타에서 1 필드 라인 지연을 도입한 것처럼 비디오 데이타 경로에서 행해진다. 따라서, PIP 오버레이는 PIP 회로를 통해 프로그램된 것보다 1 필드 라인 더 지연되기는 하지만 비디오 데이타와 함께 완전히 오버레이된다. RD_EN_AX 신호로 인해, 유효 보조 FIFO 데이타가 FIFO(354)로부터 판독될때만 PIP는 오버레이될 수 있다. 이는 FIFO 데이타가 판독이 끝난 후에도 유지될 수 있기 때문에 필요하다. 이로써, PIP 오버레이 논리는 PIP 오버레이가 유효 PIP 데이타의 외부에서 활성인지를 결정한다. RD_EN_AX로 PIP 오버레이를 인에이블링하면 PIP 데이타가 유효한 것인지를 알 수 있다. 본 발명의 장치에 따라서, 소형 화상 보조 비디오에 대한 오버레이 또는 박스는 보조 비디오가 어떻게 확장, 압축 또는 보간되는지에 상관없이 정확한 크기로 배치된다. 이는 4×3 포맷, 16×9 포맷 및 기타 다른 모든 포맷으로 되어 있는 소형 화상 비디오 소스에 대해 동작한다.

색도 성분 U-PIP 및 V-PIP은 출력으로서 신호 U-AUX 및 V-AUX를 발생시키는 휘도 성분의 보간 성질에 의존하는 시간 길이 동안 회로(367)에 의해 지연된다. 메인 및 보조 신호의 각 Y, U 및 V 성분은 FIFO(354,356,358)의 판독 인에이블 신호를 제어함으로써 출력 신호 경로(312)에서의 각 멀티플렉서(315,317,319)에서 조합된다. 멀티플렉서(315,317,319)는 출력 멀티플렉서 제어회로(321)에 응답한다. 출력 멀티플렉서 제어 회로(321)는 클록 신호 CLK, 라인 개시 신호 SOL, H_COUNT 신호, 수직 소거 리세트 신호 및 PIP 프로세서와 WSP μP(340)로부터의 고속 스위치의 출력에 응답한다. 멀티플렉싱된 휘도 및 색도 성분 Y_MX, U_MX 및 V_MX는 각 디지탈/아날로그 변환기(360,362,364)에 각각 공급된다. 디지달/아날오그 변환기 다음에는 제4도에 도시된 것처럼 각각 저대역 통과 필터(361,363,365)가 배치된다. PIP 프로세서, 게이트 어레이 및 데이타 감소 회로의 여러 기능들은 WSP μP(340)에 의해 제어된다. WSP μP(340)는 직렬 비스에 의해 접속되어 있는 TV μP(216)에 응답한다. 직렬 버스는 도시된 바와 같이 데이타, 클록 신호, 인에이블 신호 및 리세트 신호에 대한 라인을 갖는 4개의 와이어 버스가 될 수 있다. WSP μP(340)은 WSP μP 디코더(310)를 통해 게이트 어레이의 여러 회로들과 연결되어 있다.

하나의 경우에 있어서, 디스플레이된 화상의 종횡비 왜곡을 방지하도록 4×3 NTSC 비디오 신호를 4/3 인자만큼 압축시킬 필요가 있다. 또 다른 경우에 있어서는, 비디오 신호가 보통 수직 원근 이동 동작을 수반하는 수평 원근 이동 동작을 실행하도록 확장될 수 있다. 최대 33%까지의 수평 원근 이동 동작은 4/3 이하가 되도록 압축을 감소시킴으로써 달성된다. S-VHS에 대한 5.5 MHz까지의 휘도 비디오 대역폭이 1024 f_H 클록에 대해 8 MHz인 나이퀴스트 폴드 오버(Ffold over) 주파수의 큰 퍼센트를 차지하고 있기 때문에, 샘플 보간 회로는 새로운 화소 위치에 대한 입력 비디오를 재계산하는데 사용된다.

제6도에 도시된 바와 같이, 휘도 데이타 Y_MN는 비디오 신호의 압축 또는 확장에 근거한 샘플값을 검사하는 메인 신호 경로(304)에서의 보간 회로(337)를 통해 전송된다. 스위치, 즉, 전송로 선택기(323,331)의 기능은 FIFO(356) 및 보간 회로(337)의 상대적 위치에 대해 메인 신호 경로(304)의 위상(topology)을 반전시키는 역할을 한다. 특히, 이들 스위치는 보간 회로(337)가 압축에 필요한 것으로서 FIFO(356)보다 선행할지 아니면 FIFO(356)가 확장에 필요한 것으로서 보간 회로(337)보다 선행해야 할 깃인지를 선택한다. 스위치(323,331)는 전송로 제어 회로(335)에 응답하며, 전송로 제어 회로(335)는 또한 WSPμp(340)에 응답한다. 소형 화상 방식 동안, 보조 비디오 신호가 비디오 RAM(350)에 저장되기 위해 압축되고 실질적인 목적을 위해서는 확장만이 필요하다는 사실은 이미 다루었다. 따라서, 보조 신호 경로에는 이에 대응하는 스위칭은 필요치 않다.

메인 신호 경로에 대해서는 제9도에 보다 상세히 도시되어 있다. 스위치(323)는 2개의 멀티플렉서(325,327)에 의해 실행된다. 스위치(331)는 멀티플렉서(333)에 의해 실행된다. 3개의 멀티플렉서는 전송로 제어 회로(335)에 응답하고, 이 전송로 제어 회로(335)는 또한 WSP μp(340)에 응답한다. 수평 타이밍/동기화 회로(339)는 또한 래치(347,351)와 멀티플렉서(353)뿐만 아니라 FIFO의 기록 및 판독을 제어하는 타이밍 신호를 발생시킨다. 클록 신호 CLK 및 라인 개시 신호 SOL는 클록/동기 회로(321])에 의해 발생된다. 아날로그/디지탈 변환 제어 회로(369)는 WSP μp(340)의 Y_MN과 가장 중요한 비트인 UV_MN에 응답한다.

보간 제어 회로(349)는 중간 화소 위치값(K), 보간 회로 보상 필터 가중치(c), 휘도에 대한 클록 게이팅 정보 CGY 및 컬러 성분에 대한 CGUV를 발생시킨다. 클록 게이팅 정보는 압축을 위해 샘플로 하여금 어떤 클록에 기록되지 못하도록 FIFO 데이타를 일시 정지(추림화)시키거나 확장을 위해 어떤 샘플로하여금 다수회 판독되도록 FIFO 데이타를 반복시킨다.

FIFO를 사용하면 비디오 신호를 압축 및 확장시킬 수 있다. 예컨대, WR_EN_MN_Y 신호로 인해 데이타가 FIFO에 기록될 수 있다. 모든 4 번째 샘플마다 FIFO에 기록되는 것이 금지될 수 있다. 이런식으로 하여 4/3 압축이 행해진다. 보간 회로(337)의 기능은 FIFO로부터의 데이타 판독이 들쭉날쭉하지 않고 원활히 될수 있도록 FIFO에 기록되는 휘도 샘플을 재계산하는 것이다. 확장은 압축과는 반대의 방법으로 정확히 실행될 수 있다. 압축의 경우에 있어서, 기록 인에이블 신호는 금지 펄스의 형태로 그것에 결부되어 있는 클록 게이팅 정보를 갖는다. 확장 데이타에 있어서는, 클록 게이팅 정보가 판독 인에이블 신호에 인가된다. 이로인해 클록 게이팅 정보가 FIFO(356)로부터 판독될 때 데이타는 일시 중단될 것이다. 이 경우, 이 과정 동안 FIFO(356)의 다음에 위치한 보간 회로(337)의 기능은 샘플링된 데이타를 들쭉날쭉한데서 고르게 재계산하는 것이다. 확장의 경우에, FIFO(356)로부터 판독되고 보간 회로(337)로 클록화되는 동안 데이타가 한동안 멈추어야 한다. 이는 데이타가 보간 회로(337)를 통해 연속적으로 클록되는 압축의 경우와는 다르다. 이러한 압축 및 확장의 경우에 있어서, 클록 게이팅 동작은 동기적으로 손쉽게 실행될 수 있다, 즉, 이벤트는 시스템 클록 1024 f_H의 상승 구간에 근거하여 일어날 수 있다.

휘도 보간에 대한 이러한 위상에는 수많은 장점들이 있다. 클록 게이팅 동작 즉, 데이타 추림화 및 데이

타 반복은 동기적으로 실행될 수 있다. 전환 가능한 비디오 데이타 위상이 보간 회로 및 FIFO의 위치를 서로 교환하는데 사용되지 않을 경우, 판독 또는 기록 클록은 데이타를 일시 정지 또는 반복시키기 위해 2배 클록될 필요가 있다. 2배 클록되었다는 말은 두 개의 데이타 포인트가 단일 클록 사이클로 FIFO에 기록되거나 단일 클록 사이클 동안 FIFO로부터 판독되어야 한다는 것을 의미한다. 기록 또는 판독 클록 주파수가 시스템 클록 주파수의 2 배가 되어야 하기 때문에, 결과적인 회로는 시스템 클록과 동기적으로 동작하도록 설계되어서는 안된다. 또한, 전환 가능한 위상은 압축과 확장을 행하는데 하나의 보간 회로와 하나의 FIFO 만을 필요로 한다. 만일 본 명세서에 기술된 비디오 전환 장치가 사용되지 않았을 경우, 압축과 확장의 기능성을 성취하도록 두 개의 FIFO를 사용함으로써 2배 클록 상황을 방지할수 있다. 확장을 위한 하나의 FIFO는 보간 회로 앞에 설치되어야 하고 압축을 위한 다른 하나의 FIFO는 보간 회로 다음에 설치될 필요가 있다.

와이드 스크린 프로세서는 또한 수직 원근 이동 기능을 실행하도록 수직 편향을 제어하는 능력을 갖고 있다. 와이드 스크린 프로세서의 위상은 보조 및 메인채널 수평 래스터 매핑(보간) 기능이 서로에 대해 무관하고 (수직 편향을 조종하는) 수직 원근 이동과 무관하도록 하는 것이다. 이러한 위상으로 인해, 메인 채널은 정확한 종횡비 메인 채널 원근 이동을 유지하기 위해 수평, 수직으로 확장될 수 있다. 그러나, 보조 채널 보간 회로 세팅이 변경되지 않을 경우, PIP(소형 화상)는 수평이 아닌 수직으로 원근 이동하게 된다. 따라서, 보조 채널 보간 회로는 수직으로 확장될 때 PIP 소형 화상의 정확한 이미지 종횡비를 유지하도록 보다 큰 확장을 실행한다.

이러한 처리 과정의 좋은 예는 메인 채널이 16×9 문자 박스 자료를 디스플레이할 때 일어난다. 메인 수평 래스터 매핑은 1:1(확장과 압축이 없음)로 설정된다. 수직 래스터 매핑은 문자박스 소스 자료와 관련된 검정 막대 부분을 제거하도록 33%(즉, 4/3까지 확장)까지 원근 이동된다. 메인 채널 이미지 종횡비는 현재 적당하다. 수직 원근 이동이 없는 4×3 소스 자료에 대한 보조 채널은 명목상 5/6로 설정된다. 확장 인자 X에 대한 값은 다음과 같이 결정된다.

X = (5/13) * (3/4) = 5/8

보조 채널 보간 회로(359)가 5/8로 설정될 경우, 소형 화상 이미지의 정확한 종횡비가 유지되고 PIP 내부의 대상은 종횡비 왜곡 없이 나타난다.

메인 및 보조 신호의 휘도 성분에 대한 보간 회로는 스큐 보정 필터가 될 수 있다. 본 명세서에 설명된 바와 같이 4 점 보간 회로는 예컨대, 2 점 선형 보간회로, 관련 필터 및 종속 접속된 증배기를 구비하여 진폭 및 위상을 보상한다. 전체적으로, 4개의 인접 데이타 샘플은 각 보간점을 계산하기 위해 사용된다. 입력 신호는 2 점 선형 보간 회로에 인가된다. 입력에 부여된 지연은 지연 제어 신호(K) 값에 비례한다. 지연된 신호의 진폭 및 위상 에러는 추가 필터 및 종속 접속된 증배기에 의해 얻어진 보정 신호를 적용시키면 최소로 된다. 이러한 보정 신호는 모든(K) 값에 대한 2 점 선형 보간 필터의 주파수 응답을 대등하게 하는 피킹(peaking)을 제공한다. 본래의 4 점 보간 회로는 fs/4의 통과 대역을 갖는 신호를 사용하여 최적화된다. 여기서, fs는 데이타 샘플율이다.

이에 대한 대안으로서, 본 발명에 따라서, 두 개의 채널은 2 단 보간 과정이라고 불리워지는 것을 사용할 수 있다. 원래의 가변 보간 필터의 주파수 응답은 2 단 보간 회로라고 언급되기도 하는 그러한 2 단 과정을 사용하여 개선될 수 있다.

2 단 보간 회로는 고정 계수를 갖는 2n+4 탭 유한 임펄스 응답(FIR) 필터 및 4 점 가변 보간 회로를 포함한다. FIR 필터 출력은 입력 화소 샘플들간의 중간 지점에 위치된다. 그리고나서, FIR 필터의 출력은 유효 2fs 샘플율을 생성하도록 지연되는 원래의 데이타 샘플들로 인터러브(interleave)함으로써 조합된다. 이는 FIR 필터의 통과 대역에서의 주파수에 대해 유효한 가정이다. 그 결과로서, 원래의 4 점 보간 회로의 실질적인 통과 대역은 충분히 증가된다.

클록/동기 회로(320)는 FIFO(354,356,358)를 동작시키는데 필요한 판독, 기록 및 인에이블 신호를 발생시킨다. 메인 및 보조 채널에 대한 FIFO는 각 비디오 라인의 후속 디스플레이에 필요한 부분들을 위해 데이타를 저장 장치로 기록하도록 인에이블된다. 필요에 따라 데이타는 메인 채널 또는 보조 채널 중 하나로부터 기록되어 디스플레이의 동일한 비디오 라인 또는 라인들상의 각 소스로부터의 데이타를 조합한다. 보조 채널의 FIFO(354)는 보조 비디오 신호와 동기적으로 기록되고 메인 비디오 신호와 동기적으로 메모리에서 판독된다. 메인 비디오 신호 성분은 메인 비디오 신호와 동기적으로 FIFO(356,358)로 판독되고 메인 비디오와 동기적으로 메모리에서 판독된다. 메인 채널과 보조 채널 사이에서 판독 기능이 얼마나 자주 전후로 전환되는 지는 선택된 기능의 특수 효과이다.

나란히 크로핑된 화상과 같은 상이한 특정 효과는 라인 메모리 FIFO에 대한 판독 및 기록 인에이블 제어 신호를 조작함으로써 발생된다. 이러한 디스플레이 포맷에 대한 처리 과정은 제7도 및 제8도에 도시되어 있다. 나란히 크로핑된 디스플레이 화상의 경우에 있어서, 보조 채널의 2048×8 FIFO(354)에 대한 기록 인에이블 제어 신호(WR_EN_AX)는 제7도에 도시된 바와 같이(1/2) * (4/3) = 0.67 또는 보조 채널 활성 라인 기간(속도 증가후)의 67% 동안 활성적이다. 이는 대략 33% 크로핑(67% 활성 화상) 및 보조 채널 비디오에서 수행된 4/3 압축비에 대응한다. 제8도의 상부에 도시된 메인 비디오 채널에서, 910×8 FIFO(356,358)에 대한 기록 인에이블 제어 신호(WR_EN_MN_Y)는 메인 채널 활성 라인 기간의(1/2) * (4/3) = 0.67(67%) 동안 활성적이다. 이는 대략 33% 크로핑 및 910×8 FIFO에 의한 메인 채널 비디오에 대해 실행되는 4/3의 압축비에 대응한다.

각 FIFO에서는, 비디오 데이타가 버퍼링되어 제시간에 특정 포인트에서 판독된다. 데이타가 각 FIFO로부터 판독될 수 있는 활성 영역은 선택된 디스플레이 포맷에 의해 결정된다. 나란히 크로핑되는 방식의 도시예에서, 메인 채널 비디오는 디스플레이의 중간 지점을 기준으로 하여 좌측으로 디스플레이 되고 보조 채널 비디오는 디스플레이의 중간 지점을 기준으로 하여 우측으로 디스플레이 된다. 임의의 비디오 부분의 파형은 도시된 것처럼 메인 및 보조 채널과 다르다. 메인 채널 910×8 FIFO의 판독 인에이블 제어 신호(RD_EN_MN)는 활성 비디오의 개시를 시작한 다음 즉시 비디오 백 포치(back porch)가 뒤따르는 디스플레이의 디스플레이 활성 라인 기간 중 50% 동안 활성적이다. 보조 채널 판독 인에이블 제어 신호(RD_EN_AX)는 RD_EN_MN 신호의 하강 에지가 시작되고 메인 채널 비디오 프런트 포치(front porch)의 개시

가 끝나는 디스플레이 활성 라인 기간의 나머지 50% 동안 활성적이다. 기록 인에이블 제어 신호는 판독 인에이블 제어 신호가 메인 채널 비디오와 동기적일 때 각각의 FIFO 입력 데이타(메인 또는 보조)와 동기적이라는 것을 알수 있다.

제1d도에 도시된 디스플레이 포맷은 나란한 포맷으로 디스플레이되도록 두개의 거의 완전히 채워진 화상이 될 때 특히 바람직하다. 그러한 디스플레이는 와이드 디스플래이 포맷비 예를 들어, 16×9 방식에 적합하며 특히 효과적이다. 대부분의 NTSC 신호는 4×3 포맷으로 나타난다. 이는 물론 12×9 포맷에도 대응한다. 두 개의 4×3 디스플레이 포맷비 NTSC 화상은 화상을 33%까지 크로핑하거나 압축함으로써 그리고 종횡비 왜곡을 도입함으로써 동일한 16×9 디스플레이 포맷비에도 나타날 수 있다. 사용자의 선택에 따라서, 화상 크로핑 대 종횡비 왜곡의 비는 0% 내비 33% 범위내의 어느곳에서나 설정될 수 있다. 예를 들어, 두 개의 나란한 화상은 16.7% 만큼 압축 및 크로핑된 형태로 나타날 수 있다.

16×9 디스플레이 포맷비에 대한 수평 디스플레이 시간은 두가지 방식 모두 63.5 μsec 공칭 라인 길이를 가지므로 4×3 디스플레이 포맷비에서와 동일하다. 따라서, NTSC 비디오 신호는 왜곡 없이 정확한 종횡비를 유지하기 위해 4/3 인자만큼 속도가 증가되어야 한다. 4/3 인자는 두 개의 디스플레이 포맷비로 계산될 수 있다.

4/3 = (16/9) / (4/3)

본 발명의 양상에 따른 가변 보간 회로는 비디오 신호의 속도를 증가시키거나 감소시키는데 사용된다. 과거에는, 입력 및 출력에서 상이한 클록율을 갖는 FIFO가 유사한 기능을 실행하도록 사용되어 왔다. 두 개의 NTSC 4×3 디스플레이 포맷비 신호가 단일 4×3 포맷비 디스플레이에 디스플레이될 경우, 각 화상은 왜곡 또는 크로핑되거나 아니면 50%까지 왜곡과 크로핑의 어떤 조합이 있어야 한다. 와이드 스크린 응용에 필요한 것에 필적하는 속도 증가는 불필요하다.

본 명세서에 기재된 본 발명의 구성으로 인해 시청자는 원격 제어를 통해 PIP를 특정 장소에 위치시킬 수 있다. 이하에 기재된 방법 및 장치로 인해 16×9 디스플레이 전범위에 걸쳐 PIP를 원활하게 수평 이동시킬 수 있다.

상술한 것처럼, PIP 특징은 CPIP 칩(VRAM과 관련)과 와이드 스크린 프로세서(FIFO 포함)를 결합시킨 변형물에 의해 실행될 수 있다.

이러한 시스템에서는, CPIP는 4×3 디스플레이상에 PIP의 디스플레이에 필요한 PIP 기능의 대부분(데이타 샘플링, 추림화 및 VRAM 제어)을 실행한다. 와이드 스크린 프로세서는 와이드 스크린 텔레비젼의 와이드 디스플레이 포맷비로 인해 발생하는 종횡비 왜곡을 교정하며 실질적으로 오버레이 기능을 실행한다.

상기에 언급한 기능들 이외에도, PIP는 요구되는 패닝 해상도를 갖는 CPIP의 이러한 기능을 실행할 수 없으므로 와이드 스크린 프로세서(WSP)가 PIP의 수평 패닝을 실행하는 것이 바람직하다. WSP에서의 보조 데이타 경로의 블록도는 제10도에 도시되어 있다.

PIP의 수평 패닝과 관련하여 보조 데이타 경로에서의 중요한 동작 특성은 다음과 같다. 보조 데이타는 640 $_{fH}$ 비율에서 CPIP에 의해 샘플링된다. CPIP 데이타는 블록도의 VRAM OUT으로 표시된 노드에서 VRAM으로부터 판독된다. CPIP는 데이타를 처리한 다음 수평 및 수직(4×3 디스플레이라고 가정)으로 정확한 크기가 되게 PIP를 필터링하고 추림화함으로써 VRAM에 상기 데이타를 기록시킨다. INTERP_AX 블록(359)은 요구되는 수평 보간을 행한다. CPIP는 활성일때 VRAM의 판독을 인에이블하는 _CGR이라고 불리우는 신호를 발생한다. WSP는 보조 FIFO의 기록을 제어하는 카운터를 초기화하기 위해 상기 신호의 하강 구간(falling edge)을 이용한다. VRAM이 판독되고 있을 때, 데이타는 디스플레이와 동기화되는 보조 FIFO에 다시 저장된다. 보조 채널 데이타는 버퍼링되며 4비트 래치(352A,352B), 보조. FIFO(2048×8)(354), 타이밍 블록(369) 및 동기화 블록(368)에 의해 디스플레이와 동기화된다. CPIP로부터 수신된 PIP_FSW 신호는 제6도의 출력 멀티플렉서 제어 블록(321)에 인가된다. CPIP_FSW 신호는 디스플레이를 위한 보조 비디오 신호를 언제 선택할 것인지를 결정하기 위해 VRAM(FSW_DAT(1:0))으로부터 엔코딩된 제어 비트와 관련하여 사용된다. 보조 채널 비디오 성분은 Y, U 및 V 신호에 대한 각각의 출력 멀티플렉서(315,317,319)에 의해 디스플레이를 위해 선택된다.

PIP가 저장되어 있는 VRAM에서의 실제 메모리 위치는 CPIP 소프트웨어에 의해 결정된다. 패닝 알고리즘이 메모리 위치와는 무관하게 사용되는 동안은, 설명을 간략화하기 위해 데이타는 제17도에 도시된 것처럼 VRAM에 저장되어 있다고 가정한다. VRAM 기록은 보조 비디오 수직 동기 신호에 의해 개시되지만 VRAM 판독은 디스플레이(또는 메인 수직 동기 신호)에 의해 개시되므로, 보조 비디오의 2개 필드가 보조 비디오에서의 움직임 손상(motion tear)을 방지하기 위해 VRAM에 저장된다. 보조 비디오의 2개 필드를 저장함으로써 기록되지 않고 있는 필드를 언제나 판독할 수 있다. 비월 주사는 CPIP에서의 동기화 알고리즘에 의해 원래 상태가 유지된다.

만일 데이타가 제17도에 도시된 것처럼 VRAM에 저장될 경우, CPIP 프로그래밍은 어느 정도 간략화된다. 그리고 나서, PIP 정보를 포함하고 있는 VRAM 메모리 위치는 _CGR 신호의 하강 구간 후에 판독되는 제1 수평 어드레스가 된다. 다음에, 보조 FIFO는 모든 PIP 정보가 보조 FIFO에 기록되도록 _CGR 신호의 하강 구간후 즉시 기록을 위해 인에이블되어야 한다.

이들 가정의 결과는 제18도에 도시되어 있다. PIP를 나타내는 데이타는 FIFO의 최상부(최하부 어드레스를 의미)에 저장된다. 비록 이것이 기록 포인터 리세트 후에 비디오의 제1 라인에만 엄격히 적용되기는 하지만(FIFO 길이가 FIFO 각 라인으로 기록되는 많은 샘플수를 반드시 필요로하는 것은 아니므로), 상기 도면은 여전히 이러한 원리를 이해하는데 유용하게 사용된다.

보조 FIFO의 판독은 디스플레이와 동기화될 수 있으며, 보조 FIFO의 기록과는 관련이 있을 수도 있고 없을 수도 있다. 상기 판독은 디스플레이 라인 주기가 시작할 때(라인의 개시 또는 SOL) 초기화되는 카운터에 의해 제어된다. SOL은 수평 동기의 개시와 정렬된다. PIP가 FIFO의 최상부에 저장된다고 가정하였기 때문에, 만일 보조 FIFO의 판독이 SOL로부터 대략 9.4μsec 만큼 지연된다면, PIP는 디스플레이의 좌측에지에 나타나게 될 것이다. PIP를 디스플레이의 우측으로 패닝하기 위해서는, 보조 FIFO의 판독 개시를

소정의 패닝 양만큼 추가로 지연시켜야 한다. 패닝 범위를 전체 디스플레이에 이르도록 하기 위해서는, 보조 FIFO로 기록되는 포인트의 수를 FIFO 내에 실질적으로 포함되어 있는 포인트 수만큼으로 제한시킬 필요가 있다. 즉, 예를 들어, PIP가 200개의 샘플을 가지고 있다면 대략 200개의 샘플만이 보조 FIFO로 기록되어야 한다. 이는 FIFO 각 라인으로 기록되는 포인트의 수가 상기 FIFO 각 라인으로부터 판독되는 포인트의 수와 동일해야 하기 때문이다.

(57) 청구의 범위

청구항 1

제1 화상을 나타내는 제1 비디오 신호 및 제2 화상을 나타내는 제2 비디오 신호를 수신하는 수단과, 와이드 디스플레이 포맷비를 가지며 상기 제1 비디오 신호와 동기화되는 비디오 디스플레이 수단(224)과, 상기 제1 화상을 나타내는 비디오 정보의 연속 라인을 발생시키는 수단과, 상기 제2 비디오 신호를 처리하여 상기 비디오 디스플레이 수단보다 더 작은 크기로 보조 신호를 한정하는 수단(301)과, 상기 보조 화상을 나타내는 비디오 정보의 연속 라인을 저장하는 수단(354)과, 상기 제1 및 보조 화상을 나타내는 상기 비디오 정보를 조합하는 수단(300)을 구비하는 수평 패닝 시스템에 있어서, 상기 제1 비디오 신호의 동기 성분으로부터 가변 시간 지연을 일으키는 수단(339)과, 상기 비디오 디스플레이 수단 전체에 걸쳐 상기 보조 화상의 복수의 수평 패닝 위치들 중 어느 한 위치가 결정되는 상기 가변 시간 지연 후에, 상기 저장 수단(354)에서 상기 조합 수단까지 상기 보조 화상을 나타내는 비디오정보의 라인 전송을 연속적으로 시작하는 수단을 구비하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 2

제1항에 있어서, 상기 저장 수단은 선입 선출 라인 메모리(356,358,354)를 포함하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 3

제1항에 있어서, 상기 비디오 디스플레이 수단상에서 보여지는 상기 보조 화상의 각 라인은 특정한 비디오 샘플수를 가지며, 상기 저장 수단에 기록된 상기 비디오 정보의 각 라인은 상기 특정 비디오 샘플수와 대략 동일한 비디오 샘플수를 갖는 것을 특징으로 하는 수평 패닝 시스템.

청구항 4

제1항에 있어서, 상기 보조 화상을 나타내는 상기 비디오 정보는 복수의 디지탈 샘플을 가지며, 상기 각 라인에 대해 상기 저장 수단에 기록된 상기 샘플수는 상기 조합수단으로의 전송을 위해 상기 저장 수단으로부터 판독된 상기 샘플수와 대략 동일한 것을 특징으로 하는 수평 패닝 시스템.

청구항 5

제1항에 있어서, 상기 가변 시간 지연을 조절하기 위한 수동으로 동작 가능한 제어 수단을 추가로 구비하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 6

제1항에 있어서, 상기 보조 화상은 그 보조 화상을 한정하도록 상기 제2 비디오 신호를 처리하는 상기 수단에 의해 적어도 부분적으로는 상기 비디오 디스플레이 수단과 수직으로 동기화되는 것을 특징으로 하는 수평 패닝 시스템.

청구항 7

제1항에 있어서, 상기 보조 화상을 나타내는 상기 비디오 정보는 상기 보조 화상을 한정하도록 상기 제2 비디오 신호를 처리하는 수단과 상기 보조 화상을 나타내는 상기 비디오 정보의 연속 라인을 저장하는 수단과의 조합된 동작에 의해 상기 비디오 디스플레이 수단과 수직으로 동기화되는 것을 특징으로 하는 수평 패닝 시스템.

청구항 8

제1항에 있어서, 상기 가변 시간 지연을 일으키는 수단은 상기 제1 비디오 신호의 각 수평 라인의 개시에 대응하는 시간에 초기화되는 카운터를 포함하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 9

제1 화상을 나타내는 제1 비디오 신호 및 제2 화상을 나타내는 제2 비디오 신호를 수신하는 수단과, 와이드 디스플레이 포맷비를 가지며 상기 제1 비디오 신호와 동기화되는 비디오 디스플레이 수단과, 상기 제1 화상을 나타내는 비디오 정보의 연속 라인을 발생시키는 수단과, 상기 제2 비디오 신호에 응답하여 상기 비디오 디스플레이 수단보다 더 작은 크기로 보조 화상을 한정하고, 비디오 RAM(350)과 상기 비디오 RAM(350)에 비디오 데이타를 기록하고 상기 비디오 RAM(350)으로부터 비디오 데이타를 판독하는 어드레싱 수단을 가지며, 대략 4×3의 디스플레이 포맷비에 대응하는 동작 범위를 한정하는 화상 내 화상 프로세서(320)를 구비하는 수평 패닝 시스템에 있어서, 상기 보조 화상을 나타내는 비디오 정보의 연속 라인을 저장하는 선입 선출 다중 라인 메모리(354)와, 상기 라인 메모리(354)로부터 상기 보조 화상을 나타내는 상기 비디오 정보의 라인을 연속적으로 판독하여 상기 비디오 디스플레이 수단 전체에 걸쳐 상기 보조 화상의 수평 패닝을 조절하는 수단과, 상기 라인 메모리로부터 판독된 비디오 정보와 상기 제1 화상을 나타내는 비디오 정보를 조합하는 수단(300)을 구비하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 10

제9항에 있어서, 상기 라인 메모리로부터의 상기 판독의 시작을 제어하는 카운터(321)를 추가로 구비하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 11

제9항에 있어서, 상기 라인 메모리(354)로부터의 상기 판독의 시작을 제어하는 카운터(321)와, 가변 시간 지연을 일으키는 수단과, 상기 제1 비디오 신호의 각 수평 라인의 개시에 대응하는 시간에 상기 카운터를 초기화시키는 수단(502)을 추가로 구비하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 12

제11항에 있어서, 상기 가변 시간 지연을 조절하기 위한 수동으로 동작 가능한 제어 수단을 추가로 구비하는 것을 특징으로 하는 수평 패닝 시스템.

청구항 13

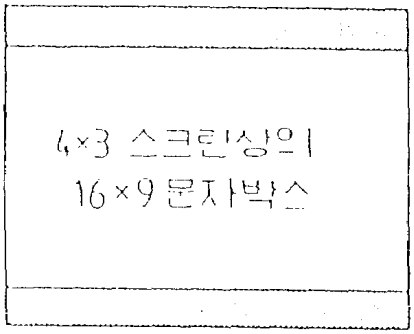
제9항에 있어서, 상기 비디오 디스플레이 수단상에서 보여지는 상기 보조 화상의 각 라인은 특정한 비디오 샘플수를 가지며, 상기 라인 메모리에 저장된 상기 비디오 정보의 각 라인은 상기 특정 비디오 샘플수와 대략 동일한 비디오 샘플수를 갖는 것을 특징으로 하는 수평 패닝 시스템.

청구항 14

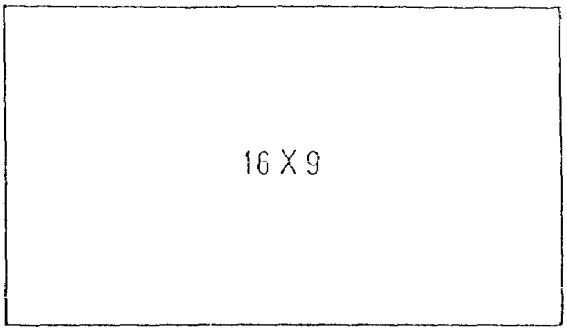
제9항에 있어서, 상기 보조 화상을 나타내는 상기 비디오 정보는 복수의 디지탈 샘플을 가지며, 상기 각 라인에 대해 상기 라인 메모리에 기록된 상기 샘플수는 상기 조합 수단으로의 전송을 위해 상기 라인 메모리로부터 판독된 상기 샘플수와 대략 동일한 것을 특징으로 하는 수평 패닝 시스템.

도면

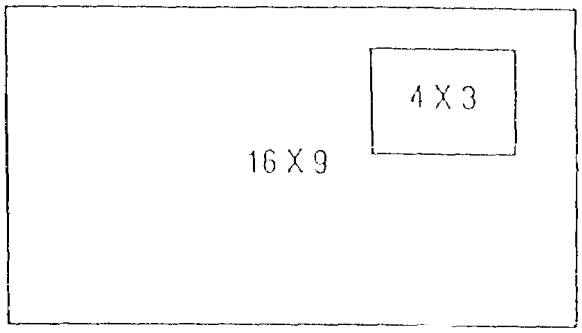
도면1a



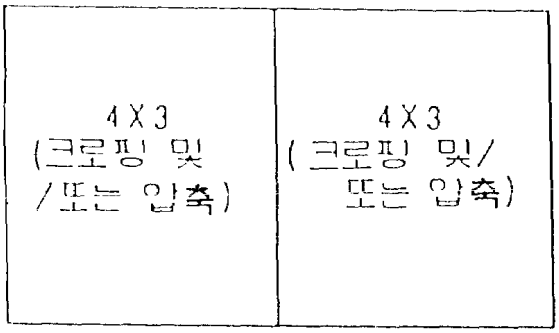
도면1b



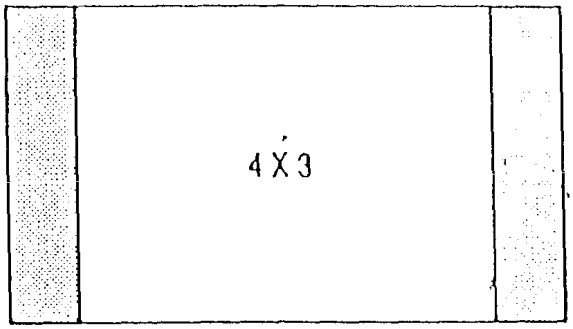
도면1c



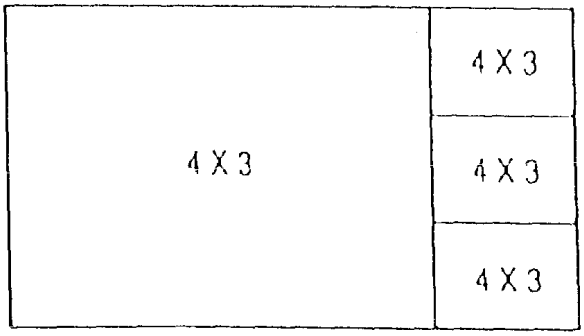
도면1d



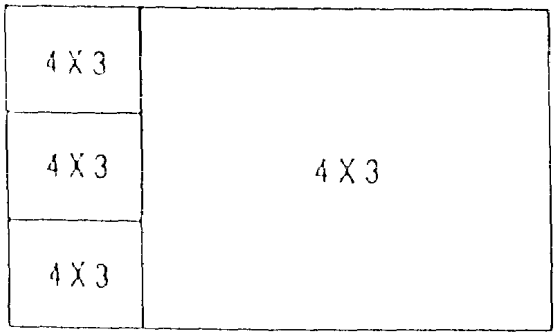
도면1e



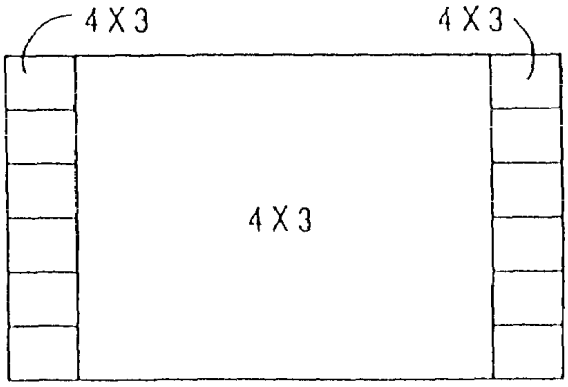
도면1f



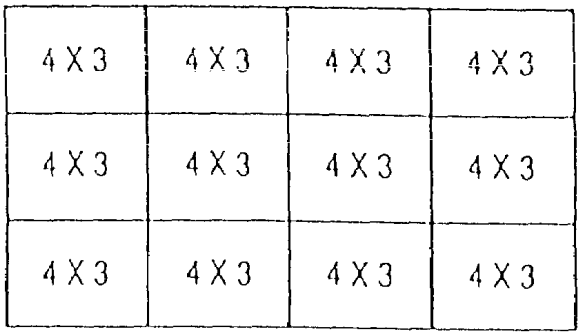
도면1g



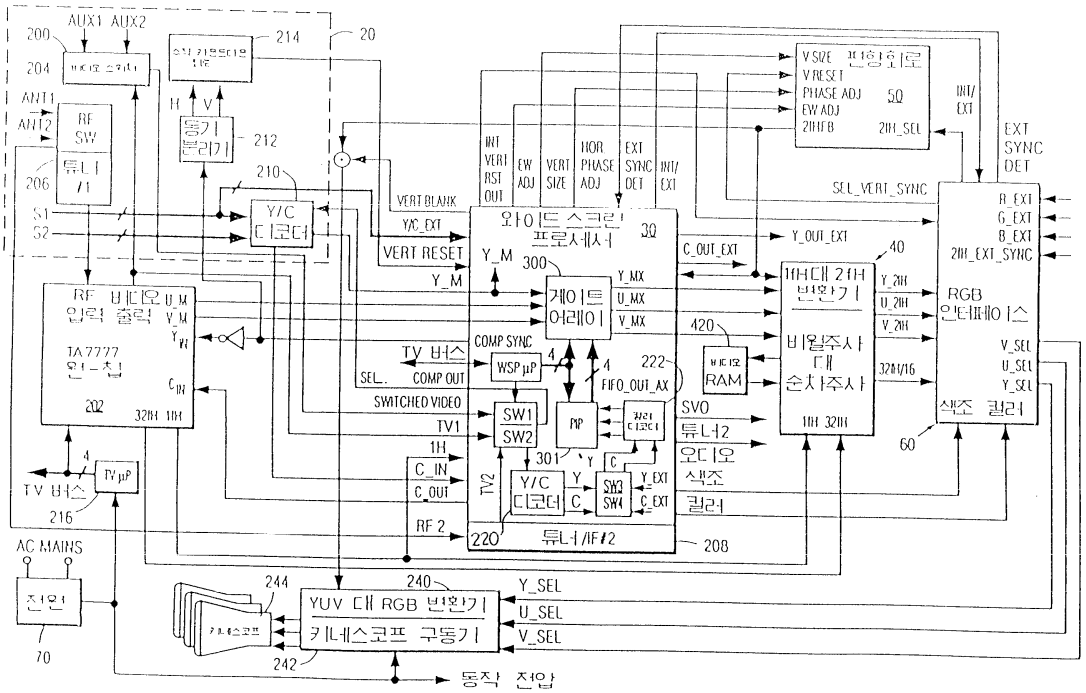
도면1h



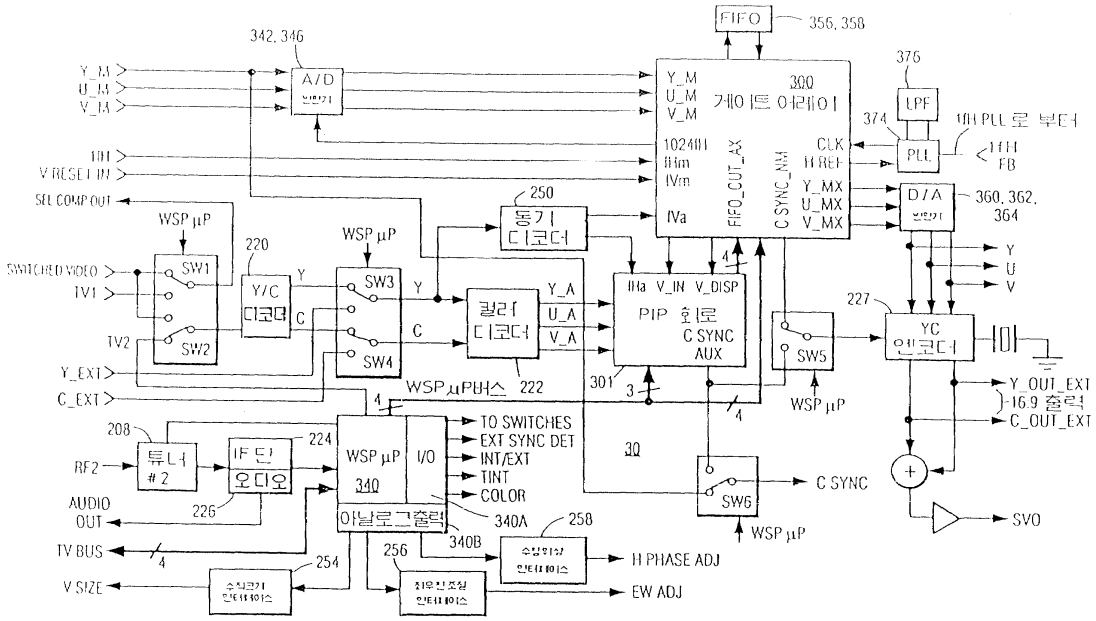
도면1i



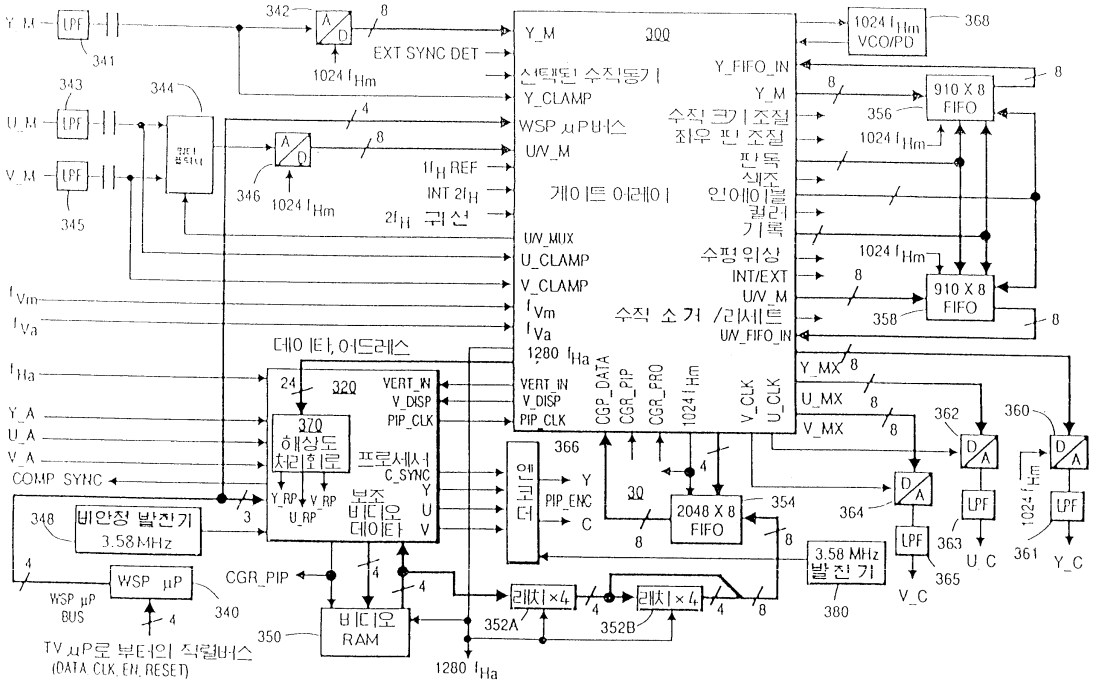
도면2


AUX1 AUX2
200
204
214
20
ANT1
ANT2
RF SW
튜너 #1
206
동기 분리기
212
210
Y/C 디코더
S1
S2
RF 비디오 입력 출력
TA7777 원-칩
202
32IH 1IH
TV 버스
TV μP
216
AC MAINS
전원
70
VERT BLANK
Y/C_EXT
VERT RESET
Y_M
INT VERT RST OUT
EW ADJ
VERT SIZE
HOR PHASE ADJ
EXT SYNC DET
INT/ EXT
와이드 스크린 프로세서
30
300
게이트 어레이
Y_MX
U_MX
V_MX
COMP SYNC
WSP μP
4
222
FIFO_OUT_AX
SEL.
COMP OUT
SWITCHED VIDEO
TV1
SW1
SW2
PIP
1H
C_IN
C_OUT
301
Y/C 디코더
TV2
SW3
SW4
Y_EXT
C_EXT
RF 2
220
튜너/IF#2
208
C_OUT_EXT
Y_OUT_EXT
420
비디오 RAM
SVO
튜너2
오디오
색조
컬러
1H대 2H 변환기
비월주사 대 순차주사
1H 32IH
40
Y_2H
U_2H
V_2H
32IH/16
V SIZE 편향회로
V RESET
PHASE ADJ
EW ADJ
2IHFB
2IH_SEL
50
INT/ EXT
EXT SYNC DET
SEL_VERT_SYNC
R_EXT
G_EXT
B_EXT
2IH_EXT_SYNC
RGB 인터페이스
V_SEL
U_SEL
Y_SEL
색조 컬러
60
244
240
YUV 대 RGB 변환기
키네스코프 구동기
Y_SEL
U_SEL
V_SEL
242
동작 전압

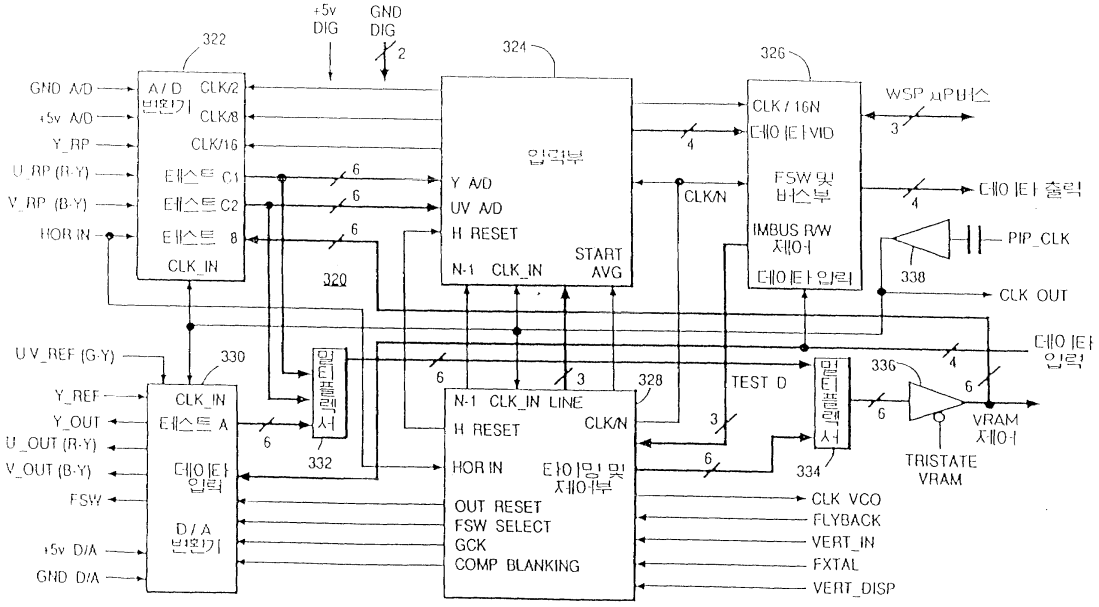
도면3


FIFO
356, 358
342, 346
A/D 변환기
Y_M
U_M
V_M
1IH
V RESET IN
SEL COMP OUT
300
게이트 어레이
1024IH
IHm
IVm
IVa
FIFO_OUT_AX
C SYNC_NM
CLK
H REF
Y_MX
U_MX
V_MX
376
LPF
374
PLL
1IH PLL로 부터
1IH FB
D/A 변환기
360, 362, 364
Y
U
V
250
동기 디코더
WSP μP
220
SW1
SW2
SW3
SW4
SWITCHED VIDEO
TV1
TV2
Y/C 디코더
Y
C
컬러 디코더
Y_A
U_A
V_A
IHa V_IN V_DISP
PIP 회로
C SYNC
AUX
301
3
SW5
227
YC 엔코더
Y_OUT_EXT
16.9 출력
C_OUT_EXT
Y_EXT
C_EXT
WSP μP버스
222
208
RF2
튜너 #2
IF 단
오디오
224
226
AUDIO OUT
WSP μP
340
I/O
아날로그출력
340A
340B
TO SWITCHES
EXT SYNC DET
INT/EXT
TINT
COLOR
30
SW6
C SYNC
WSP μP
SVO
TV BUS
V SIZE
254
256
258
H PHASE ADJ
EW ADJ

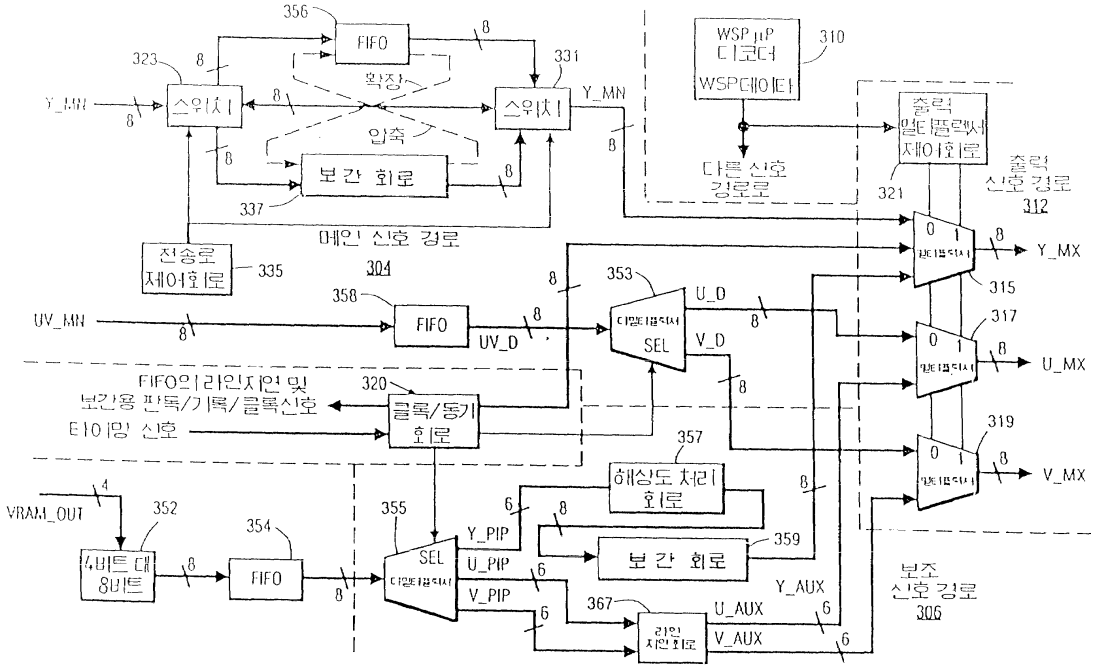
도면4


Y_M
LPF
341
342
A/D
8
1024 fHm
EXT SYNC DET
300
Y_M
선택된 수직동기
Y_CLAMP
WSP μP버스
U/V_M
1fH REF
INT 2fH
2fH 귀선
게이트 어레이
U/V_MUX
U_CLAMP
V_CLAMP
fVm
fVa
1280 fHa
VERT_IN
V_DISP
PIP_CLK
CGP_DATA
CGR_PIP
CGR_PRO
1024 fHm
V_CLK
U_CLK
Y_FIFO_IN
Y_M
수직 크기 조절
좌우 핀 조절
판독
색조
인에이블
컬러
기록
수평 위상
INT/EXT
U/V_M
수직 소거 /리세트
U/V_FIFO_IN
1024 fHm
VCO/PD
368
910 X 8
FIFO
356
358
343
344
U_M
V_M
345
346
fVm
fVa
fHa
Y_A
U_A
V_A
COMP SYNC
데이타, 어드레스
24
320
370
해상도
처리회로
VERT_IN
V_DISP
PIP_CLK
프로세서
C_SYNC
Y_RP
U_RP
보조
비디오
데이타
Y
U
V
인코더
366
PIP_ENC
30
2048 X 8
FIFO
354
Y_MX
U_MX
V_MX
362
360
364
363
365
361
U_C
V_C
Y_C
348
비안정 발진기
3.58MHz
WSP μP
WSP μP
BUS
340
CGR_PIP
350
비디오
RAM
TV μP로 부터의 직렬버스
(DATA, CLK, EN, RESET)
래치×4
352A
352B
3.58 MHz
발진기
380

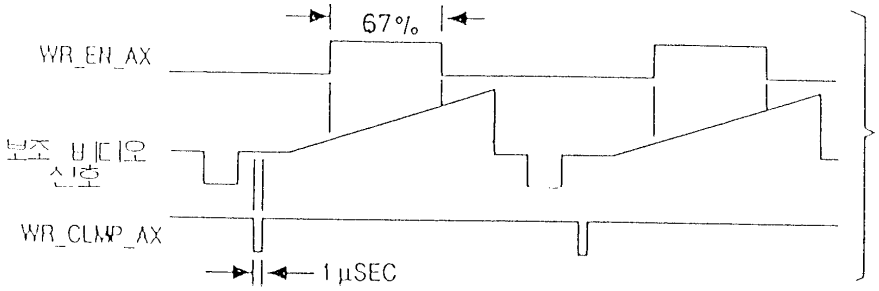
도면5


+5v
DIG
GND
DIG
322
324
326
GND A/D
+5v A/D
Y_RP
U_RP (R-Y)
V_RP (B-Y)
HOR IN
A/D
변환기
CLK/2
CLK/8
CLK/16
테스트 C1
테스트 C2
테스트 8
CLK_IN
입력부
Y A/D
UV A/D
H RESET
N-1 CLK_IN
START
AVG
CLK/N
CLK/16N
데이타VID
FSW 및
버스부
IMBUS R/W
제어
데이타 입력
WSP μP버스
데이타 출력
PIP_CLK
338
CLK OUT
데이타
입력
320
U V_REF (G-Y)
330
Y_REF
Y_OUT
U_OUT (R-Y)
V_OUT (B-Y)
FSW
+5v D/A
GND D/A
CLK_IN
테스트 A
데이타
입력
D/A
변환기
멀티플렉서
332
328
N-1 CLK_IN LINE
H RESET
CLK/N
HOR IN
타이밍 및
제어부
OUT RESET
FSW SELECT
GCK
COMP BLANKING
TEST D
멀티플렉서
334
336
VRAM
제어
TRISTATE
VRAM
CLK VCO
FLYBACK
VERT_IN
FXTAL
VERT_DISP

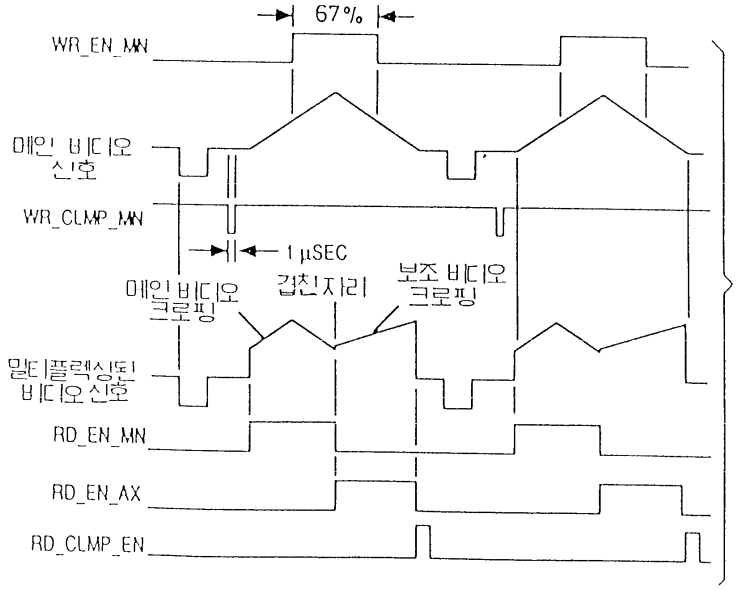
도면6


356
FIFO
323
331
확장
Y_MN
스위치
스위치
Y_MN
압축
보간 회로
337
메인 신호 경로
304
전송로 제어회로
335
WSP μP 디코더
WSP데이터
310
다른 신호 경로로
출력 멀티플렉서 제어회로
321
출력 신호 경로
312
Y_MX
315
353
358
FIFO
UV_MN
UV_D
U_D
SEL
V_D
317
U_MX
FIFO의 라인지연 및 보간용 판독/기록/클록신호
320
클록/동기 회로
타이밍 신호
357
해상도 처리 회로
319
V_MX
VRAM_OUT
352
354
355
4비트 대 8비트
FIFO
SEL
Y_PIP
U_PIP
V_PIP
359
보간 회로
Y_AUX
U_AUX
V_AUX
367
검출 지연 회로
보조 신호 경로
306

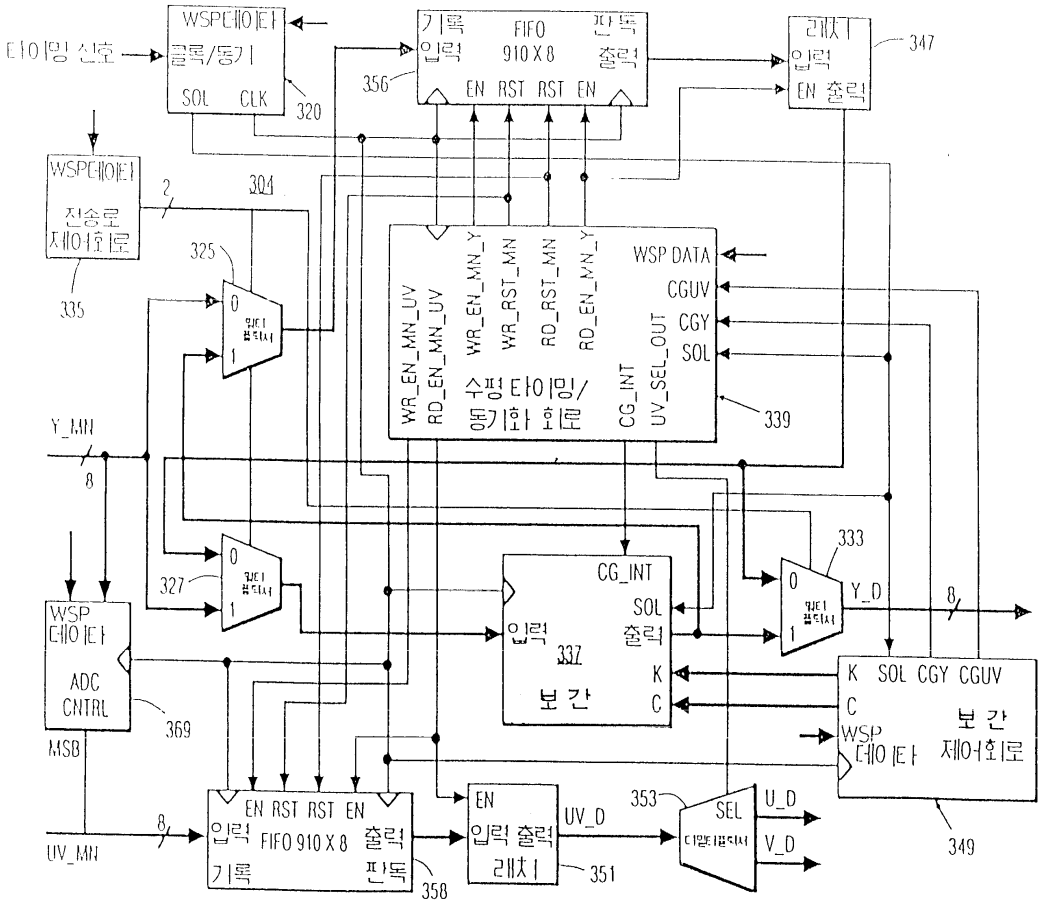
도면7


67%
WR_EN_AX
보조 비디오 신호
WR_CLMP_AX
1μSEC

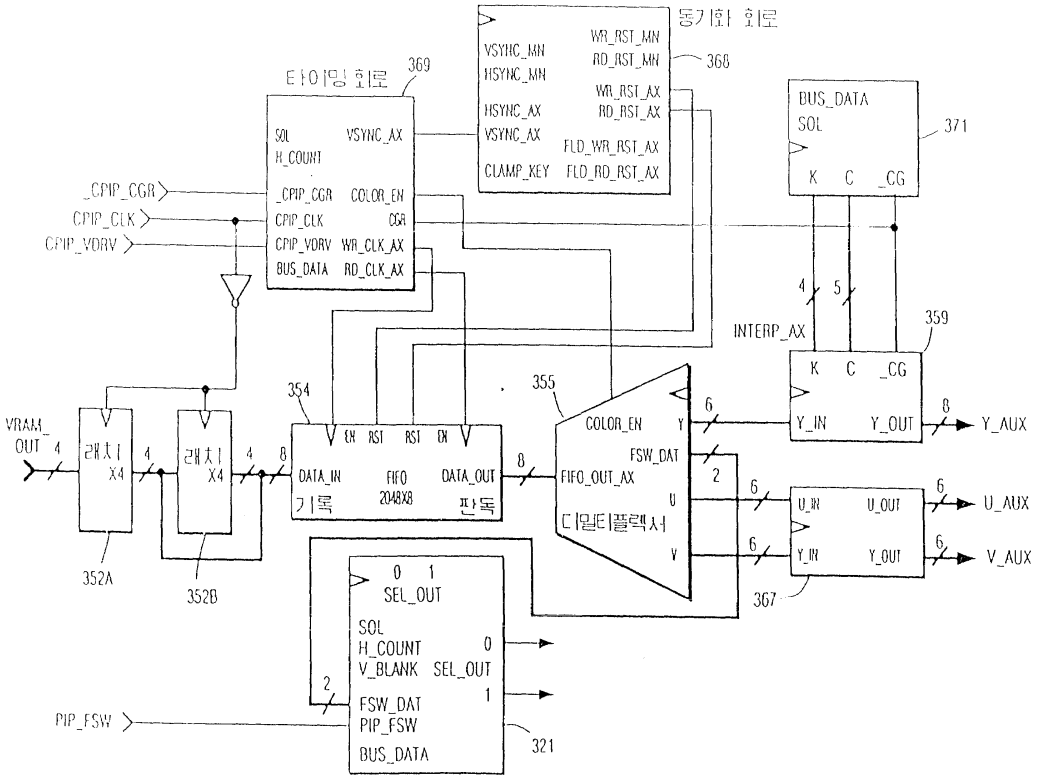
도면8


67%
WR_EN_MN
메인 비디오 신호
WR_CLMP_MN
1μSEC
메인 비디오 크로핑
겹친 자리
보조 비디오 크로핑
멀티플렉싱된 비디오 신호
RD_EN_MN
RD_EN_AX
RD_CLMP_EN

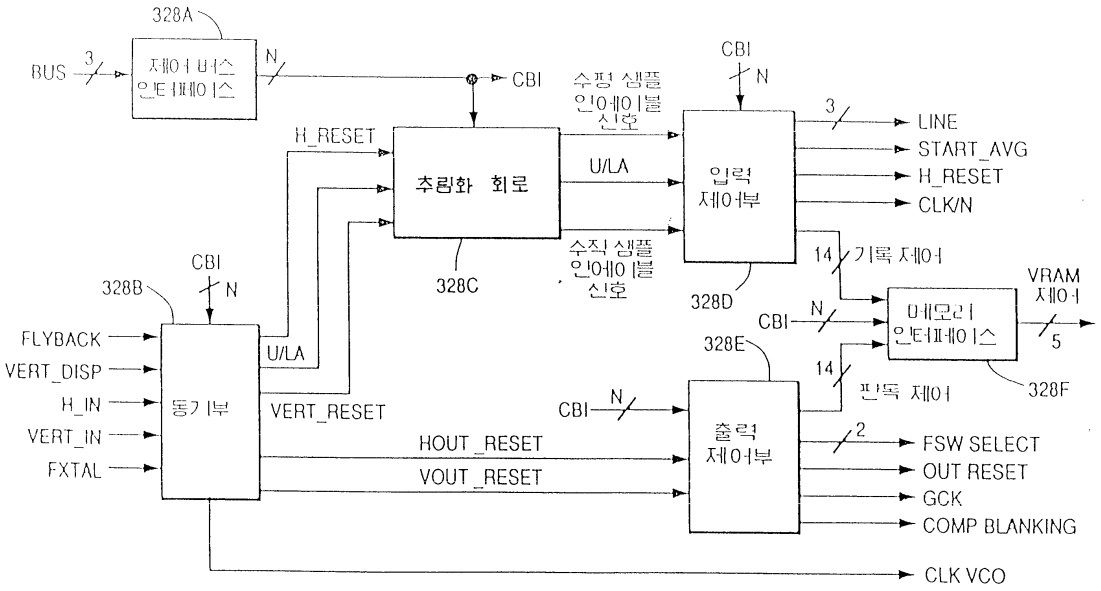
도면9


타이밍 신호
WSP데이터
클록/동기
SOL CLK
320
356
기록 FIFO 판독
입력 910X8 출력
EN RST RST EN
래치
입력
EN 출력
347
WSP데이터
전송로
제어회로
335
304
325
327
333
WSP DATA
CGUV
CGY
SOL
WR_EN_MN_UV
RD_EN_MN_UV
WR_EN_MN_Y
WR_RST_MN
RD_RST_MN
RD_EN_MN_Y
CG_INT
UV_SEL_OUT
수평 타이밍/
동기화 회로
339
Y_MN
8
CG_INT
SOL
입력 출력
332
보 간
K
C
Y_D
K SOL CGY CGUV
C
WSP
데이터
보 간
제어회로
349
WSP
데이터
ADC
CNTRL
369
MSB
UV_MN
EN RST RST EN
입력 FIFO 910X8 출력
기록 판독
358
EN
입력 출력
래치
UV_D
351
353
SEL
U_D
V_D

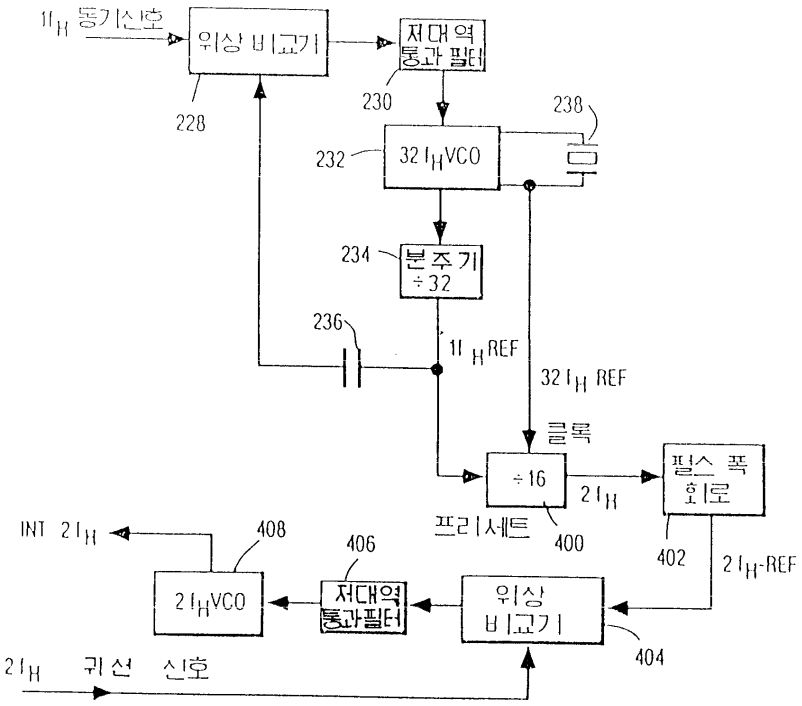
도면10


타이밍 회로
369
동기화 회로
368
VSYNC_MN
HSYNC_MN
HSYNC_AX
VSYNC_AX
CLAMP_KEY
WR_RST_MN
RD_RST_MN
WR_RST_AX
RD_RST_AX
FLD_WR_RST_AX
FLD_RD_RST_AX
SOL
H_COUNT
VSYNC_AX
_CPIP_CGR
CPIP_CLK
CPIP_VDRV
BUS_DATA
COLOR_EN
CGR
WR_CLK_AX
RD_CLK_AX
BUS_DATA
SOL
K C _CG
371
INTERP_AX
359
VRAM_
OUT
래치
X4
352A
352B
354
EN RST RST EN
DATA_IN
FIFO
2048X8
DATA_OUT
기록
판독
355
COLOR_EN
FIFO_OUT_AX
FSW_DAT
디멀티플렉서
Y_IN
Y_OUT
Y_AUX
U_IN
U_OUT
U_AUX
V_IN
V_OUT
V_AUX
367
SEL_OUT
SOL
H_COUNT
V_BLANK
FSW_DAT
PIP_FSW
BUS_DATA
321
PIP_FSW

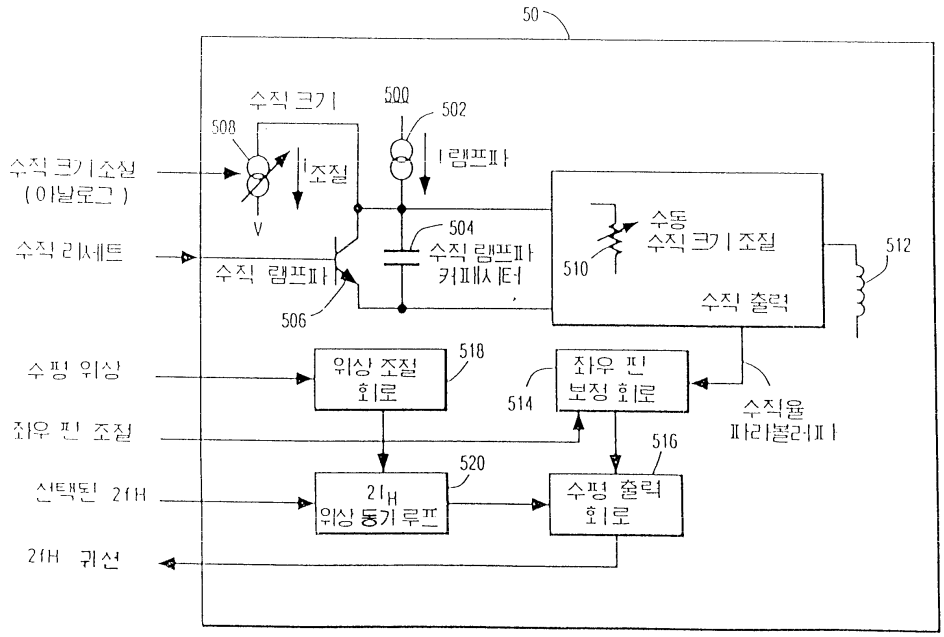
도면11


328A
BUS
3
제어 버스 인터페이스
N
CBI
수평 샘플 인에이블 신호
H_RESET
추림화 회로
U/LA
수직 샘플 인에이블 신호
328C
CBI
N
입력 제어부
328D
3
LINE
START_AVG
H_RESET
CLK/N
14
기록 제어
VRAM 제어
메모리 인터페이스
5
328F
328B
CBI
N
FLYBACK
VERT_DISP
H_IN
VERT_IN
FXTAL
동기부
U/LA
VERT_RESET
328E
CBI
N
14
판독 제어
출력 제어부
2
FSW SELECT
OUT RESET
GCK
COMP BLANKING
HOUT_RESET
VOUT_RESET
CLK VCO

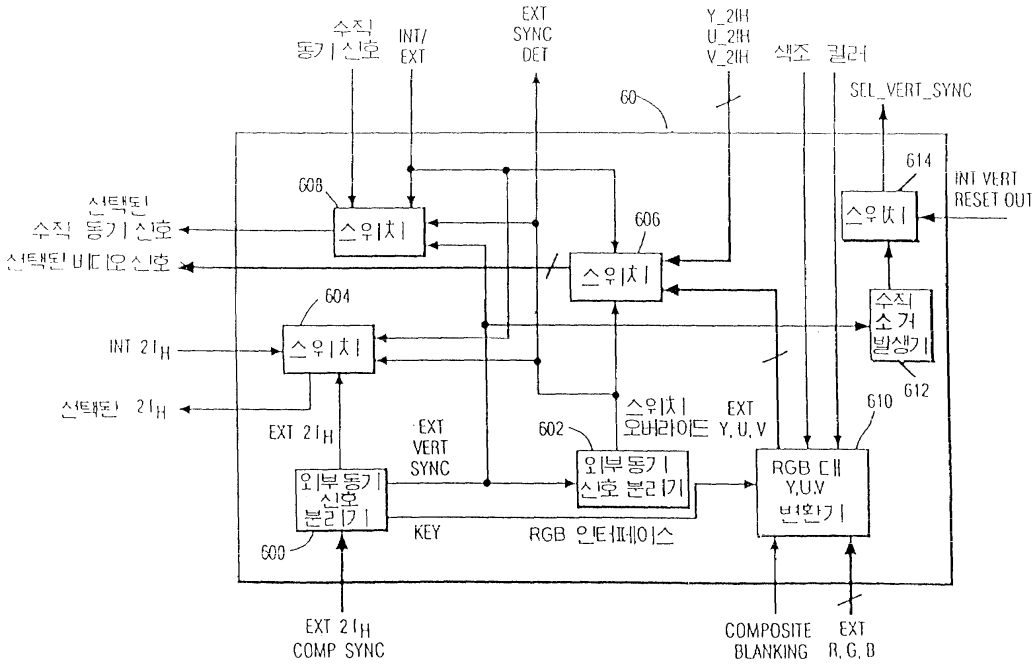
도면12


1H 동기신호
위상 비교기
228
저대역 통과 필터
230
238
232
32 1H VCO
234
분주기 ÷32
236
1 1H REF
32 1H REF
클록
÷16
2 1H
펄스 폭 회로
402
프리세트
400
INT 2 1H
408
406
2 1H VCO
저대역 통과필터
위상 비교기
404
2 1H-REF
2 1H 귀선 신호

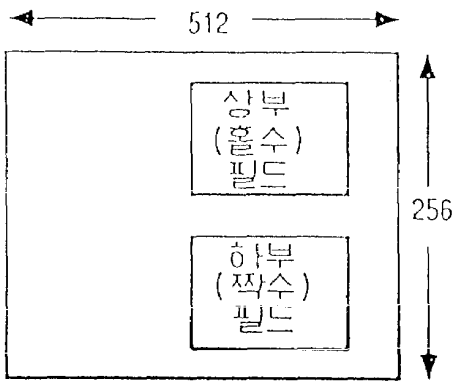
도면13


50
수직 크기
500
502
508
수직 크기조절
(아날로그)
I조절
I램프파
V
504
수직 램프파
커패시터
수동
수직 크기 조절
510
512
수직 리세트
수직 램프파
506
수직 출력
수평 위상
위상 조절
회로
518
좌우 핀
보정 회로
514
수직율
파라볼러파
좌우 핀 조절
516
선택된 2fH
2fH
위상 동기 루프
520
수평 출력
회로
2fH 귀선

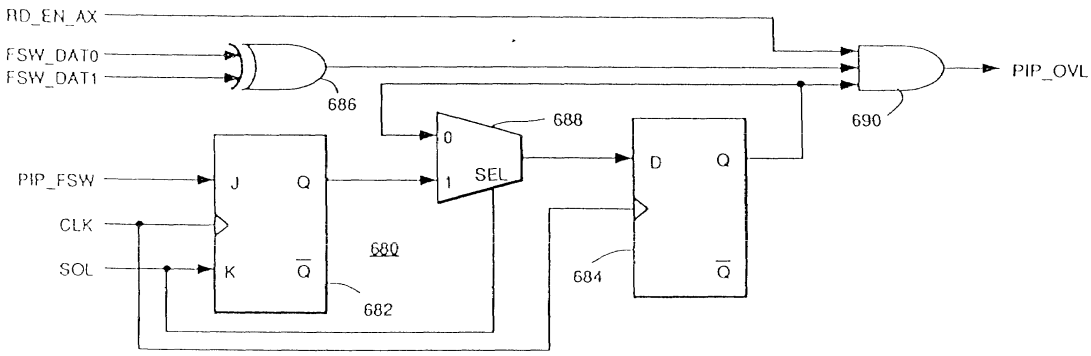
도면14


수직
동기신호
INT/
EXT
EXT
SYNC
DET
Y_2fH
U_2fH
V_2fH
색조
컬러
SEL_VERT_SYNC
60
614
INT VERT
RESET OUT
608
선택된
수직 동기신호
스위치
606
스위치
스위치
선택된 비디오신호
604
수직
소거
발생기
INT 2fH
스위치
612
선택된 2fH
스위치
오버라이드
EXT
Y, U, V
610
EXT 2fH
EXT
VERT
SYNC
602
외부동기
신호 분리기
RGB 대
Y,U,V
변환기
외부동기
신호
분리기
KEY
RGB 인터페이스
600
EXT 2fH
COMP SYNC
COMPOSITE
BLANKING
EXT
R, G, B

도면15

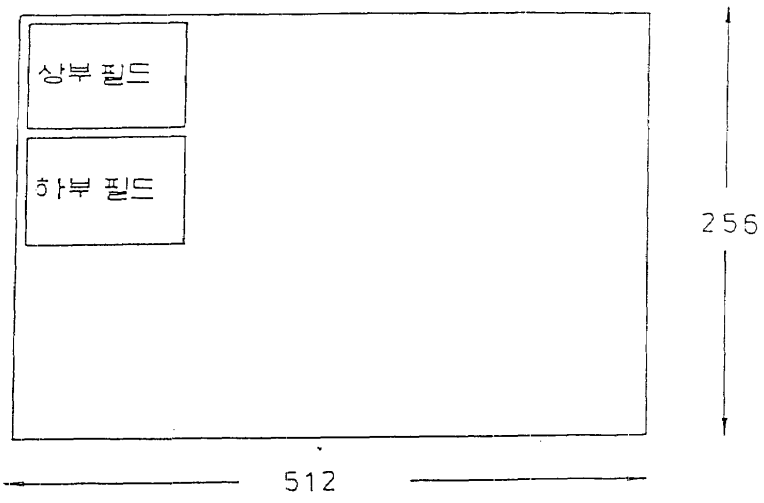


도면16



도면17

CPIP VRAM 맵



도면18

