

圖式

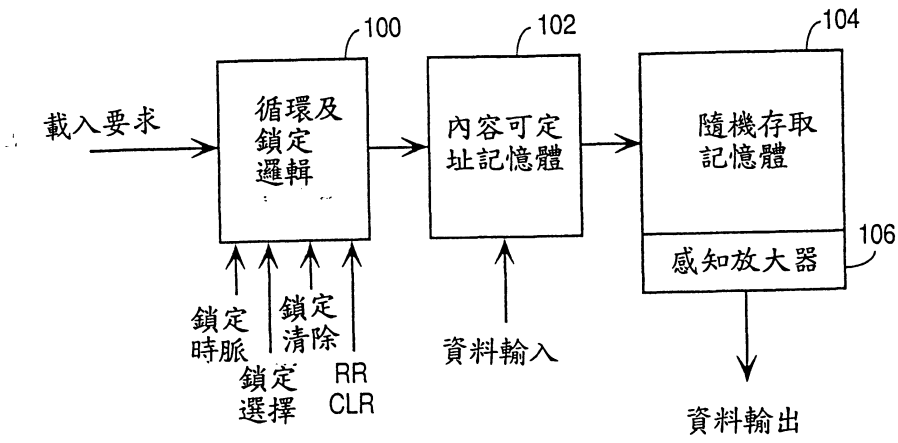


圖 1



ROUND-ROBIN & LOCK BIT OPERATION

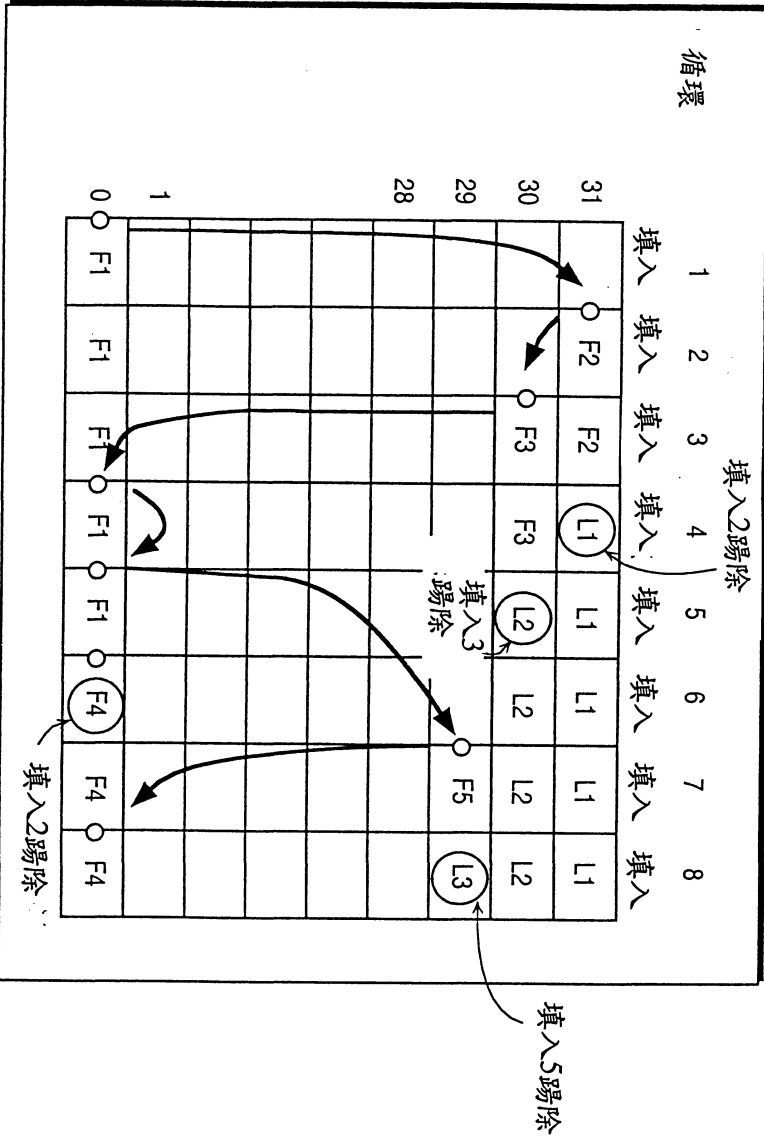
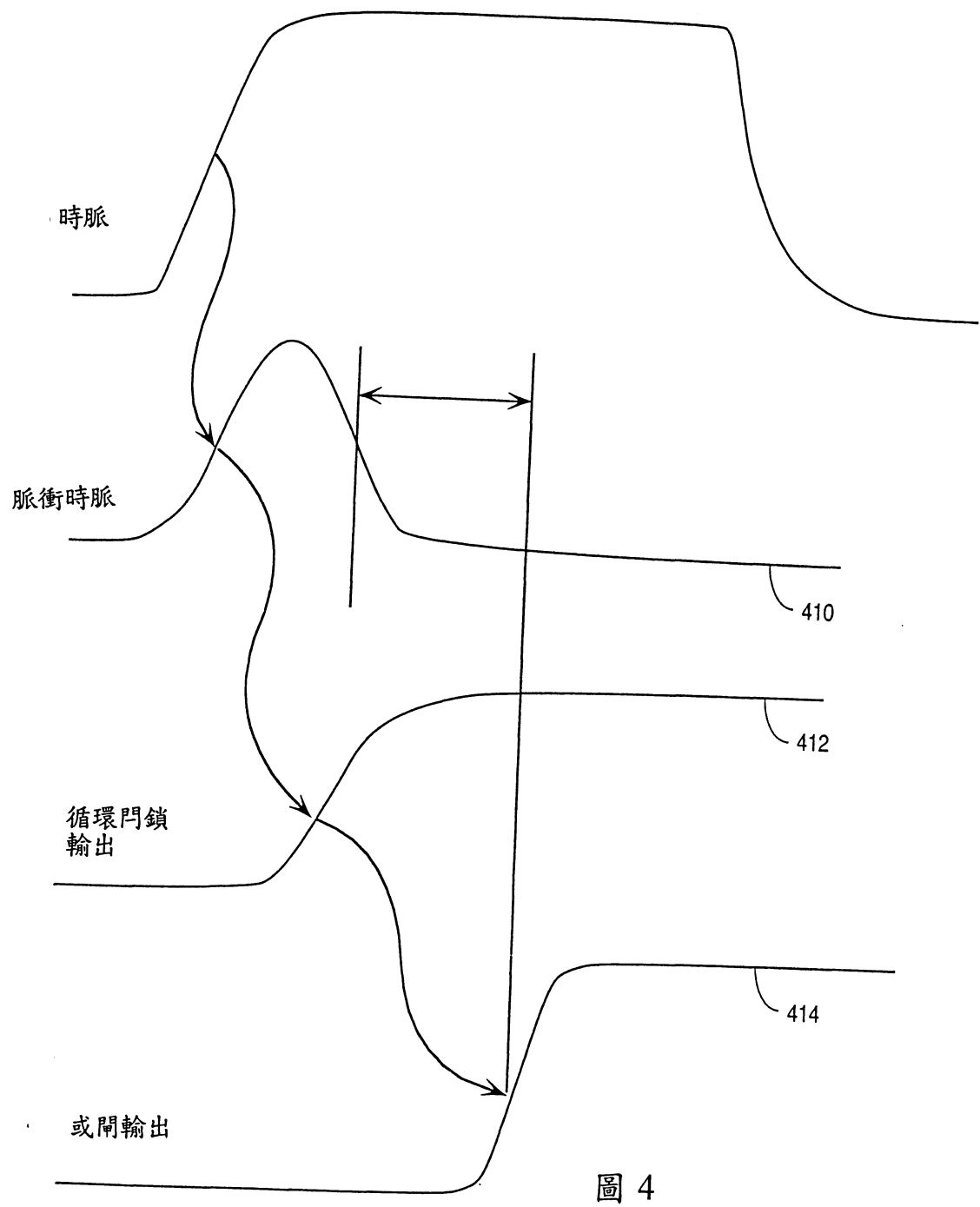


圖 3

圖式

圖式



91 年 6 月 11 日

修正

申請日期：90.1.9

案號：89128436

類別：G06F 12/00

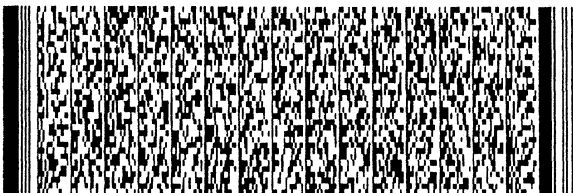
公告本

(以上各欄由本局填註)

發明專利說明書

518464

一、 發明名稱	中文	執行循環及鎖定快取取代結構之方法及裝置
	英文	METHOD AND APPARATUS TO PERFORM A ROUND ROBIN AND LOCKING CACHE REPLACEMENT SCHEME
二、 發明人	姓名 (中文)	1. 勞倫斯 T. 克拉克 2. 馬修 M. 克拉克
	姓名 (英文)	1. LAWRENCE T. CLARK 2. MATTHEW M. CLARK
	國籍	1. 美國 2. 美國
	住、居所	1. 美國亞歷桑那州費克尼斯市東底特威婁路3161號 2. 美國亞歷桑那州坦波市西皮肯廣場261號
三、 申請人	姓名 (名稱) (中文)	1. 美商英特爾公司
	姓名 (名稱) (英文)	1. INTEL CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人 姓名 (中文)	1. F. 湯姆士. 當烈二世
	代表人 姓名 (英文)	1. F. THOMAS DUNLAP, JR.



修正本有無變更實質內容是否准予修正。

煩請委員明示 91 年 6 月 11 日所提之

案號 89128436

91年 6 月 11 日

修正

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1999/12/30	09/476,444	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無

煩請委員明示91年6月11日所提之修正本有無變更實質內容是否准予修正。



五、發明說明 (1)

發明背景

(1) 發明領域

本發明有關快取取代結構。更特別地，本發明有關結合循環式快取取代和快取線鎖定結構。

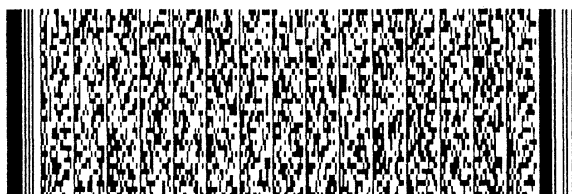
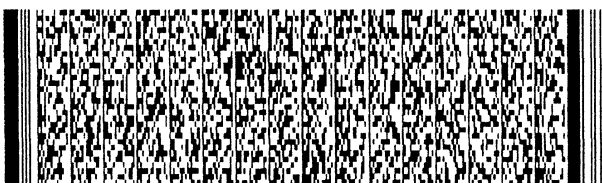
(2) 背景

有各種結構用於定義當將新資料集合載入一快取記憶體時哪一個資料會被取代。在直接映成快取記憶體中，一較為偏好的結構為一最近最少使用的(LRU)結構。在一最近最少使用的(LRU)結構中，如名字所暗示的，將最近最近最少使用的資料方塊以任何進入的資料來取代。因為參考的區域性對於電腦軟體執行和資料使用是共同的，已發現這是一個相當有效率的快取取代結構。然而，隨著集合關連性增加，由於需增加硬體要求，最近最少使用的(LRU)結構的複雜性和總成本使得此結構較不具吸引力。

此外，在無單獨解碼器的以內容可定址記憶體為基礎的快取記憶體中，達到相當高的集合關連性，並且辨認何處寫填入資料也變得愈來愈成為問題。已採用的一可能解決結構為一循環取代結構，其中有循環位移暫存器環繞以辨認要被載入的該線。這具有丟棄在該快取記憶體中該最舊資訊的效果，但該取代完全與該使用頻率無關。因而，可導致較大量的快取記憶體快速搬動。

對於避免資料過早被該快取記憶體踢除，某些先前解決結構允許通道鎖定。這些系統未能提供太多的聚集化。例如，在一雙通道快取記憶體中，有一半的該快取記憶體將會被鎖定，即使要被保存的資料區塊相當小。這通常導

修正本有無變更實質內容是否准予修正。
煩請委員明示91年6月11日所提之



五、發明說明(2)

致快取記憶體使用無效率。

發明之簡要敘述

第一複數個門鎖是離菊環式的連在一起，形成一暫存器，每一個門鎖結合一特別的快取線。類似地，第二複數個門鎖是離菊環式的連在一起，每一個門鎖結合一快取線。該第一暫存器定義快取線的填入順序，並且該第二暫存器定義該快取線的鎖入順序。

附圖之簡要敘述

圖1為本發明一具體實例之方塊圖。

圖2為本發明一具體實例之循環鎖定邏輯方塊圖。

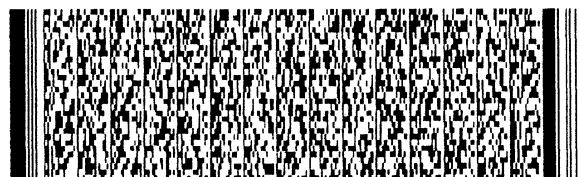
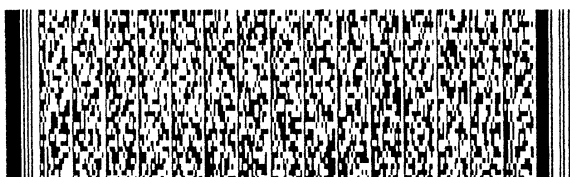
圖3圖示在一個8個週期期間內一連串載入的範例。

圖4為本發明一具體實例之信號子集合時序圖。

發明之詳細敘述

圖1為本發明一具體實例之方塊圖。一內容可定址記憶體陣列(CAM)102用於定址至一隨機存取記憶體單元(RAM)104。CAM 102和RAM 104的組合一般可為，例如，一快取記憶體，並且更特別地，在一具體實例中，一位準零快取記憶體，或可能在一替代具體實例中，一轉換旁視緩衝器(TLB)。在任一情況下該CAM 102包括對應至該對應項的位址，在前者的情況下該項為碼或資料的線，而在後者的情況下為一頁表項。包括在該內容可定址記憶體陣列(CAM)項內的資料在任一結構中被視為該"旗標"項。一控制邏輯單元，例如循環及鎖定邏輯100，耦合至該CAM 102。當將資料寫入該CAM 102和RAM 104，亦即，在快取記憶體填入運算中要取代哪一條線時，該控制邏輯單元控制由該CAM

修正本有無變更實質內容是否准予修正。
煩請委員明示
91年6月11日所提之



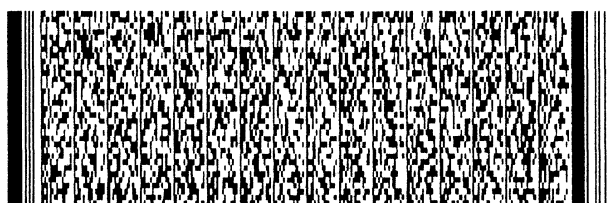
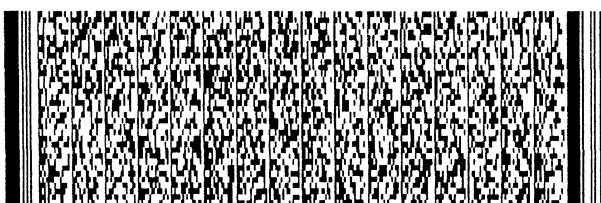
五、發明說明(3)

定址的快取記憶體所採用的取代結構。該CAM 102和該RAM 104兩種電路可藉由對那些熟於先前技術者而言是週知的裝置來寫入。透過該CAM 102的內容可定址性質將該CAM 102定址以決定該相符的項(若有一個的話)。若發現配對，從RAM 104中讀取資料經由感測放大器106做為輸出，該放大器耦合在其上，或者可能經由如該前述的填入運算中將資料寫入該RAM 104所使用的相同電路來執行至該RAM 104的寫入運算。總言之，當與採用RAM細胞以儲存該旗標資料的較傳統的架構做比較時，此型式的快取記憶體電路架構具有較偏好的低電源特徵。

除了接收載入要求外，循環和鎖定邏輯100也接收許多控制信號，包括一鎖定時鐘，一鎖定選擇，一鎖定清除和一循環清除。當啟動該鎖定時鐘時，表示該載入要求為一鎖定。當不啟動該鎖定時鐘時，該載入為一填入。如在此處所使用的，鎖定為在要被鎖定的線內的載入，以便不會被後續的載入複寫。填入為可自由地複寫做為該普通快取取代結構的部份的載入。鎖定清除會清除該鎖定暫存器(進一步敘述如下)，以允許該先前已載入鎖定的後續複寫。循環清除會將該循環暫存器(也進一步敘述如下)重新設定至一預定值。該鎖定選擇信號用於做為一組多工器的模式選擇，在來自該循環暫存器的信號間做選擇；並且做為供字線使能的該鎖定暫存器。

圖2為本發明一具體實例之該循環鎖定邏輯方塊圖。該複數個循環門鎖212，214，216，210，每一個與一快取記憶體的一線結合。在所示的具體實例中，假設在該陣列中

修正本有無變更實質內容是否准予修正。
 91年6月11日所提之
 願請委員明示



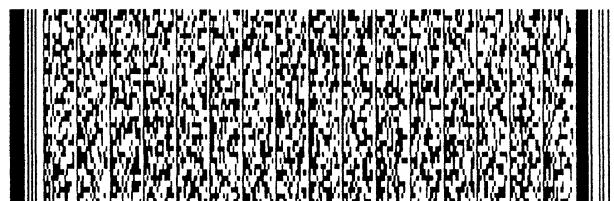
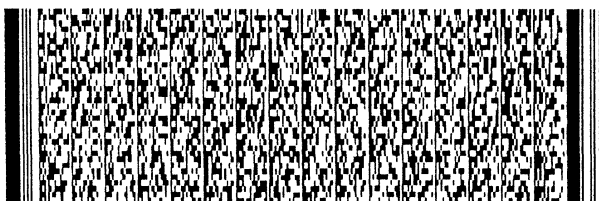
五、發明說明 (4)

有32條線。然而，線的多寡(並且因而，門鎖)均在本發明的範疇和計劃內。據此，提供32個循環門鎖，組成該循環暫存器200。第二複數個門鎖，230，232，234，組成該鎖

定暫存器202，也具有一門鎖結合複數個快取線的每一個。在所示的具體實例中，有31個鎖定門鎖，允許在該32條快取線中鎖定至多31條線。透過避免一條以上的線被鎖定，該系統避免死鎖情況，其中需要將新的資料載入該快取記憶體內，但所有的線均被鎖定而無法載入。該鎖定門鎖如該循環門鎖般為離菊環式的連在一起。以此法，該鎖定暫存器迫使一在該陣列內從上到下的順序串列鎖定對該鎖定的時鐘起反應。該循環暫存器200造成循環填入從該陣列內的底線開始，跟隨著該陣列內的最高未鎖定線，並且向下進行至底部，然後循環。組合邏輯204確保填入不會複寫已鎖定的線。在一具體實例中，暫存器200和204為脈衝式門鎖，並且在一替代具體實例中，他們為主從正反器。該脈衝式門鎖為較區域有效的，但傾向於較易受因處理遲滯上保留時間不足的問題影響。

該鎖定暫存器包括該起始門鎖230，符合運算中該陣列的字線31，其輸入耦合至一正的電源供應器。因而，當啟動該鎖定時鐘時，暫存器230的輸出出現一高值，並且因而，對應地出現在如圖示般離菊環在一起的暫存器232的輸入上。在使用脈衝門鎖而非主從正反器的具體實例中所產生的一問題為必需於該電路內建立足夠的延遲，以避免當啟動鎖定時鐘時設定門鎖230和232(或在該環內設定更多)。為了解決此問題，在本發明的脈衝門鎖具體實例

修正本有無變更實質內容是否准予修正。
預請委員明示91年6月11日所提之



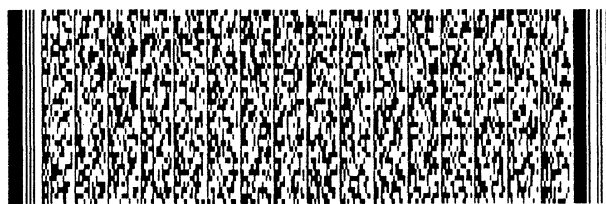
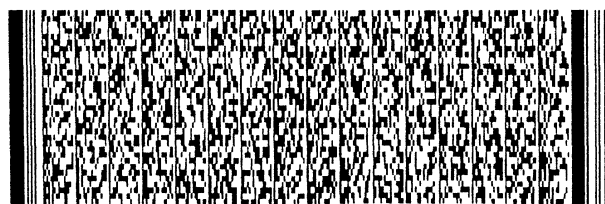
五、發明說明 (5)

中，鎖定時鐘為一短的脈衝，時間長至足以讓在該鎖定暫存器內的一門鎖接收其輸入值，但短到足以避免連接至該所要的目標門鎖輸出的該門鎖接收到相同資料。因而，在該鎖定時鐘下一次的啟動，在暫存器232和230的輸出會出現一較高值。以此法，經由該鎖定暫存器202的該高值週期下降，直到在該鎖定時鐘31次啟動之後到達鎖定門鎖234。在那一點，在該鎖定暫存器202內所有的31門鎖會有邏輯的1在其內儲存。

在啟動該循環重新啟動信號之後，是以除了門鎖210之外的所有門鎖皆被清除的方式來耦合循環暫存器200門鎖。門鎖210為該循環啟動位元並且設定為對循環清除信號起反應。在晶片滿載重新啟動時也啟動此信號以起始該快取記憶體。當設定門鎖210時，會使從字線0開始填入成為必需。除了開機之外，對應於鎖定發生會啟動該循環重新啟動信號。此確保無法與循環位元同時設定鎖定位元，這將建構成邏輯上地非法情況，亦即，一被鎖定的線被選擇成為線填入的該下一個目標。當執行鎖定運算時設定該底部且不可鎖定位位置供取代的此結構需要最少的邏輯。接續陳述此結構在該快取記憶體效率方面的含意。

據此，在填入字線0後，藉由組合邏輯204的幫助，該下一個填入線被辨識未被鎖定的最高的線。因而，若字線31尚未被鎖定，門鎖230的輸出將為一0，該0會被反向器310逆轉造成及(AND)閘312輸出一"1"，這又使得及(AND)閘314也輸出一"1"至OR閘316，然後將驅動暫存器212輸出一高值，因而選擇字線31。多工器208採用該鎖定選擇信

修正本有無變更實質內容是否准予修正。
請委員明示91年6月11日所提之

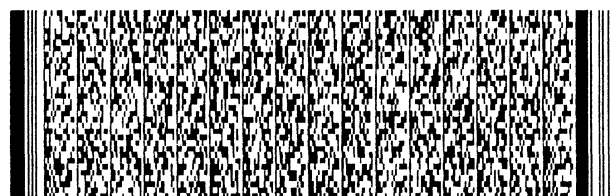
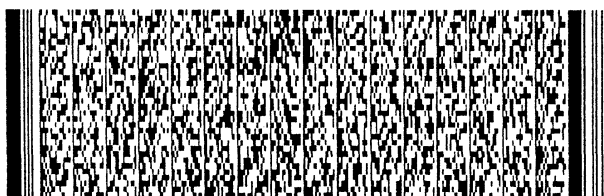


五、發明說明 (6)

煩請委員明示91年6月11日所提之修正本有無變更實質內容是否准予修正。

號以決定是該循環暫存器或該鎖定暫存器選擇該字線。因而，在一鎖定運算，該字線(WL)選擇是選擇經由該多工器208和209，從閘312的輸出中取出。因而該字線(WL)的啟動是根據該前一個時鐘閘鎖設定至邏輯的1且該目前閘鎖為邏輯的0要同時發生來決定，該字線(WL)指示在鎖定上要被填入的該線。如可從該邏輯中推論出的，在每一個鎖定運算字線(WL)啟動之後啟動該鎖定時鐘。對(非鎖定)線填入而言，該多工器208透過經由多工器209將包含在該對應的循環閘鎖內的該邏輯的1傳送至該字線(WL)選擇節點來啟動該字線(WL)。該高信號將經由該循環暫存器繁殖，充當指示下一個填入發生的線的指示器。多工器209在多工器208的輸出和一CAM配對信號之間做選擇，該配對信號允許該CAM啟動在使用該CAM於定址方面的快取記憶體讀和寫運算期間的該字線(WL)選擇。在一替代具體實例中，一解碼器輸出可將該第二輸入而非一配對信號提供至多工器209。

明顯地，啟動暫存器210為該循環暫存器中唯一具有高扇出(fanout)值的暫存器。如在此所使用的，"高"扇出(fanout)被視為該裝置的輸出面臨該扇出(fanout)時要驅動3個以上的輸入。由於暫存器210必須為另一個循環暫存器的每一個驅動一輸入信號，使用緩衝器206於向上緩衝該信號以容納該扇出(fanout)。相反地，另一個循環暫存器僅驅動輸入至其最近的鄰居。結果，他們的大小能保持的很小。這是好的，由於在該快取記憶體中每條線有二個閘鎖(在該脈衝閘鎖具體實例)，在TLB中的數目通常為

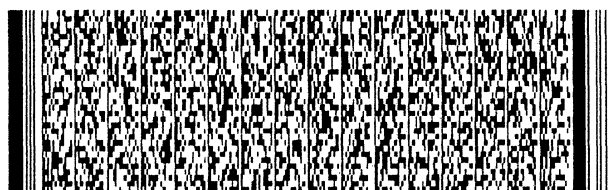
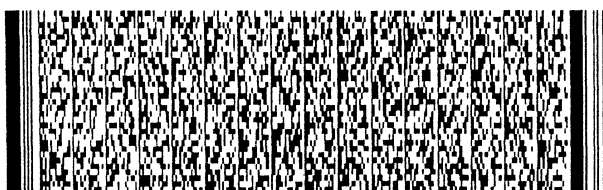


五、發明說明 (7)

32，但在快取記憶體的情況下數目則為數千。偏好小體積為採用將脈衝門鎖而非主從正反器做為門鎖儲存元件的具體實例的主要理由。在控制該扇出(fanout)時，減少了該裝置的大小和對應的該電路電源消耗。既然該啟動暫存器是位在底部，能在該陣列的邊緣將該緩衝器的佈局簡化為區域，此做法對應於該CAM和RAM電路的感測和寫入電路區域。

圖3圖示在8個循環期間內一連串載入的範例。在循環1，將填入1載入字線0內，並且該填入指示器向前指向字線31。在循環2，將填入2載入字線31內，並且該填入指示器向前指向字線30。在循環3，將填入3載入字線30內。然後在循環4，將鎖定1載入該鎖定起始線(字線31)內，剔除填入2並且將該填入指示器重新設定指向字線0。在循環5，將鎖定2載入該下一個鎖定線(字線30)內，剔除填入3並且再度將該填入指示器重新設定指向字線0。在循環6，載入填入4，剔除填入1，並且該填入指示器向前指向該最高的未鎖定線，在此案例中為字線29。在循環7，填入5填入字線29。在循環8，鎖定3剔除填入5，並且將該填入指示器重新設定指向字線0。這僅為一範例的填入和鎖定模式。或者，若在該前3個週期做鎖定1，2和3而在下面的5個循環中做填入1到5，則不會有資料被剔除於該快取記憶體之外。因而，適當的軟體設計可減少在每一個鎖定之後重新啟動該填入部份的任何潛在懲罰。例如，在填入任何快取線之前，軟體可鎖定在激發時需被鎖定的所有的碼或資料。透過先做該鎖定，可減輕已載入該快取記憶體中的

修正本有無變更實質內容是否准予修正。
91年6月11日所提之



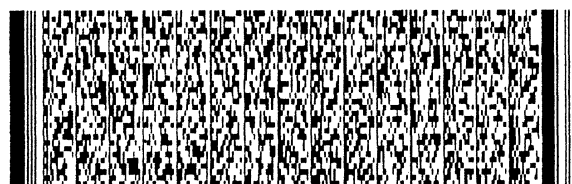
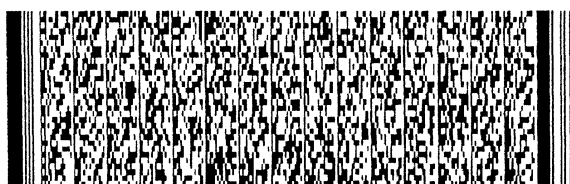
五、發明說明(8)

煩鎖定線對於碼所可能產生的負面影響。較偏好用於鎖定的
請委員明碼範例為臨界中斷處理流程或應非常快速反應的類似的
示碼。然而，將上述敘述加以圖示，以解釋本發明一具體實
例之運作。

91年6月11日所提之
圖4圖示本發明一具體實例之信號子集合時序圖。在上
述的脈衝門鎖具體實例內使用該脈衝時鐘信號410。該脈
衝應短到足以在從鄰接門鎖來的信號傳達至其鄰居之前，
它又會走回低點。因而，循環門鎖(圖2的212)的輸出被圖
示為信號412。此輸出因對該脈衝時鐘410起反應而上升。
在由信號414所表示的或(OR)閘的輸出(圖1的336)根據信
號412至該OR閘的應用而啟動至高點之前，該脈衝時鐘410
必須是低的。

在一具體實例中，使用數個CAM，每一個均具有一相關
的循環和鎖定邏輯單元，以形成一具有複數個組的較大快
取記憶體。每一組實現在該組內的該循環和鎖定結構，並
且獨立於所有其它的組。

在前述規格書中，已參考其特殊具體實例來敘述本發
明。然而，很明顯地可對其做各種改良和改變而不偏離如
在所附的專利申請範圍內所說明的本發明較廣義的精神和
範疇。據此，應以解釋而非限制的觀念來看待該說明書和
附圖。



圖式簡單說明

煩請委員明示91年6月11日所提之修正本有無變更實質內容是否准予修正。

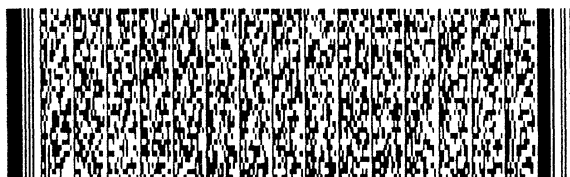
四、中文發明摘要 (發明之名稱：執行循環及鎖定快取取代結構之方法及裝置)

第一複數個暫存器是離菊環式的連在一起，每一個暫存器結合一特別的快取線。類似地，第二複數個暫存器是離菊環式的連在一起，每一個暫存器結合一快取線。該第一離菊環定義一快取線的填入順序，並且該第二離菊環定義一快取線的鎖定順序。

煩請委員明示
修正本有無變更實質內容是否准予修正。
91年6月11日

英文發明摘要 (發明之名稱：METHOD AND APPARATUS TO PERFORM A ROUND ROBIN AND LOCKING CACHE REPLACEMENT SCHEME)

A first plurality of registers are daisy chained together with each register associated with a particular cache line. Similarly, a second plurality of registers are daisy chained together with each register associated with a cache line. The first daisy chain defines a fill order of cache lines and the second daisy chain defines a lock order for the cache lines.



六、申請專利範圍

1. 一種用於快取管理之裝置，包括：

第一複數個門鎖，一起耦合在第一位移暫存器內，該第一複數的每一個門鎖結合一快取記憶體的一條線，該暫存器定義該快取線的填入順序；及

第二複數個門鎖，一起耦合在第二位移暫存器內，該第二複數的每一個門鎖結合一快取線，該暫存器定義該快取線的鎖定順序。

2. 如申請專利範圍第1項之裝置，尚包括：

一緩衝器，以放大該第一複數的第一啟動暫存器輸出，以驅動該第一複數個門鎖內每一個其它暫存器的輸入。

3. 如申請專利範圍第2項之裝置，其中在該第一複數中的每一個其它暫存器僅驅動在該複數個門鎖中其後繼者的一輸入。

4. 如申請專利範圍第1項之裝置，其中該第一複數個門鎖和該第二複數個門鎖的數目不同。

5. 如申請專利範圍第1項之裝置，其中該第一複數個門鎖的第一起始暫存器結合一快取線，在位址上與該第二複數第二起始暫存器結合的第二快取線的位址差異最大。

6. 如申請專利範圍第5項之裝置，尚包括：

組合性的邏輯，耦合第一和第二複數個門鎖，使得第二填入線與下一個鎖定線擴及同一空間。

7. 如申請專利範圍第1項之裝置，其中該第一複數個門鎖中僅一門鎖具有扇出(fanout)大於3。

8. 如申請專利範圍第1項之裝置，其中該快取記憶體為



六、申請專利範圍

一 轉換旁視緩衝器(TLB)。

9. 如申請專利範圍第1項之裝置，其中要被鎖定的線是由該前一個鎖定暫存器位元內邏輯的1和該目前位元內邏輯的零同時存在所決定。

10. 如申請專利範圍第1項之裝置，其中該第一位移暫存器被建構為一循環緩衝器。

11. 如申請專利範圍第10項之裝置，其中在該第一位移暫存器內循環位移的長度是透過設定在該第二位移暫存器內的位元所決定。

12. 如申請專利範圍第1項之裝置，其中每一個門鎖包括一主從正反器。

13. 一種用於快取管理之系統，包括：

一 內容可定址記憶體陣列(CAM)；

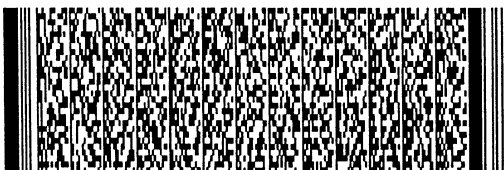
一 隨機存取記憶體(RAM)耦合至該CAM；及

控制邏輯，耦合至該CAM，使得該CAM鎖定該RAM的指定線，另一方面對於在該RAM內未鎖定的線執行一循環取代結構。

14. 如申請專利範圍第13項之系統，其中該控制邏輯包括：

第一複數個門鎖，一起耦合在一離菊環內，該複數個的每一個門鎖與該RAM的一線結合，該離菊環定義該RAM線的填入順序；及

第二複數個門鎖，一起耦合在一離菊環內，該第二複數個的每一個暫存器與一快取線結合，該離菊環定義該快取



六、申請專利範圍

線的鎖定順序。

15. 一種用於快取管理之方法，包括：

定義一鎖定起始線；

定義一填入起始線，與該鎖定起始線有一段距離；及

每次載入一鎖定时，將一填入指示器重新設定至該填入起始線。

16. 如申請專利範圍第15項之方法，尚包括：

改變一鎖定指示器，以指示一條離該填入起始線只有一線之隔的線，對於被載入的鎖定線起反應。

17. 如申請專利範圍第15項之方法，尚包括：

在第一填入時填入該填入起始線；及

在第二填入時填入最接近該鎖定起始線的未鎖定線。

18. 一電腦可讀取之儲存媒介，包括可執行的電腦程式指令，當執行後造成一數位處理系統執行一種方法，包括：

將在一快取記憶體載入鎖定資料內的鎖定模式起始至一快取線內；及

鎖定該快取線；及

提取該快取記憶體至填入模式。

