



[12] 发明专利说明书

专利号 ZL 03813949.9

[45] 授权公告日 2009年3月25日

[11] 授权公告号 CN 100472942C

[22] 申请日 2003.4.25 [21] 申请号 03813949.9

[30] 优先权

[32] 2002.4.25 [33] US [31] 10/133,924

[86] 国际申请 PCT/US2003/012806 2003.4.25

[87] 国际公布 WO2003/092151 英 2003.11.6

[85] 进入国家阶段日期 2004.12.15

[73] 专利权人 塞乐丝半导体公司

地址 美国哥伦比亚

[72] 发明人 阿兰·D·德维尔比斯

[56] 参考文献

US5214677A 1993.5.25

CN1205577A 1999.1.20

审查员 刘邵频

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 付建军

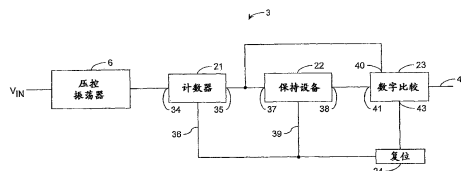
权利要求书 3 页 说明书 9 页 附图 5 页

[54] 发明名称

将模拟输入电压转换为输出电压的解调器和方法

[57] 摘要

解调器(3)将电压输入“VIN”转换为输出电压。解调器(3)具有压控振荡器(6)、计数器(21)、保持设备(22)。VCO(6)产生具有与模拟输入电压“VIN”成比例的频率的信号。计数器(21)对通过VCO(6)产生的信号的每个循环进行计数并输出表示循环计数的计数信号。保持设备(22)保持该计数信号并产生所保持的计数信号。数字比较设备(23)比较计数信号和所保持的计数信号并产生数字输出(42)。



1. 一种将模拟输入电压转换为输出电压的解调器，该解调器包括：

(a) 被构造成产生具有与模拟输入电压成比例的频率的信号的压控振荡器；

(b) 被构造成对通过压控振荡器产生的信号的每个循环进行计数并输出表示循环计数的计数信号的计数器；

(c) 被构造成保持计数信号并产生所保持的计数信号的保持设备，和

(d) 被构造成比较计数信号和所保持的计数信号并产生数字输出的数字比较设备。

2. 根据权利要求 1 所述的解调器，其中保持设备从包括触发器、采样保持电路、存储器和锁存器的组中选择。

3. 根据权利要求 1 所述的解调器，其中模拟输入电压与通过二进制模式调制的载波信号的幅值成比例，并且输出电压包括对应于调制该载波信号的二进制模式的二进制数据流。

4. 根据权利要求 1 所述的解调器，其中向该解调器提供电源电压源和复位时钟，并且其中

(a) 所述压控振荡器具有输入端子和输出端子，模拟输入电压被施加到该输入端子；

(b) 所述计数器具有输入端子、输出端子和复位端子，该输入端子耦合到压控振荡器的输出端子，该复位端子连接到复位时钟；

(c) 所述保持设备具有输入端子、输出端子和复位端子，该输入端子连接到计数器的输出端子，该复位端子耦合到复位时钟；和

(d) 所述数字比较设备具有第一和第二输入端子、输出端子和复位端子，该第一输入端子连接到保持设备的输出，该第二输入端子连接到计数器的输出，以及复位端子连接到复位时钟，该数字比较设备被构造成在输出端子上提供数字输出。

5. 根据权利要求4所述的解调器,其中保持设备从包括触发器、采样保持电路、存储器和锁存器的组中选择。

6. 根据权利要求4所述的解调器,其中压控振荡器包括:

(a) 具有输入端子、输出端子和复位端子的施密特触发器,该复位端子耦合到复位时钟;

(b) 具有第一和第二端子的存储电容器,该第一端子连接到电源,该第二端子耦合到施密特触发器的输入;

(c) 具有源极端子、漏极端子和栅极端子的第一晶体管,该漏极端子耦合到电容器的第二端子和施密特触发器的输入,该源极端子耦合到地,以及该栅极耦合到输入电压;和

(d) 具有源极端子、漏极端子和栅极端子的第二晶体管,该漏极端子耦合到电容器的第二端子和施密特触发器的输入,该源极端子耦合到电源,以及栅极耦合到施密特触发器的输出。

7. 根据权利要求4所述的解调器,其中模拟输入电压与通过二进制模式调制的载波信号的幅值成比例,以及输出电压包括对应于调制载波信号的二进制模式的二进制数据流。

8. 一种将模拟输入电压转换为输出电压的方法,该方法包括:

(a) 产生具有与模拟输入电压成比例的频率的电压信号;

(b) 对电压信号的循环进行计数并产生表示循环计数的计数信号;

(c) 保持计数信号;

(d) 使循环计数复位;

(e) 对电压信号的循环进行计数并产生表示循环次数的计数信号;

(f) 比较该计数信号和所保持的计数信号;和

(g) 从该计数信号与所保持的计数信号的比较中产生输出电压。

9. 根据权利要求8所述的方法,其中高于所保持的计数信号的计数信号在输出电压中产生正跃迁。

10. 根据权利要求8所述的方法,其中低于所保持的计数信号的

计数信号在输出电压中产生负跃迁。

11. 根据权利要求 8 所述的方法，其中与所保持的计数信号相同的计数信号在输出电压中不产生跃迁。

12. 根据权利要求 8 所述的方法，其中模拟输入电压与通过二进制模式调制的载波信号的幅值成比例，并且产生输出电压包括产生对应于调制该载波信号的二进制模式的二进制数据流。

将模拟输入电压转换为输出电压的解调器和方法

技术领域

本发明一般涉及解调，更具体地说，涉及一种利用数字电路的解调器电路。

背景技术

射频标识 (RFID) 应答器 (标签) 通常结合 RFID 基站一起使用，一般应用于比如库存量控制、安全保卫、信用卡和个人识别的应用中。在 RFID 标签进入基站的读范围时，基站发射给在 RFID 标签中的电路提供功率的载波信号。在标签和基站之间的数据通信通过以二进制数据模式调制载波信号的振幅 (通常振幅键控) 实现。为此，RFID 标签通常是集成电路，这种集成电路尤其包括用于耦合辐射场的天线元件、形成在载波频率上谐振的电路的调谐电容器、将 AC 载波信号转换为 dc 功率的整流器和从载波信号的包络线中抽取数据模式的解调器。

如果以足够低的成本制造 RFID 标签，则 RFID 标签在对成本敏感的应用场合中也比较有用，这些应用场合比如有产品定价、行李探测、包裹探测、贵重器材标识、纸币验证和动物标识，等等。与在这些应用场合中使用的常规系统 (比如条形码识别系统) 相比，RFID 标签具有非常大的优点。例如，可以快速地读取以 RFID 标签标记的吊舱装满了物品而不用处理每件物品，而在使用条形码系统时必须分别处理它们。与条形码不同的是，RFID 标签提供了更新关于标签的信息的能力。然而，如今的 RFID 技术对于在这些应用场合中广泛使用还太昂贵。

造成常规 RFID 标签的高成本的一个因素是由于使用了模拟电路造成集成电路的尺寸。具体地，对包络载波频率的二进制模式进行解调的电路通常使用模拟电路比如运算放大器和电压基准。这种电路使

用精确的电容器和电阻器，这些电容器和电阻器具有相对较大的尺寸并且与数字电路的效率不成比例。此外，这种电路的设计要求非常精确的电路模型，这种电路模型通常仅可用于成熟的集成电路技术。因此，RFID 标签通常不能使用最新的且最小的处理技术制造，而这些技术有利于不使用模拟电路的数字电路。

与在常规的 RFID 设计技术中使用的解调器相关的另一问题是对尖峰信号的敏感性。附图 1 所示为典型的蒸馏和解调器电路，如在已有技术中所公知。电感器 104 和电容器 105 在载波频率下谐振。包络波形通过使用带通滤波器 109 在节点 102 上隔离。然后信号通过电容器交流耦合到节点 108，在比较器 107 的输入上在负或正方向上形成短脉冲。高脉冲指示在包络线中的“高态”，而低脉冲指示在包络线中的“低态”。差分放大器 107 比较这些脉冲和电压基准 110，并在输出 103 上产生“高态”或“低态”。实质上，这个电路通过感测包络线信号的上升/下降时间隔离包络线数据信号。由于噪声尖峰信号一般具有快速上升和下降时间，因此噪声尖峰易于形成有错误的输出状态。此外，由于输出 103 仅改变在载波信号的包络线数据的下一上升/下降时间上的状态，因此输出 103 仍然保持在不正确的状态直到检测到下一数据跃迁。

发明内容

根据本发明的原理，解调器将电压输入转换为输出电压。解调器具有压控振荡器（VCO）、计数器、保持设备和数字比较设备。VCO 产生具有与模拟输入电压成比例的频率的信号。计数器对通过 VCO 产生的信号的每个循环进行计数并输出表示循环计数的计数信号。保持设备保持计数信号并产生所保持的计数信号。数字比较设备比较计数信号和所保持的计数信号并产生数字输出。

根据本发明的原理，VCO 具有输入端子和输出端子。计数器具有输入端子、输出端子和复位端子。保持设备具有输入端子、输出端子和复位端子。数字比较设备具有第一和第二输入端子和复位端子。电压输入耦合到 VCO 的输入端子，VCO 的输出端子耦合到计数器的

输入端子。计数器的输出端子耦合到保持设备的输入端子。计数的输出端子和保持设备的输出端子耦合到数字比较设备的第一输入端子和第二输入端子。计数器的复位端子、保持设备和数字比较设备都耦合到复位时钟。

根据本发明的进一步原理，VCO 包括 n-沟道 MOSFET 器件、存储电容器、p-沟道 MOSFET 和施密特触发器。n-沟道 MOSFET 器件具有源极、漏极和栅极端子。存储电容器具有第一和第二端子。p-沟道 MOSFET 具有漏极、源极和栅极。施密特触发器具有输入、输出和复位端子。n-沟道 MOSFET 的栅极耦合到输入电压，源极耦合到地端，以及漏极耦合到存储电容器的第一端子。存储电容器的第二端子耦合到电源。p-沟道 MOSFET 的漏极耦合到存储电容器的第一端子和施密特触发器的输入端子。p-沟道器件的源极耦合到电源。p-沟道 MOSFET 的栅极耦合到施密特触发器的输出。施密特触发器的输出提供了输出电压。

附图说明

附图 1 所示为利用电压基准和运算放大器的常规解调器的已有技术设计的示意性电路图。

附图 2 所示为本发明的解调器的一个实施例的框图。

附图 3 所示为本发明的一个实施例的示意性附图，说明了附图 2 的 VCO 的一个实施例的细节。

附图 4 所示为在附图 3 中提供的示意性电路图中所选择的节点的时序图。

附图 5 所示为本发明的一个实施例的示意性附图，说明了附图 2 的 VCO 的一种变型实施例的细节。

具体实施方式

附图 2 所示为用于将模拟输入电压转换为输出电压的本发明的解调器 3 的一个实施例的框图。解调器 3 包括压控振荡器 (VCO) 6、计数器 21、保持设备 22 和数字比较设备 23。给解调器 3 输送模拟输入电压 V_{in} 和复位时钟 24。

VCO 6 是被构造成产生具有与模拟输入电压 V_{in} 成比例的频率的信号的装置或系统。在一种实施例中，VCO 6 具有输入端子和输出端子。模拟输入电压 V_{in} 施加给输入端子。在输出端子上产生具有与模拟输入电压 V_{in} 成比例的频率的 VCO 信号。

计数器 21 是被构造成对通过 VCO 产生的信号的每个循环进行计数并输出表示循环计数的计数信号的任何装置或系统。虽然计数器 21 在附图 2 中表示为单个计数器，但是计数器 21 也可以通过一个或多个计数器或用作计数器的元件的组合实施。

在一个实施例中，计数器 21 具有输入端子 34、输出端子 35 和复位端子 36。输入端子 34 耦合到 VCO 6 的输出端子。复位端子 36 连接到复位时钟 24。计数信号在输出端子 35 上输出。

保持设备 22 是被构造成保持计数信号并产生所保持的计数信号的任何装置或系统。保持设备 22 的实例包括触发器、采样和保持电路、存储器和锁存器。虽然保持设备 22 在附图 2 中表示为单个保持设备，但是保持设备 22 也可以通过一个或多个保持设备 22 或用作保持设备的元件的组合实施。

在一个实施例中，保持设备 22 具有输入端子 37、输出端子 38 和复位端子 39。输入端子 37 连接到计数器 21 的输出端子 35。复位端子 39 耦合到复位时钟 24。

数字比较设备 23 是被构造成比较计数信号和被保持的计数信号并产生数字输出的任何装置和系统。虽然数字比较设备 23 在附图 2 中被表示为单个数字比较设备，但是数字比较设备 23 也可以通过一个或多个数字比较设备 23 或用作数字比较设备的元件的组合实施。

在一个实施例中，数字比较设备 23 具有第一输入端子 41、第二输入端子 40、输出端子 42 和复位端子 43。第一输入端子 41 连接到保持设备 22 的输出 38。第二输入端子 40 连接到计数器 21 的输出 35。复位端子 43 连接到复位时钟 24。数字输出在输出端子 42 上产生。

在一个实施例中，模拟输入电压 V_{in} 与由二进制模式调制的载波信号的幅值成比例。在输出端子 42 上的数字输出电压包括对应于调制

载波信号的二进制模式的二进制数据流。

在附图 3 中所示的是整流器 2 和解调器 3。包括整流器 2 以说明解调器 3 的操作。整流器 2 不是本发明的一个整体部分。在一个实施例中，解调器 3 和至少一部分整流器 2 都实施在集成电路芯片中。附加电路（未示）也可以以具有解调器 3 的集成电路实施。在一个实施例中，解调器 3 作为用于射频识别（RFID）应答器（标签）被包括在内。解调器 3 的其它使用也是可能的。

在一个实施例中，VCO 6 包括施密特触发器 20、存储电容器 18、第一晶体管 7 和第二晶体管 19。施密特触发器 20 具有输入端子 32、输出端子 31 和复位端子 33。复位端子耦合到复位时钟 24。

第一晶体管 7 是用作电子或光学开关的任何装置或设备。虽然第一晶体管 7 在附图 3 中表示为单个晶体管，但是第一晶体管 7 也可以通过一个或多个晶体管或用作晶体管的元件的组合实施。在一个实施例中，晶体管具有源极端子、漏极端子和栅极端子。漏极端子耦合到施密特触发器 20 的输入 32 和电容器 18。源极端子耦合到地端。栅极耦合到输入电压 V_{in} 。

施密特触发器 20 具有输入端子 32、输出端子 31 和复位端子 33。输入端子 32 连接到第一晶体管 7 的漏极。输出端子 31 连接到晶体管 19 的栅极 28。复位端子 33 连接到复位时钟 24。

第二晶体管 19 是用作电子或光学开关的任何装置或设备。虽然第二晶体管 19 在附图 3 中表示为单个晶体管，但是第二晶体管 19 也可以通过一个或多个晶体管或用作晶体管的元件的组合实施。在一个实施例中，第二晶体管 19 是 MOSFET 并具有栅极端子 28、源极端子 29 和漏极端子 30。漏极端子 30 耦合到施密特触发器 20 的输入 32。源极端子 29 耦合到电源电压 V_{dd} 。栅极端子 28 耦合到施密特触发器 20 的输出 31。

电容器 18 是用作存储和释放电荷的电容器的任何装置或设备。虽然电容器 18 在附图 3 中表示为单个电容器，但是电容器 18 也可以通过一个或多个电容器或用作电容器的元件的组合实施。在一个

实施例 中, 电容器 18 耦合在第二晶体管 19 的漏极端子 30 和电源电压 Vdd 之间。电容器 18 的一个端子耦合到第二晶体管 19 的源极端子 30、第一晶体管 7 的漏极和施密特触发器 20 的输入端子 32。电容器 18 的其它端子耦合到电源电压 Vdd。

在一个实施例中, 整流器 2 的输入是从基站辐射的载波频率, 其中载波幅值由数据模式包络。通过数据模式包络的载波幅值的一个实例是振幅键控。整流器 2 的一个输出是在节点 4 产生的整流输出。经整流的输出用于产生通过晶体管 5 的跟踪电流并在解调器 3 的输入上通过第一晶体管 7 形成镜向。整流器 2 的另一输出是电源输出 Vdd, 它可以用作整流器 2 和解调器 3 的直流电源以产生电源 (Vdd)。整流器 2 包括天线元件 9、调谐电容器 10、耦合电容器 11、第一整流二极管 12、第二整流二极管 13、整流二极管组 14、晶体管 5 和存储电容器 17。解调器 3 包括第一晶体管 7、第二电容器 18、晶体管 19、施密特触发器 20、计数器 21、保持设备 22、数字比较设备 23 和复位时钟 24。

在一个实施例中, 天线元件 9 具有第一和第二端子。天线元件 9 的第一端子耦合到谐振节点 26。天线元件 9 的第二端子连接到地端 27。

在一个实施例中, 天线元件 9 是电感器。选择天线元件 9 和电容器 10 以谐振载波频率。在本实施例中天线元件 9 在集成电路芯片的外部, 但也可以是在集成电路内部。此外, 集成电路处理可以包括高磁导率层以增加谐振元件的电感。

在一个实施例中, 天线元件 9 是在纸或其它媒介上印刷的导电墨。在变型实施例中, 天线元件 9 是任何其它类型的电感性元件。

调谐电容器 10 与在谐振节点 26 和地端 27 之间的天线元件 9 并联。在一个实施例中, 调谐电容器 10 具有第一和第二端子。调谐电容器 10 的第一端子连接到天线元件 9 的第一端子, 调谐电容器 10 的第二端子连接到天线元件 9 的第二端子。在整流器 2 被带到辐射适当的载波频率的基站的范围内时, 在谐振节点 26 上的电压谐振。在一个实施例中电容器 10 在集成电路的内部, 但是它也可以在集成电路的外

部。

在一个实施例中，调谐电容器 10 是在纸或其它媒介上印刷的导电墨。在变型实施例中，调谐电容器 10 是任何其它类型的电容性元件。

耦合电容器 11 连接到谐振节点 26，将该电压耦合到节点 4。在一个实施例中，耦合电容器 11 具有第一和第二端子。耦合电容器 11 的第一端子连接到天线元件 9 的第一端子，耦合电容器 11 的第二端子连接到第一整流二极管 12、第二整流二极管 13 和整流二极管组 14。

在一个实施例中，耦合电容器 11 是在纸或其它媒介上印刷的导电墨。在变型实施例中，耦合电容器 11 是任何其它类型的电容性元件。

第一整流二极管 12 耦合在耦合电容器 11 的第二端子和地端 27 之间。在一个实施例中，第一整流二极管具有阳极端子和阴极端子。阳极端子连接到地端并且阴极端子连接到耦合电容器 11 的第二端子。经整流的输出在阴极端子上产生。

在负电压耦合到节点 4 时对第一整流二极管 12 正偏压，由此将在节点 4 上的电压保持在不低于在地端 27 之下的一个二极管压降。在节点 4 上的电压可以实现与谐振节点 26 相同的峰-峰幅值，即常规整流器的经整流的输出的峰-峰幅值的两倍。

第二整流二极管 13 连接在整流的输出节点 4 和电源输出 Vdd 之间。在一个实施例中，第二整流二极管 13 具有阳极端子和阴极端子。阳极连接到耦合电容器 11 的第二端子和阴极端子连接到存储电容器 17。

整流二极管组 14 连接在整流的输出节点 4 和晶体管 5 的漏极和栅极之间。在一个实施例中，整流二极管组 14 具有阳极端子和阴极端子。整流二极管组 14 的阳极连接到耦合电容器 11 的第二端子和阴极连接到晶体管 5 的栅极和漏极。晶体管 5 的源极连接到地端 27。在载波信号的幅值、整流器 2 到基站的近度或辐射场的耦合效率产生足够大到对集成电路部件造成永久损坏的电压的情况下，整流二极管组 14 限制在节点 4 上电压。在晶体管 5 的栅极上产生的电压施加到第一晶体管 7 的栅极，由此产生与通过第一晶体管 7 的电流相同的电流流经

晶体管 5。

存储电容器 17 耦合在电源输出 Vdd 和地端 27 之间。在一个实施例中，存储电容器 17 具有第一和第二端子。第一端子连接到第二整流二极管 13 的阴极端子和第二端子连接到地端 27。

在节点 4 上的电压比在电源输出 Vdd 上电压更正时，第二整流二极管 13 将正偏压，由此将电容器 17 充电到节点 4 峰值电压减去一个二极管压降。电容器 17 的电荷用作整流器 2 和解调器 3 的电源，并以载波频率更新。

附图 4 所示为解调器 3 的操作。在操作中，在复位时钟 24 变低时，施密特触发器 20 启动，将计数器 21 的输出复位到 0。施密特触发器 20 的输出接通第二晶体管 19，由此使电容器 18 和施密特触发器 20 的充电输入端子 32 短路到电源电压 Vdd。在附图 4 中的标记 50 和 52 分别为在波形图上在该时间点上复位时钟 24 和施密特触发器 20 的输入端子 32 的电平。在复位时钟 24 返回到高态时，施密特触发器 20 的输入端子 32 在电源电压 Vdd 上向左浮动。

第一晶体管 7 的栅极连接到晶体管 5 的栅极，由此产生通过第一晶体管 7、以在节点 4 上的解调的信号跟踪的电流。随着在第一晶体管 7 上电压改变时，通过第一晶体管 7 拉动的电流相应地改变。由于在电容器 18 上的电荷浮动，因此所拉的电流按时间函数减小在施密特触发器 20 的输入端子 32 上的电压。这个在施密特触发器 20 的输入端子 32 上的电压降在附图 4 中以标号 54 标记。注意，在附图 4 上的时标不成比例。与整个循环周期相比，施密特触发器 20 的输入端子 32 停留在 Vdd 上的时间长度非常短，为说明的目的在附图 4 中进行了放大。

在施密特触发器 20 的输入端子 32 降低到给定的电压电平阈值时，施密特触发器 20 触发，使在第二晶体管 19 的栅极端子 28 上的电压变为低态，由此再次使电容器 18 通过第二晶体管 19 短路并将施密特触发器 20 的输入端子 32 返回到电源电压 Vdd。同时，施密特触发器输出 34 使计数器 21 递增。在这个时间点上施密特触发器 20 的输入

端子 32 和第二晶体管 19 的栅极端子 28 的波形在附图 4 中分别以 56 和 58 标记。在附图 4 中的标记 60 表示计数器 21 的对应的增量。

现在施密特触发器 20 的输出切断第二晶体管 19, 使施密特触发器 20 的输入端子 32 再次在电源电压 Vdd 上浮动。重复这个循环直到来自复位时钟 24 的脉冲的下一边缘, 在每次启动施密特触发器 20 时使计数器 21 递增。

在复位时钟 24 变为低态时, 计数器数据被锁存到保持设备 22, 计数器 21 复位到 0, 施密特触发器 20 被启动。施密特触发器 20 的输入端子 32 由此被充电到电源电压 Vdd。在保持设备 22 中现在被锁存的计数表示数据输出 12, 即在 RESET 脉冲之间的时间中 Vin 18 的数字表示。然后重复上述的循环周期。

在下一周期中在计数器 21 中的数据被传递到保持设备 22 之前, 应用数字比较设备 23 比较在计数器 21 和保持设备 22 中的数据。在这个时间点上, 保持设备 22 保持来自先前周期的数据。因此, 数字比较设备 23 的输出 42 可用于确定在先前周期和当前周期之间的包络数据中是否发生了负或正数据跃迁。具体地, 如果在计数器 21 中的数字值高于在保持设备中的数据, 则在包络数据中发生了正跃迁。类似地, 如果在计数器 21 中的数字值低于在保持设备中的数据, 则在包络数据中发生了负跃迁。如果在计数器 21 和保持设备 22 中的数字值相同, 则在包络数据中没有发生跃迁。

附图 5 所示为变型实施例的示意性说明, 其中解调器 3 使用象在附图 1 中所示的常规整流器 2。整流器 2 具有耦合到带通滤波器 109 的天线 104 的两个端子。通过在带通滤波器 109 的输出和地端之间耦合整流二极管组 14 和电流镜晶体管 5 的串联连接, 在第一晶体管 7 的栅极上产生解调器的输入电压。

前述的描述仅是本发明的实例。在不脱离本发明的前提下本领域普通技术人员可以设计各种变型和改变。具体地说, 只要装置连接或耦合到另一装置, 附加装置都可以提供在两个连接的装置之间。因此, 本发明包含在附加的权利要求的范围内的所有这种变型、修改和改变。

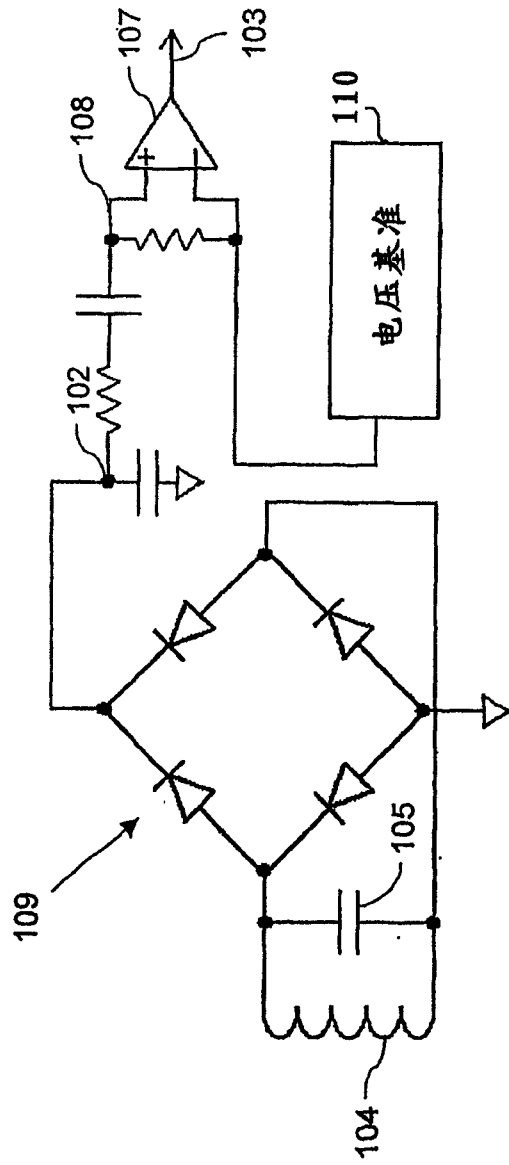


图1
(现有技术)

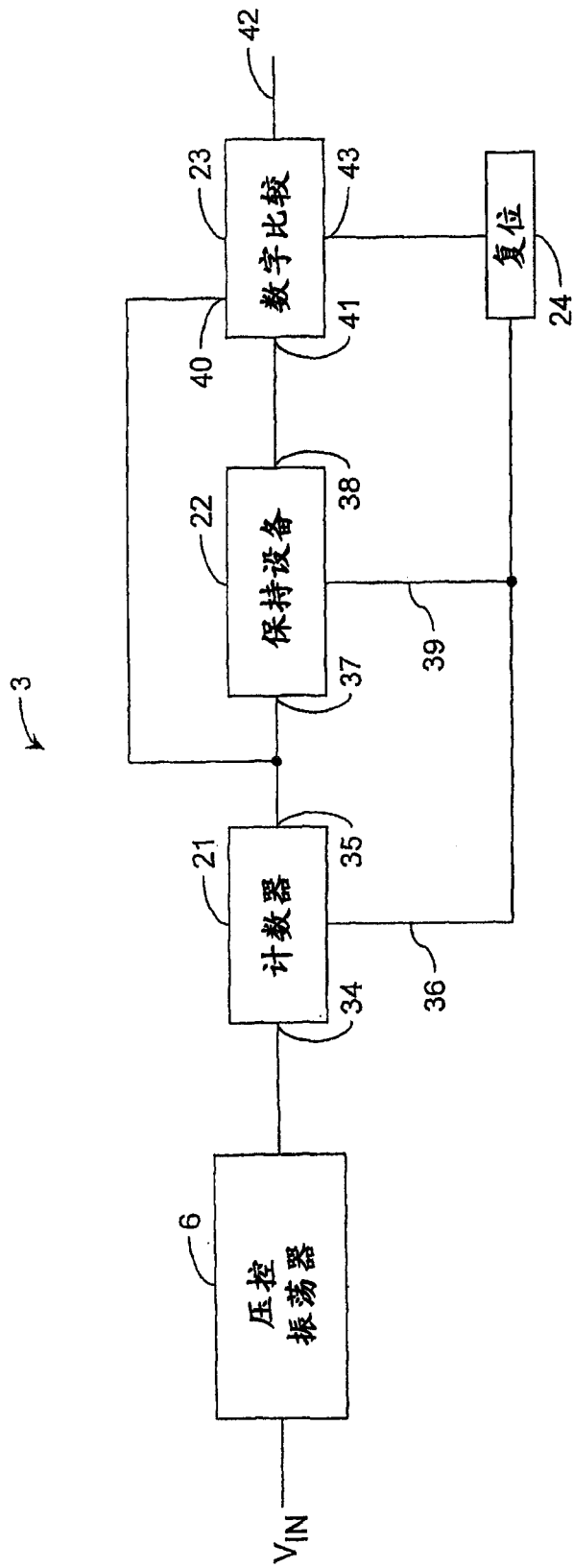


图2

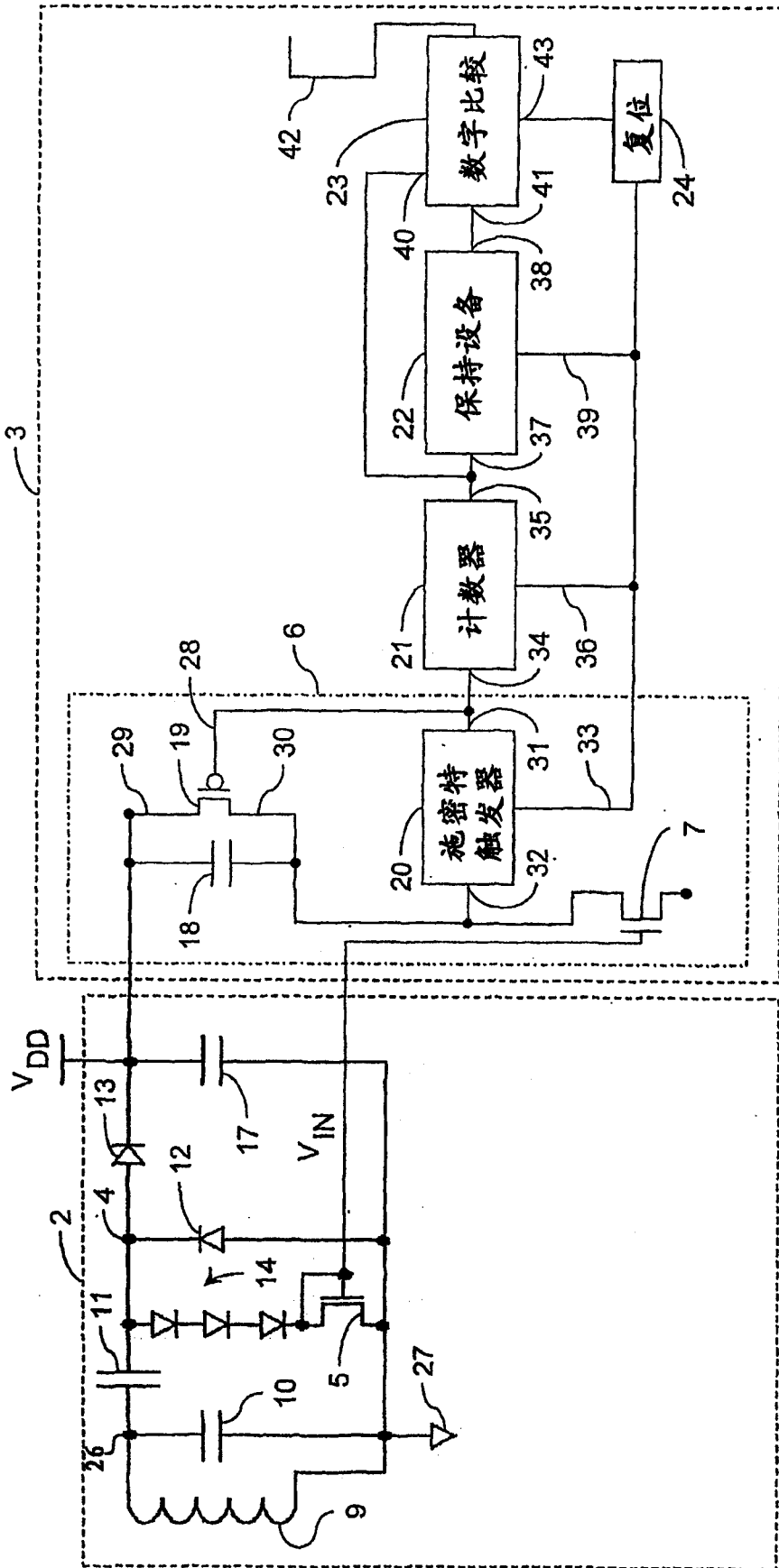


图3

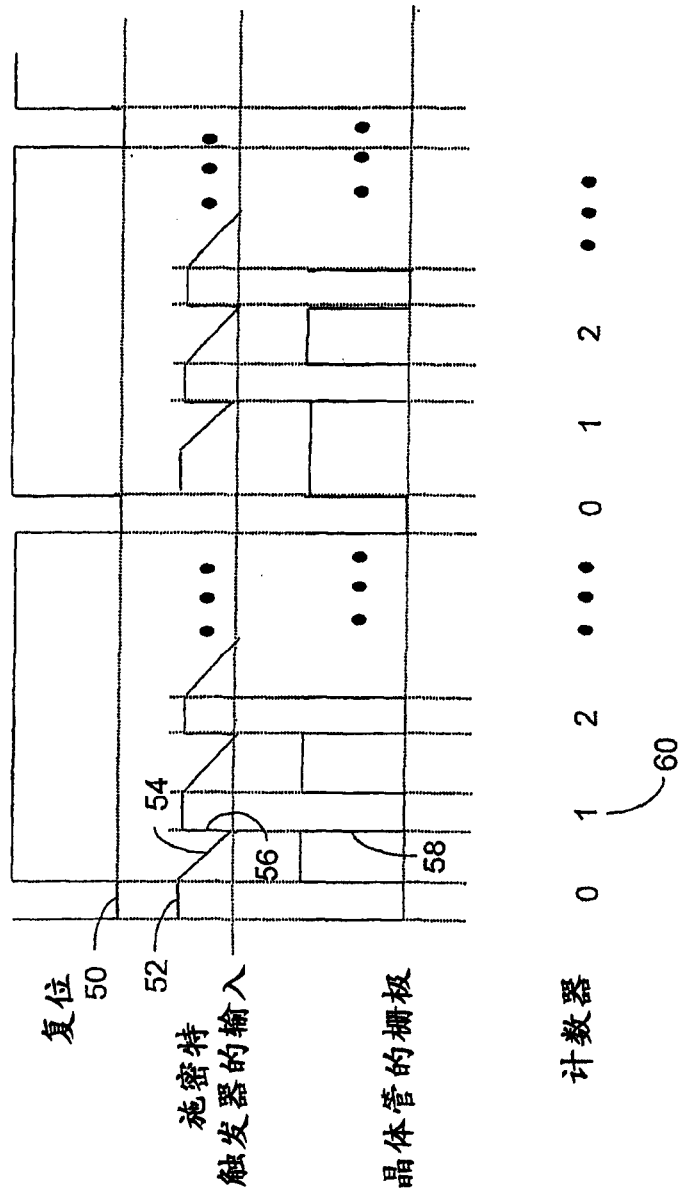


图4

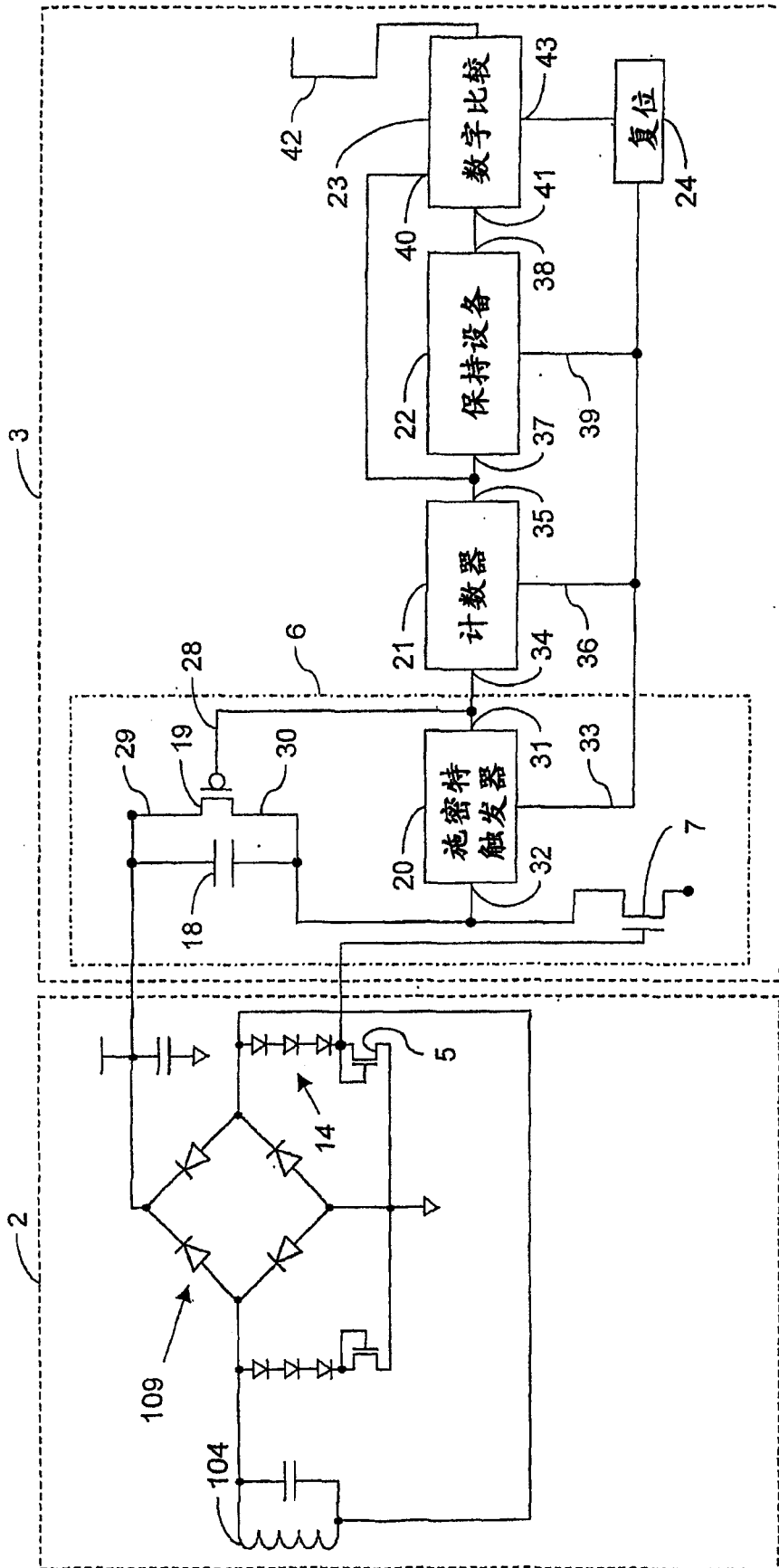


图5