

210399

公告本

申請日期	82.2.22
案號	82101245
類別	H01U 2/205

A4
C4

(以上各欄由本局填註)

發明
新型 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明名稱 創作	中文	化合物半導體裝置
	英文	Compound Semiconductor Device
二、發明人 創作人	姓名	平松 茂
	籍貫 (國籍)	日本
	住、居所	東京都品川區北品川6丁目7番35號 ソニー株式會社內
三、申請人	姓名 (名稱)	(ソニー株式會社) 新力股份有限公司
	籍貫 (國籍)	日本
	住、居所 (事務所)	東京都品川區北品川6丁目7番35號
	代表人 姓名	大賀典雄

裝

訂

線

五、發明說明(1)

[產業上之利用分野]

本發明係有關化合物半導體裝置，更詳言之，係關於高電子移動率電晶體(High Electron Mobility Transistor，下面稱HEMT)。

[先前技術]

為一種FET(Field Effect transistor，場效應電晶體)，利用GaAs/n-AlGaAs選擇摻雜異質結合之HEMT正為實現超高速電腦或高速信號處理系統而被開發。在HEMT中，係藉由異質結合將電子運行之結晶區域(例如undoped GaAs)與供應電子之結晶區域(例如矽摻雜之n-AlGaAs)以異質結合法加以分離，減少施體雜質所造成之電子擾亂現象以增快電子之移動率並提高其高速性。

圖2表示先前之GaAs/AlGaAs系列之HEMT之裝置構造之概要圖。在半絕緣性之GaAs基板10上面形成非摻雜之GaAs層30作為能動層，然後再於該能動層上形成Si摻雜之n-AlGaAs層32做為電子供應層。該項n-AlGaAs層32上面形成Si摻雜之n-GaAs層34，另外更形成閘極部36，源極部38及汲極部40。圖2中附有斜線部分為歐姆區域。

實現FET動作之電流通道(current channel)(圖2中以虛線所示者)之形成是根據一種現象，即由添加於電子供給層n-AlGaAs層32之施體雜質所供給之電子往能動層，即非摻雜GaAs層30移動，而蓄積於n-AlGaAs層32與非摻雜GaAs層30之接合界面附近之非摻雜GaAs層30之現

五、發明說明(2)

象。該電流通道即所謂二次元電子通道。

為將HEMT高性能化，閘極長度 L_g 有越來越短之趨勢。但是如將閘極長度 L_g 縮短，則2次元電子會滲出基板例而降低互導(mntual conductance) g_m ，進而降低HEMT之特性，即所謂短通道效應之問題。為防止該短通道效應，下面三種技一直受到探討：

(A) 將能動層由非摻雜GaAs層置換為p-AlGaAs層。

(B) 將能動層設為InGaAs失真層通道。

(C) 在能動層，即非摻雜GaAs層中設置i-AlGaAs層以形成異質結合。

[發明欲解決之課題]

在上述(A)之技術中，因能動層中存在有摻雜故導致電子受到擾亂，而有電子移動率降低之問題。又有二次元電子載子數減少之問題。

在上述(B)之技術中，InGaAs層與n-GaAs層之晶格常數會不一樣，InGaAs層越厚，InGaAs層之失真越大。其結果有InGaAs層中晶格缺陷增加，電子移動率減少之問題發生。因此，InGaAs失真層之厚度被限制於15至20nm之臨界膜厚，無法增加InGaAs層之厚度。如此一來，在具有此種膜厚之InGaAs層中產生二次元電子之載子數減少之問題。

在上述(C)之技術中，其問題是二次元電子氣體在非摻雜GaAs層與i-AlGaAs層之異質結合界面附近被擾亂，

五、發明說明(3)

而成為電子移動率降低並發生雜音之原因。

因此，本發明之目的在提供一種高特性之化合物半導體裝置，係即使縮短閘極長度 L_g 也不會發生所謂之短通道效應者。

[解決課題之手段]

上面之目的可由本發明之化合物半導體裝置來達來，其特徵為由：

(A) 形成於基板上，其施體濃度為 $1 \times 10^{15} \leq p \leq 1 \times 10^{16} \text{ (cm}^{-3}\text{)}$ 之第1晶膜層，及

；以及

(B) 形成於該第1晶膜層上，並流通著施體濃度為 $n \leq 1 \times 10^{14} \text{ (cm}^{-3}\text{)}$ ，且 $p \leq 1 \times 10^{14} \text{ (cm}^{-3}\text{)}$ 之二次元電子之第2晶膜層所構成。

第1晶膜層之厚度宜為500~1000nm，而第2晶膜層之厚度宜為20~100nm。

[作用]

在本發明之化合物半導體裝置中，流通於第2晶膜層之二次元電子僅受到雜質之些許擾亂而已。因此，可以達成高電子移動率。此外，因設有第1晶膜層，所以可以在第1晶膜層與第2晶膜層之異質結合界面有效地封入二次元電子。因此，不易產生短通道效果。並且，二次元電子流動於離開第1晶膜層之第2晶膜層之中，所以不會發生因第1晶膜層中受子(acceptor)而引起之載

五、發明說明(4)

子數之減少。因此可以獲得高晶片載子濃度。

[實施例]

下面要參照圖式根據實施例說明本發明之化合物半導體裝置。

茲利用MOCVD法製作在圖1中表示模式之剖面構造之化合物半導體裝置，具體地說為HEMT。在半絕緣性之GaAs基板10上面形成第1晶膜層12。第1晶膜層12係由 p^- -GaAs所形成，其厚度為500nm。施體濃度為 $p=5 \times 10^{15} \text{ (cm}^{-3}\text{)}$ 。另外，在第1晶膜層12中施體濃度保持固定也可，也可以對施體濃度附以級數。

其次，在第1晶膜層12上面形成第2晶膜層14。第2晶膜層14係由 i -GaAs所形成；施體濃度為 $n=1 \times 10^{14} \text{ (cm}^{-3}\text{)}$ 且 $p=1 \times 10^{14} \text{ (cm}^{-3}\text{)}$ 。非摻雜第2晶膜層14之厚度設定成50nm。

第1晶膜層12及第2晶膜層14如以MOCVD法可將 AsH_3 與 $\text{Ga(CH}_3\text{)}_3$ 之比例控制好來形成。

然後在第2晶膜層14上面形成 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層16，更在其上面形成 $n\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層18。然後其上面形成 $n\text{-GaAs}$ 層20。然後，根據先前之HEMT製程進行元素分離，再將源/汲電極金屬(Au·Ge/Ni)真空噴鍍於 $n\text{-GaAs}$ 層20上，進行合金化以獲第2晶膜層14與歐姆接觸。然後全面塗敷照相抗蝕劑後，將T閘電極之圖案形成於照相抗蝕劑上。然後，將 $n\text{-GaAs}$ 層20及 $n\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層

五、發明說明(5)

18如圖1所示進行凹面蝕刻(recess etching)。接著，在 $n\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層18上真空噴鍍閘電極金屬(Ti-Pt-Au或Al)，形成 $L_g=0.15\mu\text{m}$ 之T字型閘電極部22，源極部24，汲極部26，以完成低雜音HEMT。另外，二次元電子通道係形成於由第2晶膜層14中之第2晶膜層與 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層16之界面到約10nm之處。

在上面實施例中，雖以MOCVD法形成各層，但也可以MBE法代替之。在半絕緣性之基板與第1晶膜層之間可以形成緩衝層。又，雖然此處係將本發明之化合物半導體裝置根據形成GaAs/AlGaAs系列異質結合之HEMT之實施例加以說明，InGaAs層具有由申請專利範圍中所述之特徵之第1及第2晶膜層形成之HEMT也包含於本發明之化合物半導體裝置中。

[發明之效果]

本發明之化合物半導體裝置，可以一邊抑制由閘極長度 L_g 之縮短而引起之短通道效應一邊減低 C_{gs} ，所以可以獲得高互導 g_m ，具有優異之低雜音特性。另外，沒有像InGaAs失真層通道之臨界膜厚之存在，故可以適用於2層之晶膜層之設定，也沒有像能動層非摻雜GaAs層中設置 $i\text{-AlGaAs}$ 層時所看到之異質結合所發生之雜音。

[圖式之簡單說明]

圖1為本發明之化合物半導體裝置之模形剖面圖。

圖2為先前之HEMT之模形剖面形。

五、發明說明(6)

[符號之說明]

10-半絕緣性基板, 12-第1晶膜層, 14-第2晶膜層,
16-i-Al_{0.3}Ga_{0.7}As層, 18-n-Al_{0.3}Ga_{0.7}As層, 20-n-
GaAs層, 22-閘電極部, 24-源電極部, 26-汲電極部。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

化合物半導體裝置)

[目的]

提供一種極特殊之化合物半導體裝置，即使將閘極長 L_g 縮短，也不會發生所謂之短通道效果。

[構成]

本發明之化合物半導體裝置係由(A)與(B)所構成。

(A) 第1晶膜層12，形成於基板10上，其施體(donor)濃度為 $1 \times 10^{15} \leq p \leq 1 \times 10^{16} \text{ (cm}^{-3}\text{)}$ ；以及

(B) 第2晶膜層14，形成於該第1晶膜層12上，由施體濃度為 $n \leq 1 \times 10^{14} \text{ (cm}^{-3}\text{)}$ ，而且 $p \leq 1 \times 10^{14} \text{ (cm}^{-3}\text{)}$ 之2次元電子在流通。

英文發明摘要(發明之名稱：Compound Semiconductor Device)

[Object] To provide a highly characteristic compound semiconductor device which will not produce so-called short channel effect even the gate length L_g is shortened.

[Structure] The compound semiconductor of the present invention is composed of :

- (a) the first epitaxial layer 12, which is formed on the substrate 10 and the donor density is $1 \times 10^{15} \leq p \leq 1 \times 10^{16} \text{ (cm}^{-3}\text{)}$, and
- (b) the second epitaxial layer 14, which is formed on the said first epitaxial layer 12 and the donor density is $n \leq 1 \times 10^{14} \text{ (cm}^{-3}\text{)}$ and $p \leq 1 \times 10^{14} \text{ (cm}^{-3}\text{)}$, wherein a two-dimensional electron travels. (Refer to Fig. 1)

日本

附註：本案已向 國(地區)申請專利、申請日期：

案號：

1992年2月25日特願平4-073167號

六、申請專利範圍

1. 一種化合物半導體裝置，其特徵為由

(A) 形成於基板上，其施體濃度為 $1 \times 10^{15} \leq p \leq 1 \times 10^{16}$ (cm^{-3}) 之第 1 晶膜層；及

(B) 形成於第 1 晶膜層上，並流通著施體濃度為 $n \leq 1 \times 10^{14}$ (cm^{-3})，且 $p \leq 1 \times 10^{14}$ (cm^{-3}) 之二次元電子之第 2 晶膜層所構成。

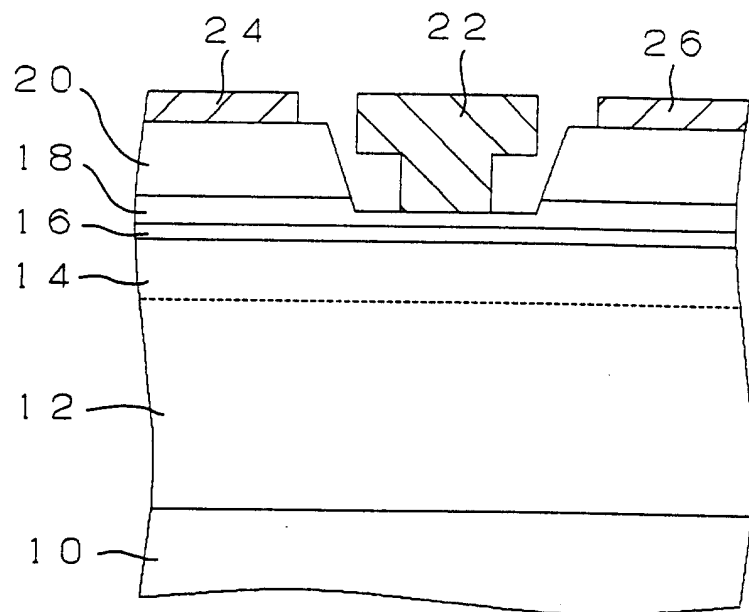
(請先閱讀背面之注意事項再填寫本頁)

裝

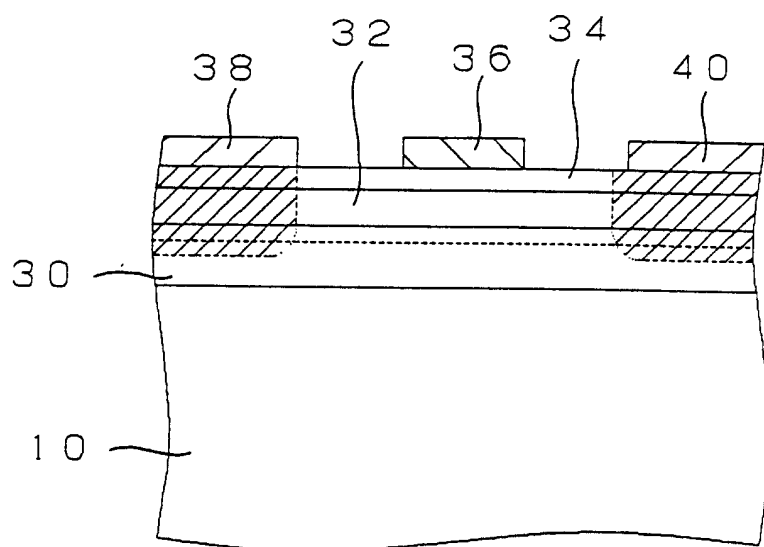
訂

210399

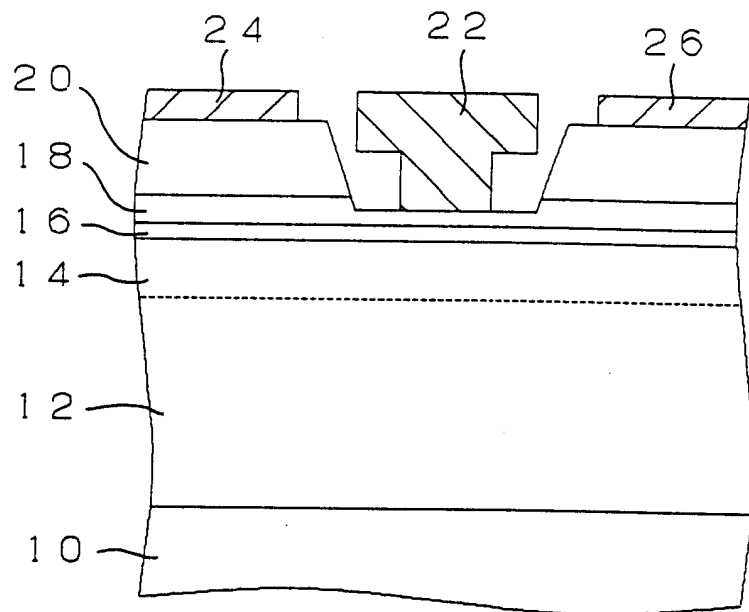
第1圖



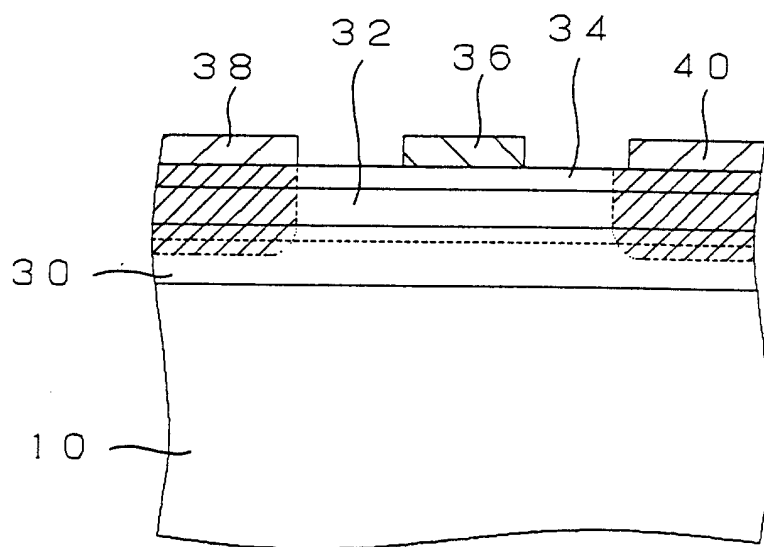
第2圖



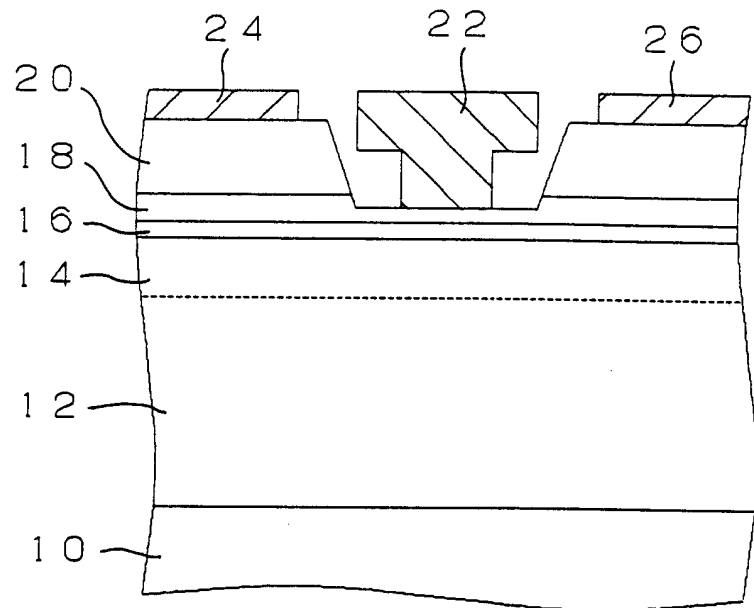
第1圖



第2圖



第1圖



第2圖

