

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4515218号

(P4515218)

(45) 発行日 平成22年7月28日(2010.7.28)

(24) 登録日 平成22年5月21日(2010.5.21)

(51) Int.Cl.

F I

G 0 6 K 19/07 (2006.01)

G 0 6 K 19/00

M

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2004-307976 (P2004-307976)	(73) 特許権者	000002185
(22) 出願日	平成16年10月22日(2004.10.22)		ソニー株式会社
(65) 公開番号	特開2006-119961 (P2006-119961A)		東京都港区港南1丁目7番1号
(43) 公開日	平成18年5月11日(2006.5.11)	(74) 代理人	100094053
審査請求日	平成19年3月1日(2007.3.1)		弁理士 佐藤 隆久
		(73) 特許権者	503121103
			株式会社ルネサステクノロジ
			東京都千代田区大手町二丁目6番2号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(74) 代理人	100089875
			弁理士 野田 茂
		(72) 発明者	青木 禎孝
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内

最終頁に続く

(54) 【発明の名称】 メモリカード

(57) 【特許請求の範囲】

【請求項1】

絶縁材料からなる薄板状の保持体と、
 前記保持体に埋設され、データの書き込みおよび／または読み出しを行うメモリ部と、
 前記保持体の表面に設けられ前記メモリ部に接続された複数の第1の接片と
を備えた、メモリカードであって、
 前記複数の第1の接片は、前記保持体の表面に並べられて配置され、前記保持体の表面
 に前記複数の第1の接片からなる列が構成され、
 前記複数の第1の接片のうちの一つは前記メモリ部に対してグランド電位を供給するた
 めのグランド端子を含んでおり、
 前記メモリ部に書き込まれるおよび／または前記メモリ部から読みだされるデータとは
 別のデータの送信および／または受信を行うデータ通信部が前記保持体に埋め込まれ、
 前記保持体の表面に前記データ通信部に接続された2つの第2の接片が設けられ、
 前記2つの第2の接片は、互いに隣り合わせになり、かつ、前記複数の第1の接片とと
 もに前記列を構成するように配置され、
 前記複数の第1の接片のうち前記第2の接片に隣り合う前記第1の接片は、前記グラン
 ド端子であり、
前記データ通信部は、該データ通信部に前記2つの第2の接片を介して接続された当該
メモリカードの外部装置に対してプラス側のデータとマイナス側のデータとによる差動形
式により前記データを送受信するものであり、

10

20

前記データ通信部に接続された2つの第2の接片の双方あるいは一方と、前記グランド端子との間で特性インピーダンスを有する伝送線路を形成することによって、前記伝送線路と該伝送線路を介して前記データを伝送する前記外部側装置との間でインピーダンス整合がとられている、

ことを特徴とする、メモリカード。

【請求項2】

前記列は複数の第1の接片のみが並べられた列部分を有し、前記2つの第2の接片は前記列部分の端部に配置されている、

ことを特徴とする請求項1記載のメモリカード。

【請求項3】

前記列は複数の第1の接片のみが並べられた列部分を有し、前記2つの第2の接片は前記列部分の端部に配置され、前記列部分の端部に位置する一つの前記第1の接片が前記グランド端子である、

ことを特徴とする請求項1記載のメモリカード。

【請求項4】

前記複数の第1の接片のうちの二つは、前記メモリ部に対してグランド電位を供給するためのグランド端子を含んでおり、

前記列は複数の第1の接片のみが並べられた列部分を有し、

前記2つの第2の接片は前記列部分の端部に配置され、

前記列部分の端部に位置する二つの前記第1の接片が前記グランド端子である、

ことを特徴とする請求項1記載のメモリカード。

【請求項5】

前記データ通信部と前記2つの第2の接片は、前記保持体の内部に埋設されたリード線により接続されており、

それら前記データ通信部、前記2つの第2の接片、前記リード線により囲まれた領域の外側における前記保持体箇所に前記メモリ部が埋設されている、

ことを特徴とする請求項1記載のメモリカード。

【請求項6】

前記複数の第1の接片のうちの一つは、前記メモリ部に対して電源を供給するための電源端子を含んでおり、

前記グランド端子および前記電源端子は、前記データ通信部にも接続されている、

ことを特徴とする請求項1記載のメモリカード。

【請求項7】

前記データ通信部は、該データ通信部に前記2つの第2の接片を介して接続されたアンテナを介して電磁波によるデータ通信を行うものである、

ことを特徴とする請求項1記載のメモリカード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリカードに関する。

【背景技術】

【0002】

データの書き換えが可能なフラッシュメモリを有し、このフラッシュメモリにデータを書き込みおよび読み出すメモリカードが提供されている（例えば特許文献1参照）。

このようなメモリカードは、外部装置、例えばパーソナルコンピュータや携帯電話機のカードスロットに装着されてデータの書き込みおよび読み出しを行うものであり、単一の機能に留まっている。

このようなメモリカードには、フラッシュメモリ、このフラッシュメモリに接続されデータの書き込みおよび／または読み出しの制御を行うコントロール回路が内蔵されるとともに、カードスロットに設けられたコネクタの接続端子と接続される複数の接続端子が設

10

20

30

40

50

けられている。

メモ리카ードの複数の接続端子は、フラッシュメモリおよびコントロール回路を動作させるための電源端子、グランド端子、データ通信端子、制御信号用端子などを含んでいる。

【0003】

【特許文献1】特開2003-178282号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

このようなメモ리카ードに対してデータの書き込みあるいは読み出しとは別の機能を拡張するために、無線によるデータの送受信を行う非接触IC機能チップ、あるいは、USBやIEEE1394などの通信インターフェースによってデータの送受信を行うデータ通信用ICなどのデータ通信を行うモジュールを付加した多機能なメモ리카ードが求められている。

10

このような多機能型のメモ리카ードにおいては、非接触IC機能チップやデータ通信用ICを動作させるために必要な電源やグランドあるいは各種信号を供給するための接続端子と、これら接続端子と非接触IC機能チップやデータ通信用ICとを接続する導電パターンを新たに付加することになるため、フラッシュメモリおよびコントロール回路で生じたノイズが、非接触IC機能チップやデータ通信用ICにおけるデータ通信に影響を与えたり、あるいは、その逆に非接触IC機能チップやデータ通信用ICで生じたノイズが、フラッシュメモリおよびコントロール回路におけるデータ通信に影響を与えることが懸念される

20

また、影響を避けるため保持体の内部にシールド板を設けることも考えられるが、メモ리카ードの大きさは縦横が10mm程度あり、また、その厚さも0.6mmから1.2mm程度であるため、このようなシールド板を介在させることはスペース的に困難である。

本発明はこのような事情に鑑みなされたものであり、その目的は、データ通信を行うモジュールを新たに付加したメモ리카ードにおいてノイズの影響を受けることなく安定してデータ通信を行う上で有利なメモ리카ードを提供することにある。

【課題を解決するための手段】

【0005】

30

本発明によれば、絶縁材料からなる薄板状の保持体と、前記保持体に埋設され、データの書き込みおよび／または読み出しを行うメモリ部と、前記保持体の表面に設けられ前記メモリ部に接続された複数の第1の接片とを備えた、メモ리카ードであって、

前記複数の第1の接片は、前記保持体の表面に並べられて配置され、前記保持体の表面に前記複数の第1の接片からなる列が構成され、

前記複数の第1の接片のうちの一つは前記メモリ部に対してグランド電位を供給するためのグランド端子を含んでおり、

前記メモリ部に書き込まれるおよび／または前記メモリ部から読みだされるデータとは別のデータの送信および／または受信を行うデータ通信部が前記保持体に埋め込まれ、

前記保持体の表面に前記データ通信部に接続された2つの第2の接片が設けられ、

40

前記2つの第2の接片は、互いに隣り合わせになり、かつ、前記複数の第1の接片とともに前記列を構成するように配置され、

前記複数の第1の接片のうち前記第2の接片に隣り合う前記第1の接片は、前記グランド端子であり、

前記データ通信部は、該データ通信部に前記2つの第2の接片を介して接続された当該メモ리카ードの外部装置に対してプラス側のデータとマイナス側のデータとによる差動形式により前記データを送受信するものであり、

前記データ通信部に接続された2つの第2の接片の双方あるいは一方と、前記グランド端子との間で特性インピーダンスを有する伝送線路を形成することによって、前記伝送線路と該伝送線路を介して前記データを伝送する前記外部側装置との間でインピーダンス整

50

合がとられている、

ことを特徴とする、メモリカードが提供される。

【発明の効果】

【0006】

そのため、データ通信部に接続された2つの第2の接片が互いに隣り合わせになり、かつ、複数の第1の接片とともに列を構成するように配置され、複数の第1の接片のうち第2の接片に隣り合う第1の接片がグランド端子となるように構成されているので、2つの第2の接片を介して授受される信号によって生じるノイズが、複数の第1の接片に侵入してこれら複数の第1の接片のうちの信号端子を介して授受される信号に影響を及ぼすこと、および、複数の第1の接片のうちの信号端子を介して授受される信号により生じるノイズが、2つの第2の接片に侵入してこれら2つの第2の接片を介して授受される電磁波に影響を及ぼすことの双方を可及的に抑制することができ、メモリ部のデータ通信およびデータ通信部のデータ通信の双方を安定して行う上で有利となる。

10

【発明を実施するための最良の形態】

【0007】

保持体の表面にデータ通信部に接続された2つの第2の接片を設け、2つの第2の接片は互いに隣り合わせになり、かつ、複数の第1の接片とともに列を構成するように配置され、複数の第1の接片のうち第2の接片に隣り合う第1の接片をグランド端子とすることによって上記目的を実現した。

20

【実施例1】

【0008】

次に本発明の実施例1について図面を参照して説明する。

図1(A)はメモリカード100の斜視図、(B)はメモリカード100の上下を反転した状態で見た斜視図、図2は実施例1におけるメモリカード100の下面図、図3(A)、(B)は図2のAA断面図、図4は実施例1におけるメモリカード100の接片と信号名の対応を示す図、図5はメモリカード100の動作説明図である。

【0009】

図1～図3に示すように、メモリカード100は、薄板状の保持体20と、保持体20に埋設されたメモリ部24と、メモリ部24に接続された複数の第1の接片2～10と、保持体20に埋設されたデータ通信部26と、データ通信部26に接続された2つの第2の接片11、12とを備えている。

30

本実施例では、図3(A)に示すように、絶縁基板の厚さ方向の一方の面(上面)にメモリ部24およびデータ通信部26が搭載され、前記絶縁基板の厚さ方向の他方の面(下面)に複数の第1の接片2～10および2つの第2の接片11、12が形成されたプリント基板22が設けられ、メモリ部24およびデータ通信部26と、各接片2～12とはいわゆる対面配置となっている。なお、図3(B)に示すように、メモリ部24およびデータ通信部26と、各接片2～12との双方が絶縁基板の厚さ方向の一方の面あるいは他方の面に配置されていてもよいことは無論である。

プリント基板22の厚さ方向の両面に絶縁性を有する合成樹脂が型により被覆され、プリント基板22と合成樹脂とが一体化され薄板状の保持体20として形成されている。本実施例では、保持体20は、縦が15mm、横が12mm、厚さが1.0～1.2mmの大きさである。プリント基板22の厚さ方向の両面を覆う絶縁性を有する合成樹脂としては、例えば、PC(ポリカーボネート)や液晶ポリマーなどを用いることができる。

40

【0010】

メモリ部24は、データの書き換えが可能なフラッシュメモリ2402と、このフラッシュメモリ2402に対するデータの入出力動作の制御などを司るコントローラ2404を備えている。なお、図2、図3などでは、フラッシュメモリ2402およびコントローラ2404は、説明をわかりやすくするために分離して描かれているが、これらフラッシュメモリ2402およびコントローラ2404の構成として、例えば、積層構造とするなど従来公知の様々な構造が採用可能である。

50

【0011】

図2に示すように、複数の第1の接片2～10は保持体20の厚さ方向の一方の面である上面の一辺2002に沿って直線状に並べられて配置され、保持体20の上面に複数の第1の接片2～10により列Rが構成されている。

また、複数の第1の接片2～10とコントローラ2404とはプリント基板22に形成された導電パターンによって接続されているが、図面の複雑化を避けるため図2では前記導電パターンの図示を省略している。

【0012】

複数の第1の接片2～10は、メモリ部24に対して信号の授受を行う信号端子と、メモリ部に対してグラウンド電位を供給するためのグラウンド端子と、メモリ部に対して電源を供給するための電源端子を含んでいる。

図4に示すように、接片2～8は前記信号端子であり、接片9は前記電源端子であり、接片10は前記グラウンド端子である。

詳細に説明すると、接片2はデータ信号SDIO0～SDIO3で通信されるデータの区切りを示すバーステート信号BSが入力される信号端子である。

接片3はデータ信号SDIO1の入出力を行う信号端子、接片4はデータ信号SDIO0の入出力を行う信号端子、接片5はデータ信号SDIO2の入出力を行う信号端子、接片7はデータ信号SDIO3の入出力を行う信号端子である。

接片6は挿抜検出接片であり、前記外部装置がメモ리카ードの挿抜検出のために使用するINS信号を授受する信号端子である。

接片8はクロック信号SCLKが入力される信号端子であり、前記バーステート信号BSおよびデータ信号SDIO～SID3はこのクロック信号SCLKに同期して通信される。

接片9は電源Vccが入力される電源端子である。

接片10はグラウンドレベル(Vss)に接続されるグラウンド端子である。

【0013】

データ通信部26は、このデータ通信部26に2つの第2の接片11、12を介して接続された外部のアンテナを介してリーダーライター装置との間で電磁波による双方向のデータ通信を行うものであり、いわゆる非接触ICカードに搭載される非接触IC機能チップである。データ通信部26によるデータ通信の周波数は、135kHz以下、13.56MHz、2.45GHzといったものが国際規格によって定められている。

データ通信部26は、受信した電磁波に基づいて電力を生成し、その電力によって動作するように構成されているため、電源供給を受ける必要がない。

データ通信部26が有する機能としては、例えば、認証を行うための認証データを保持しデータ通信によってこの認証データの通信を行うことによる認証機能、あるいは、電子マネーのデータを保持しデータ通信によりこの電子マネーのデータの通信を行うことによる電子決済機能などが挙げられる。

【0014】

図2に示すように、データ通信部26と2つの第2の接片11、12は絶縁基板26に形成された導電パターン2702、2704により接続され、図4に示すように第2の接片11、12には前記アンテナとの間で授受される電磁波の信号D1、D2が入出力される。

そして、データ通信部26、2つの第2の接片11、12、導電パターン2702、2704により囲まれた領域の外側における保持体20箇所にメモリ部24が埋設されている。したがって、データ通信部26および導電パターン2702、2704と、メモリ部24およびそれらの配線部との間に、絶縁性を有する合成樹脂が介在することになる。

2つの第2の接片11、12は、互いに隣り合わせになり、かつ、複数の第1の接片2～10とともに列Rを構成するように配置されている。

本実施例では、2つの第2の接片11、12は、複数の第1の接片2～10のみが並べられた列部分R1の端部に配置されている。

10

20

30

40

50

そして、列部分 R 1 の端部に位置する一つの第 1 の接片 1 0 がグランド端子となっており、言い換えると、複数の第 1 の接片 2 ~ 1 0 のうち第 2 の接片 1 1 に隣り合う第 1 の接片 1 0 がグランド端子となっている。

【0015】

次にメモリカード 1 0 0 の使用方法について説明する。

メモリカード 1 0 0 のフラッシュメモリ 2 4 0 2 に対してデータの書き込みおよび読み出しを行う場合には、電子機器やパーソナルコンピュータなどの外部機器のメモリカード用スロットにメモリカード 1 0 0 を装着する。

これにより、複数の第 1 の接片 2 ~ 1 0 を介して電源 V c c、グランド電位 V s s がメモリ部 2 4 に供給されるとともに、各種制御信号およびデータ信号の授受が外部機器との間で行われ、これによりフラッシュメモリ 2 4 0 2 に対するデータの書き込みおよび読み出しが行われる。

10

【0016】

メモリカード 1 0 0 のデータ通信部 2 6 に対する通信を行う場合には、例えば、図 5 に示すように、メモリカード 1 0 0 を携帯電話機などの電子機器 2 0 0 のカードスロットに装着することで 2 つの第 2 の接片 1 1、1 2 が電子機器 2 0 0 側に設けられたアンテナ 2 0 2 に接続する。

この状態でメモリカード 1 0 0 および電子機器 2 0 0 をリーダーライター装置 3 0 0 に近接させると、リーダーライター装置 3 0 0 から送信される電磁波がアンテナ 2 0 2 に受信される。

20

アンテナ 2 0 2 で受信された電磁波は、2 つの第 2 の接片 1 1、1 2 を介してデータ通信部 2 6 に供給され、データ通信部 2 6 では電磁波によって供給される電力によって動作を行い、アンテナ 2 0 2 を介してリーダーライター装置 3 0 0 との間で電磁波によるデータ通信を行う。

リーダーライター装置 3 0 0 には、パーソナルコンピュータなどの上位装置 3 0 2 に接続されており、この上位装置 3 0 2 はメモリカード 1 0 0 のデータ通信部 2 6 とリーダーライター装置 3 0 0 を介して通信したデータに基づいて前述したような認証処理、あるいは、電子マネーの決済処理を行う。

【0017】

本実施例によれば、データ通信部 2 6 に接続された 2 つの第 2 の接片 1 1、1 2 が互いに隣り合わせになり、かつ、複数の第 1 の接片 2 ~ 1 0 とともに列 R を構成するように配置され、複数の第 1 の接片 2 ~ 1 0 のうち第 2 の接片 1 1 に隣り合う第 1 の接片 1 0 がグランド端子となるように構成されているので、2 つの第 2 の接片 1 1、1 2 を介して授受される電磁波の信号によって生じるノイズが、複数の第 1 の接片 2 ~ 1 0 に侵入してこれら複数の第 1 の接片のうちの信号端子を介して授受される信号に影響を及ぼすこと、および、複数の第 1 の接片のうちの信号端子を介して授受される信号により生じるノイズと複数の接片のうちの電源端子に供給される電源電圧に含まれるノイズが、2 つの第 2 の接片 1 1、1 2 に侵入してこれら 2 つの第 2 の接片 1 1、1 2 を介して授受される電磁波に影響を及ぼすことの双方を可及的に抑制することができ、メモリ部 2 4 のデータ通信およびデータ通信部 2 6 のデータ通信の双方を安定して行う上で有利となる。

30

40

そして、データ通信部 2 6、2 つの第 2 の接片 1 1、1 2、導電パターン 2 7 0 2、2 7 0 4 により囲まれた領域の外側における保持体 2 0 箇所にメモリ部 2 4 が埋設されているので、メモリ部 2 4 で発生するノイズが導電パターン 2 7 0 2、2 7 0 4 に侵入することを抑制でき、メモリ部 2 4 のデータ通信およびデータ通信部 2 6 のデータ通信の双方を安定して行う上でより有利となっている。

特に、本実施例のように大きさ、厚さが極めて小さいメモリカード 1 0 0 では、メモリ部 2 4 とデータ通信部 2 6 とのノイズの干渉を防止するためのシールド構造を設けることは難しく、シールド構造を設けると極めて複雑かつ高価な構造となるため、上述のように、接片のレイアウトによりそれら干渉を可及的に抑制する本実施例によれば、構造を簡易化しコストダウンを図る上でも極めて有利となる。

50

【実施例 2】**【0018】**

次に実施例 2 について説明する。なお、以下の説明では実施例 1 と同様の箇所、部材に同一の符号を付してその説明を省略する。

図 6 は実施例 2 におけるメモ리카ード 100 の下面図である。

実施例 2 は実施例 1 の変形例であり、実施例 1 では、メモリ部 24 に接続する複数の第 1 の接片 2 ~ 10 のうちの 1 つの接片 10 がグランド端子であったのに対して、実施例 2 では、複数の第 1 の接片 1 ~ 10 のうちの 2 つの接片 1、10 がグランド端子である。

一方のグランド端子 10 は、実施例 1 と同様に、列 R 1 の一方の端部に配置され、他方のグランド端子 1 は、列 R 1 の他方の端部に配置されている。

10

作用効果については実施例 1 と同様である。

【実施例 3】**【0019】**

次に実施例 3 について説明する。

図 7 は実施例 3 におけるメモ리카ード 100 の下面図である。

実施例 3 は実施例 1 の変形例であり、実施例 1 では、2 つの第 2 の接片 11、12 を、平面視した場合列 R 1 の左端に配置していたのに対し、実施例 3 では、2 つの第 2 の接片 11、12 を、平面視した場合列 R 1 の右端に配置している。

作用効果については実施例 1 と同様である。

20

【実施例 4】**【0020】**

次に実施例 4 について説明する。

図 8 は実施例 4 におけるメモ리카ード 100 の下面図である。

実施例 4 は実施例 2 の変形例であり、実施例 2 では、2 つの第 2 の接片 11、12 を、平面視した場合列 R 1 の左端に配置していたのに対し、実施例 4 では、2 つの第 2 の接片 11、12 を、平面視した場合列 R 1 の右端に配置している。

作用効果については実施例 1 と同様である。

【実施例 5】**【0021】**

次に実施例 5 について説明する。

30

図 9 は実施例 5 におけるメモ리카ード 100 の下面図である。

実施例 5 は実施例 1 の変形例であり、実施例 1 では、データ通信部を 2 つの第 2 の接片 11、12 に近接した保持体 20 の箇所に配置していたのに対し、実施例 5 では、2 つの第 2 の接片 11、12 の近傍の保持体 20 の箇所にコントローラ 2404 が配置されており、このコントローラ 2404 と干渉しないように、データ通信部 26 を、列 R が設けられた辺 2002 とは対向する辺 2004 の箇所に配置したもので、2 つの第 2 の接片とデータ通信部を接続する導電パターンが実施例 1 に比べて長くなっており、本発明において、データ通信部 26 やコントローラ 2404、フラッシュメモリ 2402 のレイアウトは任意である。

作用効果については実施例 1 と同様である。

40

【実施例 6】**【0022】**

次に実施例 6 について説明する。

図 10 は実施例 6 におけるメモ리카ード 100 の下面図である。

実施例 6 は実施例 2 の変形例であり、実施例 2 では、データ通信部を 2 つの第 2 の接片 11、12 に近接した保持体 20 の箇所に配置していたのに対し、実施例 6 では、2 つの第 2 の接片 11、12 の近傍の保持体 20 の箇所にコントローラ 2404 が配置されており、このコントローラ 2404 と干渉しないように、データ通信部 26 を、列 R が設けられた辺 2002 とは対向する辺 2004 の箇所に配置したもので、2 つの第 2 の接片 11、12 とデータ通信部 26 を接続する導電パターン 2702、2704 が実施例 2 に比べ

50

て長くなっている。

作用効果については実施例 1 と同様である。

【実施例 7】

【0023】

次に実施例 7 について説明する。

図 11 は実施例 7 におけるメモリカード 100 の下面図である。

実施例 7 は実施例 1 の変形例であり、実施例 1 では、2 つの第 2 の接片 11、12 を列 R1 の端部に配置していたのに対して、実施例 7 では、2 つの第 2 の接片 11、12 は、列 R を構成する複数の第 1 の接片の間の箇所に配置されている。

実施例 7 では、実施例 2 と同様に、複数の第 1 の接片 1 ~ 10 のうちの 2 つの接片 1、10 がグランド端子であり、2 つの第 2 の接片 11、12 の両側にそれぞれ位置する第 1 の接片 1、10 がそれぞれグランド端子である。

10

このような実施例 7 によっても、2 つの第 2 の接片 11、12 の両側にそれぞれグランド端子が位置することから、実施例 1 と同様な作用効果が奏される。

【実施例 8】

【0024】

次に実施例 8 について説明する。

図 12 は実施例 8 におけるメモリカード 100 の下面図、図 13 は実施例 8 におけるメモリカード 100 の接片と信号名の対応を示す図である。

実施例 8 は実施例 1 の変形例であり、実施例 1 では、1 つのデータ通信部 26 を設け、このデータ通信部 26 に接続する 2 つの第 2 の接片 11、12 を列 R1 の端部に配置していたのに対して、実施例 8 では、2 つのデータ通信部 26、26 が設けられ、これらデータ通信部 26、26 にそれぞれ接続する 2 つの第 2 の接片 11、12、13、14 が列 R1 の両端に配置されている。

20

実施例 8 では、実施例 2 と同様に、複数の第 1 の接片 1 ~ 10 のうちの 2 つの接片 1、10 がグランド端子であり、2 つの第 2 の接片 11、13 に臨む第 1 の接片 1、10 がそれぞれグランド端子である。

それらの接片について説明すると、複数の第 1 の接片 1 ~ 10 は、実施例 1 と同様に、メモリ部 24 に対して信号の授受を行う信号端子と、メモリ部 24 に対してグランド電位を供給するためのグランド端子と、メモリ部 24 に対して電源を供給するための電源端子を含んでいる。

30

図 13 に示すように、接片 2 ~ 8 は前記信号端子であり、接片 9 は前記電源端子であり、接片 10 は前記グランド端子である。

詳細に説明すると、接片 2 はデータ信号 S D I O 0 ~ S D I O 3 で通信されるデータの区切りを示すバーステート信号 B S が入力される信号端子である。

接片 3 はデータ信号 S D I O 1 の入出力を行う信号端子、接片 4 はデータ信号 S D I O 0 の入出力を行う信号端子、接片 5 はデータ信号 S D I O 2 の入出力を行う信号端子、接片 7 はデータ信号 S D I O 3 の入出力を行う信号端子である。

接片 6 は挿抜検出接片であり、前記外部装置がメモリカードの挿抜検出のために使用する I N S 信号を授受する信号端子である。

40

接片 8 はクロック信号 S C L K が入力される信号端子であり、前記バーステート信号 B S およびデータ信号 S D I O ~ S I D 3 はこのクロック信号 S C L K に同期して通信される。

接片 9 は電源 V c c が入力される電源端子である。

接片 10 はグランドレベル (V s s) に接続されるグランド端子である。

一方の 2 つの第 2 の接片 11、12 は、一方のデータ通信部 26 と絶縁基板 26 に形成された導電パターン 2702、2704 により接続され、第 2 の接片 11、12 にはアンテナとの間で授受される電磁波の信号 D1、D2 が入出力される。

他方の 2 つの第 2 の接片 13、14 は、他方のデータ通信部 26 と絶縁基板 26 に形成された導電パターン 2702、2704 により接続され、第 2 の接片 13、14 には前記

50

アンテナとは別のアンテナとの間で授受される電磁波の信号 D 3、D 4 が入出力される。

このような実施例 8 によっても、2 つの第 2 の接片に臨む箇所にそれぞれグランド端子が位置することから、実施例 1 と同様な作用効果に加え、2 つのデータ通信部 2 6 が安定してデータ通信を行う上で有利となる。

【実施例 9】

【0025】

次に実施例 9 について説明する。

図 1 4 は実施例 9 におけるメモリカード 1 0 0 の下面図、図 1 5 は実施例 9 におけるメモリカード 1 0 0 の接片と信号名の対応を示す図である

実施例 9 は実施例 1 の変形例であり、実施例 1 では、データ通信部 2 6 に 2 つの第 2 の接片 1 1、1 2 が接続されていたのに対して、実施例 9 では、2 つの第 2 の接片 1 1、1 2 に加え、電源端子（接片 9）およびグランド端子（接片 1 0）が接続されている。

実施例 9 では、電源端子（接片 9）は、グランド端子（接片 1 0）を挟んで第 2 の接片 1 1、1 2 と反対側の箇所に配置されている。

そして、電源端子（接片 9）およびグランド端子（接片 1 0）はそれぞれ導電パターン 2 7 0 6、2 7 0 8 を介してデータ通信部 2 6 に接続され、さらにこれら電源端子（接片 9）およびグランド端子（接片 1 0）は不図示の導電パターンを介してコントローラ 2 4 0 4 に接続され、電源端子（接片 9）およびグランド端子（接片 1 0）はデータ通信部 2 6 およびメモリ部 2 4 の双方に共用されている。

このようなデータ通信部 2 4 として、例えば、USB や IEEE 1 3 9 4 などの通信インターフェースによってデジタルデータをプラス側のデータとマイナス側のデータとによる差動で送受信するものが挙げられる。

なお、図 1 4 において、データ通信部 2 6 に接続された 2 つの第 2 の接片 1 1、1 2 の双方あるいは一方と、グランド端子（接片 1 0）との間で特性インピーダンスを有する伝送線路を形成することによって、伝送線路とこの伝送線路を介してデータを伝送する外部側装置との間でインピーダンス整合をとることができる。

このような構成によれば、2 つの第 2 の接片 1 1、1 2、グランド端子（接片 1 0）の各接片における容量やインダクタンスに対応することができ、また、これら 2 つの第 2 の接片 1 1、1 2、グランド端子（接片 1 0）に接続される前記外部装置のコネクタとの伝送信号モード変換（コプレーナライン、ツイストペア、同軸伝送路からの変換）に対応することが可能となる。

実施例 9 では、実施例 2 と同様に、複数の第 1 の接片 2 ～ 1 0 のうちの 1 つの接片 1 0 がグランド端子であり、2 つの第 2 の接片 1 1、1 3 に臨む第 1 の接片 1 0 がグランド端子である。

それらの接片について説明すると、複数の第 1 の接片 2 ～ 1 0 は、実施例 1 と同様に、メモリ部 2 4 に対して信号の授受を行う信号端子と、メモリ部 2 4 に対してグランド電位を供給するためのグランド端子と、メモリ部 2 4 に対して電源を供給するための電源端子を含んでいる。

図 1 5 に示すように、接片 2 ～ 8 は前記信号端子であり、接片 9 は前記電源端子であり、接片 1 0 は前記グランド端子である。

詳細に説明すると、接片 2 はデータ信号 S D I O 0 ～ S D I O 3 で通信されるデータの区切りを示すバーステート信号 B S が入力される信号端子である。

接片 3 はデータ信号 S D I O 1 の入出力を行う信号端子、接片 4 はデータ信号 S D I O 0 の入出力を行う信号端子、接片 5 はデータ信号 S D I O 2 の入出力を行う信号端子、接片 7 はデータ信号 S D I O 3 の入出力を行う信号端子である。

接片 6 は挿抜検出接片であり、前記外部装置がメモリカードの挿抜検出のために使用する I N S 信号を授受する信号端子である。

接片 8 はクロック信号 S C L K が入力される信号端子であり、前記バーステート信号 B S およびデータ信号 S D I O ～ S I D 3 はこのクロック信号 S C L K に同期して通信される。

10

20

30

40

50

接片 9 は電源 V_{cc} が入力される電源端子である。

接片 10 はグラウンドレベル (V_{ss}) に接続されるグラウンド端子である。

2 つの第 2 の接片 11、12 は、データ通信部 26 と絶縁基板 26 に形成された導電パターン 2702、2704 により接続され、第 2 の接片 11、12 には外部装置との間で授受される差動形式のデジタル信号、すなわちプラス側のデータ信号 +D と、マイナス側のデータ信号 -D が入出力される。

このような実施例 9 によっても、第 2 の接片 11 に臨む箇所にグラウンド端子が位置することから、実施例 1 と同様な作用効果が奏される。

【実施例 10】

【0026】

10

次に実施例 10 について説明する。

図 16 は実施例 10 におけるメモリカード 100 の下面図である。

実施例 10 は実施例 9 の変形例であり、実施例 9 では、メモリ部 24 に接続する複数の第 1 の接片 2 ~ 10 のうちの 1 つの接片 10 がグラウンド端子であったのに対して、実施例 10 では、複数の第 1 の接片 1 ~ 10 のうちの 2 つ接片 1、10 がグラウンド端子である。

一方のグラウンド端子は、実施例 9 と同様に、列 R1 の一方の端部に配置され、他方のグラウンド端子は、列 R1 の他方の端部に配置されている。

作用効果については実施例 9 と同様である。

【0027】

なお、本実施例では、プリント基板 22 の両面を、型を用いて合成樹脂で被覆して保持体 20 を形成した場合について説明したが、プリント基板 22 を厚さの薄い上下のケースで挟み込んで保持体 20 を形成するようにしてもよい。

20

また、本実施例では、複数の接片 1 ~ 12 が保持体 20 の上面に露出するように形成されている場合について説明したが、保持体 20 の上面の一側に切り欠きを設け、この切り欠きにより複数の接片 1 ~ 12 を露出させるなど任意である。

【図面の簡単な説明】

【0028】

【図 1】 (A) はメモリカード 100 の斜視図、(B) はメモリカード 100 の上下を反転した状態で見た斜視図である。

【図 2】 実施例 1 におけるメモリカード 100 の下面図である。

30

【図 3】 (A)、(B) は図 2 の AA 断面図である。

【図 4】 実施例 1 におけるメモリカード 100 の接片と信号名の対応を示す図である。

【図 5】 メモリカード 100 の動作説明図である。

【図 6】 実施例 2 におけるメモリカード 100 の下面図である。

【図 7】 実施例 3 におけるメモリカード 100 の下面図である。

【図 8】 実施例 4 におけるメモリカード 100 の下面図である。

【図 9】 実施例 5 におけるメモリカード 100 の下面図である。

【図 10】 実施例 6 におけるメモリカード 100 の下面図である。

【図 11】 実施例 7 におけるメモリカード 100 の下面図である。

【図 12】 実施例 8 におけるメモリカード 100 の下面図である。

40

【図 13】 実施例 8 におけるメモリカード 100 の接片と信号名の対応を示す図である。

【図 14】 実施例 9 におけるメモリカード 100 の下面図である。

【図 15】 実施例 9 におけるメモリカード 100 の接片と信号名の対応を示す図である

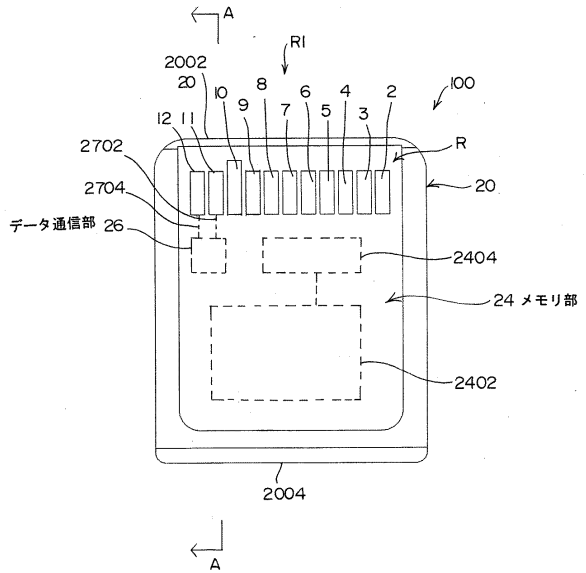
【図 16】 実施例 10 におけるメモリカード 100 の下面図である。

【符号の説明】

【0029】

100 ……メモリカード、20 ……保持体、24 ……メモリ部、1 ~ 10 ……第 1 の接片、11、12 ……第 2 の接片、R ……列。

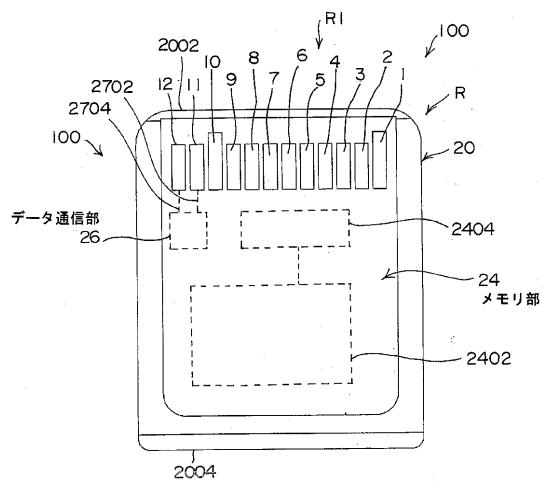
【図 2】



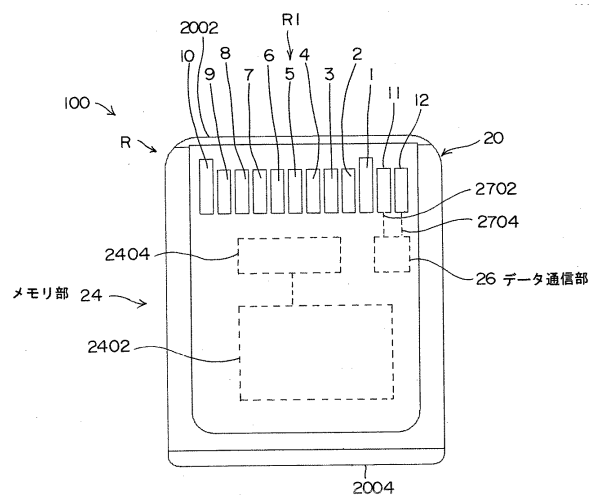
【図 4】



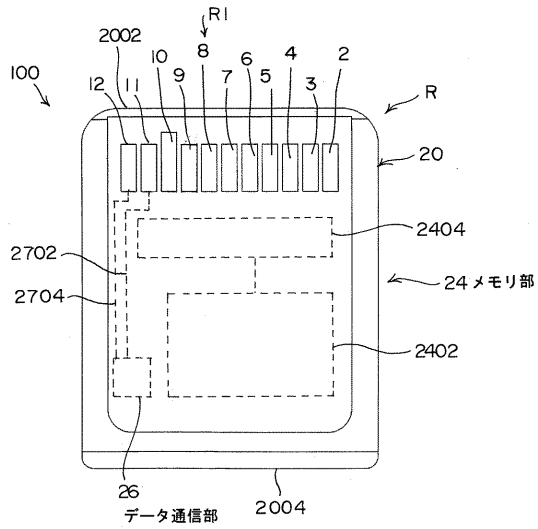
【図 6】



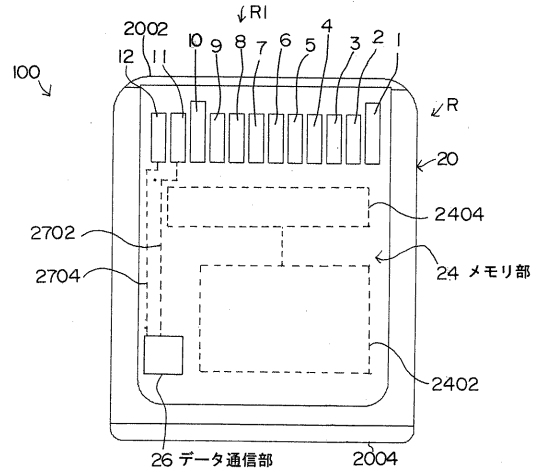
【図 8】



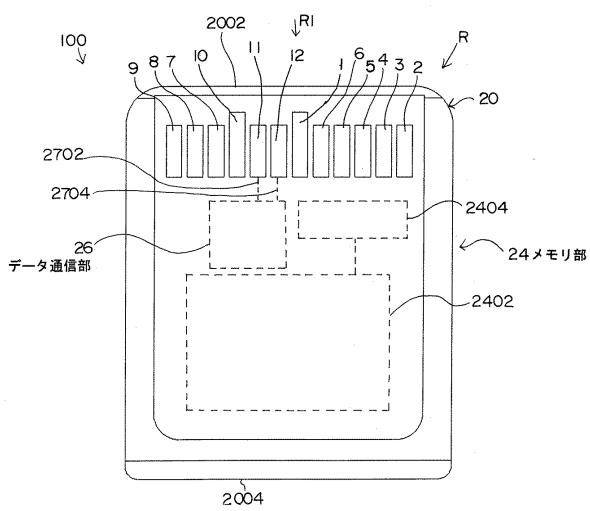
【図 9】



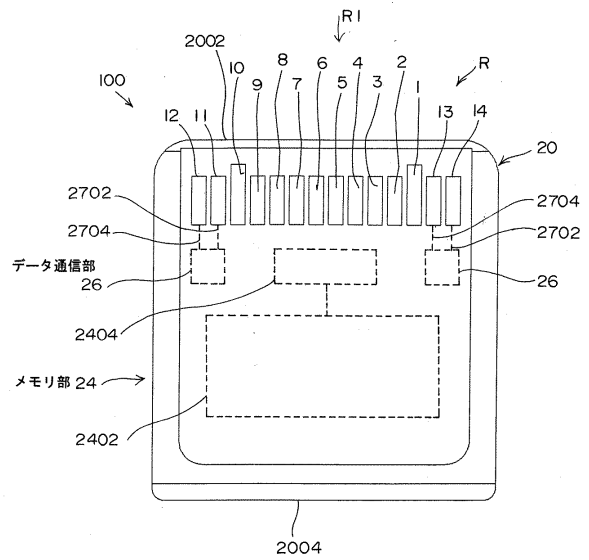
【図 10】



【図 11】



【図 12】



フロントページの続き

- (72)発明者 坂東 秀明
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 筒井 敬一
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 西澤 裕孝
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 大澤 賢治
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 戸塚 隆
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 神田 太郎

- (56)参考文献 特開2000-113145 (JP, A)
実開平06-048054 (JP, U)
特開2002-009219 (JP, A)
特開2002-217621 (JP, A)
特開2002-342732 (JP, A)
特開2002-074277 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| G06K | 19/00 |
| G06K | 17/00 |
| H01L | 23/48 |