

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H03L 7/00

H03L 7/16

H03L 7/08

G11C 11/407



[12] 发明专利申请公开说明书

[21] 申请号 200410092578.0

[43] 公开日 2005 年 9 月 14 日

[11] 公开号 CN 1667956A

[22] 申请日 2004. 11. 15

[21] 申请号 200410092578.0

[30] 优先权

[32] 2003. 11. 19 [33] US [31] 10/707,067

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 凯文·W·格尔曼

达伦·L·阿南德

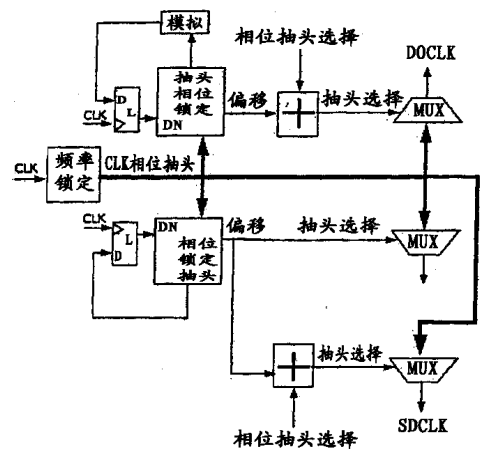
[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所
代理人 付建军

权利要求书 4 页 说明书 7 页 附图 2 页

[54] 发明名称 产生多时序的模块化 DLL 结构

[57] 摘要

本发明提供一种能够产生多个多相位时钟信号以用于嵌入式 DRAM 系统与芯片时序同步的模块化数字锁定环 (DLL) 结构。该结构包括：单芯频率锁定电路，包括具有控制逻辑的延迟元件和能够将 DLL 系统时钟频率锁定到外部参考时钟的锁定电路；和能够使多个内部时钟信号与外部参考时钟的任何相位同步的多个次级锁相环电路。



I S S N 1 0 0 8 - 4 2 7 4

1、一种用于产生多个多相位时钟信号的模块化数字锁定环(DLL)结构,包括:

单芯频率锁定电路,包括延迟元件、相位比较电路和延迟控制电路,用于将该单芯频率锁定电路锁定到一外部参考时钟;

多个次级锁相电路,每个从单芯频率锁定电路中接收输出,用于使多个内部时钟信号与外部参考时钟的多个经选择的相位中的一个同步。

2、权利要求1所述的DLL结构,用于使在芯片上的嵌入式DRAM系统与芯片上时序同步。

3、权利要求1所述的DLL结构,其中单芯频率锁定电路从外部参考时钟中产生多个内部时钟并相对于该外部参考时钟同步。

4、权利要求3所述的DLL结构,其中单芯频率锁定电路产生具有与外部参考时钟相同的频率并且相位彼此相对错开的多个内部时钟。

5、权利要求4所述的DLL结构,其中多个内部时钟具有相位递增地间隔 $360^\circ/n$ 的相移,这里 n 是多个内部时钟的数量。

6、权利要求3所述的DLL结构,其中多个次级锁相电路中的每个都具有多个内部时钟和外部参考时钟信号的输入,并且每个次级锁相电路产生用于选择所产生的多个内部时钟中的特定的一个的时钟选择数字代码。

7、权利要求6所述的DLL结构,其中时钟选择数字代码作为控制逻辑电路信号的输入,以提供所产生的多个内部时钟中的经选择的特定一个。

8、权利要求3所述的DLL结构,其中每个次级锁相电路包括一相位锁定,该相位锁定选择所产生的多个内部时钟中的特定一个并将它作为第一输入传递给锁存器的第一端口,所述锁存器也在其时钟端口处接收外部参考时钟作为第二输入,并使用第一和第二输入以产生

输入来控制相位锁定。

9、权利要求 8 所述的 DLL 结构，其中每个次级锁相电路以递增步骤计数，并且在每个步骤中在锁存器的时钟端口处的外部参考时钟的上升边沿使锁存器采样第一端口；这个操作继续直到在锁存器的第一端口处的时钟的上升边沿通过外部参考时钟的上升边沿；然后计数停止在两个上升边沿紧密一致的计数附近。

10、权利要求 9 所述的 DLL 结构，其中在锁存器的第一端口处的时钟的上升边沿通过外部参考时钟的上升边沿时，计数递减，然后计数停止在两个上升边沿紧密一致的计数附近。

11、权利要求 9 所述的 DLL 结构，其中计数控制一个多路转换器以选择并通过多个所产生的内部时钟中的一个作为次级锁相电路的输出。

12、权利要求 9 所述的 DLL 结构，其中在至少一个次级锁相环中，所述计数作为数字输出被传递至加法器，该加法器将表示外部参考时钟的相位递增或偏移的数值加到该计数中。

13、权利要求 9 所述的 DLL 结构，其中至少一个次级锁相环包括将由模拟电路引起的固定的时间延迟插入到锁相环中的模拟电路。

14、一种在模块化数字锁定环（DLL）结构中产生多个多相位时钟信号的方法，包括：

将包括延迟元件、相位比较电路和延迟控制电路在内的单芯频率锁定电路锁定到一外部参考时钟；

通过多个次级锁相电路使多个内部时钟信号与外部参考时钟的多个选择的相位中的一个同步，每个所述次级锁相电路都从单芯频率锁定电路中接收输出。

15、权利要求 14 所述的方法，包括使位于芯片上的嵌入式 DRAM 系统与芯片时序同步。

16、权利要求 14 所述的方法，包括单芯频率锁定电路从外部参考时钟中产生多个内部时钟并使所述多个内部时钟相对于外部参考时钟同步。

17、权利要求 16 所述的方法，包括单芯频率锁定电路产生具有与外部参考时钟相同的频率并且相位彼此相对错开的多个内部时钟。

18、权利要求 17 所述的方法，包括产生多个具有相位递增地间隔 $360^\circ/n$ 相移的内部时钟，这里 n 是多个内部时钟的数量。

19、权利要求 16 所述的方法，包括多个次级锁相电路中的每个都产生多个内部时钟中的特定一个的时钟选择数字代码，并且每个都具有多个内部时钟和外部参考时钟信号的输入。

20、权利要求 19 所述的方法，包括每个次级锁相电路将所述时钟选择数字代码输入至控制逻辑电路信号，以提供所产生的多个内部时钟中的经选择的特定一个。

21、权利要求 16 所述的方法，包括：每个次级锁相电路通过一相位锁定来选择所产生的多个内部时钟中的特定一个并将它作为第一输入传递给锁存器的第一端口，所述锁存器也在其时钟端口处接收外部参考时钟作为第二输入，并使用第一和第二输入以产生输入来控制相位锁定。

22、权利要求 21 所述的方法，包括：每个次级锁相电路以递增步骤中计数，并且在每个步骤中，在锁存器的时钟端口处的外部参考时钟的上升边沿使锁存器采样第一端口；这个操作持续到在锁存器的第一端口处的时钟的上升边沿通过外部参考时钟的上升边沿；然后使计数停止在两个上升边沿紧密一致的计数附近。

23、权利要求 22 所述的方法，其中在锁存器的第一端口处的时钟的上升边沿通过外部参考时钟的上升边沿时，计数递减，然后使计数停止在两个上升边沿紧密一致的计数附近。

24、权利要求 22 所述的方法，包括：以所述计数控制多路转换器，以便选择并通过多个所产生的内部时钟中的一个作为次级锁相电路的输出。

25、权利要求 22 所述的方法，进一步包括：在至少一个次级锁相环中，将所述计数作为数字输出传递至加法器，该加法器将表示外部参考时钟的相位递增或偏移的数值加到计数中。

26、权利要求 22 所述的方法，进一步包括：在至少一个次级锁相环中包括将由模拟电路引起的固定的时间延迟插入到锁相环中的模拟电路。

产生多时序的模块化 DLL 结构

技术领域

本发明一般涉及要求产生多时序（时序信号）的任何 DLL（数字锁定环）结构，更具体地说涉及用于能够产生任何所要求数量的 eDRAM（嵌入式动态随机存取存储器）的 eDRAM 的简单模块化 DLL 结构。

本发明一般可适用于要求产生多时序的任何 DLL（数字锁定环）结构，并且可适用于一般例如提供存储器阵列芯以及输入和输出数据的时序的存储器产品，包括嵌入式和非嵌入式 DRAM 和 SRAM（静态随机存取存储器）和存储器控制器。

背景技术

DLL（数字锁定环）结构经常用于产生所要求的时序信号；然而，为容纳多个时序信号使用几个 DLL 在芯片的硬件成本方面非常昂贵。

对于本领域 ASIC（专用集成电路）的当前状态的嵌入式 DRAM 设计，需要能够产生任何所要求数量的嵌入式 DRAM 时序的简单结构。

附图 1 所示为在存储器产品中使用的典型的已有技术的 DLL 实施方案，附图 2 所示为附图 1 的已有技术的 DLL 实施方案的操作的时序波形。

参考附图 1，可变延迟线 1 用于使所进入的时钟信号边沿延迟所需的量。可变延迟线通常包括可变数量的固定延迟元件或固定数量的可变延迟元件。通常，模拟电路 2 用于确定内部时钟需要在下一时钟边沿前多少转变。这在附图 2 中通过设计模拟延迟说明，该模拟延迟显示 Result 时钟的时钟边沿在 Out 时钟的时钟边沿之前转变给定的时间。在同步芯片设计中普遍要求同步电路的输出与外部时钟边沿对齐

或一致。模拟电路提供了作为寄生电路延迟的模拟的固定时间延迟，并且用于确定何时驱动模拟电路输入以使模拟电路输出和同步电路输出与外部时钟适当地对齐。

来自模拟电路 2 的输出信号 **Out** 应该相对于主时钟信号 **In** 被延迟 360° ，如附图 2 所示，其中设计总延迟=1 个周期。通过相位比较电路 3 比较主时钟输入信号 **In** 和来自模拟电路 2 的输出信号 **Out**，相位比较电路确定延迟是否相对于 360° 的延迟相移太小或者太大。相位比较电路的输出通过可变延迟线 1 输送到增加或降低延迟的控制电路 4。在锁定该系统的相位时，输出信号 **Result** 将是在下一时钟周期 **In** 之前理想的模拟电路延迟。然后这个可例如用于定时来自电路的输出数据。应该注意标准 **DLL** 实施方案仅能使用一个模拟电路，并且仅仅提供单个输出时序信号 **Result**。

发明内容

本发明提供一种能够产生任何数量的多时序信号的单 **DLL** 结构。

本发明提供一种能够产生多个多相位时钟信号、以用于嵌入式 **DRAM** 系统与芯片时序同步的模块化数字锁定环 (**DLL**) 结构。该结构包括单芯频率锁定电路，该单芯频率锁定电路包含具有控制逻辑的延迟元件和能够锁定 **DLL** 系统锁定频率到外部时钟的锁定电路；该结构还包括能够使多个内部时钟信号与外部时钟的任何相位同步的多个次级锁相环电路。

附图说明

结合附图，参考下文对本发明的几个实施例的详细描述，本领域的普通技术人员将会更容易理解用于产生多时序的模块化 **DLL** 结构的本发明的前述目的和优点，在几幅附图中相同的参考标号表示类似的元件：

附图 1 所示为在存储器产品中使用的典型已有技术的 **DLL** 实施

方案。

附图 2 所示为附图 1 的已有技术的 DLL 实施方案的创作的时序波形说明性附图。

附图 3 所示为依照本发明的实例性 DLL 结构, 该 DLL 结构能够产生所要求的任何数量的时序信号并且包括单芯频率锁定块和任何数量的次级锁相块。

附图 4 所示为表示本发明的操作的模块化的 DLL 结构时序信号。

具体实施方式

本发明提供了一种能够产生所要求的任何数量的时序信号并且包括单芯频率锁定块和任何数量的次级锁相块的模块化 DLL 结构。

本发明的一个实例性应用涉及在嵌入式 DRAM 上产生时序信号, 尤其是嵌入式 DRAM 芯阵列时序, 其中时钟的占空度包括总的占空度的有效部分或百分比、和总的占空度的恢复部分或百分比, 在有效部分和恢复部分之间的相对相位必须得到精确的控制。

附图 3 所示为依据本发明的实例性 DLL 结构, 该 DLL 结构能够产生所要求的任何数量的时序信号并且包括单芯频率锁定块和任何数量的次级锁相块。

这个单芯频率锁定块(在附图 3 中指定为 **FREQ** 锁定)具有系统时钟 **CLK** 输入和输出指定 **CLK** 相位抽头。单芯频率锁定块可以包括在附图 1 中所示的 DLL 电路, 没有模拟电路, 以使该电路包括具有延迟元件、延迟元件控制和将 DLL 锁定到系统时钟频率的锁定电路的 DLL。然后单芯频率锁定块的 DLL 随着环境的条件的变化继续更新频率锁定, 在整个操作中产生非常精密匹配的时钟。

传统的 DLL 将模拟电路并入到主 DLL 延迟元件中, 要求多个 DLL 以形成多模拟路径延迟, 而本发明的主频率锁定芯块没有在其中并入模拟电路, 因此不要求多个 DLL 以形成多模拟路径延迟。

使用频率锁定芯块 **FREQ** 锁定, 以产生能够被分别调节相位的多个不同的时钟相位, 以用于任何数量的模拟路径延迟。

频率锁定芯块 **FREQ** 锁定的延迟元件本身被设计成产生被指定为 **CLK** 相位抽头的输出，该输出包括将整个 360 度时钟周期均匀分为 n 度步长（例如在 $n=64$ 时，分为 5.625 度的步长，但 n 可以是任何所需的数量）的一系列相位抽头点。延迟元件可以包括固定数量的可变延迟元件，在包括提供 0 至 63 个抽头点的固定数量可变延迟元件的一个设计实施例中，每个间隔 5.625 度。

附图 3 所示为三个实例性次级锁相块、具有通过模拟电路引入的固定时间延迟并产生次级输出时钟 **DOCLK** 的上部次级锁相块、和没有通过模拟电路引入的固定时间延迟但分别产生次级输出时钟 **PCLK** 和 **SDCLK** 的两个下部次级锁相块，所示的次级锁相块可以包括模拟电路或者不取决于特定的应用。

对于给定的时钟边沿，通过每个次级锁相块可以选择 0 至 63 个抽头点中的任何一个，以便定时特定的 **DRAM** 阵列时序（即，有效/预充电、信号形成、数据输出时钟等）。

所示最基本的次级锁相块为产生时钟输出 **PCLK** 的中间次级锁相块。次级锁相块包括一个称为“相位锁定(Phase Lock)”的块，该块选择 0 至 63 个抽头中的特定一个并将它传递给指向锁存器 **L** 的 **D** 端口且标记为“Tap(抽头)”的输出。所述“相位锁定”可以包括选择 0 至 63 个输入中的一个的 **MUX** 和用于产生计数并在如下操作中控制 **MUX** 的序列发生器和控制逻辑。锁存器 **L** 也在如>所示的其时钟端口处接收相同的输入系统时钟 **CLK**（作为用于芯频率锁定块的输入），并连同在其 **D** 端口处接收的时钟一起使用，以产生输出到锁相器的 **DN**(下)控制的输出。

在操作中，次级锁相块在单个步骤中从 0 朝 63 上计数。在每个步骤中，在锁存器 **L** 的端口>的系统 **CLK** 上升边沿使锁存器 **L** 采样 **D** 端口，这个操作一直持续直到在锁存器的 **D** 端口处的时钟的上升边沿上的低至高的转变经过在系统 **CLK** 的上升边沿上的低至高的过渡。然后计数减 1，然后计数停留在两个上升边沿紧密地一致的计数附近。例如，假设计数从 0 开始，朝上递增 1，对于每个计数 0 至 40，**D** 端

口的采样产生低信号,然后在 41 的计数时,D 端口的采样产生高信号。计数减到 40,然后在两个上升边沿一致时计数停留在 40 上。40 的计数是“相位锁定”的且标记为“偏移 (Offset)”的数字输出,它是输入到选择并通过可能的 0 至 63 个时钟中的 40 个时钟作为在 PCLK 上输出的 MUX (多路转换器)的抽头选择 (Tap Select)。

产生时钟 SDCLK 的下部次级锁相电路将标记为+的加法器插入到上文解释的基本设计中,该加法器在输出偏移 (Offset) 和输入抽头选择 (Tap Select) 之间,并简单地使相位递增或使系统时钟 CLK 偏移到时钟输出 SDCLK。例如,继续其中偏移 (Offset) 是 40 的上述实例,数字 10 的相位选择抽头 (Phase Select Tap) 输入将产生 50 的抽头选择 (Tap Select),使 MUX 选择并通过在可能的 0 至 63 个时钟中的 50 个时钟作为在 SDCLK 上的输出。

产生时钟 DOCLK 的上部次级锁相电路将通过模拟电路引入的固定时间延迟插入到“相位锁定(Phase Lock)”中。在通过模拟电路引入的固定的时间延迟和通过标记为+的加法器引入的延迟之间的差别在于通过模拟电路引入的时间延迟是固定的时间延迟,而通过标记为+的加法器引入的延迟是系统时钟 CLK 的相位递增或偏移的相对时间延迟。

通过增加次级锁相电路(如果某些模拟路径延迟需要改变)或者通过简单地增加相位抽头多路转换器或多路转换器和加法器,容易产生任何数量的时序相位,如果该延迟被公用时,可用于从单模拟路径延迟中产生多个时钟。

附图 4 所示为表示本发明的操作的模块化 DLL 结构时序信号。参考附图 4,注意一个周期被划分为 64 个等分段。自 DLL 延迟线的每个抽头可以用作内部时钟时序的电位相位。在附图 4 中,示出了两个实例性的输出,理想的抽头 1 和理想的抽头 2。这两个时钟在外部时钟之前在模拟延迟 1 和模拟延迟 2 上分别总是暂时较高 (transition high)。

一般地,对于每个最后的 DLL 输出需考虑三个关键的时序信息

段。

第一个关键时序信息段是频率锁定的插入延迟。由于频率锁定被相移，因此从延迟线的第一抽头与外部时钟不一致。因此，为获得相对外部时钟处于已知位置的输出，必须补偿频率锁定的插入延迟。这在附图 3 中的芯锁相电路中实现。

第二关键时序信息段是可选择的模拟电路的延迟。在同步芯片设计中非常普遍地要求电路输出必须与外部时钟边沿一致。DLL 可以使用该电路延迟的模拟拉确定何时驱动其输入从而使其输出与外部时钟一致。

第三关键时序信息段是输入到 DLL 的控制，以提供将每个次级相位锁定块定位到外部时钟的任何相位位置的能力。在附图 1 中，现有技术的 DLL 系统仅将模拟输出定位到外部时钟的上升边沿。本发明的模块化 DLL 结构则允许将每个包括模拟输出的次级相位锁定块定位到外部时钟的任何相位。这是通过使用附图 3 的相位抽头选择 (Tap Select) 实现的。加法器电路+将来自锁相电路的所需的抽头点结果 (偏移) 与表示所需相位位置作为外部时钟参考的相位抽头选择 (Phase Tap Select) 组合。这允许模块化的 DLL 结构例如产生将使外部数据转变发生在外部时钟上升沿加 90 度 (改变数据 1/4 到该周期) 上发生的内部数据输出时钟。如果相位抽头选择 (Phase Tap Select) 都是零，则 DLL 使用外部时钟上升沿作为参考以“支持”。

本发明提供了一种简单的模块化结构，其中以简单的 DLL 电路产生多时序。独特的设计结合多相位锁定/抽头选择单元并入了单芯频率锁定块。任何数量的锁相电路可以与模拟电路组合以消除各种时钟延迟并产生延迟调节的时钟相位的结果序列。

本发明提供了一种从单同步的系统中提供多输出时钟时序的 DLL 结构。DLL 结构为多时序提供并包括单芯频率锁定块和任何数量的次级相位锁定块。芯频率锁定块包括延迟元件、延迟元件控制和将 DLL 锁定到系统时钟频率的锁定电路。DLL 结构允许时钟同步到任何外部时钟的相位。

虽然在此详细地描述了本发明,但是应该理解的是本发明的公开和教导给本领域普通技术人员暗示了多种变型设计。

图1

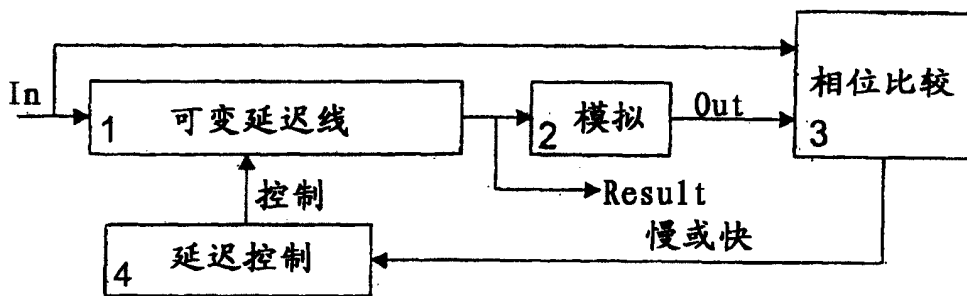


图2

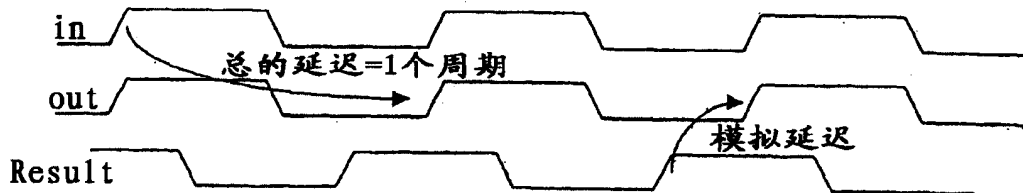


图3

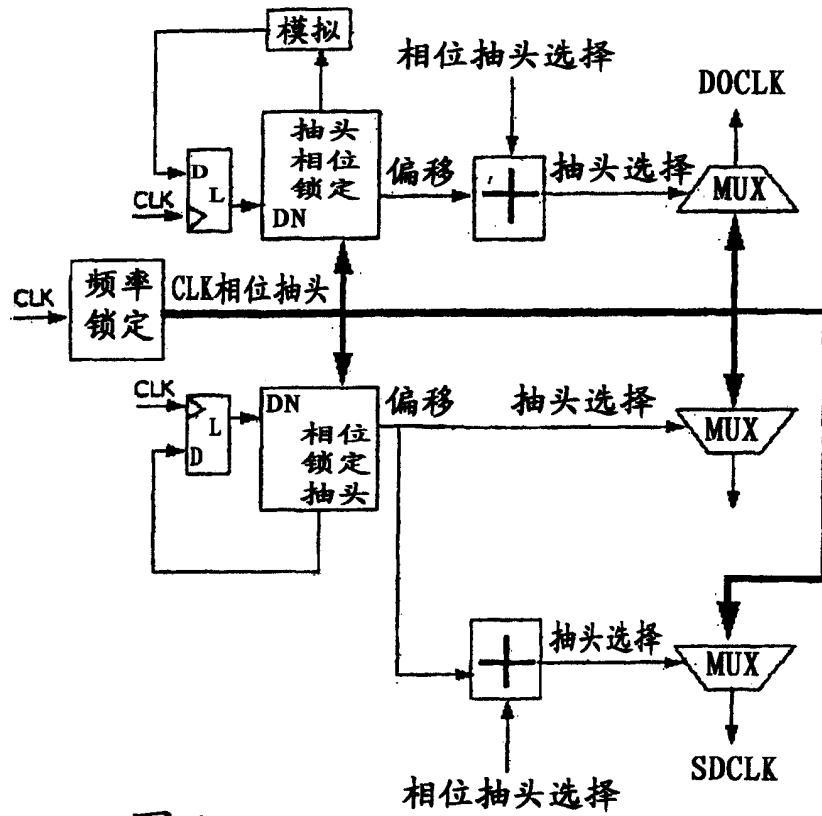


图4

