

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 24 日(24.10.2013)



(10) 国際公開番号

WO 2013/157576 A1

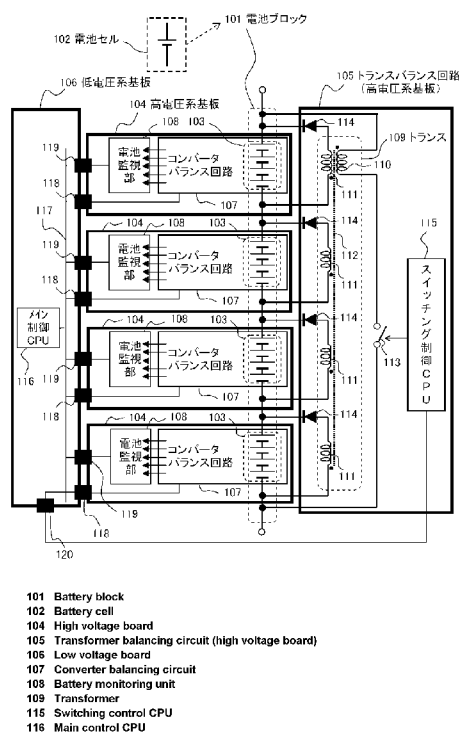
- (51) 国際特許分類:
H02J 7/02 (2006.01) H01M 10/48 (2006.01)
H01M 10/44 (2006.01)
- (21) 国際出願番号: PCT/JP2013/061391
- (22) 国際出願日: 2013 年 4 月 17 日(17.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-094841 2012 年 4 月 18 日(18.04.2012) JP
- (71) 出願人: 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHO KK) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 Aichi (JP).
- (72) 発明者: 鈴木 正彰 (SUZUKI, Masaaki); 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 倉石 守 (KURAISHI, Mamoru); 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP). 広瀬 慎司 (HIROSE, Shinji); 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP).
- (74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 〇 二番町ビル 3 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: BATTERY BALANCING SYSTEM AND METHOD

(54) 発明の名称: 電池均等化システムおよび方法

[図1]



(57) Abstract: Provided is a battery balancing system in which the scale of a balancing circuit is prevented from increasing even when the number of batteries connected in series and included in an assembled battery increases. A battery monitoring unit (108), a converter balancing circuit (107), and the switching control mechanism of the converter balancing circuit (107) are modularized on a high voltage board (104) for each stack (103). A transformer balancing circuit (105) for balancing the voltages between the stacks (103) and a switching control CPU (115) for performing a switching control on the transformer balancing circuit (105) are disposed on the high voltage board. In contrast, a main control CPU (116) for totally controlling the balancing is disposed on a low voltage board (106). Mutual communication is possible between the low voltage board side and the high voltage board side through insulating elements (118, 119, 120) for maintaining electrical power insulation. Modularizing a direct control system for a balancing control on the high voltage board and disposing the main control CPU on the low voltage board make it possible to easily cope with, for example, the increase of the number of batteries connected in series.

(57) 要約: 組電池が有する電池の直列数が増えた場合であっても、バランス回路の回路規模の増大を抑える電池均等化システムを提供する。電池監視部 108 とコンバータバランス回路 107 とそのスイッチング制御機構が各スタック 103 の高電圧系基板 104 上にモジュール化される。スタック 103 間の電圧を均等化させるトランスバランス回路 105 とそのスイッチング制御を行うスイッチング制御 CPU 115 が高電圧系基板上に配置される。一方、均等化を全体制御するメイン制御 CPU 116 が低電圧系基板 106 上に配置される。低電圧系基板側と高電圧系基板側は、電力的な絶縁を維持する絶縁素子 118、119、120 を介して相互通信可能である。均等化制御の直接制御系を高電圧系基板上にモ

ジュール化し、メイン制御 CPU を低電圧系基板上に配置することで、電池の直列数の増加などに容易に対応できる。

WO 2013/157576 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電池均等化システムおよび方法

技術分野

[0001] 本発明は、複数の電池が直列接続されて構成される組電池の電圧の均等化を制御する電池均等化システムおよび方法に関する。

背景技術

[0002] いわゆるハイブリッドカー、プラグインハイブリッドカー、ハイブリッドビークル、およびハイブリッドエレクトリックビークルなどと呼ばれる、エンジンに加えてモータ（電動機）を動力源として備えた車両または輸送機械（以下、「車両など」と称する）が実用化されている。さらには、エンジンを備えずモータのみで車両を駆動する電気自動車も実用化されつつある。それらのモータを駆動する電源として、小型、大容量の特徴を有するリチウムイオン電池などが多く使用されるようになってきている。そして、このような用途においては、複数の電池が例えば直列に接続されて電池ブロックが構成され、さらにこの電池ブロックを組み合わせて接続される組電池として供給される場合がある。電池の直列接続により車両のモータを駆動するのに必要な高電圧が得られ、電池ブロックをさらに直列や並列に組み合わせて接続することにより必要な電流容量やさらなる高電圧が得られる。

[0003] この場合、リチウムイオン電池などは温度による特性の変化が大きく、電池が使用される環境の温度によって電池の残存容量や充電効率も大きく変化する。自動車のような使用環境ではなおさらである。

[0004] この結果、電池ブロックを構成する電池などにおいて、各セルなどの残存容量および出力電圧にばらつきが生じる。各セルなどが発生する電圧にばらつきが発生すると、1つのセルの電圧が駆動可能な閾値を下回ったような場合に、全体の電源供給を止めたり抑制したりする必要が生じ、電力効率が低下してしまう。このため、各セルの電圧の均等化を行う電池均等化制御が必要となる。さらには、電池ブロック間でも電圧の均等化を行う必要も生じる

。

[0005] 電池均等化制御の従来技術として、放電が必要な電池からの放電電力を、インダクタとトランスを組み合わせる構成されるバランス回路によって、充電が必要な電池に充電させる、いわゆるアクティブ方式の電池均等化制御技術が知られている（例えば、特許文献1に記載の技術）。

[0006] この従来技術は、ある電池からの放電電力を他の電池への充電電力として使用することで電力損失を少なくし、また、直列接続数の多い多直列蓄電セルにおいて全セルの電圧バランス補正を迅速かつ円滑に行わせることを目的としている。

[0007] しかし、上述の従来技術では、組電池が有するセルの直列数が増えた場合、全てのセルの電圧をバランスさせようとすると、バランス回路が複雑になるため、回路規模が増大する。そして、この回路規模の増大にともない、バランス回路の制御が煩雑になるという問題点を有している。

先行技術文献

特許文献

[0008] 特許文献1：特開2008-35680号公報

特許文献2：特開2008-108591号公報

発明の概要

発明が解決しようとする課題

[0009] 本発明は、組電池が有する電池の直列数が増えた場合であっても、バランス回路の回路規模の増大を抑える電池均等化システムを提供することを目的とする。

課題を解決するための手段

[0010] 態様の一例は、複数の電池が直列接続されて構成される電池ブロックにおけるその複数の電池の電圧を均等化させる電池均等化装置であって、複数の電池のうち、所定数の電池からなる複数のスタックのスタックごとに、そのスタック内の電池のうちの1つ以上の電池から放電をし、そのスタック内の

電池のうちの1つ以上の他の電池に充電させる動作を電池間に接続されるスイッチング素子のスイッチング動作により実行することでそのスタック内の電池の電圧を均等化させるバランス回路と、そのスタック内の各電池の電圧または温度を監視しデジタル信号値として検出する電池監視部と、バランス回路内のスイッチング素子にスイッチング動作を行わせるためのパルス信号を供給するスイッチング制御部が少なくとも配置されるそのスタックに対応する高電圧系基板と、電池監視部が検出した各電池の電圧のデジタル信号値に基づいて、均等化の動作を実行すべきスタックまたは電池を決定し、その決定したスタックに対応するスイッチング制御部にスイッチング動作を指示するメイン制御部が少なくとも配置される低電圧系基板と、スイッチング制御部または電池監視部とメイン制御部との間で電力的な絶縁を維持したまま通信を行わせ、高電圧系基板と低電圧系基板間に配置される絶縁素子とを備える。

発明の効果

- [0011] 本発明によれば、組電池が有する電池の直列数が増えた場合であっても、バランス回路の回路規模の増大を抑えることができるという効果を奏する。

図面の簡単な説明

- [0012] [図1]本実施形態の全体システム構成図である。
[図2]本実施形態におけるコンバータバランス回路および電池監視部の構成図である。
[図3]本実施形態の制御動作を示すフローチャートである。
[図4]スタック間バランス制御の動作を示すフローチャートである。
[図5]温度毎のOCV-内部抵抗マップの説明図である。
[図6]スタック内バランス制御の動作を示すフローチャートである。

発明を実施するための形態

- [0013] 以下、本発明を実施するための形態について図面を参照しながら詳細に説明する。
- [0014] 図1は、本実施形態の全体システム構成図である。

- [0015] 複数の電池 102 が直列に接続されて電池ブロック 101 が構成される。
- 本実施形態では、電池ブロック 101 は、連続的に直列接続された所定数の電池 102 からなるスタック 103 の集合として構成される。この電池ブロック 101 は単一で例えば車両のための組電池を構成してもよく、さらに複数が並列に接続構成されて例えば車両のための組電池を構成してもよい。
- [0016] 図 1 に示される実施形態では、電池監視（電圧や温度の監視）を行う電池監視部 108 と、スタック 103 内の電池 102 間でセル均等化制御を行うコンバータバランス回路 107（バランス回路）とそのコンバータバランス回路 107 内でスイッチング制御を行う機構（スイッチング素子、スイッチング制御部）が各スタック 103 に対応した高電圧系基板上 104 にモジュール化される。一方、高電圧系基板 104 上の各スタック 103 の電池監視部 108 が検出した各電池 102 の電圧のデジタル信号値に基づいて、均等化の動作を実行すべきスタック 103 または電池 102 を決定し、その決定したスタック 103 に対応するスイッチング制御 CPU（スイッチング制御部）（後述する図 2 の 202）にスイッチング動作を指示する全体の均等化制御を行うメイン制御 CPU 116（メイン制御部）が低電圧系基板 106 上に配置される。そして、スタック 103 ごとの高電圧系基板 104 上に配置される上述のスイッチング制御 CPU または電池監視部 108 と、低電圧系基板 106 上に配置されるメイン制御部との間で電力的な絶縁を維持したまま通信を行わせる絶縁素子 118、119、120 が、高電圧系基板 104 と低電圧系基板 106 間に配置される。
- [0017] 図 1 の実施形態ではさらに加えて、スタック 103 の単位で放電または充電を行う動作をスタック 103 間に接続されるスイッチング素子のスイッチング動作により実行することでスタック 103 間の電圧を均等化させるトランスバランス回路 105（第 2 のバランス回路）と、トランスバランス回路 105 内のスイッチング素子 113 にスイッチング動作を行わせるためのパルス信号を供給するスイッチング制御 CPU 115（第 2 のスイッチング制御部）とが、電池ブロック 101 に対応する高電圧系基板上にさらに配置さ

れる。そして、低電圧系基板１０６上のメイン制御ＣＰＵ１１６は、電池監視部１０８が検出した各電池１０２の電圧のデジタル信号値に基づいて、スイッチング制御ＣＰＵ１１５にスタック１０３間の電圧の均等化のためのスイッチング動作を指示する。

[0018] 以上のように、電池監視とセル均等化制御とスイッチング制御を行う機構を各スタックに対応した高電圧系基板上にモジュール化し、全体の均等化制御を行うメイン制御部を低電圧系基板上に配置することにより、電池１０２の直列数が増えた場合であっても、スタック１０３の単位で高電圧系基板１０４のモジュールを増設すればよく、全体の均等化制御は低電圧系基板１０６上のメイン制御ＣＰＵ１１６で行えばよい。これにより、制御の煩雑化を防ぎ、回路規模の増大を抑えることが可能となる。

[0019] 図１において、高電圧系基板上に実装されるトランスバランス回路１０５は、トランス１０９、スイッチング素子１１３、ダイオード１１４、およびスイッチング制御ＣＰＵ１１５を備える。トランス１０９は、一次巻線１１０、複数の二次巻線１１１、鉄心１１２を備える。一次巻線１１０は、電池ブロック１０１の両極に接続される。各二次巻線１１１は、一次巻線１１０に対して逆巻で所定の巻線比を有し、各ダイオード１１４を介して各スタック１０３の両極に接続される。スイッチング制御ＣＰＵ１１５は、低電圧系基板１０６上のメイン制御ＣＰＵ１１６から絶縁素子１２０を介して指定される所定の周波数およびデューティー比を有するパルス信号を発振する発振回路である。スイッチング素子１１３は、例えばＦＥＴ（電界効果トランジスタ）であり、スイッチング制御ＣＰＵ１１５からのパルス信号によりスイッチング動作を行う。このスイッチング動作により各二次巻線１１１の側に発生した電圧が、それぞれに接続されているスタック１０３の両端電圧よりも高ければ、両者間の電圧が等しくなるまで、ダイオード１１４を介してそのスタック１０３に充電が行われる。最終的には、全てのスタック１０３の両端電圧が、各二次巻線１１１の側に発生した共通の電圧に等しくなるように、バランス制御が行われる。

[0020] ここで、トランス１０９、スイッチング素子１１３、ダイオード１１４は、電池ブロック１０１内の各スタック１０３を直接制御するため、電池ブロック１０１に対応した高電圧系基板上に配置することが望ましい。また、スイッチング制御ＣＰＵ１１５は、パルス信号をスイッチング素子１１３に供給するため、あまり長い信号経路を有することは望ましくなく、従って、上記高電圧系基板上に実装されることが望ましい。このようにして、スタック１０３間の均等化制御を行うためのトランス１０９、ダイオード１１４、スイッチング素子１１３、およびスイッチング制御ＣＰＵ１１５が、電池ブロック１０１に対応した高電圧系基板上に実装される。

[0021] 図１のコンバータバランス回路１０７と電池監視部１０８の詳細は、図２に示される。

[0022] 図２において、スタック１０３および電池監視部１０８は、図１または図１の同じ番号の部分と同一である。

[0023] コンバータバランス回路１０７は、バランス回路２０１およびスイッチング制御ＣＰＵ２０２を備える。バランス回路２０１は、スタック１０３を構成する例えば＃１から＃４の４つの電池１０２に対して、複数のインダクタＬと複数のスイッチング素子ＳＷとを備える。具体的には、＃１と＃２の電池１０２の共通の接続端子に＃１のインダクタＬの第１の端子が、＃２と＃３の電池１０２の共通接続端子に＃２のインダクタＬの第１の端子が、＃３と＃４の電池１０２の共通接続端子に＃３のインダクタＬの第１の端子がそれぞれ接続される。また、＃１のインダクタＬの第２の端子は＃１と＃２のスイッチング素子ＳＷの共通接続端子に、＃２のインダクタＬの第２の端子は＃３と＃４のスイッチング素子ＳＷの共通接続端子に、＃３のインダクタＬの第２の端子は＃５と＃６のスイッチング素子ＳＷの共通接続端子にそれぞれ接続される。さらに、＃１の電池１０２の出力端子側は、＃１のスイッチング素子ＳＷの単独接続端子に接続される。＃１と＃２の電池１０２の共通接続端子は、＃２のスイッチング素子ＳＷに接続される。＃２と＃３の電池１０２の共通接続端子は、＃２および＃５のスイッチング素子ＳＷの共通

接続端子に接続される。＃４の電池１０２の出力端子側は、＃６のスイッチング素子ＳＷの単独接続端子に接続される。

[0024] スイッチング制御ＣＰＵ２０２は、図１の低電圧系基板１０６上のメイン制御ＣＰＵ１１６から絶縁素子１２０を介して指定される所定の周波数およびデューティ比を有するパルス信号を発振する発振回路である。＃１から＃６の各スイッチング素子ＳＷは、例えばＦＥＴ（電界効果トランジスタ）であり、スイッチング制御ＣＰＵ２０２からのパルス信号によりスイッチング動作を行う。

[0025] 電池監視部１０８は、スタック１０３を構成する＃１から＃４の各電池１０２の各両端電圧を検出し、その検出した電圧をデジタル値として絶縁素子１１８を介して図１の低電圧系基板１０６上のメイン制御ＣＰＵ１１６に出力する。

[0026] 上述のコンバータバランス回路１０７の構成において、メイン制御ＣＰＵ１１６は、例えば＃１と＃２の電池１０２間のバランス制御を実施すると判定したときには、スイッチング制御ＣＰＵ２０２に対して、所定の周波数とデューティ比を指定して、＃１と＃２のスイッチング素子ＳＷを動作させるように指示する。そして例えば、メイン制御ＣＰＵ１１６（スイッチング制御ＣＰＵ２０２であってもよい）が、電池監視部１０８の電圧監視結果に基づいて、＃１の電池１０２の電圧が＃２の電池１０２の電圧よりも高いと判定する。この場合はまず、＃１のスイッチング素子ＳＷのオンオフ動作により、＃１の電池１０２から放電によりエネルギーが＃１のインダクタＬに蓄積される。続いて、デューティ比分だけ遅れた＃２のスイッチング素子ＳＷのオンオフ動作により、＃１のインダクタＬに蓄積されたエネルギー分＃２の電池１０２に充電される。逆に例えば、メイン制御ＣＰＵ１１６が、電池監視部１０８の電圧監視結果に基づいて、＃２の電池１０２の電圧が＃１の電池１０２の電圧よりも高いと判定する。この場合はまず、＃２のスイッチング素子ＳＷのオンオフ動作により、＃２の電池１０２から放電によりエネルギーが＃１のインダクタＬに蓄積される。続いて、デューティ比分

だけ遅れた#1のスイッチング素子SWのオンオフ動作により、#1のインダクタLに蓄積されたエネルギー分#1の電池102に充電される。

[0027] また、メイン制御CPU116は、#2と#3の電池102間のバランス制御を実施すると判定したときには、スイッチング制御CPU202に対して、所定の周波数とデューティ比を指定して、#3と#4のスイッチング素子SWを動作させるように指示する。そして例えば、メイン制御CPU116が、電池監視部108の電圧監視結果に基づいて、#2の電池102の電圧が#3の電池102の電圧よりも高いと判定する。この場合はまず、#3のスイッチング素子SWのオンオフ動作により、#2の電池102から放電によりエネルギー分#2のインダクタLに蓄積される。続いて、デューティ比分だけ遅れた#4のスイッチング素子SWのオンオフ動作により、#2のインダクタLに蓄積されたエネルギー分#3の電池102に充電される。逆に例えば、メイン制御CPU116が、電池監視部108の電圧監視結果に基づいて、#3の電池102の電圧が#2の電池102の電圧よりも高いと判定する。この場合はまず、#4のスイッチング素子SWのオンオフ動作により、#3の電池102から放電によりエネルギー分#2のインダクタLに蓄積される。続いて、デューティ比分だけ遅れた#3のスイッチング素子SWのオンオフ動作により、#2のインダクタLに蓄積されたエネルギー分#2の電池102に充電される。

[0028] さらに、メイン制御CPU116は、#3と#4の電池102間のバランス制御を実施すると判定したときには、スイッチング制御CPU202に対して、所定の周波数とデューティ比を指定して、#5と#6のスイッチング素子SWを動作させるように指示する。そして例えば、メイン制御CPU116が、電池監視部108の電圧監視結果に基づいて、#3の電池102の電圧が#4の電池102の電圧よりも高いと判定する。この場合はまず、#5のスイッチング素子SWのオンオフ動作により、#3の電池102から放電によりエネルギーが#3のインダクタLに蓄積される。続いて、デューティ比分だけ遅れた#6のスイッチング素子SWのオンオフ動作により、

3 のインダクタ L に蓄積されたエネルギー分 # 4 の電池 1 0 2 に充電される。逆に例えば、メイン制御 CPU 1 1 6 が、電池監視部 1 0 8 の電圧監視結果に基づいて、# 4 の電池 1 0 2 の電圧が # 3 の電池 1 0 2 の電圧よりも高いと判定する。この場合はまず、# 6 のスイッチング素子 SW のオンオフ動作により、# 4 の電池 1 0 2 から放電によりエネルギーが # 3 のインダクタ L に蓄積される。続いて、デューティ比だけ遅れた # 5 のスイッチング素子 SW のオンオフ動作により、# 3 のインダクタ L に蓄積されたエネルギー分 # 3 の電池 1 0 2 に充電される。

[0029] 以上のようにして、コンバータバランス回路 1 0 7 では、電池監視部 1 0 8 でのスタック 1 0 3 内の各電池 1 0 2 の電圧監視の結果、低電圧系基板 1 0 6 上のメイン制御 CPU 1 1 6 によってバランス制御が必要であると判定されたときには、高電圧系基板 1 0 4 上のスイッチング制御 CPU 2 0 2 によって、# 1 から # 3 のインダクタ L および # 1 から # 6 のスイッチング素子 SW が順次選択的に動作させられる。この結果、# 1 から # 4 の各電池 1 0 2 のそれぞれ隣接する電池 1 0 2 間でバランス制御が順次実施され、その動作が繰り返されることにより、最終的にスタック 1 0 3 内の # 1 から # 4 の電池 1 0 2 の電圧が均一になる。

[0030] 図 1 および図 2 の構成において、電池監視部 1 0 8 は、電池ブロック 1 0 1 の各スタック 1 0 3 内の各電池 1 0 2 の電圧や温度を直接監視するため、高電圧系基板 1 0 4 上に実装されることが望ましい。また、バランス回路 2 0 1 は、各電池 1 0 2 を直接制御するため、高電圧系基板 1 0 4 上に実装されることが望ましい。さらに、スイッチング制御 CPU 2 0 2 は、パルス信号をスイッチング素子 SW に供給するため、あまり長い信号経路を有することは望ましくなく、従って、上記高電圧系基板 1 0 4 上に実装されることが望ましい。このようにして、スタック 1 0 3 内の電池監視を行うための電池監視部 1 0 8 と、スタック 1 0 3 内の均等化制御を行うためのバランス回路 2 0 1 およびスイッチング制御 CPU 2 0 2 が、スタック 1 0 3 に対応した高電圧系基板 1 0 4 上に実装される。これらの構成は、スタック 1 0 3 ごと

にそれに対応する高電圧系基板 104 上にモジュール化しておくことにより、電池 102 の直列数が増えた場合であっても、スタック 103 の単位で高電圧系基板 104 のモジュールを増設するだけで対応することが可能となる。

[0031] 図 1 および図 2 に示される実施形態において、低電圧系基板 106 上のメイン制御 CPU 116 は、各高電圧系基板 104 上の電池監視部 108 が検出する各電池 102 の電圧のデジタル値に基づいて、電池 102 の電圧バランスが崩れているか否かを判定する。そして、その判定結果に基づいて、まず、メイン制御 CPU 116 が、以下に具体的に説明する制御動作に基づいて、トランスバランス回路 105 内のスイッチング制御 CPU 115 を動作させて、スタック 103 間のおおまかな電圧バランスを調整する。その後、メイン制御 CPU 116 からの指示に基づいて、各コンバータバランス回路 107 内のスイッチング制御 CPU 202（図 2）が、各バランス回路 201 を動作させて、各スタック 103 内の各電池 102 の電圧バランスを均一な状態に追い込んでゆく。このようなデジタル制御をきめ細かく行うことにより、効率のよいセルバランスが可能となり、バランスまでの時間を短縮することが可能となる。

[0032] 図 3 は、図 1 の低電圧系基板 106 上のメイン制御 CPU 116 が実行する制御動作を示すフローチャートである。この制御動作は、メイン制御 CPU 116 内の特には図示しないプロセッサが、特には図示しないメモリに記憶された制御プログラムを実行する動作として実現される。この制御プログラムは、例えば本実施形態のシステムを搭載した車両のイグニッションオフ時、またはアイドリング開始時に、1 回、または所定の時間間隔で繰返し実行される。

[0033] まず、メイン制御 CPU 116 は、各コンバータバランス回路 107 に接続された各電池監視部 108（図 1）を用いて、各電池 102 の各両端電圧を測定し、それをデジタル値として取得する（ステップ S301）。

[0034] メイン制御 CPU 116 は、各電池 102 の最大電圧値と最小電圧値の差

を計算する（ステップS302）。

[0035] メイン制御CPU116は、ステップS302で計算した最大電圧値と最小電圧値の差が所定の閾値1以上であるか否かを判定する（ステップS303）。この閾値1は、バランス制御の要否を判定するものである。

[0036] ステップS303の判定の結果、差が閾値1よりも小さければ、メイン制御CPU116は、バランス制御は不要であると判定して、今回のバランス制御を終了する。

[0037] ステップS303の判定の結果、差が閾値1以上ならば、メイン制御CPU116はさらに、各電池監視部108の電圧監視結果に基づいて、各スタック103の両端電圧を計算する。具体的には、メイン制御CPU116は、各スタック103に、そのスタック103に属する例えば#1から#4の電池102（図2参照）の各両端電圧値を全て加算して、そのスタック103の両端電圧とする。そして、メイン制御CPU116は、各スタック103の最大電圧値と最小電圧値の差を計算する（以上、ステップS304）。

[0038] メイン制御CPU116は、ステップS304で計算した最大電圧値と最小電圧値の差が所定の閾値2以上であるか否かを判定する（ステップS305）。この閾値2は、スタック間バランス制御の要否を判定するものである。

[0039] ステップS305の判定の結果、差が閾値2よりも小さければ、メイン制御CPU116は、スタック間バランス制御は不要であると判定して、ステップS307以降のスタック内バランス制御に移行する。

[0040] ステップS305の判定の結果、差が閾値2以上ならば、メイン制御CPU116は、図1の高電圧系基板上のトランスバランス回路105内のスイッチング制御CPU202に、トランスバランス回路105によるスタック間バランス制御の起動指示を行う（ステップS306）。この動作の詳細については、図4のフローチャートの説明において後述する。

[0041] ステップS306のスタック間バランス制御の動作の後、またはステップS305でスタック間バランス制御は不要である（差が閾値2よりも小さい

）と判定された場合には、ステップS 3 0 7からS 3 1 1で示されるスタック内バランス制御のための制御ループが実行される。

[0042] まず、メイン制御CPU 1 1 6は、図1の電池ブロック1 0 1を構成する各スタック1 0 3を順次選択する。

[0043] メイン制御CPU 1 1 6は、電池監視部1 0 8の電圧監視結果に基づいて、選択したスタック1 0 3内の各# 1から# 4の各電池1 0 2（図2）の電池電圧を測定する（ステップS 3 0 7）。

[0044] 次に、メイン制御CPU 1 1 6は、選択したスタック1 0 3内の# 1から# 4の各電池1 0 2の最大電圧値と最小電圧値の差を計算する（ステップS 3 0 8）。

[0045] メイン制御CPU 1 1 6は、ステップS 3 0 8で計算した最大電圧値と最小電圧値の差が所定の閾値3以上であるか否かを判定する（ステップS 3 0 9）。この閾値3は、スタック内バランス制御の要否を判定するものである。

[0046] ステップS 3 0 9の判定の結果、差が閾値3よりも小さければ、メイン制御CPU 1 1 6は、選択したスタック1 0 3内のバランス制御は不要であると判定する。この結果、メイン制御CPU 1 1 6は、ステップS 3 1 1の判定処理に移行する。

[0047] ステップS 3 0 9の判定の結果、差が閾値3以上ならば、メイン制御CPU 1 1 6は、選択したスタック1 0 3に対応する高電圧系基板1 0 4上のコンバータバランス回路1 0 7内のスイッチング制御CPU 2 0 2にスタック内バランス制御の起動指示を行う。この結果、スイッチング制御CPU 2 0 2は、自身が属するスタック1 0 3内の# 1と# 2の電池1 0 2、# 2と# 3の電池1 0 2、# 3と# 4の電池1 0 2を順次指定する。そしてスイッチング制御CPU 2 0 2は、指定した電池1 0 2のペアについて、該当するスイッチング素子SWを動作させてスタック内バランス制御の動作を実行する（ステップS 3 1 0）。この動作の詳細については、図6のフローチャートの説明において後述する。

- [0048] メイン制御CPU116は、今回全てのスタック103についてスタック内バランス制御が終了したか否かを判定する（ステップS311）。
- [0049] 今回全てのスタック103についてスタック内バランス制御が終了していないと判定したならば、メイン制御CPU116は、未処理のスタック103を選択し、ステップS307の処理に戻って、そのスタック103に対しスタック内バランス制御を実行させる。
- [0050] 今回全てのスタック103についてスタック内バランス制御が終了したと判定したならば、メイン制御CPU116は、今回のバランス制御の処理を終了する。
- [0051] 図4は、低電圧系基板106上のメイン制御CPU116による図3のステップS306のスタック間バランス制御の起動指示に基づいて、高電圧系基板上のトランスバランス回路105内のスイッチング制御CPU115によって起動される制御動作を示すフローチャートである。
- [0052] まず、スイッチング制御CPU115は、電池ブロック101（図1）に電流が流れているか否かを、電池ブロック101の一端に接続された特には図示しない電流計を使って判定する（ステップS401）。
- [0053] スwitchング制御CPU115は、車両のアイドリング時などで、ステップS401で電池ブロック101に電流が流れていると判定した場合、メイン制御CPU116によって図3のステップS304で計算されたスタック103毎の電圧値をそれぞれ、ステップS401で測定される電流値で除算することにより、各スタック103の内部抵抗を算出する（ステップS402）。
- [0054] 一方、スイッチング制御CPU115は、車両のイグニッションオフ時などで、ステップS401で電池ブロック101に電流が流れていないと判定した場合、特には図示しない温度センサから電池ブロック101の温度値を取得する。そして、スイッチング制御CPU115は、図3のステップS304で計算した各スタック103の電流が流れていない状態での電圧値（OCV：オープンサーキットボルテージ）と、上記温度値とで、内部に保持し

ている温度毎のOCVー内部抵抗マップを参照して、内部抵抗を推定する（ステップS403）。図5は、温度毎のOCVー内部抵抗マップのデータ構成例を示す図である。温度〔℃〕とOCV〔V〕の各値に内部抵抗〔mΩ〕が記憶されている。

[0055] スイッチング制御CPU115は、ステップS402またはS403による内部抵抗の値から、図1のトランスバランス回路105でのスイッチング動作のためのパルス信号の周波数とデューティ比を計算し設定する（ステップS404）。

[0056] この結果、スイッチング制御CPU115からスイッチング素子113にパルス信号が出力され、スイッチング制御が実行される（ステップS405）。

[0057] 図6は、低電圧系基板106上のメイン制御CPU116による図3のステップS310のスタック内バランス制御の起動指示に基づいて、メイン制御CPU116によって選択されたスタック103に対応する高電圧系基板104上のコンバータバランス回路107内のスイッチング制御CPU202によって起動される制御動作を示すフローチャートである。

[0058] まず、図2のスイッチング制御CPU202は、電池ブロック101（図1）に電流が流れているか否かを、電池ブロック101の一端に接続された特には図示しない電流計を使って判定する（ステップS601）。

[0059] スイッチング制御CPU202は、車両のアイドリング時などで、ステップS601で電池ブロック101に電流が流れていると判定した場合、メイン制御CPU116によって図3のステップS307で計算された電池102毎の電圧値をそれぞれ、ステップS601で測定される電流値で除算することにより、各電池102の内部抵抗を算出する（ステップS602）。

[0060] 一方、スイッチング制御CPU202は、車両のイグニッションオフ時などで、ステップS601で電池ブロック101に電流が流れていないと判定した場合、特には図示しない温度センサから電池ブロック101の温度値を取得する。そして、スイッチング制御CPU202は、図3のステップS3

07で計算した各電池102の電流が流れていない状態での電圧値（OCV）と、上記温度値とで、内部に保持している温度毎のOCVー内部抵抗マップを参照して、内部抵抗を推定する（ステップS603）。温度毎のOCVー内部抵抗マップのデータ構成例は、図5と同様である。

[0061] スイッチング制御CPU202は、ステップS602またはS603による内部抵抗の値から、図2のコンバータバランス回路107での選択したスイッチング素子SWでのスイッチング動作のためのパルス信号の周波数とデューティー比を計算し設定する（ステップS604）。なお、この計算処理において、温度センサからの温度情報を加味して計算がされてもよい。また、パルス信号の周波数とデューティー比は、予め固定された任意の値が設定されてもよい。

[0062] この結果、スイッチング制御CPU202からスイッチング素子SWにパルス信号が出力され、スイッチング制御が実行される（ステップS605）。

[0063] 上述した実施形態において、トランスバランス回路105としては、スタック103間の電位差を均一化できるようなアクティブバランス構成が採用されれば、どのような構成のものであってもよい。また、コンバータバランス回路107としては、スタック103内の各電池102間の電位差を均一化できるようなアクティブバランス構成が採用されれば、どのような構成のものであってもよい。

[0064] 以上の実施形態で説明したように、均等化制御の直接制御系を高電圧系基板上にモジュール化し、全体の均等化制御を行うメイン制御CPUを低電圧系基板上に配置することにより、電池の直列数の増加などに容易に対応する。これにより、回路規模の増大を抑制することができる。

[0065] また、実施形態で説明したように、電池102の直列数が増えた場合であっても、スタック103の単位で高電圧系基板104のモジュールを増設すればよく、全体の均等化制御は低電圧系基板106上のメイン制御CPU116で行えばよい構成にした。これにより、制御の煩雑化を防ぐことができ

る。

請求の範囲

[請求項1]

複数の電池が直列接続されて構成される電池ブロックにおける該複数の電池の電圧を均等化させる電池均等化装置であって、

前記複数の電池のうち、所定数の電池からなる複数のスタックのスタックごとに、該スタック内の電池のうちの1つ以上の電池から放電される電荷を該スタック内の電池のうちの1つ以上の他の電池に充電させる動作を前記電池間に接続されるスイッチング素子のスイッチング動作により実行することで該スタック内の電池の電圧を均等化させるバランス回路と、該スタック内の各電池の電圧または温度を監視しデジタル信号値として検出する電池監視部と、前記バランス回路内のスイッチング素子に前記スイッチング動作を行わせるためのパルス信号を供給するスイッチング制御部と、が少なくとも配置される該スタックに対応する高電圧系基板と、

前記電池監視部が検出した前記各電池の電圧のデジタル信号値に基づいて、均等化の動作を実行すべきスタックまたは電池を決定し、該決定したスタックに対応する前記スイッチング制御部に前記スイッチング動作を指示するメイン制御部が少なくとも配置される低電圧系基板と、

前記スイッチング制御部または前記電池監視部と前記メイン制御部との間で電力的な絶縁を維持したまま通信を行わせ、前記高電圧系基板と前記低電圧系基板間に配置される絶縁素子と、

を備えることを特徴とする電池均等化システム。

[請求項2]

前記スタックの単位で電荷の放電または充電を行う動作を前記スタック間に接続されるスイッチング素子のスイッチング動作により実行することで該スタック間の電圧を均等化させる第2のバランス回路と、該第2のバランス回路内のスイッチング素子に前記スイッチング動作を行わせるためのパルス信号を供給する第2のスイッチング制御部とが、前記電池ブロックに対応する高電圧系基板上にさらに配置され

、

前記メイン制御部は、前記電池監視部が検出した前記各電池の電圧のデジタル信号値に基づいて、前記第2のスイッチング制御部に前記スタック間の電圧の均等化のためのスイッチング動作を指示する、
ことを特徴とする請求項1に記載の電池均等化システム。

[請求項3] 前記第2のバランス回路は、前記第2のスイッチング素子およびトランスを含む回路を介して、前記スタック間で電荷の放電または充電を行わせる、

ことを特徴とする請求項2に記載の電池均等化システム。

[請求項4] 前記バランス回路は、前記スタック内の電池のうちの1つ以上の電池から放電される電力を、前記スイッチング素子およびインダクタを含む回路を介して、前記スタック内の電池のうちの1つ以上の他の電池に充電させる、

ことを特徴とする請求項1ないし3のいずれかに記載の電池均等化システム。

[請求項5] 複数の電池が直列接続されて構成される電池ブロックにおける該複数の電池の電圧を均等化させる電池均等化方法であって、

前記複数の電池のうち、所定数の電池からなる複数のスタックのスタックごとに、少なくとも、該スタック内の電池のうちの1つ以上の電池から放電されるエネルギーを該スタック内の電池のうちの1つ以上の他の電池に充電させる動作を前記電池間に接続されるスイッチング素子のスイッチング動作により実行することで該スタック内の電池の電圧を均等化させるバランス回路と、該スタック内の各電池の電圧または温度を監視しデジタル信号値として検出する電池監視部と、前記バランス回路内のスイッチング素子に前記スイッチング動作を行わせるためのパルス信号を供給するスイッチング制御部と、を該スタックに対応する高電圧系基板上に配置し、

前記電池監視部が検出した前記各電池の電圧のデジタル信号値に基

づいて、均等化の動作を実行すべきスタックまたは電池を決定し、該決定したスタックに対応する前記スイッチング制御部に前記スイッチング動作を指示するメイン制御部を低電圧系基板上に配置し、

前記スイッチング制御部または前記電池監視部と前記メイン制御部との間で電力的な絶縁を維持したまま通信を行わせる絶縁素子を前記高電圧系基板と前記低電圧系基板間に配置する、

ことを特徴とする電池均等化方法。

[請求項6] 前記スタックの単位で電荷の放電または充電を行う動作を前記スタック間に接続されるスイッチング素子のスイッチング動作により実行することで該スタック間の電圧を均等化させる第2のバランス回路と、該第2のバランス回路内のスイッチング素子に前記スイッチング動作を行わせるためのパルス信号を供給する第2のスイッチング制御部とを、前記電池ブロックに対応する高電圧系基板上にさらに配置し、

前記メイン制御部において、前記電池監視部が検出した前記各電池の電圧のデジタル信号値に基づいて、前記第2のスイッチング制御部に前記スタック間の電圧の均等化のためのスイッチング動作を指示する、

ことを特徴とする請求項5に記載の電池均等化方法。

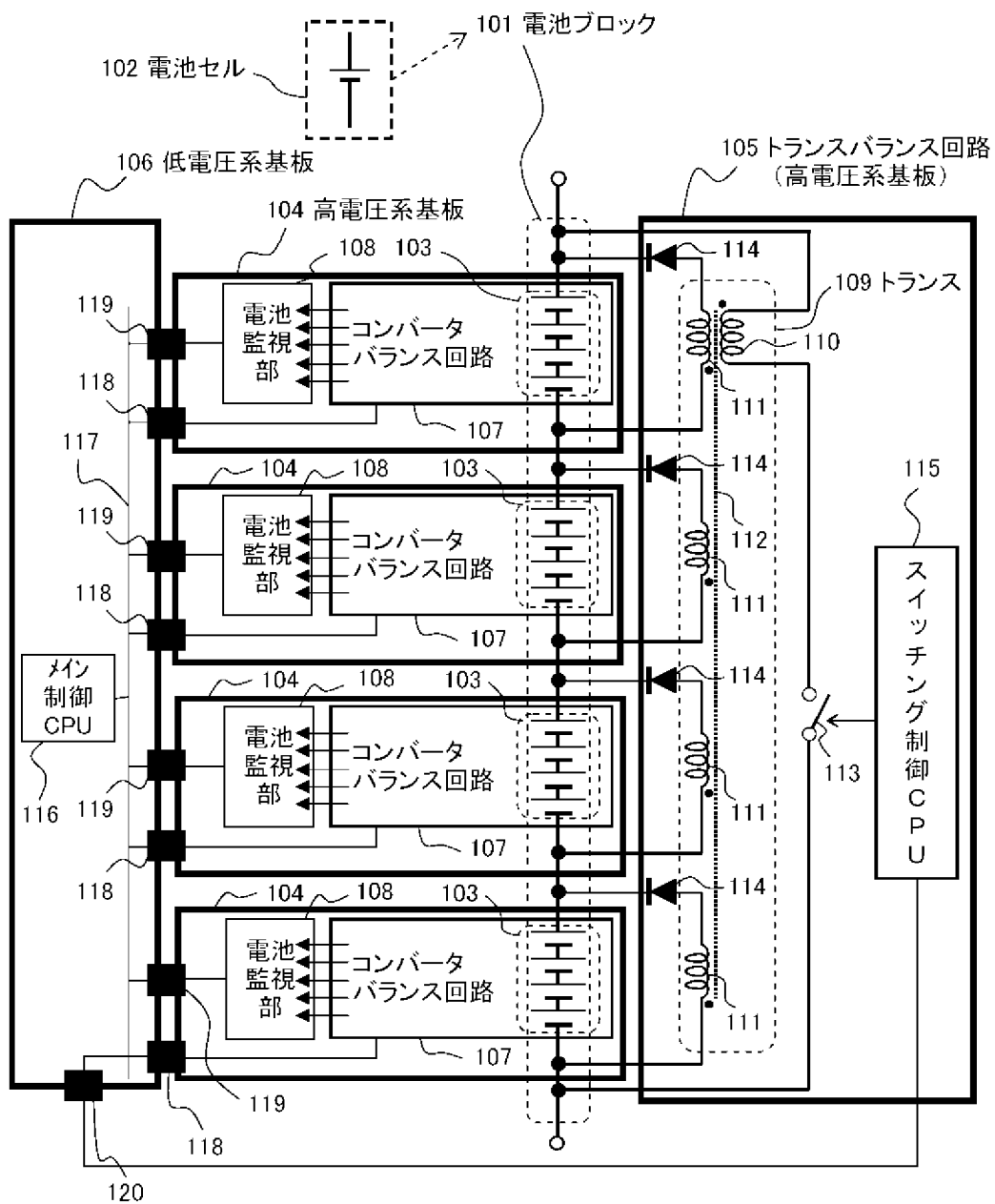
[請求項7] 前記第2のバランス回路において、前記第2のスイッチング素子およびトランスを含む回路を介して、前記スタック間で電荷の放電または充電を行わせる、

ことを特徴とする請求項6に記載の電池均等化方法。

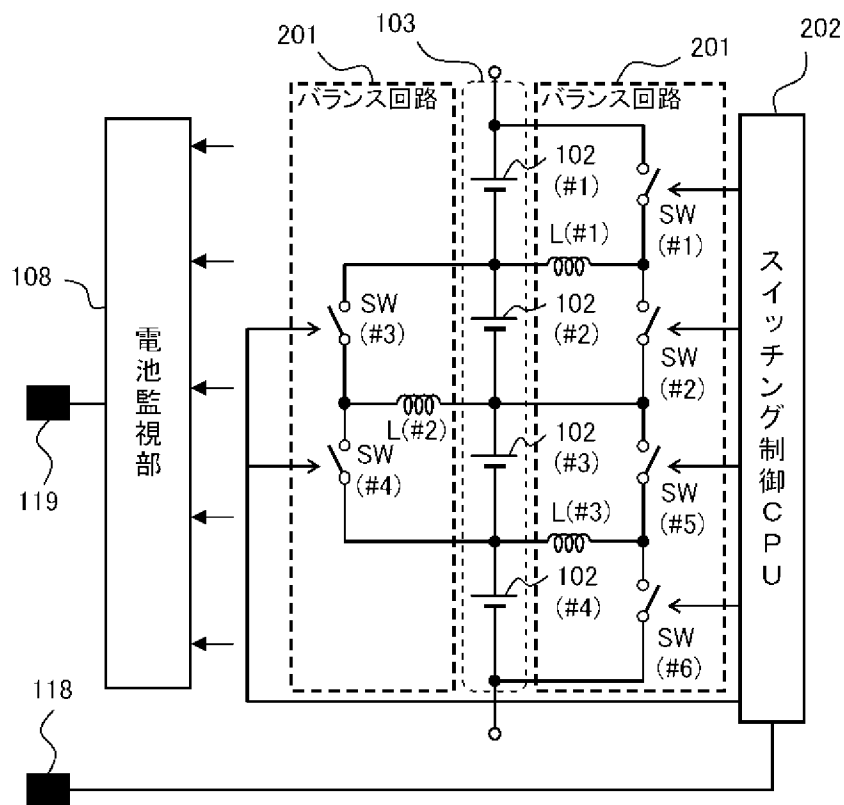
[請求項8] 前記バランス回路において、前記スタック内の電池のうちの1つ以上の電池から放電される電力を、前記スイッチング素子およびインダクタを含む回路を介して、前記スタック内の電池のうちの1つ以上の他の電池に充電させる、

ことを特徴とする請求項5ないし7のいずれかに記載の電池均等化方法。

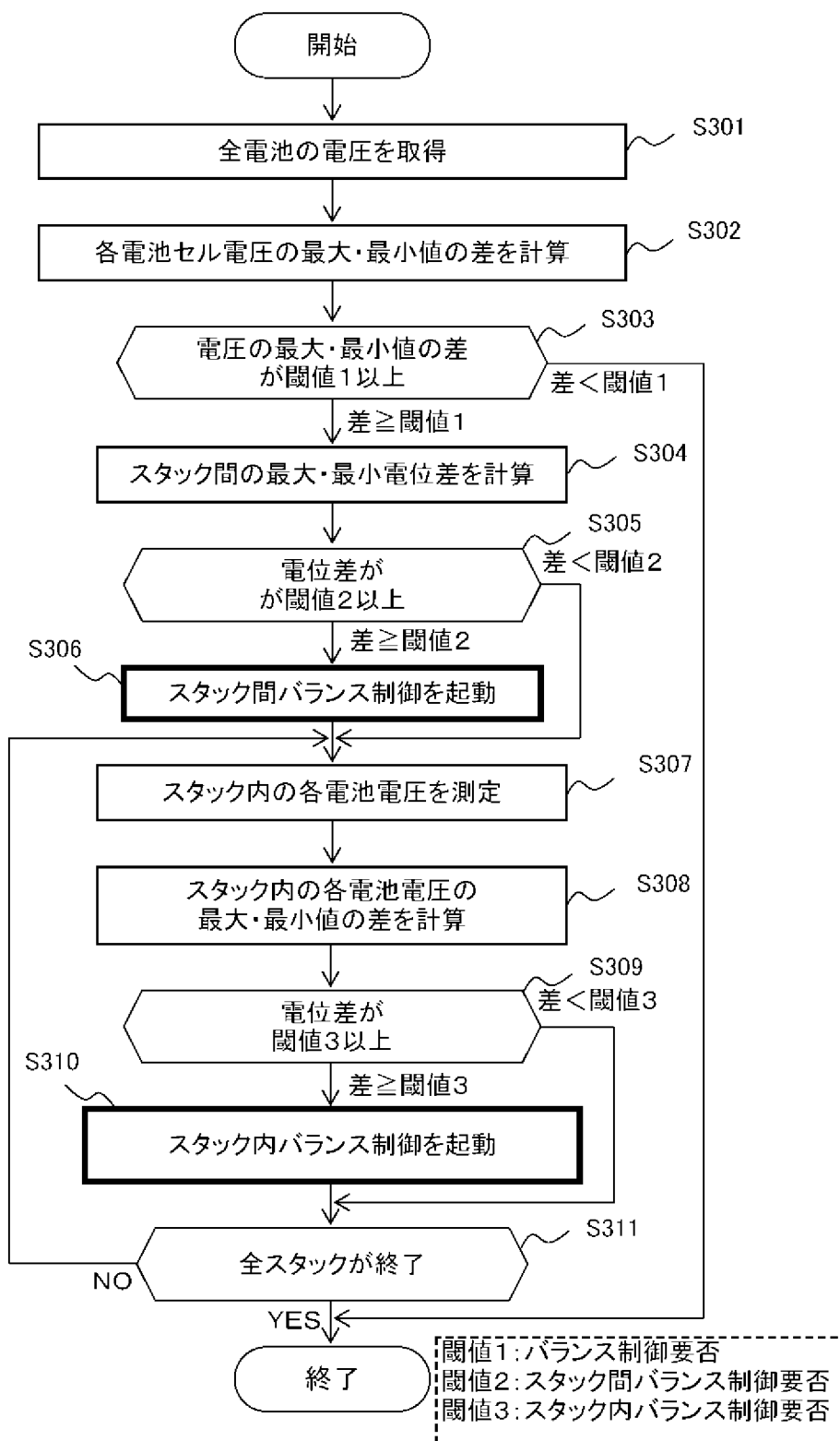
[図1]



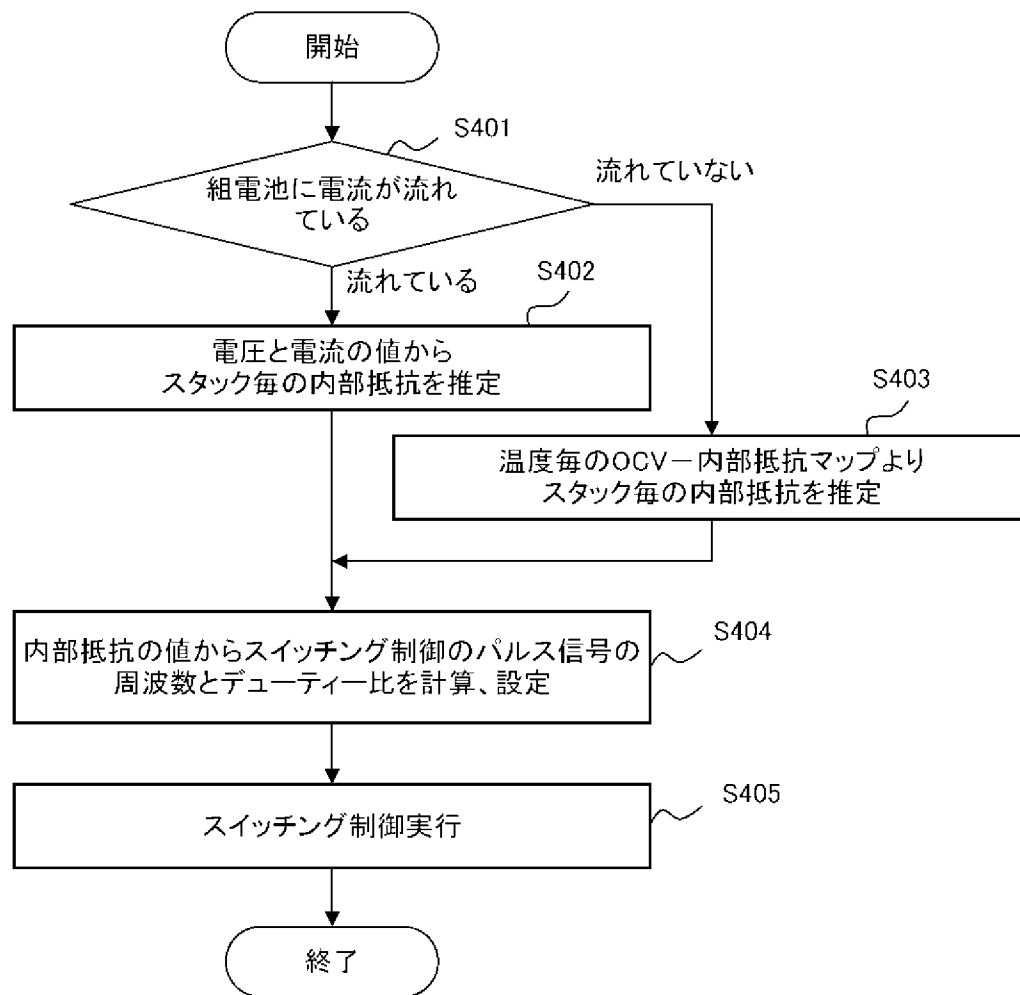
[図2]



[図3]



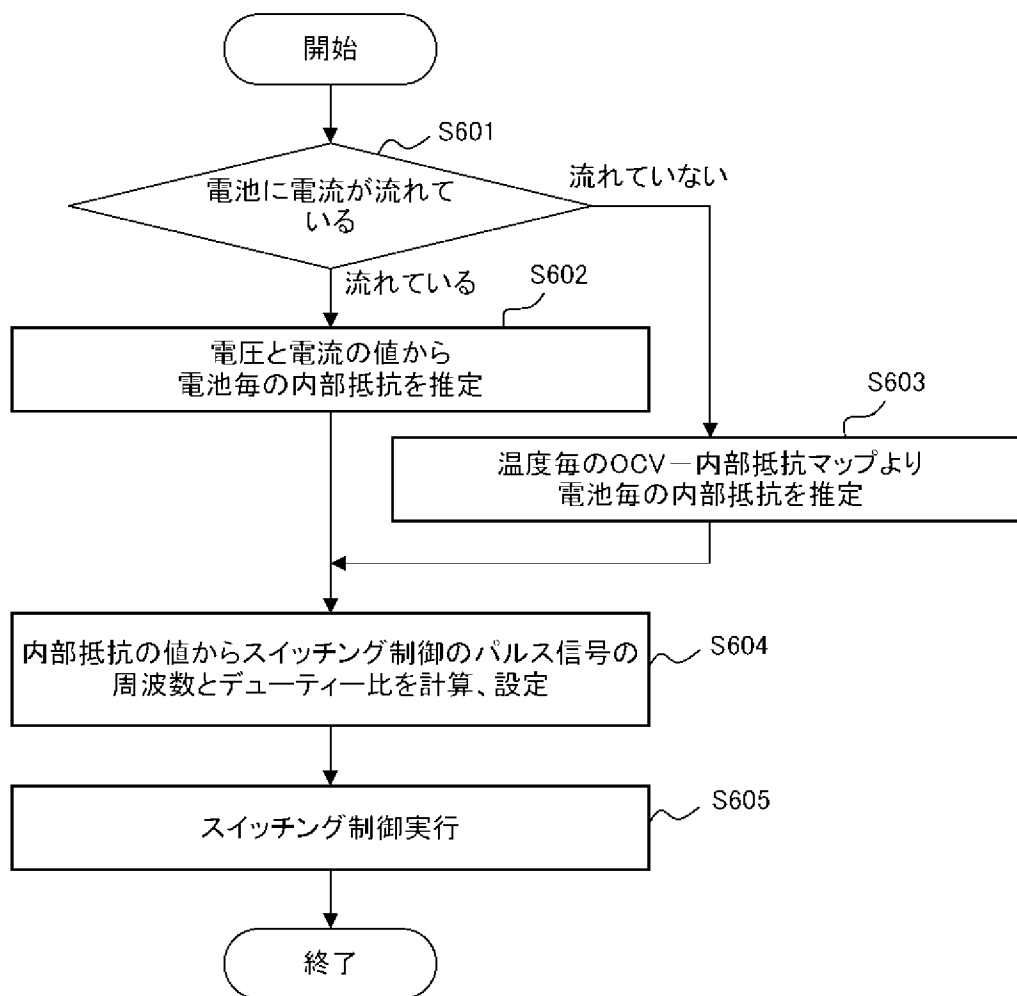
[図4]



[図5]

内部抵抗 [mΩ]		温度 [°C]						
		-30	0	10	25	40	50	60
OCV[V]	3.00	100	50	40	40	35	35	30
	3.04	98	48	38	38	33	33	31
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
	4.16	52	32	12	10	9	9	8
	4.20	50	30	10	8	7	7	6
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061391

A. CLASSIFICATION OF SUBJECT MATTER

H02J7/02(2006.01) i, H01M10/44(2006.01) i, H01M10/48(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02J7/02, H01M10/44, H01M10/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-16928 A (Hitachi, Ltd.), 21 January 2010 (21.01.2010), paragraphs [0067] to [0072], [0103] to [0108]; fig. 1 & US 2010/0001737 A1 & EP 2141782 A2 & CN 101621131 A & CN 102769313 A	1, 4, 5, 8 2, 3, 6, 7,
Y A	JP 2006-67742 A (FDK Corp.), 09 March 2006 (09.03.2006), entire text; all drawings (Family: none)	1, 4, 5, 8 2, 3, 6, 7,

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 June, 2013 (25.06.13)

Date of mailing of the international search report
02 July, 2013 (02.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02J7/02(2006.01)i, H01M10/44(2006.01)i, H01M10/48(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02J7/02, H01M10/44, H01M10/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-16928 A（株式会社日立製作所）2010.01.21, 段落 0067-0072, 0103-0108, 図 1 & US 2010/0001737 A1 & EP 2141782 A2 & CN 101621131 A & CN 102769313 A	1, 4, 5, 8 2, 3, 6, 7,
Y A	JP 2006-67742 A（F D K株式会社）2006.03.09, 全文全図（ファミ リーなし）	1, 4, 5, 8 2, 3, 6, 7,

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 6 . 2 0 1 3

国際調査報告の発送日

0 2 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

田中 慎太郎

5 T

3 2 4 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8