

公告本

406423

申請日期	87.9.28
案 號	87114242
類 別	H01L 27/15

A4
C4

(以上各欄由本局填註)

發明專利說明書

406423

一、發明 名稱	中 文	快閃記憶體元件
	英 文	
二、發明 創作人	姓 名	1.楊太欽、2.金柱榮、3.周永東、4.鄭鍾倍 5.李種錫、6.崔壹鉉、7.洪文杓、8.鄭採賢
	國 籍	大韓民國
住、居所		1.大韓民國漢城市冠岳區新林1洞1608-8 2.大韓民國漢城市瑞草區方背洞725番地新三湖公寓Da棟601號 3.大韓民國京畿道利川市夫餘里美里山136-1 4.大韓民國京畿道利川市大月邑巴東里 441-1 現代公寓 109 棟 804 號 5.大韓民國京畿道龍仁市水鏡邑豐德川里韓國公寓104棟104號 6.大韓民國漢城市松坡區芳美洞大林公寓5棟605號 7.大韓民國京畿道利川市夫餘里美里山148-1現代公寓108棟105號 8.大韓民國慶尚北道永川市金峯洞491-49
三、申請人	姓 名 (名稱)	韓國現代電子工業股份有限公司
	國 籍	大韓民國
	住、居所 (事務所)	大韓民國京畿道利川市夫餘里美里山136-1
	代 表 人 姓 名	鄭東洙

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (/)

發明領域：

本發明係關於一種快閃記憶體元件(Flash Memory Device)，特別是關於一種具有切換電路(Switching Circuit)的三井(triple wells)快閃記憶體元件，以提供一電壓至井區一段時間作為快閃記憶元抹除(erasing)之用。

發明背景：

一般來說，快閃電性可除可程式唯讀記憶體(flash electrically erasable and programmable read only memory；EEPROM)具有電性可程式及可抹除之雙重功能，並可依其閘極形狀分為堆疊閘極型(stack-gate type)及分離閘極型(split-gate type)。習知技藝之堆疊閘極型快閃記憶元(flash memory cell)的說明如下。

請參閱圖一之習知技藝中堆疊閘極型快閃記憶元，一隧穿(tunnel)氧化層 3、浮動閘極 4、介電層 5 及控制閘極 6 依序堆疊至矽基板 1 中的井區(well)2 之上，而雜質離子摻雜入閘極兩邊的基板 1 內，以形成源極 7 及汲極 8。上述之 EEPROM 的操作將參照圖二至圖四說明如下。

請參考圖二，將資料寫入快閃記憶元就是將浮動閘極 4 充電，一約為 9V 之較高電壓 V_G 被加至控制閘極 6 中，一 5V 之電源電壓 V_D 則被加至汲極 8，而將源極 7 及井區 2 接地。然後，由於較高電壓 V_G 被加至控制閘極 6，而形成一個介於源極 7 及汲極 8 之間的通道，並且由於電源電壓 V_D 被加至汲極 8，而於汲極 8 一側之基板 1 內形成高電場區。此時，存在於通道中之部分電子從高電場區中得到能量並變成熱電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

子，由於高電壓加至控制閘極，形成垂直方向的電場，使部份熱電子藉由穿過氧化層 3 而注入浮動閘極 4。據此，快閃記憶元之啓始電壓 V_T 可藉由熱電子的注入而提高。

請參閱圖三及圖四，將寫入快閃記憶元之資料抹除就是將儲存於浮動閘極 4 電荷放電， $-8V$ 之負電壓 V_G 被加至控制閘極 6 中， $-5V$ 之電壓 V_S 則被加至源極 7，而將汲極 8 及井區 2 接地。然後，由於 F-N (flower-nordheim) 隧穿現象，使已注入浮動閘極 3 的電子被移至源極 7，因此快閃記憶元之啓始電壓 V_T 就被降低。

當執行抹除操作時，因浮動閘極 4 及源極 7 之間電場的形成，而造成能帶間漏電(band to band leakage current)現象，且該帶間漏電現象會因為源極 7 及井區 2 間的電壓而加速，藉此電流將增加。此外，所產生的電洞穿越隧穿氧化層 3，並被注入浮動閘極 4，或被鄰接於源極 7 的隧穿氧化層 3 捕捉。由此現象，將發生記憶元過度抹除或循環特性降低之問題。

為避免此現象，源極 7 須被形成為雙擴散汲極(double diffused drain; DDD)結構，然而，由於雜質離子之側邊擴散，使得高集積密度之元件製作更為困難。

發明之概述：

本發明之目的是為克服上述之傳統快閃記憶體元件的缺點，並提供一種具有複數個記憶元於矽基板上的快閃記憶體元件，該基板具有三井結構及一個切換電路，當抹除操作完成，可加電壓於二井區一段時間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

五、發明說明(3)

本發明之快閃記憶體包括：形成於一基板中的第一井區；形成於所述第一井區中的第二井區；形成於所述第二井區中，並將其排列成具有多數個位元線及字元線陣列的複數個記憶元；可產生高壓以提供所述記憶元之讀、寫及抹除操作的升壓電路；及一抹除升壓裝置，在抹除操作中可加所述升壓至所述第一及第二井區一段時間。本發明快閃記憶體元件更包括：第三切換裝置，可使加至所述第一井區及所述第二井區的電壓放電；及第二延遲裝置，可延長加至所述第一井區之電壓的放電時間。

所述在抹除操作中可加所述高壓至所述第一及第二井區一段時間的裝置，包括：第一切換裝置，在抹除操作中可選擇性地將所述高壓加至所述第一井區；第二切換裝置，在抹除操作中可選擇性地將所述高壓加至所述第二井區；第一延遲裝置，以延遲所述高壓被加至所述第二井區通過所述第二切換裝置一段限定的時間；及一驅動電路，以驅動所述第一及第二切換裝置。

其中所述驅動電路包括：一邏輯元件，用以邏輯合併具有與抹除訊號相同準位之第一及第二訊號；及一高壓閉鎖電路，前述邏輯元件之輸出訊號及所述高壓係輸入該高壓閉鎖電路。其中該邏輯元件係為一 NAND 閘，而第一及第二切換裝置係為 PMOS 電晶體，並且，第三切換裝置係為一 NMOS 電晶體。

圖式簡要說明：

圖一為習知技藝中快閃記憶元之剖面示意圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

竣

五、發明說明 (4)

圖二為習知技藝中快閃記憶元的可程式操作之剖面示意圖。

圖三為習知技藝中快閃記憶元的抹除操作之剖面示意圖。

圖四為習知技藝中快閃記憶元的抹除操作時間圖。

圖五為本發明中快閃記憶體元件之電路圖。

圖六為本發明中快閃記憶元之剖面示意圖。

圖七為本發明中快閃記憶元的抹除操作之剖面示意圖。

圖八及圖九為本發明中快閃記憶元的抹除操作時間圖。

圖十為本發明中快閃記憶體元件井區偏壓切換電路之電路圖。

圖號說明：

1- 矽基板	E time- 抹除時間
2- 井區	G- NAND 閘
3- 通道氧化層	I- 反相器
4- 浮動閘極	K- 節點
5- 介電層	N- NMOS 電晶體
6- 控制閘極	P1- 第一 PMOS 電晶體
7- 源極	P2- 第二 PMOS 電晶體
8- 汲極	R1- 第一電阻
11-矽基板	R2- 第二電阻
12-第一井區	V _D - 汲極電壓
13-第二井區	V _G - 閘極電壓
14-通道氧化層	V _S - 源極電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

15-浮動閘極	V_T - 啓始電壓
16-介電層	V_{1w} -第一井區電壓
17-控制閘極	V_{2w} -第二井區電壓
18-源極	V_{PP} - 高壓
19-汲極	V_{PIN} - 第一輸入端
21-升壓電路	V_{IN} - 第二輸入端
22-調節電路	ERASE- 抹除訊號
23-井區偏壓切換電路	SXSEL- 區段選擇致能訊號
31-高壓閉鎖電路	SWVSS- 接地電壓切換訊號

發明詳細說明：

圖五顯示一快閃記憶體元件之電路示意圖，其包含一個三井結構。於本發明實施例中，第一井區 12 為 N 井，而第二井區 13 為 P 井，第一井區 12 形成於基板 11 上，第二井區 13 形成於第一井區 12 上，連接字元線及位元線的複數個記憶體元則形成於第二井區 13 上。欲執行上述快閃記憶體之抹除操作，一升壓電路(charge pump circuit)21 將升高抹除所需的電壓，一調節電路(regulation circuit)22 將調節被升高的電壓，然後該電壓將藉由井區偏壓切換電路(well bias switching circuit)23 加至第一及第二井區。

圖六是圖五 A 部份之剖面示意圖，其中顯示了本發明中快閃記憶體元件之一個記憶體元。隧穿氧化層 14、浮動閘極 15、介電層 16、及控制閘極 17 陸續堆疊至基板 11 上的第

(請先閱讀背面之注意事項再填寫本頁)

表

訂

406423

五、發明說明 (6)

二井區 13 之上，以形成一閘極結構。注入雜質離子於閘極兩側之基板中，以形成源極 18 及汲極 19。而上述快閃記憶元之抹除操作將參照圖七至圖九作以下之說明。

本發明提供兩個實例來說明將快閃記憶元中已寫入之資料抹除，也就是說，釋放出浮動閘極 15 中所儲存之電荷。

【實例一】請參閱圖七及圖八，將-8V 之負電壓 V_G 加至控制閘極 17 一段抹除時間 E_{time} ，並將源極 18 及汲極 19 浮動，再將一逐漸升高的正電壓 V_{2w} 加至第二井區 13，該正電壓 V_{2w} 由 3V、3.5V、4.0V、...、7.5V 逐漸升高至 8.0V，每一階電壓應維持 5 到 10 msec 左右。另外，與加至第二井區 13 之正電壓 V_{2w} 相同的電壓 V_{1w} 則被加至第一井區 12 一段時間。

【實例二】請參閱圖七及圖九，將-8V 之負電壓 V_G 加至控制閘極 17 一段抹除時間 E_{time} ，並將源極 18 及汲極 19 浮動，再將 8V 的正電壓 V_{2w} 加至第二井區 13，另外，與加至第二井區 13 之正電壓 V_{2w} 相同的電壓 V_{1w} 則被加至第一井區 12 一段時間。

欲執行上述之抹除操作，電壓 V_{1w} 及 V_{2w} 被個別地加至第一及第二井區一段時間，並須利用圖十所示之井區偏壓切換電路。

一區段選擇致能訊號 $SXSEL$ 及一接地電壓切換訊號 $SWVSS$ 被輸入至 NAND 閘 G ，一高壓 V_{PP} 藉由第一輸入端 V_{PPIN} 輸入一高壓閉鎖電路 31 中，而一 NAND 閘 G 之輸出訊號藉由第二輸入端 V_{IN} 輸入所述高壓閉鎖電路 31 中。一

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (1)

高壓閉鎖電路 31 之輸出訊號被輸入至第一及第二 PMOS 電晶體 P1 及 P2，由此所述高壓 31 即被輸入 P 井(第一井區)和 N 井(第二井區)。將第一電阻 R1 連接於第一 PMOS 電晶體 P1 和 P 井之間，而將 NMOS 電晶體 N 連接於節點 K 和地端之間。抹除訊號 ERASE 由反相器反相之，將該反相的抹除訊號輸入 NMOS 電晶體 N 做為閘極輸入。再者，將第二電阻 R2 連接於 N 井和節點 K 之間。

其中，所述區段選擇致能訊號 SXSEL 係為一訊號可用以選擇被抹除之區段，所述接地電壓切換訊號 SWVSS 係為一訊號可用以保持井區的電位做為地端電位，並且是由抹除訊號或決定抹除形式的邏輯訊號所產生。

驅動上述快閃記憶體元件之井區偏壓切換電路的方法將詳述如下。

欲執行抹除操作，在高準位之抹除訊號 ERASE 及高壓 VPP 必須被輸入，且區段選擇致能訊號 SXSEL 及接地電壓切換訊號 SWVSS 也必須保持於高準位。

該高準位之抹除訊號 ERASE 藉由反相器 I 被反相，然後該被反相的抹除訊號被輸入至做為切換裝置的 NMOS 電晶體 N，因此該 NMOS 電晶體 N 被關閉。所述高壓 VPP 輸入高壓閉鎖電路 31 第一輸入端 VPPIN，並加至做為切換裝置的第一及第二 PMOS 電晶體 P1 及 P2。所述區段選擇致能訊號 SXSEL 及高準位之所述接地電壓切換訊號 SWVSS 同時位於高準位而輸入 NAND 閘 G，因此 NAND 閘 G 之輸出則是低準位之訊號。該 NAND 閘 G 之輸出訊號藉由第二輸入端

(請先閱讀背面之注意事項再填寫本頁)

表

訂

備

五、發明說明 (8)

VIN 被輸入高壓閉鎖電路 31，該高壓閉鎖電路 31 具有第一輸入端 VPPIN，藉由該第一輸入端 VPPIN 將高壓 VPP 輸入，並具有第二輸入端 VIN，藉由該第二輸入端 VIN 將 NAND 閘 G 之低準位輸出訊號輸入，故該高壓閉鎖電路 31 之輸出係處於低準位。

第一及第二 PMOS 電晶體 P1 及 P2 藉由高壓閉鎖電路 31 的輸出訊號來開啓，高壓 VPP 經由被開啓的第一 PMOS 電晶體 P1 加至 P 井，並經由被開啓的第二 PMOS 電晶體 P2 加至 N 井。比較個別加至 P 井及 N 井的高壓 VPP，高壓加至 P 井是須經由做為延遲裝置的第一電阻 R1，藉此高壓在被延遲一段時間後才加至 P 井。由此可知，有某一段時間內 N 井電位係高於 P 井電位。

假如處於低準位的抹除訊號 ERASE 做為輸入，則抹除操作無法執行，所述區段選擇致能訊號 SXSEL 及接地電壓切換訊號 SWVSS 也必須維持於低準位，該處於低準位之區段選擇致能訊號 SXSEL 及接地電壓切換訊號 SWVSS 藉由 NAND 閘 G 變成高準位，當高壓 VPP 及高準位 NAND 閘 G 之輸出訊號經由第一輸入端 VPPIN 及第二輸入端 VIN 分別被輸入高壓閉鎖電路 31，該高壓閉鎖電路 31 即輸出一高準位的訊號。

由於高壓閉鎖電路 31 之高準位輸出訊號，使第一及第二 PMOS 電晶體 P1 及 P2 關閉，故高壓 VPP 不能加至 P 井及 N 井。該低準位之抹除訊號 ERASE 藉由反相器 I 反相之，並轉變為高準位，此被反相的訊號被輸入 NMOS 電晶體 N 中，

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

線

406423

五、發明說明(9)

使 NMOS 電晶體 N 開啓，而將接地電壓加至節點 K。

如此，分別加至 P 井及 N 井的電壓被導入地端，其中加至 P 井的電壓係經由 NMOS 電晶體 N 導入地端，然而，加至 N 井的電壓係經由做爲延遲裝置的第二電阻 R2 導入地端，因此，加至 N 井的電壓會在延遲一段時間後才導入地端。如此，任何時間內 N 井電位都會高於 P 井電位。

當抹除偏壓藉由上述電路加至快閃記憶元件時，注入至浮動閘極 15 的電子以 FIG.8 所示之隧穿現象(tunneling phenomenon)移動至第二井區 13，可使記憶元的啓始電壓 VT 降低。當上述抹除操作被執行時，源極 18 保持在浮動準位，因此，由形成於浮動閘極 15 及源極 18 之間的電場產生的帶間漏電流可被減少，以防止由源極 18 及第二井區 13 之間的電位差所產生的電流現象。另外，電流被分別加至第一及第二井區一段時間，可防止因電洞產生之減少而使記憶元過度抹除及循環特性降低的缺點。

如上所述之本發明不需要形成具有雙擴散汲極(DDD)結構的源極，故元件的集積密度可有效提昇，此外，第一井區及第二井區之二極體功能亦可有效地被防止。

以上所述係利用較佳實施例詳細說明本發明，而非限制本發明的範圍，因此熟知此技藝的人士應能明瞭，適當而作些微的改變與調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍，故都應視爲本發明的進一步實施狀況。謹請 貴審查委員明鑑，並祈惠准，是所至禱。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱:)

快閃記憶體元件

本發明係揭露一種快閃記憶體元件裝置，其中包括形成於基板中的第一井區及第二井區，及形成於第二井區中的複數個記憶元，並將記憶元排列成具有複數個位元線及字元線的陣列。將電壓個別地加至第一井區及第二井區一段時間，可防止記憶元過度抹除及循環特性降低的問題。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

六、申請專利範圍

1. 一種快閃記憶體元件，係包括：

第一井區，形成於一基板中；

第二井區，形成於所述第一井區中；

複數個記憶元，形成於所述第二井區中，並將其排列成具有多數個位元線及字元線的陣列，其中每一所述記憶元包括：

(a) 一汲極；

(b) 一源極，與所述汲極相隔一段距離，可於第二井區中之所述汲極與源極之間定義一通道；

(c) 一浮動閘極，形成於所述通道之上，並與所述通道絕緣；及

(d) 一控制閘極，形成於所述浮動閘極之上，並與所述浮動閘極絕緣；

一升壓電路，可產生高壓以提供所述記憶元之讀、寫及抹除操作；

一抹除升壓裝置，在抹除操作中可加所述高壓至所述第一及第二井區一段時間，所述裝置包括：

第一切換裝置，在抹除操作中可選擇性地將所述高壓加至所述第一井區；

第二切換裝置，在抹除操作中可選擇性地將所述高壓加至所述第二井區；

第一延遲裝置，以延遲所述高壓被加至所述第二井區通過所述第二切換裝置一段限定的時間；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- 一驅動電路，以驅動所述第一及第二切換裝置。
2. 如申請專利範圍第 1 項所述快閃記憶體元件，更包括：
 - 第三切換裝置，可使加至所述第一井區及所述第二井區的電壓放電，而所述第三切換裝置之操作可反映出一抹除訊號；及
 - 第二延遲裝置，可延長加至所述第一井區之電壓的放電時間。
3. 如申請專利範圍第 1 項所述快閃記憶體元件，其中所述驅動電路包括：
 - 一邏輯元件，以邏輯合併第一及第二訊號，該第一及第二訊號具有與所述抹除訊號相同之準位；及
 - 一高壓閉鎖電路，其中所述邏輯元件之輸出訊號及所述高壓係輸入該高壓閉鎖電路。
4. 如申請專利範圍第 3 項所述快閃記憶體元件，其中所述邏輯元件係為一 NAND 閘。
5. 如申請專利範圍第 1 項所述快閃記憶體元件，其中所述第一及第二切換裝置係為 PMOS 電晶體。
6. 如申請專利範圍第 2 項所述快閃記憶體元件，其中所述第三切換裝置係一 NMOS 電晶體。
7. 如申請專利範圍第 1 項所述快閃記憶體元件，其中所述加至第一及第二井區的高壓係一正電壓，並從 3V 至 8V 逐漸升高以提供抹除時間，以及一-8V 負電壓係加至所述控制閘極。
8. 如申請專利範圍第 1 項所述快閃記憶體元件，其中所述一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

8V 正電壓係加至所述第一及第二井區，而一-8V 負電壓係加至所述控制閘極。

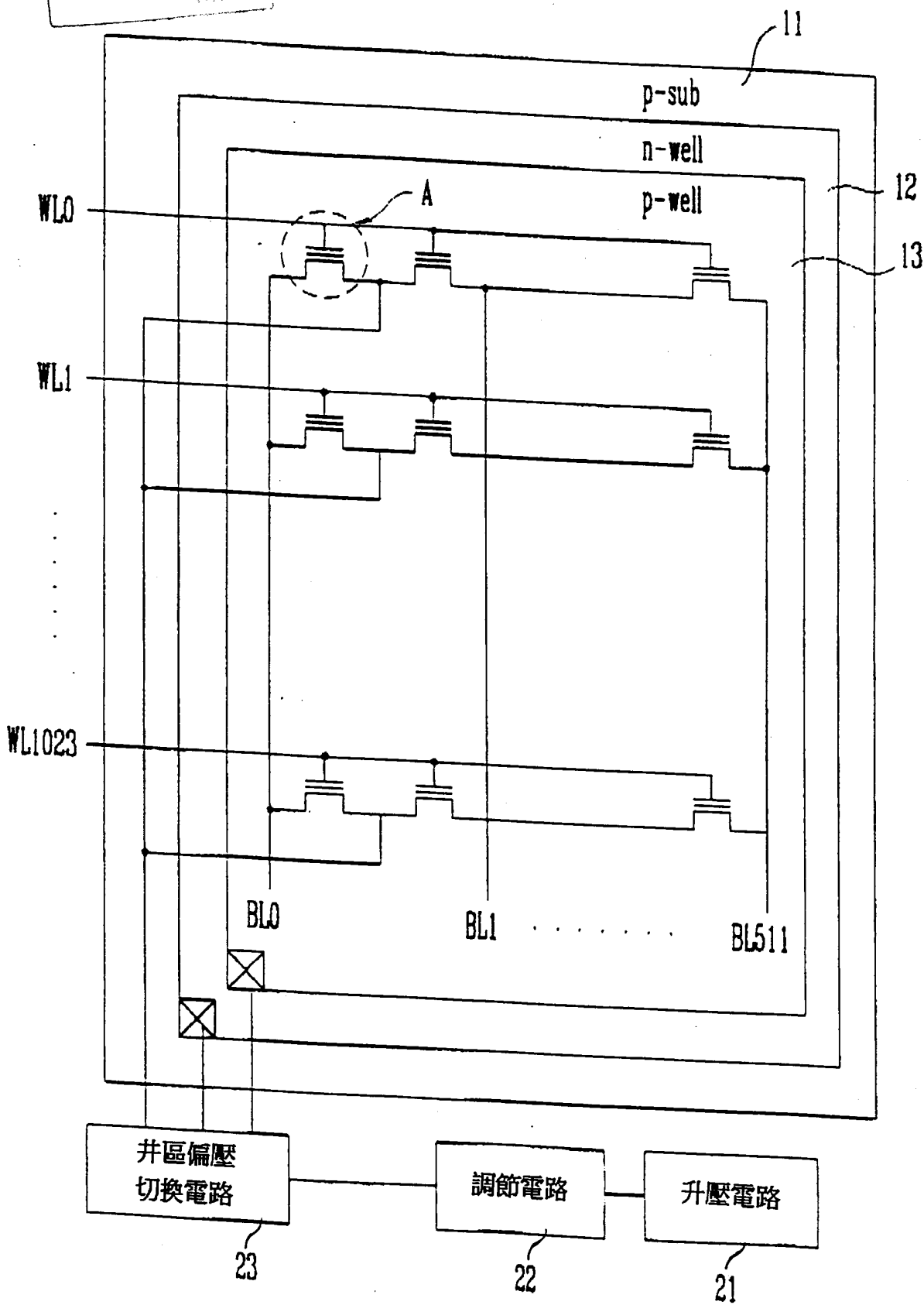
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

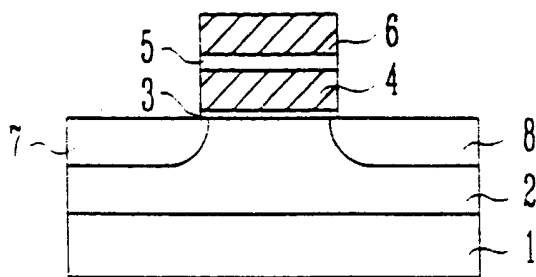
線

89年4月9日 修補 406423

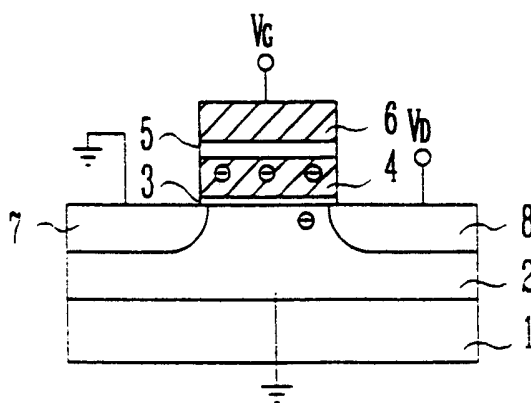


圖五

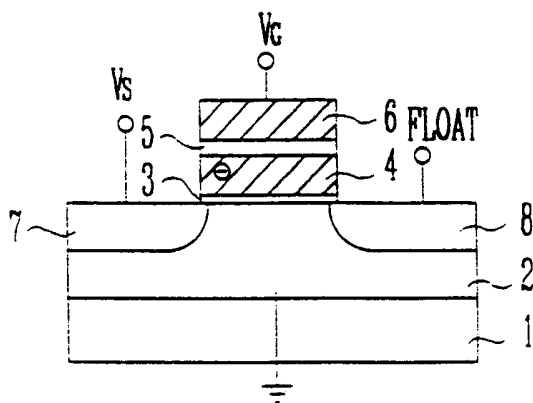
圖一
(習知技藝)



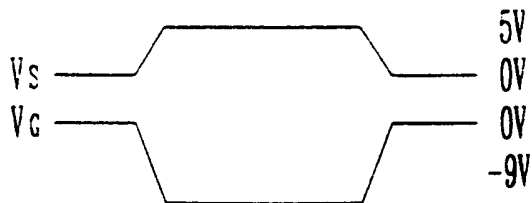
圖二
(習知技藝)



圖三
(習知技藝)



圖四
(習知技藝)



89年4月9日 修補 406423

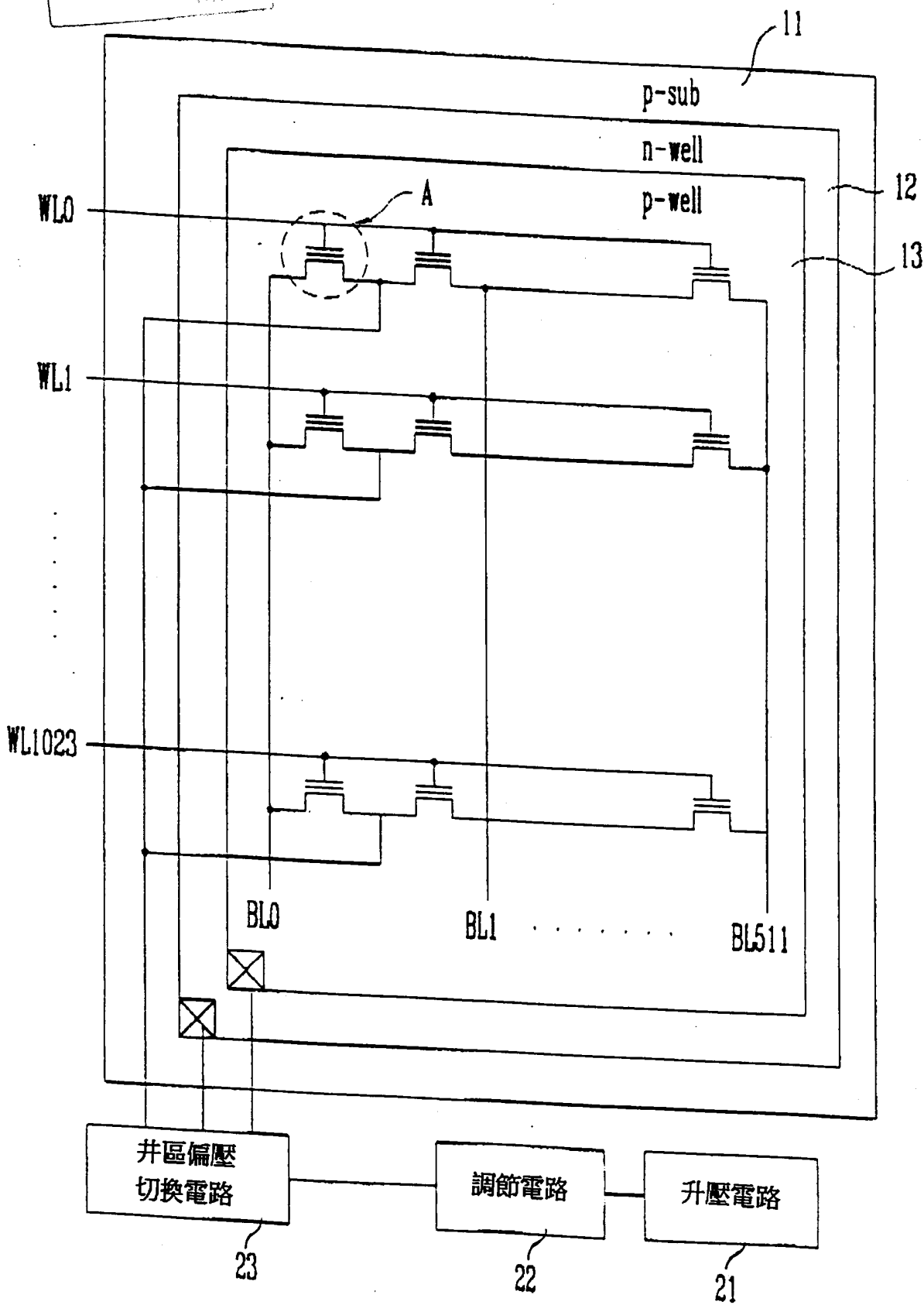


圖 五

406423

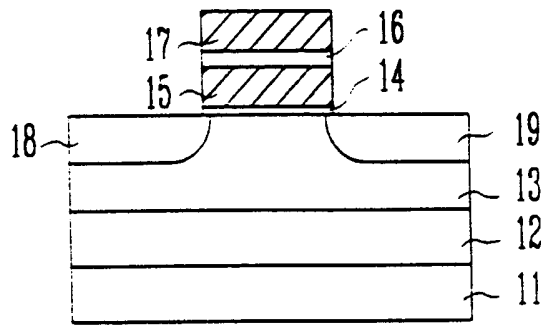


圖 六

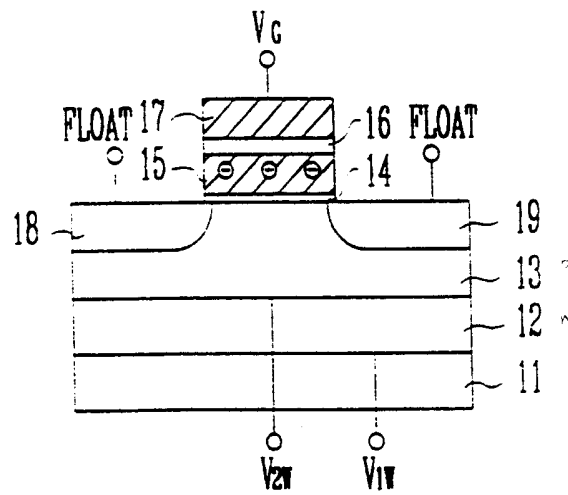


圖 七

406423

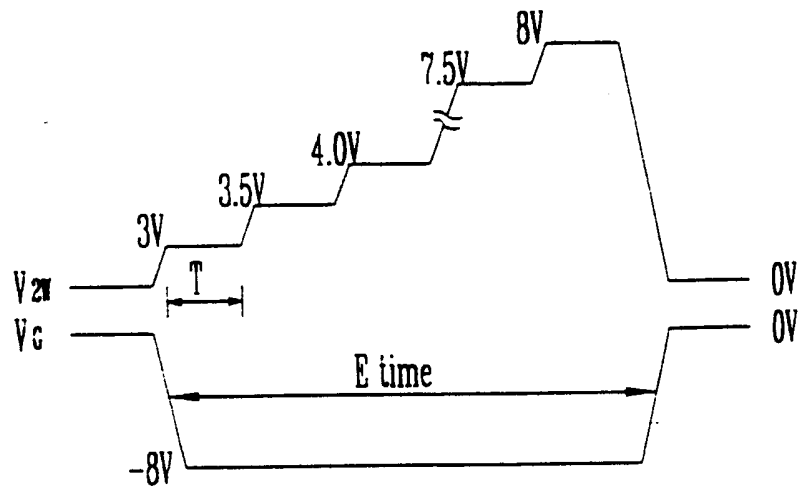


圖 八

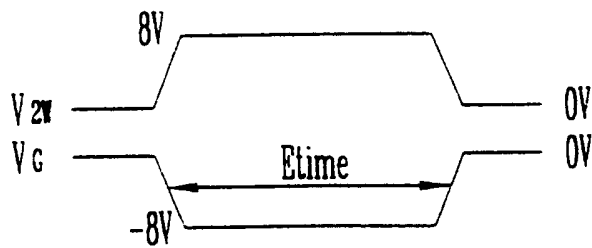


圖 九

