(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0056895
(43) 공개일자 2025년04월28일

(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2025.01) *H01L 21/48* (2025.01)
H01L 21/56 (2006.01) *H01L 23/00* (2006.01)
H01L 23/498 (2006.01) *H01L 23/538* (2006.01)
H01L 23/64 (2006.01) *H01L 25/00* (2025.01)
H01L 25/16 (2025.01) *H01L 25/18* (2025.01)
(52) CPC특허분류
H01L 25/0657 (2023.08)
H01L 23/49822 (2013.01)
(21) 출원번호 10-2025-7004556
(22) 출원일자(국제) 2023년07월19일
심사청구일자 없음
(85) 번역문제출일자 2025년02월12일
(86) 국제출원번호 PCT/US2023/070503
(87) 국제공개번호 WO 2024/044429
국제공개일자 2024년02월29일
(30) 우선권주장
17/894,043 2022년08월23일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
송, 얀메이
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
스톤, 윌리엄
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인(유)남아이피그룹

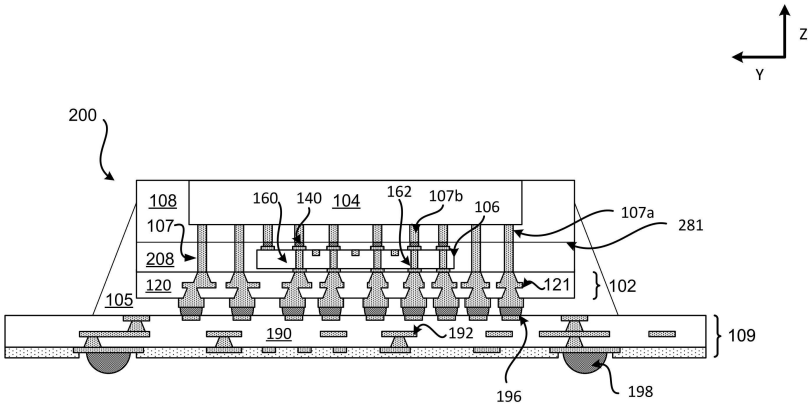
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **집적 디바이스와 금속화 부분 사이에 위치된 칩렛을 포함하는 패키지**

(57) 요 약

패키지는, 제1 금속화 부분, 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제1 집적 디바이스, 및 제1 집적 디바이스와 제1 금속화 부분 사이에 위치된 제1 칩렛을 포함한다. 제1 칩렛은 제1 복수의 기둥 간 상호연결부들을 통해 제1 집적 디바이스에 커플링된다. 제1 칩렛은 능동 칩렛을 포함할 수 있다. 제1 칩렛은 수동 칩렛을 포함할 수 있다.

대 표 도 - 도2



단면 프로파일 뷰

(52) CPC특허분류
H01L 23/49833 (2013.01)
H01L 23/5385 (2013.01)
H01L 23/5389 (2013.01)
H01L 23/642 (2013.01)
H01L 24/05 (2013.01)
H01L 25/0652 (2023.08)
H01L 25/16 (2025.01)
H01L 25/18 (2025.01)
H01L 25/50 (2025.01)

(72) 발명자
쑤, 지안웬
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
시바스와미, 센틸
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
홈즈, 존
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
레인, 라이언
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명 세 서

청구범위

청구항 1

패키지로서,

제1 금속화 부분;

제1 복수의 기둥 상호연결부(pillar interconnect)들을 통해 상기 제1 금속화 부분에 커플링된 제1 집적 디바이스; 및

상기 제1 집적 디바이스와 상기 제1 금속화 부분 사이에 위치된 제1 칩렛(chiplet) - 상기 제1 칩렛은 제1 복수의 기둥 간 상호연결부(inter pillar interconnect)들을 통해 상기 제1 집적 디바이스에 커플링됨 - 을 포함하는, 패키지.

청구항 2

제1항에 있어서, 상기 제1 칩렛은 트렌치 커패시터를 포함하는, 패키지.

청구항 3

제2항에 있어서, 상기 제1 칩렛은,

칩렛 기판;

복수의 트렌치 커패시터들; 및

적어도 하나의 관통 칩렛 기판 상호연결부(through chiplet substrate interconnect)를 포함하는, 패키지.

청구항 4

제1항에 있어서, 상기 제1 칩렛은 메모리, 전력 관리 집적 회로 또는 전압 조정기를 포함하는, 패키지.

청구항 5

제1항에 있어서, 상기 제1 금속화 부분 및 상기 제1 집적 디바이스에 커플링된 캡슐화(encapsulation) 층을 추가로 포함하는, 패키지.

청구항 6

제5항에 있어서, 상기 캡슐화 층은,

상기 제1 집적 디바이스에 커플링된 제1 캡슐화 층; 및

상기 제1 금속화 부분에 커플링된 제2 캡슐화 층을 포함하는, 패키지.

청구항 7

제6항에 있어서, 상기 제1 캡슐화 층과 상기 제2 캡슐화 층 사이에 위치된 유전체 층을 추가로 포함하고, 상기 유전체 층은 상기 제1 캡슐화 층 및 상기 제2 캡슐화 층에 커플링되는, 패키지.

청구항 8

제1항에 있어서,

제2 복수의 기둥 상호연결부들을 통해 상기 제1 금속화 부분에 커플링된 제2 집적 디바이스; 및

상기 제2 집적 디바이스와 상기 제1 금속화 부분 사이에 위치된 제2 칩렛 - 상기 제2 칩렛은 제2 복수의 기둥 간 상호연결부들을 통해 상기 제2 집적 디바이스에 커플링됨 - 을 추가로 포함하는, 패키지.

청구항 9

제8항에 있어서, 상기 제1 금속화 부분에 커플링된 브리지를 추가로 포함하고, 상기 브리지는 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이에 적어도 하나의 전기 경로(electrical path)를 제공하도록 구성되는, 패키지.

청구항 10

제8항에 있어서,

상기 제1 칩렛은 상기 제1 복수의 기둥 상호연결부들에 의해 측방향으로 둘러싸이고;

상기 제2 칩렛은 상기 제2 복수의 기둥 상호연결부들에 의해 측방향으로 둘러싸이는, 패키지.

청구항 11

제8항에 있어서,

상기 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 다이 상호연결부들을 포함하고,

상기 제2 집적 디바이스는 제2 최소 간격을 포함하는 제2 복수의 다이 상호연결부들을 포함하는, 패키지.

청구항 12

제11항에 있어서, 상기 제1 칩렛은 제3 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 패키지.

청구항 13

제1항에 있어서,

상기 제1 집적 디바이스는 제1 최소 간격을 포함하는 복수의 다이 상호연결부들을 포함하고,

상기 제1 칩렛은 제2 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 패키지.

청구항 14

제13항에 있어서, 상기 제1 최소 간격은 상기 제2 최소 간격 미만인, 패키지.

청구항 15

제1항에 있어서,

상기 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 트랜지스터들을 포함하고,

상기 제1 칩렛은 제2 최소 간격을 포함하는 제2 복수의 트랜지스터들을 포함하는, 패키지.

청구항 16

디바이스로서,

패키지를 포함하고, 상기 패키지는,

제1 금속화 부분;

제1 복수의 기둥 상호연결부들을 통해 상기 제1 금속화 부분에 커플링된 제1 집적 디바이스; 및

상기 제1 집적 디바이스와 상기 제1 금속화 부분 사이에 위치된 제1 칩렛 - 상기 제1 칩렛은 제1 복수의 기둥 간 상호연결부들을 통해 상기 제1 집적 디바이스에 커플링됨 - 을 포함하는, 디바이스.

청구항 17

제16항에 있어서, 상기 제1 칩렛은 트렌치 커패시터를 포함하는, 디바이스.

청구항 18

제17항에 있어서, 상기 제1 칩렛은,

칩렛 기판;

복수의 트렌치 커패시터들; 및

적어도 하나의 관통 칩렛 기판 상호연결부를 포함하는, 디바이스.

청구항 19

제16항에 있어서, 상기 제1 칩렛은 메모리, 전력 관리 집적 회로 또는 전압 조정기를 포함하는, 디바이스.

청구항 20

제16항에 있어서, 상기 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트폰, 개인 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(internet of things, IoT) 디바이스, 및 자동차 차량(automotive vehicle) 내의 디바이스로 구성된 그룹으로부터 선택되는, 디바이스.

청구항 21

패키지를 제조하기 위한 방법으로서,

제1 집적 디바이스 및 제1 복수의 기둥 간 상호연결부들을 제공하는 단계;

상기 제1 집적 디바이스 및 상기 제1 복수의 기둥 간 상호연결부들을 캡슐화하는 캡슐화 층을 형성하는 단계;

상기 제1 집적 디바이스에 커플링되도록 구성되는 제1 복수의 기둥 상호연결부들을 형성하는 단계;

상기 제1 복수의 기둥 간 상호연결부들을 통해 상기 제1 집적 디바이스에 제1 칩렛을 커플링하는 단계; 및

제1 금속화 부분이 상기 제1 칩렛 및 상기 제1 캡슐화 층에 커플링되도록 상기 제1 금속화 부분을 형성하는 단계를 포함하는, 방법.

청구항 22

제21항에 있어서, 상기 제1 칩렛은 트렌치 커패시터를 포함하는, 방법.

청구항 23

제22항에 있어서, 상기 제1 칩렛은,

칩렛 기판;

복수의 트렌치 커패시터들; 및

적어도 하나의 관통 칩렛 기판 상호연결부를 포함하는, 방법.

청구항 24

제21항에 있어서, 상기 제1 칩렛은 메모리, 전력 관리 집적 회로 또는 전압 조정기를 포함하는, 방법.

청구항 25

제21항에 있어서, 상기 제1 칩렛을 캡슐화하는 제2 캡슐화 층을 형성하는 단계를 추가로 포함하는, 방법.

청구항 26

제25항에 있어서, 상기 제2 캡슐화 층 및 상기 캡슐화 층은 동일한 캡슐화 층의 일부인, 방법.

청구항 27

제21항에 있어서,

제2 집적 디바이스 및 제2 복수의 기둥 간 상호연결부들을 제공하는 단계 - 상기 캡슐화 층을 형성하는 단계는

상기 제2 집적 디바이스 및 상기 제2 복수의 기둥 간 상호연결부들을 추가로 캡슐화하는 상기 캡슐화 층을 형성하는 단계를 포함함 -; 및

상기 제2 복수의 기둥 간 상호연결부들을 통해 상기 제2 집적 디바이스에 제2 칩렛을 커플링하는 단계를 추가로 포함하는, 방법.

청구항 28

제27항에 있어서, 상기 제1 집적 디바이스와 상기 제2 집적 디바이스 사이에 적어도 하나의 전기 경로를 제공하도록 구성되는 브리지를 제공하는 단계를 추가로 포함하는, 방법.

청구항 29

제21항에 있어서,

상기 제1 집적 디바이스는 제1 최소 간격을 포함하는 복수의 다이 상호연결부들을 포함하고,

상기 제1 칩렛은 제2 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 방법.

청구항 30

제21항에 있어서,

상기 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 트랜지스터들을 포함하고,

상기 제1 칩렛은 제2 최소 간격을 포함하는 제2 복수의 트랜지스터들을 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 상호참조

[0002] 본 출원은, 2022년 8월 23일자로 미국 특허청에 출원된 정규 출원 제17/894,043호에 대한 우선권 및 그의 이익을 주장하며, 그 출원의 전체 내용은 그 전체가 아래에서 완전히 기재된 것처럼 그리고 모든 적용가능한 목적들을 위해 참조로 본 명세서에 통합된다.

[0003] **기술분야**

[0004] 다양한 특징들은 집적 디바이스를 포함하는 패키지에 관한 것이다.

배 경 기 술

[0005] 패키지는 기판, 집적 디바이스 및 수동 디바이스를 포함할 수 있다. 이러한 컴포넌트들은 함께 커플링되어 다양한 전기 기능들을 수행할 수 있는 패키지를 제공한다. 집적 디바이스, 기판 및 수동 컴포넌트가 어떻게 함께 커플링되는지는 패키지가 전반적으로 어떻게 수행되는지에 영향을 미친다. 더 나은 성능의 패키지들을 제공해야 하는 지속적인 필요성이 있다.

발명의 내용

[0006] 다양한 특징들은 집적 디바이스를 포함하는 패키지에 관한 것이다.

[0007] 하나의 예는 패키지를 제공하고, 패키지는, 제1 금속화 부분, 제1 복수의 기둥 상호연결부(pillar interconnect)들을 통해 제1 금속화 부분에 커플링된 제1 집적 디바이스, 및 제1 집적 디바이스와 제1 금속화 부분 사이에 위치된 제1 칩렛(chiplet) - 제1 칩렛은 제1 복수의 기둥 간 상호연결부(inter pillar interconnect)들을 통해 제1 집적 디바이스에 커플링됨 - 을 포함한다.

[0008] 다른 예는 패키지를 포함하는 디바이스를 제공한다. 패키지는, 제1 금속화 부분, 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제1 집적 디바이스, 및 제1 집적 디바이스와 제1 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 복수의 기둥 간 상호연결부들을 통해 제1 집적 디바이스에 커플링됨 - 을 포함한다.

[0009] 다른 예는 패키지를 제조하기 위한 방법을 제공한다. 방법은 제1 집적 디바이스 및 제1 복수의 기둥 간 상호연결부들을 제공한다. 방법은 제1 집적 디바이스 및 제1 복수의 기둥 간 상호연결부들을 캡슐화하는 캡슐화 층을 형성한다. 방법은 제1 집적 디바이스에 커플링되도록 구성되는 제1 복수의 기둥 상호연결부들을 형성한다. 방법은 제1 복수의 기둥 간 상호연결부들을 통해 제1 집적 디바이스에 제1 칩렛을 커플링한다. 방법은, 제1 금속화 부분이 제1 칩렛 및 제1 캡슐화 층에 커플링되도록 제1 금속화 부분을 형성한다.

[0010] 다른 예는 패키지를 제공하고, 패키지는, 제1 금속화 부분, 제1 금속화 부분에 커플링된 제1 집적 디바이스, 제1 금속화 부분에 커플링된 제2 집적 디바이스, 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제2 금속화 부분, 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 금속화 부분을 통해 제1 집적 디바이스에 전기적으로 커플링되도록 구성됨 -, 및 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제2 칩렛 - 제2 칩렛은 제1 금속화 부분을 통해 제2 집적 디바이스에 전기적으로 커플링되도록 구성됨 - 을 포함한다.

[0011] 다른 예는 패키지를 포함하는 디바이스를 제공한다. 패키지는, 제1 금속화 부분, 제1 금속화 부분에 커플링된 제1 집적 디바이스, 제1 금속화 부분에 커플링된 제2 집적 디바이스, 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제2 금속화 부분, 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 금속화 부분을 통해 제1 집적 디바이스에 전기적으로 커플링되도록 구성됨 -, 및 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제2 칩렛 - 제2 칩렛은 제1 금속화 부분을 통해 제2 집적 디바이스에 전기적으로 커플링되도록 구성됨 - 을 포함한다.

[0012] 다른 예는 패키지를 제조하기 위한 방법을 제공한다. 방법은 제1 집적 디바이스 및 제2 집적 디바이스를 제공한다. 방법은 제1 집적 디바이스 및 제2 집적 디바이스를 캡슐화하는 캡슐화 층을 형성한다. 방법은, 제1 금속화 부분이 제1 집적 디바이스 및 제2 집적 디바이스에 커플링되도록 제1 금속화 부분을 형성한다. 방법은, 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들이 제1 금속화 부분에 커플링되도록 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들을 형성한다. 방법은 제1 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링한다. 방법은 제1 복수의 기둥 상호연결부들, 제2 복수의 기둥 상호연결부들, 제1 칩렛 및 제2 칩렛을 캡슐화하는 다른 캡슐화 층을 형성한다. 방법은, 제2 금속화 부분이 제1 칩렛 및 제2 칩렛에 커플링되도록 제2 금속화 부분을 형성한다.

[0013] 다른 예는 패키지를 제조하기 위한 방법을 제공한다. 방법은 제2 금속화 부분을 형성한다. 방법은, 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들이 제2 금속화 부분에 커플링되도록 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들을 형성한다. 방법은 제2 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링한다. 방법은 제1 복수의 기둥 상호연결부들, 제2 복수의 기둥 상호연결부들, 제1 칩렛 및 제2 칩렛을 캡슐화하는 캡슐화 층을 형성한다. 방법은, 제1 금속화 부분이 제1 칩렛 및 제2 칩렛에 커플링되도록 제1 금속화 부분을 형성한다. 방법은 제1 금속화 부분에 제1 집적 디바이스 및 제2 집적 디바이스를 커플링한다.

도면의 간단한 설명

[0014] 다양한 특징들, 속성, 및 이점들은, 동일한 참조 부호들이 전반에 걸쳐 대응하여 식별되는 도면들과 함께 취해질 때, 아래에 기재된 상세한 설명으로부터 명백해질 수 있다.

도 1은 집적 디바이스, 금속화 부분, 및 집적 디바이스와 금속화 부분 사이의 딥 트렌치 커패시터(deep trench capacitor, DTC)를 포함하는 패키지의 평면도를 예시한다.

도 2는 집적 디바이스, 금속화 부분, 및 집적 디바이스와 금속화 부분 사이의 딥 트렌치 커패시터를 포함하는 패키지의 평면도를 예시한다.

도 3은 집적 디바이스, 금속화 부분, 및 집적 디바이스와 금속화 부분 사이의 칩렛을 포함하는 패키지의 평면도를 예시한다.

도 4는 다수의 집적 디바이스들, 금속화 부분 및 다수의 딥 트렌치 커패시터들을 포함하는 패키지의 평면도를 예시한다.

도 5는 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 딥 트렌치 커패시터들을 포함하는 패키지의 평면도를 예시한다.

도 6은 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 칩렛들을 포함하는 패키지의 평면도를 예시한

다.

도 7은 다수의 집적 디바이스들, 금속화 부분, 및 다수의 딥 트렌치 커패시터들을 포함하는 패키지의 평면도를 예시한다.

도 8은 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 딥 트렌치 커패시터들을 포함하는 패키지의 평면도를 예시한다.

도 9는 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 칩렛들을 포함하는 패키지의 평면도를 예시한다.

도 10은 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 딥 트렌치 커패시터를 포함하는 패키지의 평면도를 예시한다.

도 11은 딥 트렌치 커패시터의 단면 프로파일 뷰를 예시한다.

도 12a 내지 도 12d는 딥 트렌치 커패시터를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 13은 딥 트렌치 커패시터를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 14a 내지 도 14d는 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 딥 트렌치 커패시터들을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 15a 내지 도 15c는 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 딥 트렌치 커패시터들을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 16a 내지 도 16c는 다수의 집적 디바이스들, 금속화 부분, 브리지, 및 다수의 딥 트렌치 커패시터들을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스를 예시한다.

도 17a 및 도 17b는 기판을 제조하기 위한 예시적인 시퀀스를 예시한다.

도 18은 기판을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.

도 19는 본 명세서에 설명된 다이, 전자 회로, 집적 디바이스, 집적 수동 디바이스(integrated passive device, IPD), 수동 컴포넌트, 패키지, 및/또는 디바이스 패키지를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0015] 다음의 설명에서, 특정 세부사항들이 본 개시내용의 다양한 양태들의 철저한 이해를 제공하기 위해 주어진다. 그러나, 양태들이 이러한 특정 세부사항들 없이도 실시될 수 있음이 당업자들에 의해 이해될 것이다. 예를 들어, 회로들은, 불필요한 세부사항으로 양태들을 모호하게 하는 것을 회피하기 위해 블록도들로 도시될 수 있다. 다른 경우들에서, 잘 알려진 회로들, 구조들 및 기법들은 본 개시내용의 양태들을 모호하게 하지 않기 위해 상세히 도시되지 않을 수 있다.

[0016] 본 개시내용은 패키지를 설명하고, 패키지는, 제1 금속화 부분, 제1 금속화 부분에 커플링된 제1 집적 디바이스, 제1 금속화 부분에 커플링된 제2 집적 디바이스, 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제2 금속화 부분, 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 금속화 부분을 통해 제1 집적 디바이스에 전기적으로 커플링되도록 구성됨 -, 및 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제2 칩렛 - 제2 칩렛은 제1 금속화 부분을 통해 제2 집적 디바이스에 전기적으로 커플링되도록 구성됨 - 을 포함한다. 제1 칩렛은 제1 능동 칩렛 또는 제1 수동 칩렛을 포함할 수 있다. 제2 칩렛은 제2 능동 칩렛 또는 제2 수동 칩렛을 포함할 수 있다. 제1 칩렛을 제1 집적 디바이스에 가깝게 포지셔닝하는 것, 및 제2 칩렛을 제2 집적 디바이스에 가깝게 포지셔닝하는 것은, 패키지의 성능을 개선하는 데 도움이 된다. 제1 집적 디바이스와 제1 칩렛 사이의 전기 경로(electrical path) 및/또는 제2 집적 디바이스와 제2 칩렛 사이의 전기 경로를 감소시키는 것은, 패키지의 성능을 개선하는 데 도움이 될 수 있는 신호들 및/또는 전류들에서의 레이턴시를 감소시키는 데 도움이 된다. 아래에 추가로 설명될 바와 같이, 패키지의 모든 기능들을 수행하는 하나의 집적 디바이스 대신에, 패키지의 다양한 기능들이 상이한 집적 디바이스들 및/또는 상이한 칩렛들에 의해 수행된다. 패키지의 기능들을 다양한 집적 디바이스들 및/또는 다양한 칩렛들에 재분배함으로써, 패키지를 제조함에 있어서의 비용 절감들이 달성되는 동시에, 고성능 능력들을 갖는 패키지를 여전히 제공할 수 있다.

[0017] **집적 디바이스 및 칩렛을 포함하는 예시적인 패키지**

[0018] 도 1은 집적 디바이스 및 칩렛을 포함하는 패키지(100)의 단면 프로파일 뷰를 예시한다. 패키지(100)는 금속화 부분(102), 집적 디바이스(104), 칩렛(106), 복수의 기둥 상호연결부들(107), 및 캡슐화 층(108)을 포함한다. 복수의 기둥 상호연결부들(107)은 복수의 기둥 상호연결부들(107a) 및 복수의 기둥 상호연결부들(107b)을 포함한다. 패키지(100)는 복수의 솔더(solder) 상호연결부들(196)을 통해 기판(109)에 커플링된다. 일부 구현들에서, 기판(109)은 패키지(100)의 일부로 간주될 수 있다. 복수의 솔더 상호연결부들(198)이 기판(109)의 하단 부분(bottom portion)에 커플링된다. 기판(109)은 복수의 솔더 상호연결부(198)를 통해, 인쇄 회로 보드(printed circuit board, PCB)와 같은 보드(도시되지 않음)에 커플링되도록 구성될 수 있다. 기판(109)은 적어도 하나의 유전체 층(190)(예컨대, 적어도 하나의 기판 유전체 층) 및 복수의 상호연결부들(192)(예컨대, 복수의 기판 상호연결부들)을 포함한다.

[0019] 집적 디바이스(104)는 복수의 기둥 상호연결부들(107a)을 통해 금속화 부분(102)에 커플링된다. 집적 디바이스(104)는 복수의 기둥 상호연결부들(107b) 및 복수의 솔더 상호연결부들(140)을 통해 칩렛(106)에 커플링된다. 복수의 기둥 상호연결부들(107b)은 집적 디바이스(104)와 칩렛(106) 사이에 위치될 수 있다. 복수의 기둥 상호연결부들(107b)은 복수의 기둥 간 상호연결부들을 포함할 수 있다. 복수의 기둥 간 상호연결부들은 복수의 기둥 상호연결부들(107a)과 유사할 수 있다. 그러나, 복수의 기둥 간 상호연결부들은 복수의 기둥 상호연결부들(107a)보다 더 짧을 수 있다. 복수의 기둥 간 상호연결부들은 집적 디바이스(104)와 칩렛(106) 사이에 위치될 수 있다. 칩렛(106)은 금속화 부분(102)에 커플링된다. 칩렛(106)은 수동 칩렛으로서 구성될 수 있다. 칩렛(106)은 트렌치 커패시터 디바이스(예컨대, 딥 트렌치 커패시터(DTC) 디바이스)로서 구성될 수 있다. 칩렛(106)은 금속화 부분(102)과 집적 디바이스(104) 사이에 위치된다. 칩렛(106)은 전방 측면(front side) 및 후방 측면(back side)을 포함한다. 칩렛(106)의 전방 측면은 집적 디바이스(104)를 향한다. 예를 들어, 딥 트렌치 커패시터의 전방 측면은 집적 디바이스(104)를 향한다.

[0020] 칩렛(106)은 다이 기판(160), 복수의 관통 기판 비아들(162), 복수의 트렌치 상호연결부들(164), 복수의 트렌치 상호연결부들(166) 및 복수의 트렌치 커패시터들(167)을 포함한다. 복수의 트렌치 상호연결부들(164)은 칩렛(106)의 전방 측면(예컨대, 상단 측면(top side)) 상에 위치된다. 복수의 트렌치 상호연결부들(166)은 칩렛(106)의 후방 측면(예컨대, 하단 측면(bottom side)) 상에 위치된다. 복수의 관통 기판 비아들(162)로부터의 관통 기판 비아들 중 하나 이상은 복수의 트렌치 커패시터들(167)로부터의 하나 이상의 트렌치 커패시터들에 커플링될 수 있다. 복수의 관통 기판 비아들(162)은 복수의 트렌치 상호연결부들(164) 및 복수의 트렌치 상호연결부들(166)에 커플링될 수 있다. 복수의 트렌치 상호연결부들(164)은 복수의 솔더 상호연결부들(140)을 통해 복수의 기둥 상호연결부들(107b)에 커플링된다. 따라서, 예를 들어, 복수의 솔더 상호연결부들(140)은 복수의 트렌치 상호연결부들(164) 및 복수의 기둥 상호연결부들(107b)에 커플링된다. 복수의 트렌치 상호연결부들(166)은 금속화 부분(102)에 커플링(예컨대, 직접 커플링)될 수 있다. 예를 들어, 복수의 트렌치 상호연결부들(166)은, 복수의 트렌치 상호연결부들(166)이 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)에 접촉(touching)하고 있도록 금속화 부분(102)에서의 금속화 상호연결부들(121)에 직접 커플링되도록 구성될 수 있다. 복수의 트렌치 상호연결부들(166)은 선택적일 수 있다. 일부 구현들에서, 복수의 관통 기판 비아들(162)은 금속화 부분(102)에 커플링(예컨대, 직접 커플링)되도록 구성될 수 있다. 예를 들어, 복수의 관통 기판 비아들(162)은, 복수의 관통 기판 비아들(162)이 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)에 접촉하고 있도록 금속화 부분(102)에서의 금속화 상호연결부들에 직접 커플링되도록 구성될 수 있다. 트렌치 커패시터의 더 상세한 예가 아래에서 본 개시내용의 적어도 도 11에 예시 및 설명된다. 칩렛의 전방 측면은 집적 디바이스(104)를 향한다.

[0021] 금속화 부분(102)은 적어도 하나의 유전체 층(120) 및 복수의 금속화 상호연결부들(121)을 포함한다. 금속화 부분(102)은 재분배 부분(redistribution portion)을 포함할 수 있다. 복수의 금속화 상호연결부들(121)은 복수의 재분배 상호연결부(redistribution interconnect)들을 포함할 수 있다. 금속화 부분(102)은 금속화 상호연결을 위한 수단일 수 있다. 복수의 금속화 상호연결부들(121)은 칩렛(106)의 후방 측면에 커플링될 수 있다. 예를 들어, 복수의 금속화 상호연결부들(121)은 복수의 트렌치 상호연결부들(166) 또는 복수의 관통 기판 비아들(162)에 커플링될 수 있다. 복수의 금속화 상호연결부들(121)은 복수의 기둥 상호연결부들(107a)에 커플링될 수 있다.

[0022] 위에서 언급된 바와 같이, 금속화 부분(예컨대, 102, 702)은 재분배 상호연결부들(예컨대, 재분배 층(redistribution layer, RDL) 상호연결부들)을 포함하는 재분배 부분을 포함할 수 있다. 재분배 상호연결부는 U자형 또는 V자형을 갖는 부분들을 포함할 수 있다. "U자형" 및 "V자형"이라는 용어들은 상호교환가능해야 한

다. "U자형" 및 "V자형"이라는 용어들은 상호연결부들 및/또는 재분배 상호연결부들의 측면 프로파일 형상을 지칭할 수 있다. U자형 상호연결부(예컨대, U자형 측면 프로파일 상호연결부) 및 V자형 상호연결부(예컨대, V자형 측면 프로파일 상호연결부)는 상단 부분 및 하단 부분을 가질 수 있다. U자형 상호연결부(또는 V자형 상호연결부)의 하단 부분은 다른 U자형 상호연결부(또는 V자형 상호연결부)의 상단 부분에 커플링될 수 있다.

[0023] 금속화 부분(102)과 집적 디바이스(104) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 금속화 상호연결부(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 기둥 상호연결부(107a)로부터의 적어도 하나의 기둥 상호연결부를 포함할 수 있다.

[0024] 금속화 부분(102)과 집적 디바이스(104) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 복수의 트렌치 상호연결부들(166)로부터의 적어도 하나의 트렌치 상호연결부, 복수의 관통 기판 비아들(162)로부터의 적어도 하나의 관통 기판 비아, 복수의 트렌치 상호연결부들(164)로부터의 적어도 하나의 트렌치 상호연결부, 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부 및/또는 복수의 기둥 상호연결부들(107b)로부터의 적어도 하나의 기둥 상호연결부를 포함할 수 있다.

[0025] 집적 디바이스(104)는 복수의 기둥 상호연결부들(107b) 및 복수의 솔더 상호연결부들(140)을 통해 칩렛(106)에 전기적으로 커플링되도록 구성될 수 있다. 따라서, 집적 디바이스(104)와 칩렛(106) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 기둥 상호연결부들(107b)로부터의 적어도 하나의 기둥 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0026] 캡슐화 층(108)은 금속화 부분(102), 집적 디바이스(104) 및 칩렛(106)에 커플링될 수 있다. 캡슐화 층(108)은 복수의 기둥 상호연결부들(107)에 커플링될 수 있다. 캡슐화 층(108)은 금속화 부분(102)의 제1 표면(예컨대, 상단 표면)에 커플링될 수 있다. 캡슐화 층(108)은 집적 디바이스(104) 및 칩렛(106)을 (예컨대, 부분적으로 또는 완전히) 캡슐화할 수 있다. 도 1은, 집적 디바이스(104)의 후방 측면이 노출되고 캡슐화 층에 의해 커버되지 않은 것을 예시한다. 그러나, 일부 구현들에서, 집적 디바이스(104)의 후방 측면은 캡슐화 층(108)에 커플링될 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액상 몰딩(liquid molding) 프로세스를 사용함으로써 제공될 수 있다.

[0027] 금속화 부분(102)은 복수의 솔더 상호연결부들(196)을 통해 기판(109)에 커플링된다. 예를 들어, 복수의 금속화 상호연결부들(121)로부터의 금속화 상호연결부들은 복수의 솔더 상호연결부들(196)을 통해 복수의 상호연결부들(192)로부터의 상호연결부들에 커플링될 수 있다. 언더필(underfill)(105)이 기판(109), 금속화 부분(102) 및 캡슐화 층(108)에 커플링된다. 언더필(105)은 패키지(100)의 일부로 간주될 수 있다.

[0028] 집적 디바이스(104) 근처의 칩렛(106)의 위치 및/또는 배치는 집적 디바이스(104)와 칩렛(106) 사이의 신호 및/또는 전류 레이턴시를 감소시키는 데 도움이 되고, 이는 집적 디바이스(104) 및/또는 패키지(100)의 성능을 개선하는 데 도움이 된다. 칩렛(106)은 딥 트렌치 커패시터로서 구성되는 것으로 설명된다. 그러나, 아래에 추가로 설명될 바와 같이, 상이한 구현들은 다른 동작들 및/또는 기능들을 수행하도록 구성되는 칩렛을 사용할 수 있다.

[0029] 도 1의 패키지에서뿐만 아니라, 적어도 도 2 내지 도 10에 설명된 패키지들에서의 집적 디바이스, 칩렛 및 금속화 부분의 사용은 여러 이점들을 제공한다. 하나의 이점은, 적어도 하나의 집적 디바이스 및 적어도 하나의 칩렛에 걸쳐 패키지의 다양한 기능들을 재분배하는 것이 패키지에 대한 비용 절감들로 이어질 수 있다는 것이다. 집적 디바이스들 및 칩렛들은 상이한 기술 노드들을 사용하여 제조될 수 있으며, 이는 상이한 비용들을 가질 수 있다.

[0030] 기술 노드는 집적 디바이스 및/또는 칩렛을 제조하는 데 사용되는 특정 제조 프로세스 및/또는 기술을 지칭할 수 있다. 기술 노드는 제조될 수 있는 가능한 가장 작은 크기(예컨대, 최소 크기)(예컨대, 트랜지스터의 크기, 트레이스의 폭, 2개의 트랜지스터들 사이의 갭)를 특정할 수 있다. 상이한 기술 노드들은 상이한 수율 손실(yield loss)을 가질 수 있다. 상이한 기술 노드들은 상이한 비용들을 가질 수 있다. 미세한 세부사항들을 갖는 컴포넌트들(예컨대, 트레이스, 트랜지스터들)을 생성하는 기술 노드들은 덜 미세한 세부사항들을 갖는 컴포넌트들(예컨대, 트레이스, 트랜지스터들)을 생성하는 기술 노드보다 더 비싸고 더 높은 수율 손실을 가질 수 있다. 따라서, 더 진보된 기술 노드들은 덜 진보된 기술 노드들보다 더 비쌀 수 있고 더 높은 수율 손실을 가질

수 있다. 패키지의 모든 기능들이 단일 집적 디바이스들에서 구현될 때, 동일한 기술 노드가, 집적 디바이스들의 기능들 중 일부가 그 특정 기술 노드를 사용하여 제조될 필요가 없더라도, 전체 집적 디바이스를 제조하는 데 사용된다. 따라서, 집적 디바이스는 하나의 기술 노드에 고정된다. 패키지의 비용을 최적화하기 위해, 기능들 중 일부는 상이한 집적 디바이스들 및/또는 칩렛들에서 구현될 수 있으며, 여기서 상이한 집적 디바이스들 및/또는 칩렛들은 전체 비용들을 감소시키기 위해 상이한 기술 노드들을 사용하여 제조될 수 있다. 예를 들어, 가장 진보된 기술 노드의 사용을 요구하는 기능들은 집적 디바이스에서 구현될 수 있고, 덜 진보된 기술 노드를 사용하여 구현될 수 있는 기능들은 다른 집적 디바이스 및/또는 하나 이상의 칩렛들에서 구현될 수 있다. 하나의 예는, 컴퓨트 애플리케이션(compute application)들을 제공하도록 구성되는 제1 기술 노드(예컨대, 가장 진보된 기술 노드)를 사용하여 제조된 집적 디바이스, 및 다른 기능들을 제공하도록 구성되는, 제2 기술 노드를 사용하여 제조되는 적어도 하나의 칩렛일 것이며, 여기서 제2 기술 노드는 제1 기술 노드만큼 비용이 많이 들지 않고, 제2 기술 노드는 제1 기술 노드를 사용하여 제조된 컴포넌트들의 최소 크기들보다 더 큰 최소 크기들을 갖는 컴포넌트들을 제조한다. 컴퓨트 애플리케이션들의 예들은 고성능 컴퓨팅 및/또는 고성능 프로세싱을 포함할 수 있는데, 이는 집적 디바이스에 가능한 한 많은 트랜지스터들을 제조 및 패킹함으로써 달성될 수 있으며, 이는 컴퓨트 애플리케이션들을 위해 구성되는 집적 디바이스가 이용가능한 가장 진보된 기술 노드를 사용하여 제조될 수 있는 한편, 다른 칩렛들이, 그러한 칩렛들이 칩렛들에 그렇게 많은 트랜지스터들이 제조될 것을 요구하지 않을 수 있기 때문에 덜 진보된 기술 노드들을 사용하여 제조될 수 있는 이유이다. 따라서, 상이한 집적 디바이스들 및/또는 칩렛들에 대해 상이한 기술 노드들(이들은 상이한 연관된 수율 손실을 가질 수 있음)을 사용하는 것의 조합은, 패키지의 모든 기능들을 수행하기 위해 단일 집적 디바이스를 사용하는 것과 비교하여, 패키지의 전체 비용을 감소시킬 수 있다.

[0031] 기능들을 여러 집적 디바이스들 및/또는 칩렛들로 분할하는 다른 이점은, 그것이 모든 단일 집적 디바이스 및/또는 칩렛을 재설계할 필요 없이 패키지의 성능에서의 개선들을 허용한다는 것이다. 예를 들어, 패키지의 구성이 제1 집적 디바이스 및 제1 칩렛을 사용하는 경우, 제1 칩렛의 설계를 동일하게 유지하면서, 제1 집적 디바이스의 설계를 변경함으로써 패키지의 성능을 개선하는 것이 가능할 수 있다. 따라서, 제1 칩렛은 개선된 그리고/또는 상이하게 구성된 제1 집적 디바이스와 함께 재사용될 수 있다. 이는, 개선된 집적 디바이스들을 갖는 패키지들이 제조될 때, 제1 칩렛을 재설계할 필요가 없어 비용을 절감한다.

[0032] 더욱이, 칩렛은, 칩렛이 집적 디바이스에 매우 가깝도록, 구리 대 구리 하이브리드 결합을 통해 또는 솔더 상호연결부들을 통해 집적 디바이스에 커플링될 수 있다. 예를 들어, 칩렛 및 집적 디바이스는 금속화 부분(예컨대, 재분배 부분)을 이용하여 구현되어 칩렛을 가능한 한 집적 디바이스에 가깝게 포지셔닝할 수 있으며, 이는 칩렛과 집적 디바이스 사이의 전기 경로를 감소시킨다. 이는 집적 디바이스의 성능 및 집적 디바이스에 제공되는 전력을 개선하는 데 도움이 된다. 일부 구현들에서, 칩렛에 커플링된 상호연결부들의 최소 피치는 약 20 마이크로미터만큼 작을 수 있다.

[0033] 게다가, 트렌치 커패시터들을 포함하는 칩렛은 여러 기술적 이점들을 제공한다. 트렌치 커패시터 및/또는 트렌치 커패시터 디바이스는 높은 커패시턴스 및/또는 높은 커패시턴스 밀도를 갖는 커패시터를 제공한다. 더 높은 커패시턴스 밀도를 갖는 커패시터들은 패키지를 위해 더 콤팩트한 폼 팩터들을 허용하는데, 이는 이러한 커패시터들이 더 적은 공간을 차지하지만 더 큰 크기의 커패시터들과 동일한 그리고/또는 이들과 유사한 커패시턴스를 제공할 수 있기 때문이다. 트렌치 커패시터들의 콤팩트한 폼 팩터는 그들이 집적 디바이스에 매우 가깝게 위치되도록 허용하며, 이는 집적 디바이스로의 전력 전달 성능을 개선하는 데 도움이 될 수 있다. 더욱이, 이러한 트렌치 커패시터들은 작은 폼 팩터들을 갖기 때문에, 그들은 패키지 기판에서 구현되는 대신에 금속화 부분으로 구현될 수 있다. 따라서, 높은 커패시턴스 커패시터들은 패키지가 기판에 커플링될 때 구현되는 대신에, 패키지의 제조 동안 구현될 수 있다.

[0034] 높은 커패시턴스 커패시터들은 컴퓨트 애플리케이션들(예컨대, 고성능 프로세싱)과 같은 특정 타입들의 프로세싱 동작들에서 특히 중요하다. 본 개시내용에 설명된 바와 같은, 칩렛, 집적 디바이스 및 금속화 부분의 사용은 다이 대 다이 통신을 개선하는 데 도움이 되며, 이는 집적 디바이스(들) 및 패키지의 전체 성능을 개선하는 데 도움이 된다.

[0035] 도 2는 집적 디바이스 및 칩렛을 포함하는 패키지(200)의 단면 프로파일 뷰를 예시한다. 패키지(200)는 금속화 부분(102), 집적 디바이스(104), 칩렛(106), 복수의 기둥 상호연결부들(107), 캡슐화 층(108), 캡슐화 층(208) 및 유전체 층(281)을 포함한다. 패키지(200)는 도 1의 패키지(100)와 유사하고, 따라서 패키지(100)와 동일한 그리고/또는 유사한 방식으로 배열 및/또는 구성되는 동일한 또는 유사한 컴포넌트들을 포함한다. 예를 들어,

칩렛(106)은 적어도 도 11에 설명된 것과 같은 딥 트렌치 커패시터로서 동작하도록 구성될 수 있다.

[0036] 패키지(200)는 유전체 층에 의해 분리되는 2개의 캡슐화 층들을 포함한다. 캡슐화 층(108)은 제1 캡슐화 층일 수 있고, 캡슐화 층(208)은 제2 캡슐화 층일 수 있다. 유전체 층(281)은 캡슐화 층(108)과 캡슐화 층(208) 사이에 위치된다. 유전체 층(281)은 캡슐화 층(108)의 내부 표면 및 캡슐화 층(208)의 내부 표면에 커플링된다. 유전체 층(281)은 폴리이미드(PI)를 포함할 수 있다. 일부 구현들에서, 캡슐화 층(208)은 캡슐화 층(108)과 동일할 수 있다. 일부 구현들에서, 캡슐화 층(208)은 캡슐화 층(108)과는 상이한 하나 이상의 특성들을 가질 수 있다. 예를 들어, 캡슐화 층(108)은 캡슐화 층(208)보다 더 높은 농도의 필러(filler)를 포함할 수 있다. 아래에서 적어도 도 14a에 추가로 설명될 바와 같이, 복수의 기둥 상호연결부들(107)은 유전체 층(281)에 대해 평면인 시드 층(예컨대, 금속 시드 층, 구리 시드 층)을 포함할 수 있다. 캡슐화 층(108)은 집적 디바이스(104), 복수의 기둥 상호연결부들(107a)의 적어도 일부분, 및 복수의 기둥 상호연결부들(107b)의 적어도 일부분에 커플링된다. 캡슐화 층(208)은 금속화 부분(102), 칩렛(106), 복수의 솔더 상호연결부들(140), 및 복수의 기둥 상호연결부들(107a)의 적어도 일부분에 커플링된다.

[0037] 도 3은 집적 디바이스 및 칩렛을 포함하는 패키지(300)의 단면 프로파일 뷰를 예시한다. 패키지(300)는 금속화 부분(102), 집적 디바이스(104), 칩렛(306), 복수의 기둥 상호연결부들(107), 캡슐화 층(108), 캡슐화 층(208) 및 유전체 층(281)을 포함한다. 패키지(300)는 도 1의 패키지(100) 및/또는 도 2의 패키지(200)와 유사하고, 따라서 패키지(100) 및/또는 패키지(200)와 동일한 그리고/또는 유사한 방식으로 배열 및/또는 구성되는 동일한 또는 유사한 컴포넌트들을 포함한다.

[0038] 칩렛(306)은 칩렛(106)과는 상이한 기능을 제공하도록 구성될 수 있다. 칩렛(306)은 능동 칩렛 또는 수동 칩렛으로서 구성될 수 있다. 칩렛(306)은 메모리(예컨대, 제1 메모리, 제2 메모리), 전력 관리 집적 회로(power management integrated circuit, PMIC)(예컨대, 제1 전력 관리 집적 회로, 제2 전력 관리 집적 회로), 및/또는 전압 조정기(예컨대, 제1 전압 조정기, 제2 전압 조정기)로서 동작하도록 구성될 수 있다. 칩렛(306)은 집적 디바이스(104)보다 더 작은 크기를 갖는 집적 디바이스를 포함할 수 있다. 칩렛(306)은 다이 기판, 복수의 다이 트랜지스터들, 및 복수의 다이 상호연결부들(모두 도시되지 않음)을 포함할 수 있다. 일부 구현들에서, 칩렛(306)은 복수의 관통 기판 비아들(도시되지 않음)을 포함할 수 있다.

[0039] 칩렛(306)은 복수의 솔더 상호연결부들(140) 및 복수의 기둥 상호연결부들(107b)을 통해 집적 디바이스(104)에 커플링된다. 칩렛(306)의 전방 측면은 집적 디바이스(104)를 향한다. 도 3은, 칩렛(306)의 후방 측면이 금속화 부분(102)에 접촉하고 있지 않은 것을 예시한다. 그러나, 일부 구현들에서, 칩렛(306)은 금속화 부분(102)에 접촉할 수 있다. 일부 구현들에서, 칩렛(306)의 후방 측면은 금속화 부분(102)에 접촉할 수 있다. 예를 들어, 칩렛(306)의 후방 측면은 도 1 및 도 2의 칩렛(106)에 대해 설명된 것과 유사한 방식으로 금속화 부분(102)의 금속화 상호연결부들(121)에 접촉할 수 있고 그리고/또는 이들에 커플링될 수 있다. 칩렛(306)의 전방 측면은 집적 디바이스(104)를 향할 수 있다.

[0040] 도 4는 적어도 2개의 집적 디바이스들 및 적어도 2개의 칩렛들을 포함하는 패키지(400)를 예시한다. 패키지(400)는 집적 디바이스(104), 칩렛(106), 집적 디바이스(404), 칩렛(406), 금속화 부분(102), 및 캡슐화 층(108)을 포함한다. 칩렛(106)은 집적 디바이스(104)와 금속화 부분(102) 사이에 위치된다. 칩렛(406)은 집적 디바이스(404)와 금속화 부분(102) 사이에 위치된다. 캡슐화 층(108)은 집적 디바이스(104), 집적 디바이스(404), 칩렛(106) 및 칩렛(406)을 캡슐화한다. 캡슐화 층(108)은 금속화 부분(102)에 커플링될 수 있다.

[0041] 패키지(400)는 복수의 솔더 상호연결부들(196)을 통해 기판(109)에 커플링된다. 복수의 솔더 상호연결부들(198)이 기판(109)에 커플링될 수 있다. 언더필(105)이 기판(109), 금속화 부분(102) 및 캡슐화 층(108)에 커플링된다.

[0042] 집적 디바이스(104)는 복수의 기둥 상호연결부들(107a)을 통해 금속화 부분(102)에 커플링된다. 집적 디바이스(104)는 복수의 기둥 상호연결부들(107b) 및 복수의 솔더 상호연결부들(140)을 통해 칩렛(106)에 커플링된다. 복수의 기둥 상호연결부들(107b)은 집적 디바이스(104)와 칩렛(106) 사이에 위치될 수 있다. 칩렛(106)은 금속화 부분(102)에 커플링된다. 칩렛(106)은 수동 칩렛으로서 구성될 수 있다. 칩렛(106)은 딥 트렌치 커패시터(DTC)로서 구성될 수 있다. 칩렛(106)은 금속화 부분(102)과 집적 디바이스(104) 사이에 위치된다. 칩렛(106)은 전방 측면 및 후방 측면을 포함한다. 칩렛(106)의 전방 측면은 집적 디바이스(104)를 향한다. 예를 들어, 딥 트렌치 커패시터의 전방 측면은 집적 디바이스(104)를 향한다.

[0043] 집적 디바이스(404)는 복수의 기둥 상호연결부들(407a)을 통해 금속화 부분(102)에 커플링된다. 집적 디바이스

(404)는 복수의 기둥 상호연결부들(407b) 및 복수의 솔더 상호연결부들(440)을 통해 칩렛(406)에 커플링된다. 복수의 기둥 상호연결부들(407b)은 집적 디바이스(404)와 칩렛(406) 사이에 위치될 수 있다. 복수의 기둥 상호연결부들(407b)은 복수의 기둥 간 상호연결부들을 포함할 수 있다. 복수의 기둥 간 상호연결부들은 복수의 기둥 상호연결부들(407a)과 유사할 수 있다. 그러나, 복수의 기둥 간 상호연결부들은 복수의 기둥 상호연결부들(407a)보다 더 짧을 수 있다. 복수의 기둥 간 상호연결부들은 집적 디바이스(404)와 칩렛(406) 사이에 위치될 수 있다. 칩렛(406)은 금속화 부분(102)에 커플링된다. 칩렛(406)은 수동 칩렛으로서 구성될 수 있다. 칩렛(406)은 딥 트렌치 커패시터(DTC)로서 구성될 수 있다. 칩렛(406)은 금속화 부분(102)과 집적 디바이스(404) 사이에 위치된다. 칩렛(406)은 전방 측면 및 후방 측면을 포함한다. 칩렛(406)의 전방 측면은 집적 디바이스(404)를 향한다. 예를 들어, 딥 트렌치 커패시터의 전방 측면은 집적 디바이스(404)를 향한다.

[0044] 집적 디바이스(104)는 금속화 부분(102)을 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성될 수 있다. 예를 들어, 집적 디바이스(104)는, (i) 복수의 기둥 상호연결부들(107a)로부터의 적어도 하나의 기둥 상호연결부, (ii) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (iii) 복수의 기둥 상호연결부들(407a)로부터의 적어도 하나의 기둥 상호연결부를 포함하는 전기 경로를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성될 수 있다.

[0045] 금속화 부분(102)과 집적 디바이스(104) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 금속화 상호연결부(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 기둥 상호연결부(107a)로부터의 적어도 하나의 기둥 상호연결부를 포함할 수 있다.

[0046] 금속화 부분(102)과 집적 디바이스(104) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 복수의 트렌치 상호연결부들(166)로부터의 적어도 하나의 트렌치 상호연결부, 복수의 관통 기판 비아들(162)로부터의 적어도 하나의 관통 기판 비아, 복수의 트렌치 상호연결부들(164)로부터의 적어도 하나의 트렌치 상호연결부, 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부, 및/또는 복수의 기둥 상호연결부들(107b)로부터의 적어도 하나의 기둥 상호연결부를 포함할 수 있다.

[0047] 집적 디바이스(104)는 복수의 기둥 상호연결부들(107b) 및 복수의 솔더 상호연결부들(140)을 통해 칩렛(106)에 전기적으로 커플링되도록 구성될 수 있다. 따라서, 집적 디바이스(104)와 칩렛(106) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 기둥 상호연결부들(107b)로부터의 적어도 하나의 기둥 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0048] 금속화 부분(102)과 집적 디바이스(404) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 금속화 상호연결부(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 기둥 상호연결부(407a)로부터의 적어도 하나의 기둥 상호연결부를 포함할 수 있다.

[0049] 금속화 부분(102)과 집적 디바이스(404) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 복수의 트렌치 상호연결부들(466)로부터의 적어도 하나의 트렌치 상호연결부, 복수의 관통 기판 비아들(462)로부터의 적어도 하나의 관통 기판 비아, 복수의 트렌치 상호연결부들(464)로부터의 적어도 하나의 트렌치 상호연결부, 복수의 솔더 상호연결부들(440)로부터의 적어도 하나의 솔더 상호연결부, 및/또는 복수의 기둥 상호연결부들(407b)로부터의 적어도 하나의 기둥 상호연결부를 포함할 수 있다.

[0050] 집적 디바이스(404)는 복수의 기둥 상호연결부들(407b) 및 복수의 솔더 상호연결부들(440)을 통해 칩렛(406)에 전기적으로 커플링되도록 구성될 수 있다. 따라서, 집적 디바이스(404)와 칩렛(406) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 기둥 상호연결부들(407b)로부터의 적어도 하나의 기둥 상호연결부 및/또는 복수의 솔더 상호연결부들(440)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0051] 도 5는 브리지, 적어도 2개의 집적 디바이스들 및 적어도 2개의 칩렛들을 포함하는 패키지(500)를 예시한다. 패키지(500)는 집적 디바이스(104), 칩렛(106), 집적 디바이스(404), 칩렛(406), 금속화 부분(102), 브리지(505) 및 캡슐화 층(108)을 포함한다. 패키지(500)는 패키지(400)와 유사하고, 패키지(400)에 대해 설명된 것과 유사한 방식으로 구성될 수 있다. 칩렛(106)은 집적 디바이스(104)와 금속화 부분(102) 사이에 위치된다. 칩렛(406)은 집적 디바이스(404)와 금속화 부분(102) 사이에 위치된다. 캡슐화 층(108)은 집적 디바이스(104),

집적 디바이스(404), 칩렛(106), 칩렛(406) 및 브리지(505)를 캡슐화한다. 캡슐화 층(108)은 금속화 부분(102)에 커플링될 수 있다.

[0052] 브리지(505)는 다이 기판 및 복수의 브리지 상호연결부들을 포함할 수 있다. 브리지(505)는 유전체 층을 포함할 수 있다. 브리지(505)는 금속화 부분(102)에 커플링된다. 브리지(505)의 전방 측면은 금속화 부분(102)에 커플링될 수 있다.

[0053] 집적 디바이스(104)는 금속화 부분(102) 및 브리지(505)를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성될 수 있다. 예를 들어, 집적 디바이스(104)는, (i) 복수의 기둥 상호연결부들(107a)로부터의 적어도 하나의 기둥 상호연결부, (ii) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, (iii) 브리지(505)에서의 적어도 하나의 다이 상호연결부, (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (v) 복수의 기둥 상호연결부들(407a)로부터의 적어도 하나의 기둥 상호연결부를 포함하는 전기 경로를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성될 수 있다.

[0054] 일부 구현들에서, 패키지(400) 및/또는 패키지(500)는 패키지(200) 및/또는 패키지(300)에 대해 설명된 것과 유사한 방식으로 캡슐화 층(108) 내에 위치된 유전체 층(281)을 포함할 수 있다.

[0055] 도 6은 브리지, 적어도 2개의 집적 디바이스들 및 적어도 2개의 칩렛들을 포함하는 패키지(600)를 예시한다. 패키지(600)는 집적 디바이스(104), 칩렛(306), 집적 디바이스(404), 칩렛(606), 금속화 부분(102), 브리지(505) 및 캡슐화 층(108)을 포함한다. 패키지(600)는 패키지(400) 및 패키지(500)와 유사하고, 패키지(400) 및 패키지(500)에 대해 설명된 것과 유사한 방식으로 구성될 수 있다. 칩렛(306)은 집적 디바이스(104)와 금속화 부분(102) 사이에 위치된다. 칩렛(606)은 집적 디바이스(404)와 금속화 부분(102) 사이에 위치된다. 캡슐화 층(108)은 집적 디바이스(104), 집적 디바이스(404), 칩렛(306), 칩렛(606) 및 브리지(505)를 캡슐화한다. 캡슐화 층(108)은 금속화 부분(102)에 커플링될 수 있다.

[0056] 브리지(505)는 다이 기판 및 복수의 브리지 상호연결부들을 포함할 수 있다. 브리지(505)는 유전체 층을 포함할 수 있다. 브리지(505)는 금속화 부분(102)에 커플링된다. 브리지(505)의 전방 측면은 금속화 부분(102)에 커플링될 수 있다.

[0057] 집적 디바이스(104)는 금속화 부분(102) 및 브리지(505)를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성될 수 있다. 예를 들어, 집적 디바이스(104)는, (i) 복수의 기둥 상호연결부들(107a)로부터의 적어도 하나의 기둥 상호연결부, (ii) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, (iii) 브리지(505)에서의 적어도 하나의 다이 상호연결부, (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (v) 복수의 기둥 상호연결부들(407a)로부터의 적어도 하나의 기둥 상호연결부를 포함하는 전기 경로를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성될 수 있다.

[0058] 집적 디바이스(104)는 복수의 기둥 상호연결부들(107b) 및 복수의 솔더 상호연결부들(140)을 통해 칩렛(306)에 전기적으로 커플링되도록 구성될 수 있다. 따라서, 집적 디바이스(104)와 칩렛(306) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 기둥 상호연결부들(107b)로부터의 적어도 하나의 기둥 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0059] 집적 디바이스(404)는 복수의 기둥 상호연결부들(207b) 및 복수의 솔더 상호연결부들(240)을 통해 칩렛(606)에 전기적으로 커플링되도록 구성될 수 있다. 따라서, 집적 디바이스(404)와 칩렛(606) 사이의 하나 이상의 전기 경로들(예컨대, 제1 전기 경로, 제2 전기 경로, 제3 전기 경로)은 복수의 기둥 상호연결부들(207b)로부터의 적어도 하나의 기둥 상호연결부 및/또는 복수의 솔더 상호연결부들(240)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0060] 도 7은 적어도 2개의 집적 디바이스들 및 적어도 2개의 칩렛들을 포함하는 패키지(700)를 예시한다. 패키지(700)는 집적 디바이스(104), 칩렛(106), 집적 디바이스(404), 칩렛(406), 금속화 부분(102), 금속화 부분(702), 캡슐화 층(108) 및 캡슐화 층(708)을 포함한다. 금속화 부분(102)은 적어도 하나의 유전체 층(120) 및 복수의 금속화 상호연결부들(121)을 포함한다. 금속화 부분(702)은 적어도 하나의 유전체 층(720) 및 복수의 금속화 상호연결부들(721)을 포함한다. 캡슐화 층(108)은 집적 디바이스(104) 및 집적 디바이스(404)를 캡슐화한다. 캡슐화 층(108)은 금속화 부분(102)에 커플링될 수 있다.

[0061] 칩렛(106)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(106)은 복수의 솔더 상호연결부들(710)을 통해 금속화 부분(102)에 커플링될 수 있다. 복수의 솔더 상호연결부들(710)은 칩렛(106)에서의 적어

도 하나의 상호연결부 및 금속화 부분(102)의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부에 커플링될 수 있다. 칩렛(106)은 금속화 부분(702)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(106)에서의 상호연결부들은 금속화 부분(702)의 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다. 칩렛(406)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(406)은 복수의 솔더 상호연결부들(740)을 통해 금속화 부분(102)에 커플링될 수 있다. 칩렛(406)은 금속화 부분(702)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(406)에서의 상호연결부들은 금속화 부분(702)의 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다.

[0062] 캡슐화 층(708)은 칩렛(106) 및 칩렛(406)을 캡슐화할 수 있다. 캡슐화 층(708)은 금속화 부분(102) 및 금속화 부분(702)에 커플링될 수 있다. 복수의 관통 몰드 비아들(780)이 캡슐화 층(708) 내에 위치될 수 있다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102) 및 금속화 부분(702)에 커플링되도록 구성될 수 있다. 예를 들어, 복수의 관통 몰드 비아들(780)은, (i) 금속화 부분(102)의 복수의 금속화 상호연결부들(121) 및 (ii) 금속화 부분(702)의 복수의 금속화 상호연결부들(721)에 커플링되도록 구성될 수 있다.

[0063] 집적 디바이스(104)는 금속화 부분(102)을 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다. 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는 집적 디바이스(104)와 집적 디바이스(404) 사이의 신호들(예컨대, 입력/출력 신호들)을 위해 구성될 수 있다.

[0064] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 칩렛(106), (iv) 복수의 솔더 상호연결부들(710)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0065] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 관통 몰드 비아들(780)로부터의 적어도 하나의 관통 몰드 비아, 및 (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0066] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 칩렛(406), (iv) 복수의 솔더 상호연결부들(740)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0067] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 관통 몰드 비아들(780)로부터의 적어도 하나의 관통 몰드 비아, 및 (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0068] 집적 디바이스(104)는 칩렛(106)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)는, 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 솔더 상호연결부들(710)로부터의 적어도 하나의 솔더 상호연결부를 포함하는 전기 경로를 통해 칩렛(106)에 전기적으로 커플링되도록 구성될 수 있다.

[0069] 집적 디바이스(404)는 칩렛(406)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(404)는, 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 솔더 상호연결부들(740)로부터의 적어도 하나의 솔더 상호연결부를 포함하는 전기 경로를 통해 칩렛(406)에 전기적으로 커플링되도록 구성될 수 있다.

[0070] 도 8은 적어도 2개의 집적 디바이스들 및 적어도 2개의 칩렛들을 포함하는 패키지(800)를 예시한다. 패키지(800)는 패키지(700)와 유사하고, 따라서 패키지(800)는 패키지(700)에 대해 설명된 것과 유사한 방식으로 구성될 수 있다. 패키지(800)는 집적 디바이스(104), 칩렛(106), 집적 디바이스(404), 칩렛(406), 금속화 부분

(102), 금속화 부분(702), 브리지(505), 캡슐화 층(108) 및 캡슐화 층(708)을 포함한다. 금속화 부분(102)은 적어도 하나의 유전체 층(120) 및 복수의 금속화 상호연결부들(121)을 포함한다. 금속화 부분(702)은 적어도 하나의 유전체 층(720) 및 복수의 금속화 상호연결부들(721)을 포함한다. 캡슐화 층(108)은 집적 디바이스(104) 및 집적 디바이스(404)를 캡슐화한다. 캡슐화 층(108)은 금속화 부분(102)에 커플링될 수 있다.

[0071] 칩렛(106)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(106)은 복수의 솔더 상호연결부들(710)을 통해 금속화 부분(102)에 커플링될 수 있다. 복수의 솔더 상호연결부들(710)은 칩렛(106)에서의 적어도 하나의 상호연결부 및 금속화 부분(102)의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부에 커플링될 수 있다. 칩렛(106)은 금속화 부분(702)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(106)에서의 상호연결부들은 금속화 부분(702)의 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다. 칩렛(406)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(406)은 복수의 솔더 상호연결부들(740)을 통해 금속화 부분(102)에 커플링될 수 있다. 칩렛(406)은 금속화 부분(702)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(406)에서의 상호연결부들은 금속화 부분(702)의 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다.

[0072] 브리지(505)는 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 브리지(505)는 복수의 솔더 상호연결부들(850)을 통해 금속화 부분(102)에 커플링된다. 브리지(505)는 다이 기판 및 복수의 브리지 상호연결부들을 포함할 수 있다. 브리지(505)는 유전체 층을 포함할 수 있다. 브리지(505)의 전방 측면은 금속화 부분(102)에 커플링될 수 있다.

[0073] 캡슐화 층(708)은 칩렛(106), 칩렛(406) 및 브리지(505)를 캡슐화할 수 있다. 캡슐화 층(708)은 금속화 부분(102) 및 금속화 부분(702)에 커플링될 수 있다. 복수의 관통 몰드 비아들(780)이 캡슐화 층(708) 내에 위치될 수 있다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102) 및 금속화 부분(702)에 커플링되도록 구성될 수 있다. 예를 들어, 복수의 관통 몰드 비아들(780)은, (i) 금속화 부분(102)의 복수의 금속화 상호연결부들(121) 및 (ii) 금속화 부분(702)의 복수의 금속화 상호연결부들(721)에 커플링되도록 구성될 수 있다.

[0074] 집적 디바이스(104)는 금속화 부분(102) 및 브리지(505)를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는, (i) 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, (ii) 복수의 솔더 상호연결부들(850)로부터의 적어도 하나의 솔더 상호연결부, (iii) 브리지(505), (iv) 복수의 솔더 상호연결부들(850)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다. 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는 집적 디바이스(104)와 집적 디바이스(404) 사이의 신호들(예컨대, 입력/출력 신호들)을 위해 구성될 수 있다.

[0075] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 칩렛(106), (iv) 복수의 솔더 상호연결부들(710)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0076] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 관통 몰드 비아들(780)로부터의 적어도 하나의 관통 몰드 비아, 및 (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0077] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 칩렛(406), (iv) 복수의 솔더 상호연결부들(740)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0078] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화

상호연결부, (iii) 복수의 관통 몰드 비아들(780)로부터의 적어도 하나의 관통 몰드 비아, 및 (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0079] 집적 디바이스(104)는 칩렛(106)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)는, 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 솔더 상호연결부들(710)로부터의 적어도 하나의 솔더 상호연결부를 포함하는 전기 경로를 통해 칩렛(106)에 전기적으로 커플링되도록 구성될 수 있다.

[0080] 집적 디바이스(404)는 칩렛(406)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(404)는, 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 솔더 상호연결부들(740)로부터의 적어도 하나의 솔더 상호연결부를 포함하는 전기 경로를 통해 칩렛(406)에 전기적으로 커플링되도록 구성될 수 있다.

[0081] 도 9는 적어도 2개의 집적 디바이스들 및 적어도 2개의 칩렛들을 포함하는 패키지(900)를 예시한다. 패키지(900)는 패키지(800)와 유사하고, 따라서 패키지(900)는 패키지(800)에 대해 설명된 것과 유사한 방식으로 구성될 수 있다. 패키지(900)는 집적 디바이스(104), 칩렛(306), 집적 디바이스(404), 칩렛(606), 금속화 부분(102), 금속화 부분(702), 브리지(505), 캡슐화 층(108) 및 캡슐화 층(708)을 포함한다. 금속화 부분(102)은 적어도 하나의 유전체 층(120) 및 복수의 금속화 상호연결부들(121)을 포함한다. 금속화 부분(702)은 적어도 하나의 유전체 층(720) 및 복수의 금속화 상호연결부들(721)을 포함한다. 캡슐화 층(108)은 집적 디바이스(104) 및 집적 디바이스(404)를 캡슐화한다. 캡슐화 층(108)은 금속화 부분(102)에 커플링될 수 있다.

[0082] 칩렛(306)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(306)은 복수의 솔더 상호연결부들(710)을 통해 금속화 부분(102)에 커플링될 수 있다. 복수의 솔더 상호연결부들(710)은 칩렛(306)에서의 적어도 하나의 상호연결부 및 금속화 부분(102)의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부에 커플링될 수 있다. 칩렛(306)은 금속화 부분(702)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(306)에서의 상호연결부들은 금속화 부분(702)의 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다. 칩렛(606)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(606)은 복수의 솔더 상호연결부들(740)을 통해 금속화 부분(102)에 커플링될 수 있다. 칩렛(606)은 금속화 부분(702)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(606)에서의 상호연결부들은 금속화 부분(702)의 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다.

[0083] 브리지(505)는 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 브리지(505)는 복수의 솔더 상호연결부들(850)을 통해 금속화 부분(102)에 커플링된다. 브리지(505)는 다이 기판 및 복수의 브리지 상호연결부들을 포함할 수 있다. 브리지(505)는 유전체 층을 포함할 수 있다. 브리지(505)의 전방 측면은 금속화 부분(102)에 커플링될 수 있다.

[0084] 캡슐화 층(708)은 칩렛(306), 칩렛(606) 및 브리지(505)를 캡슐화할 수 있다. 캡슐화 층(708)은 금속화 부분(102) 및 금속화 부분(702)에 커플링될 수 있다. 복수의 관통 몰드 비아들(780)이 캡슐화 층(708) 내에 위치될 수 있다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102) 및 금속화 부분(702)에 커플링되도록 구성될 수 있다. 예를 들어, 복수의 관통 몰드 비아들(780)은, (i) 금속화 부분(102)의 복수의 금속화 상호연결부들(121) 및 (ii) 금속화 부분(702)의 복수의 금속화 상호연결부들(721)에 커플링되도록 구성될 수 있다.

[0085] 브리지(505)의 전방 측면은 금속화 부분(102)을 향한다. 칩렛(306)의 전방 측면은 금속화 부분(102)을 향한다. 칩렛(606)의 전방 측면은 금속화 부분(102)을 향한다.

[0086] 집적 디바이스(104)는 금속화 부분(102) 및 브리지(505)를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는, (i) 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, (ii) 복수의 솔더 상호연결부들(850)로부터의 적어도 하나의 솔더 상호연결부, (iii) 브리지(505), (iv) 복수의 솔더 상호연결부들(850)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다. 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는 집적 디바이스(104)와 집적 디바이스(404) 사이의 신호들(예컨대, 입력/출력 신호들)을 위해 구성될 수 있다.

[0087] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는,

(i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 칩렛(306), (iv) 복수의 솔더 상호연결부들(710)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0088] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 관통 몰드 비아들(780)로부터의 적어도 하나의 관통 몰드 비아, 및 (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0089] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 칩렛(606), (iv) 복수의 솔더 상호연결부들(740)로부터의 적어도 하나의 솔더 상호연결부, 및 (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0090] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 관통 몰드 비아들(780)로부터의 적어도 하나의 관통 몰드 비아, 및 (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함할 수 있다.

[0091] 집적 디바이스(104)는 칩렛(306)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)는, 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 솔더 상호연결부들(710)로부터의 적어도 하나의 솔더 상호연결부를 포함하는 전기 경로를 통해 칩렛(306)에 전기적으로 커플링되도록 구성될 수 있다.

[0092] 집적 디바이스(404)는 칩렛(606)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(404)는, 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부 및 복수의 솔더 상호연결부들(740)로부터의 적어도 하나의 솔더 상호연결부를 포함하는 전기 경로를 통해 칩렛(606)에 전기적으로 커플링되도록 구성될 수 있다.

[0093] 도 10은 적어도 2개의 집적 디바이스들 및 적어도 2개의 칩렛들을 포함하는 패키지(1000)를 예시한다. 패키지(1000)는 패키지(900)와 유사하고, 따라서 패키지(1000)는 패키지(1000)에 대해 설명된 것과 유사한 방식으로 구성될 수 있다. 패키지(1000)는 집적 디바이스(104), 칩렛(106), 집적 디바이스(404), 칩렛(406), 금속화 부분(102), 금속화 부분(702), 브리지(505), 캡슐화 층(108) 및 캡슐화 층(708)을 포함한다. 금속화 부분(102)은 적어도 하나의 유전체 층(120) 및 복수의 금속화 상호연결부들(121)을 포함한다. 금속화 부분(702)은 적어도 하나의 유전체 층(720) 및 복수의 금속화 상호연결부들(721)을 포함한다. 캡슐화 층(108)은 집적 디바이스(104) 및 집적 디바이스(404)를 캡슐화한다. 캡슐화 층(108)은 금속화 부분(102)에 커플링될 수 있다.

[0094] 칩렛(106)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(106)은 복수의 솔더 상호연결부들(710)을 통해 금속화 부분(702)에 커플링될 수 있다. 복수의 솔더 상호연결부들(710)은 칩렛(106)에서의 적어도 하나의 상호연결부 및 금속화 부분(702)의 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부에 커플링될 수 있다. 칩렛(106)은 금속화 부분(102)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(106)에서의 상호연결부들은 금속화 부분(102)의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다. 칩렛(406)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 칩렛(406)은 복수의 솔더 상호연결부들(740)을 통해 금속화 부분(702)에 커플링될 수 있다. 칩렛(406)은 금속화 부분(102)에 접촉하고 있을 수 있다. 예를 들어, 칩렛(406)에서의 상호연결부들은 금속화 부분(102)의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부에 접촉하고 있을 수 있다.

[0095] 브리지(505)는 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 브리지(505)는 금속화 부분(102)에 커플링된다. 브리지(505)는 다이 기판 및 복수의 다이 상호연결부들을 포함할 수 있다. 브리지(505)는 유전체 층을 포함할 수 있다. 브리지(505)의 전방 측면은 금속화 부분(102)에 커플링될 수 있다. 브리지(505)의 후방 측면은 접착제(adhesive)(1005)를 통해 금속화 부분(702)에 커플링될 수 있다. 예를 들어, 브리지(505)의 다이 기판의 후방 측면은 접착제(1005)를 통해 금속화 부분(702)에 커플링될 수 있다. 브리지(505)의 전방 측면은 금속화 부분(102)을 향한다. 칩렛(406)의 전방 측면은 금속화 부분(102)을 향한다. 칩렛(406)의 전방 측면은

금속화 부분(102)을 향한다.

[0096] 캡슐화 층(708)은 칩렛(106), 칩렛(406) 및 브리지(505)를 캡슐화할 수 있다. 캡슐화 층(708)은 금속화 부분(102) 및 금속화 부분(702)에 커플링될 수 있다. 복수의 관통 몰드 비아들(780)이 캡슐화 층(708) 내에 위치될 수 있다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102)과 금속화 부분(702) 사이에 위치된다. 복수의 관통 몰드 비아들(780)은 금속화 부분(102) 및 금속화 부분(702)에 커플링되도록 구성될 수 있다. 예를 들어, 복수의 관통 몰드 비아들(780)은, (i) 금속화 부분(102)의 복수의 금속화 상호연결부들(121) 및 (ii) 금속화 부분(702)의 복수의 금속화 상호연결부들(721)에 커플링되도록 구성될 수 있다.

[0097] 집적 디바이스(104)는 복수의 솔더 상호연결부들(1010)을 통해 금속화 부분(102)에 커플링된다. 집적 디바이스(404)는 복수의 솔더 상호연결부들(1030)을 통해 금속화 부분(102)에 커플링된다. 집적 디바이스(104)는 금속화 부분(102) 및 브리지(505)를 통해 집적 디바이스(404)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(1010)로부터의 적어도 하나의 솔더 상호연결부, (ii) 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, (iii) 브리지(505), (iv) 금속화 부분(102)에서의 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (v) 복수의 솔더 상호연결부들(830)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다. 집적 디바이스(104)와 집적 디바이스(404) 사이의 전기 경로는 집적 디바이스(104)와 집적 디바이스(404) 사이의 신호들(예컨대, 입력/출력 신호들)을 위해 구성될 수 있다.

[0098] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 솔더 상호연결부들(1060)로부터의 적어도 하나의 솔더 상호연결부, (iv) 칩렛(106), (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (vi) 복수의 솔더 상호연결부들(1010)로부터의 적어도 솔더 상호연결부를 포함할 수 있다.

[0099] 일부 구현들에서, 기판(709)과 집적 디바이스(104) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 관통 모드 비아들(780)로부터의 적어도 하나의 관통 모드 비아, (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (v) 복수의 솔더 상호연결부들(1010)로부터의 적어도 솔더 상호연결부를 포함할 수 있다.

[0100] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로(예컨대, 전력을 제공하기 위해 구성됨)는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 솔더 상호연결부들(1040)로부터의 적어도 하나의 솔더 상호연결부, (iv) 칩렛(406), (v) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (vi) 복수의 솔더 상호연결부들(1030)로부터의 적어도 솔더 상호연결부를 포함할 수 있다.

[0101] 일부 구현들에서, 기판(709)과 집적 디바이스(404) 사이의 전기 경로는, (i) 복수의 솔더 상호연결부들(196)로부터의 적어도 하나의 솔더 상호연결부, (ii) 복수의 금속화 상호연결부들(721)로부터의 적어도 하나의 금속화 상호연결부, (iii) 복수의 관통 모드 비아들(780)로부터의 적어도 하나의 관통 모드 비아, (iv) 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부, 및 (v) 복수의 솔더 상호연결부들(1030)로부터의 적어도 솔더 상호연결부를 포함할 수 있다.

[0102] 집적 디바이스(104)는 칩렛(106)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(104)는, 복수의 솔더 상호연결부들(1010)로부터의 적어도 하나의 솔더 상호연결부 및 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함하는 전기 경로를 통해 칩렛(106)에 전기적으로 커플링되도록 구성될 수 있다.

[0103] 집적 디바이스(404)는 칩렛(406)에 전기적으로 커플링되도록 구성된다. 예를 들어, 집적 디바이스(404)는, 복수의 솔더 상호연결부들(1030)로부터의 적어도 하나의 솔더 상호연결부 및 복수의 금속화 상호연결부들(121)로부터의 적어도 하나의 금속화 상호연결부를 포함하는 전기 경로를 통해 칩렛(406)에 전기적으로 커플링되도록 구성될 수 있다.

[0104] 패키지(1000)는 복수의 솔더 상호연결부들(196)을 통해 기판(709)에 커플링된다. 기판(709)은 보드(예컨대, 인쇄 회로 보드)일 수 있다.

[0105] 도 1 내지 도 10은 집적 디바이스 근처에 위치되는 적어도 하나의 칩렛을 포함하는 다양한 패키지들을

예시한다. 금속화 부분(들)이 있는 칩렛들 및 집적 디바이스들의 사용은 여러 이점들을 제공한다. 하나의 이점은, 칩렛이 집적 디바이스와는 상이한 제조 프로세스(예컨대, 기술 노드)를 사용하여 제조될 수 있다는 것이다. 이는 칩렛이 가장 비싼 제조 프로세스를 사용하여 제조될 필요가 없을 수 있기 때문에 비용 절감들을 돕는다. 더욱이, 금속화 부분(들)이 있는 칩렛들의 사용은, 칩렛들 및/또는 집적 디바이스들이 서로 가깝게 위치될 수 있으므로, 집적 디바이스들 및/또는 칩렛들 사이의 전기적 성능을 개선하는 데 도움이 된다.

[0106] 위에서 언급된 바와 같이, 패키지는 여러 금속화 부분들을 포함할 수 있다. 금속화 부분들 중 임의의 것은 제1 금속화 부분일 수 있고, 그리고/또는 금속화 부분들 중 임의의 것은 제2 금속화 부분일 수 있다. 예를 들어, 일부 구현들에서, 금속화 부분(102)은 제1 금속화 부분으로 간주될 수 있고, 금속화 부분(702)은 제2 금속화 부분으로 간주될 수 있다. 일부 구현들에서, 금속화 부분(702)은 제1 금속화 부분으로 간주될 수 있고, 금속화 부분(102)은 제2 금속화 부분으로 간주될 수 있다.

[0107] 위에서 언급된 바와 같이, 칩렛은 트렌치 커패시터를 포함하고 그리고/또는 트렌치 커패시터 디바이스로서 동작하도록 구성될 수 있다. 트렌치 커패시터 및/또는 트렌치 커패시터 디바이스는 높은 커패시턴스 및/또는 높은 커패시턴스 밀도를 갖는 커패시터를 제공한다. 더 높은 커패시턴스 밀도를 갖는 커패시터들은 패키지를 위해 더 콤팩트한 폼 팩터들을 허용하는데, 이는 이러한 커패시터들이 더 적은 공간을 차지하지만 더 큰 크기의 커패시터들과 동일한 그리고/또는 이들과 유사한 커패시턴스를 제공할 수 있기 때문이다. 트렌치 커패시터들의 콤팩트한 폼 팩터는 그들이 집적 디바이스에 매우 가깝게 위치되도록 허용하며, 이는 집적 디바이스로의 전력 전달 성능을 개선하는 데 도움이 될 수 있다. 더욱이, 이러한 트렌치 커패시터들은 작은 폼 팩터들을 갖기 때문에, 그들은 패키지 기판에서 구현되는 대신에 금속화 부분으로 구현될 수 있다.

[0108] **트렌치 커패시터들을 갖는 예시적인 칩렛**

[0109] 도 11은 트렌치 커패시터 디바이스로서 구성된 칩렛(1100)의 단면 프로파일 뷰를 예시한다. 칩렛(1100)은 다수의 트렌치 커패시터들(예컨대, 딥 트렌치 커패시터들)을 포함하는 집적 수동 디바이스일 수 있다. 칩렛(1100)은 트렌치 커패시턴스를 위한 수단일 수 있다. 칩렛(1100)은 칩렛(106) 및/또는 칩렛(406)을 표현할 수 있다. 칩렛(1100)은 전방 측면 및 후방 측면을 포함한다. 칩렛(1100)의 전방 측면은 복수의 트렌치 커패시터들을 포함할 수 있다.

[0110] 칩렛(1100)은 칩렛 기판(1102) 및 복수의 트렌치 커패시터들(1105)을 포함한다. 복수의 솔더 상호연결부들(도시되지 않음)이 칩렛(1100)에 커플링될 수 있다. 칩렛 기판(1102)은 실리콘(Si)을 포함할 수 있다. 칩렛 기판(1102)은, 커패시터들이 위에 형성될 수 있는 복수의 트렌치들 및/또는 공동(cavity)들을 포함할 수 있다. 트렌치들 및/또는 공동들의 예들이 아래에서 적어도 도 12a 내지 도 12c에 추가로 설명된다.

[0111] 복수의 트렌치 커패시터들(1105)은 트렌치 커패시터(1105a) 및 트렌치 커패시터(1105b)를 포함한다. 트렌치 커패시터(1105a) 및 트렌치 커패시터(1105b)는 동일한 커패시터(예컨대, 제1 커패시터, 제1 트렌치 커패시터)의 일부가 되도록 구성될 수 있다. 트렌치 커패시터(1105a) 및 트렌치 커패시터(1105b)는 제1 전력 분배 네트워크(PDN)에 커플링되도록 그리고/또는 이의 일부가 되도록 구성될 수 있다. 트렌치 커패시터(1105a) 및 트렌치 커패시터(1105b)는 패키지를 위한 제1 전력에 대한 제1 전기 경로의 일부가 되도록 구성될 수 있다. 트렌치 커패시터(1105a) 및 트렌치 커패시터(1105b)는 집적 디바이스(들)에 커플링되도록 구성될 수 있다.

[0112] 도 11에 도시된 바와 같이, 칩렛(1100)은 칩렛 기판(1102), 산화물 층(1104), 제1 전기 전도성 층(1106), 유전체 층(1108), 및 제2 전기 전도성 층(1110)을 포함한다. 제1 전기 전도성 층(1106) 및/또는 제2 전기 전도성 층(1110)은 폴리실리콘을 포함할 수 있다. 산화물 층(1104) 및/또는 유전체 층(1108)은 SiO_2(예컨대, 저압 화학 기상 증착(low-pressure chemical vapor deposition, LPCVD) SiO_2) 또는 Si_3N_4(예컨대, LPCVD Si_3N_4)를 포함할 수 있다. 산화물 층(1104), 제1 전기 전도성 층(1106), 유전체 층(1108), 및 제2 전기 전도성 층(1110)의 부분들은 칩렛 기판(1102)의 트렌치들 및/또는 공동들 내에 위치될 수 있다. 칩렛 기판(1102)은, 트렌치 또는 공동이 하나 이상의 재료들로 채워지더라도, 트렌치 또는 공동을 갖는 것으로 간주될 수 있음에 유의한다.

[0113] 트렌치 커패시터(1105a)(예컨대, 제1 트렌치 커패시터, 제1 커패시터, 제1 트렌치 커패시턴스를 위한 수단)는, 칩렛 기판(1102)의 트렌치(예컨대, 제1 트렌치) 내에 위치되는, (i) 산화물 층(1104)의 제1 부분, (ii) 제1 전기 전도성 층(1106)의 제1 부분, (iii) 유전체 층(1108)의 제1 부분, 및 (iv) 제2 전기 전도성 층(1110)의 제1 부분에 의해 정의될 수 있다.

[0114] 트렌치 커패시터(1105b)(예컨대, 제2 트렌치 커패시터, 제2 커패시터, 제2 트렌치 커패시턴스를 위한 수단)는,

칩렛 기판(1102)의 트렌치(예컨대, 제2 트렌치) 내에 위치되는, (i) 산화물 층(1104)의 제2 부분, (ii) 제1 전기 전도성 층(1106)의 제2 부분, (iii) 유전체 층(1108)의 제2 부분, 및 (iv) 제2 전기 전도성 층(1110)의 제2 부분에 의해 정의될 수 있다. 트렌치 커패시터(1105b)는 트렌치 커패시터(1105a)와 동일한 커패시터의 일부일 수 있음에 유의한다. 즉, 트렌치 커패시터(1105a) 및 트렌치 커패시터(1105b)는 더 큰 커패시턴스를 갖는 커패시터(예컨대, 제1 커패시터)를 형성하기 위해 함께 전기적으로 커플링되도록 구성될 수 있다.

[0115] 칩렛(1100)은 또한, 상호연결부(1109), 상호연결부(1192) 및 상호연결부(1194)를 포함한다. 상호연결부(1109)는, 상호연결부(1192) 및 상호연결부(1194)에 커플링된다. 상호연결부(1109)는 칩렛 기판(1102)을 통해 연장되는 관통 기판 비아일 수 있다. 상호연결부(1192)는 패드 상호연결부일 수 있다. 상호연결부(1194)는 패드 상호연결부일 수 있다. 상호연결부(1192)는 칩렛(1100)의 전방 측면 상에 위치될 수 있다. 상호연결부(1192)는 칩렛(1100)의 후방 측면 상에 위치될 수 있다. 상호연결부(1109)는 관통 칩렛 기판 상호연결부일 수 있다. 칩렛은 적어도 하나의 관통 칩렛 기판 상호연결부를 포함할 수 있다.

[0116] 집적 디바이스(예컨대, 104, 404)는 다이(예컨대, 반도체 베어(bare) 다이)를 포함할 수 있다. 집적 디바이스는 전력 관리 집적 회로(PMIC)를 포함할 수 있다. 집적 디바이스는 애플리케이션 프로세서를 포함할 수 있다. 집적 디바이스는 모뎀을 포함할 수 있다. 집적 디바이스는 RF(radio frequency) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨 비소(GaAs) 기반 집적 디바이스, SAW(surface acoustic wave) 필터, BAW(bulk acoustic wave) 필터, LED(light emitting diode) 집적 디바이스, 실리콘(Si) 기반 집적 디바이스, 실리콘 탄화물(SiC) 기반 집적 디바이스, 메모리, 전력 관리 프로세서 및/또는 이들의 조합들을 포함할 수 있다. 집적 디바이스(예컨대, 104, 404)는 적어도 하나의 전자 회로(예컨대, 제1 전자 회로, 제2 전자 회로 등)를 포함할 수 있다. 집적 디바이스는 트랜지스터들을 포함할 수 있다. 집적 디바이스는 전기 컴포넌트 및/또는 전기 디바이스의 예일 수 있다. 일부 구현들에서, 집적 디바이스는 칩렛일 수 있다. 칩렛은 다른 타입들의 집적 디바이스들을 제조하는 데 사용되는 다른 프로세스들과 비교하여 더 양호한 수율들을 제공하는 프로세스를 사용하여 제조될 수 있으며, 이는 칩렛을 제조하는 전체 비용을 낮출 수 있다. 상이한 칩렛들은 상이한 크기들 및/또는 형상들을 가질 수 있다. 상이한 칩렛들은 상이한 기능들을 제공하도록 구성될 수 있다. 상이한 칩렛들은 상이한 상호연결부 밀도들(예컨대, 상이한 폭 및/또는 간격을 갖는 상호연결부들)을 가질 수 있다. 일부 구현들에서, 하나 이상의 칩들(예컨대, 하나 이상의 집적 디바이스들)의 기능들을 수행하기 위해 여러 칩렛들이 사용될 수 있다. 위에서 언급된 바와 같이, 여러 기능들을 수행하는 여러 칩렛들을 사용하는 것은 패키지의 모든 기능들을 수행하기 위해 단일 칩을 사용하는 것에 비해 패키지의 전체 비용을 감소시킬 수 있다. 일부 구현들에서, 본 개시내용에 설명된 칩렛들(예컨대, 106, 306, 406, 606, 1100) 중 하나 이상 및/또는 집적 디바이스들(예컨대, 104, 404) 중 하나 이상은 동일한 기술 노드 또는 2개 이상의 상이한 기술 노드들을 사용하여 제조될 수 있다. 예를 들어, 집적 디바이스(예컨대, 104)는 제1 기술 노드를 사용하여 제조될 수 있고, 칩렛(예컨대, 106)은 제1 기술 노드만큼 진보되지 않은 제2 기술 노드를 사용하여 제조될 수 있다. 그러한 예에서, 집적 디바이스(예컨대, 104)는 제1 최소 크기를 갖는 컴포넌트들(예컨대, 상호연결부들, 트랜지스터들)을 포함할 수 있고, 칩렛(예컨대, 106)은 제2 최소 크기를 갖는 컴포넌트들(예컨대, 상호연결부들, 트랜지스터들)을 포함할 수 있으며, 여기서 제2 최소 크기는 제1 최소 크기보다 더 크다. 일부 구현들에서, 패키지의 집적 디바이스(104) 및 집적 디바이스(404)는 동일한 기술 노드 또는 상이한 기술 노드들을 사용하여 제조될 수 있다. 일부 구현들에서, 패키지의 칩렛(예컨대, 106) 및 다른 칩렛(예컨대, 406)은 동일한 기술 노드 또는 상이한 기술 노드들을 사용하여 제조될 수 있다.

[0117] 예로서, 일부 구현들에서, 제1 집적 디바이스(예컨대, 104)는 제1 최소 간격을 포함하는 제1 복수의 다이 상호연결부들을 포함할 수 있고, 제2 집적 디바이스(예컨대, 404)는 제2 최소 간격을 포함하는 제2 복수의 다이 상호연결부들을 포함할 수 있다. 칩렛(예컨대, 106, 306, 406)은 제3 최소 간격을 포함하는 복수의 상호연결부들을 포함할 수 있다. 일부 구현들에서, 제3 최소 간격은 제1 최소 간격 및/또는 제2 최소 간격과는 상이할 수 있다. 다른 예에서, 일부 구현들에서, 집적 디바이스(예컨대, 104, 404)는 제1 최소 간격을 포함하는 복수의 다이 상호연결부들을 포함할 수 있고, 칩렛(예컨대, 106, 306, 406)은 제2 최소 간격을 포함하는 복수의 상호연결부들을 포함할 수 있다. 또 다른 예에서, 일부 구현들에서, 집적 디바이스(예컨대, 104, 404)는 제1 최소 간격을 포함하는 제1 복수의 트랜지스터들을 포함할 수 있고, 칩렛(예컨대, 106, 306, 606)은 제2 최소 간격을 포함하는 제2 복수의 트랜지스터들을 포함할 수 있다. 일부 구현들에서, 제1 최소 간격은 제2 최소 간격 미만일 수 있다. 일부 구현들에서, 제1 최소 간격은 제2 최소 간격과 동일할 수 있다.

[0118] **트렌치 커패시터들을 갖는 칩렛을 제조하기 위한 예시적인 시퀀스**

[0119] 일부 구현들에서, 트렌치 커패시터들을 갖는 칩렛을 제조하는 것은 여러 프로세스들을 포함한다. 도 12a 내지

도 12d는 트렌치 커패시터들을 갖는 칩렛을 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 12a 내지 도 12d의 시퀀스는 도 11의 칩렛(1100)을 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 12a 내지 도 12d의 프로세스는 본 개시내용에 설명된 칩렛들(예컨대, 106, 406) 중 임의의 것을 제조하는 데 사용될 수 있다.

[0120] 도 12a 내지 도 12d의 시퀀스는 트렌치 커패시터들을 갖는 칩렛을 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 대체 또는 치환될 수 있다.

[0121] 도 12a에 도시된 바와 같이, 스테이지 1은, 기판(1102)이 제공된 이후의 상태를 예시한다. 기판(1102)은 칩렛 기판일 수 있다. 기판(1102)은 실리콘(Si)을 포함할 수 있다.

[0122] 스테이지 2는, 복수의 트렌치들(1200)이 기판(1102) 내에 형성된 이후의 상태를 예시한다. 복수의 트렌치들(1200)은 복수의 공동들을 포함할 수 있다. 복수의 트렌치들(1200)은 제1 트렌치, 제2 트렌치, 제3 트렌치, 및 제4 트렌치를 포함할 수 있다. 트렌치들은 상이한 형상들 및/또는 상이한 깊이들을 가질 수 있다. 에칭 프로세스가 복수의 트렌치들을 형성하는 데 사용될 수 있다. 복수의 트렌치들(1200)은 균일하게 간격을 두거나 상이한 간격을 가질 수 있다.

[0123] 도 12b에 도시된 바와 같이, 스테이지 3은, 산화물 층(1104)이 기판(1102)의 표면 위에 형성된 이후의 상태를 예시한다. 퇴적 프로세스(deposition process)가 복수의 트렌치들(1200) 위와 그 내를 포함하여 기판(1102)의 표면 위에 산화물 층(1104)을 형성하는 데 사용될 수 있다. 예를 들어, 화학 기상 증착(chemical vapor deposition, CVD) 프로세스가 산화물 층(1104)을 형성하는 데 사용될 수 있다. 저압 화학 기상 증착(LPCVD) 프로세스가 산화물 층(1104)을 형성하는 데 사용될 수 있다. 산화물 층(1104)은 복수의 트렌치들(1200)의 형상 및/또는 윤곽(contour)을 따를 수 있다.

[0124] 스테이지 4는, 제1 전기 전도성 층(1106)이 산화물 층(1104) 위에 형성된 이후의 상태를 예시한다. 제1 전기 전도성 층(1106)은 폴리실리콘을 포함할 수 있다. 퇴적 프로세스가 복수의 트렌치들(1200) 위와 그 내를 포함하여 산화물 층(1104) 위에 제1 전기 전도성 층(1106)을 형성하는 데 사용될 수 있다. 예를 들어, 화학 기상 증착(CVD) 프로세스가 제1 전기 전도성 층(1106)을 형성하는 데 사용될 수 있다. 저압 화학 기상 증착(LPCVD) 프로세스가 제1 전기 전도성 층(1106)을 형성하는 데 사용될 수 있다. 제1 전기 전도성 층(1106)은 산화물 층(1104) 및/또는 복수의 트렌치들(1200)의 형상 및/또는 윤곽을 따를 수 있다. 제1 전기 전도성 층(1106)은 폴리실리콘을 포함할 수 있다. 제1 전기 전도성 층(1106)은 도핑될 수 있다. 도펀트의 예는 붕소를 포함한다. 따라서, 예를 들어, 제1 전기 전도성 층(1106)은 붕소로 도핑된 LPCVD 폴리실리콘을 포함할 수 있다.

[0125] 도 12c에 도시된 바와 같이, 스테이지 5는, 유전체 층(1108)이 제1 전기 전도성 층(1106) 위에 형성된 이후의 상태를 예시한다. 퇴적 프로세스 및/또는 라미네이션 프로세스가 복수의 트렌치들(1200) 위와 그 내를 포함하여 제1 전기 전도성 층(1106) 위에 유전체 층(1108)을 형성하는 데 사용될 수 있다.

[0126] 스테이지 6은, 제2 전기 전도성 층(1110)이 유전체 층(1108) 위에 형성된 이후의 상태를 예시한다. 제2 전기 전도성 층(1110)은 폴리실리콘을 포함할 수 있다. 퇴적 프로세스가 복수의 트렌치들(1200) 위와 그 내를 포함하여 유전체 층(1108) 위에 제2 전기 전도성 층(1110)을 형성하는 데 사용될 수 있다. 예를 들어, 화학 기상 증착(CVD) 프로세스가 제2 전기 전도성 층(1110)을 형성하는 데 사용될 수 있다. 저압 화학 기상 증착(LPCVD) 프로세스가 제2 전기 전도성 층(1110)을 형성하는 데 사용될 수 있다. 에칭 프로세스가 제2 전기 전도성 층(1110)의 다양한 부분들을 형성하는 데 사용될 수 있다. 제2 전기 전도성 층(1110)은 복수의 트렌치들(1200)을 가득 채울 수 있다. 제2 전기 전도성 층(1110)은 도핑될 수 있다. 도펀트의 예는 붕소를 포함한다. 따라서, 예를 들어, 제2 전기 전도성 층(1110)은 붕소로 도핑된 LPCVD 폴리실리콘을 포함할 수 있다. 스테이지 6은 또한, 제1 전기 전도성 층(1106)의 추가적인 부분(들)이 형성될 수 있는 곳을 예시할 수 있다. 제1 전기 전도성 층(1106)의 추가적인 부분(들)은 유전체 층(1108)의 개구(들)를 통해 형성될 수 있다. 유전체 층(1108)에 의해 커버되지 않은 제1 전기 전도성 층(1106)의 추가적인 부분(들)은 솔더 상호연결부에 커플링될 패드로서 사용될 수 있다. 제1 전기 전도성 층(1106)의 추가적인 부분은 퇴적 프로세스를 사용하여 형성될 수 있다. 제1 전기 전도성 층(1106) 및/또는 제2 전기 전도성 층(1110)은 폴리실리콘을 포함할 수 있다.

[0127] 도 12d에 도시된 바와 같이, 스테이지 7은, 적어도 하나의 공동(1210)이 기판(1102) 내에 형성된 이후의 상태를 예시한다. 에칭 프로세스 및/또는 레이저 프로세스(예컨대, 레이저 어블레이션(laser ablation))가 기판(110

2)의 전체 두께를 통해 연장되는 적어도 하나의 공동(1210)을 형성하는 데 사용될 수 있다.

[0128] 스테이지 8은, 상호연결부(1109), 상호연결부(1192) 및 상호연결부(1194)가 형성된 이후의 상태를 예시한다. 도금 프로세스(plating process)가 상호연결부(1109), 상호연결부(1192) 및 상호연결부(1194)를 형성하는 데 사용될 수 있다. 스테이지 8은 복수의 트렌치 커패시터들(1105)을 포함하는 칩렛(1100)의 예를 예시한다.

[0129] 트렌치 커패시터들을 갖는 칩렛을 제조하기 위한 방법의 예시적인 흐름도

[0130] 일부 구현들에서, 트렌치 커패시터들을 갖는 칩렛을 제조하는 것은 여러 프로세스들을 포함한다. 도 13은 트렌치 커패시터들을 갖는 칩렛을 제공 또는 제조하기 위한 방법(1300)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 13의 방법(1300)은 도 11의 칩렛(1100)을 제공 또는 제조하는 데 사용될 수 있다. 그러나, 방법(1300)은 트렌치 커패시터들을 갖는 임의의 칩렛을 제조하는 데 사용될 수 있다. 도 13의 방법(1300)은 칩렛(1100)을 제조하는 것을 설명하는 데 사용될 것이다.

[0131] 도 13의 방법은 트렌치 커패시터를 갖는 칩렛을 제공 또는 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 프로세스들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0132] 방법은 (1305에서) 기판(예컨대, 1102)을 제공한다. 기판(1102)은 칩렛 기판일 수 있다. 기판(1102)은 실리콘(Si)을 포함할 수 있다. 도 12a의 스테이지 1은 칩렛 기판을 제공하는 예를 예시 및 설명한다.

[0133] 방법은 (1310에서) 기판(예컨대, 1102) 내에 복수의 트렌치들(예컨대, 1200)을 형성한다. 복수의 트렌치들(1200)은 복수의 공동들을 포함할 수 있다. 복수의 트렌치들(1200)은 제1 트렌치, 제2 트렌치, 제3 트렌치, 및 제4 트렌치를 포함할 수 있다. 트렌치들은 상이한 형상들 및/또는 상이한 깊이들을 가질 수 있다. 에칭 프로세스가 복수의 트렌치들(1200)을 형성하는 데 사용될 수 있다. 복수의 트렌치들(1200)은 균일하게 간격을 두거나 상이한 간격을 가질 수 있다. 도 12a의 스테이지 2는 트렌치들을 형성하는 예를 예시 및 설명한다.

[0134] 방법은 (1315에서) 복수의 트렌치들 위에 산화물 층(예컨대, 1104)을 형성한다. 산화물 층(1104)은 기판(1102)의 표면 위에 형성될 수 있다. 퇴적 프로세스가 복수의 트렌치들(1200) 위와 그 내를 포함하여 기판(1102)의 표면 위에 산화물 층(1104)을 형성하는 데 사용될 수 있다. 저압 화학 기상 증착(LPCVD) 프로세스가 산화물 층(1104)을 형성하는 데 사용될 수 있다. 산화물 층(1104)은 복수의 트렌치들(1200)의 형상 및/또는 윤곽을 따를 수 있다. 도 12b의 스테이지 3은 산화물 층을 형성하는 예를 예시 및 설명한다.

[0135] 방법은 (1320에서) 산화물 층(예컨대, 1104) 위에 제1 전기 전도성 층(예컨대, 1106)을 형성한다. 제1 전기 전도성 층(1106)은 산화물 층(1104) 위에 형성될 수 있다. 제1 전기 전도성 층(1106)은 폴리실리콘을 포함할 수 있다. 퇴적 프로세스가 복수의 트렌치들(1200) 위와 그 내를 포함하여 산화물 층(1104) 위에 제1 전기 전도성 층(1106)을 형성하는 데 사용될 수 있다. 예를 들어, 저압 화학 기상 증착(LPCVD) 프로세스가 제1 전기 전도성 층(1106)을 형성하는 데 사용될 수 있다. 제1 전기 전도성 층(1106)은 산화물 층(1104) 및/또는 복수의 트렌치들(1200)의 형상 및/또는 윤곽을 따를 수 있다. 제1 전기 전도성 층(1106)을 형성하는 것은 제1 전기 전도성 층(1106)을 도펀트로 도핑하는 것을 포함할 수 있다. 도 12b의 스테이지 4는 제1 전기 전도성 층을 형성하는 예를 예시 및 설명한다.

[0136] 방법은 (1325에서) 제1 전기 전도성 층(예컨대, 1106) 위에 유전체 층(예컨대, 1108)을 형성한다. 퇴적 프로세스가 복수의 트렌치들(1200) 위와 그 내를 포함하여 제1 전기 전도성 층(1106) 위에 유전체 층(1108)을 형성하는 데 사용될 수 있다. 도 12c의 스테이지 5는 유전체 층을 형성하는 예를 예시 및 설명한다.

[0137] 방법은 (1330에서) 유전체 층(예컨대, 1108) 위에 제2 전기 전도성 층(예컨대, 1110)을 형성한다. 제2 전기 전도성 층(1110)은 폴리실리콘을 포함할 수 있다. 퇴적 프로세스가 복수의 트렌치들(1200) 위와 그 내를 포함하여 유전체 층(1108) 위에 제2 전기 전도성 층(1110)을 형성하는 데 사용될 수 있다. 저압 화학 기상 증착(LPCVD) 프로세스가 제2 전기 전도성 층(1110)을 형성하는 데 사용될 수 있다. 제2 전기 전도성 층(1110)은 복수의 트렌치들(1200)을 가득 채울 수 있다. 일부 구현들에서, 제1 전기 전도성 층(1106)의 추가적인 부분(들)이 또한 (1330에서) 형성될 수 있다. 제1 전기 전도성 층(1106)의 추가적인 부분(들)은 유전체 층(1108)의 개구(들)를 통해 형성될 수 있다. 제1 전기 전도성 층(1106)의 추가적인 부분은 솔더 상호연결부들에 커플링되도록 구성된 패드(들)로서 사용될 수 있다. 도 12d의 스테이지 6은 제2 전기 전도성 층을 형성하는 예를 예시 및 설명한다,

[0138] 방법은 (1335에서) 기판(1102) 내에 적어도 하나의 공동(예컨대, 1210)을 형성한다. 에칭 프로세스 및/또는 레

이저 프로세스(예컨대, 레이저 어블레이션)가 기판(1102)의 전체 두께를 통해 연장되는 적어도 하나의 공동(1210)을 형성하는 데 사용될 수 있다. 도 12d의 스테이지 7은 기판 내에 적어도 하나의 공동을 형성하는 예를 예시 및 설명한다.

[0139] 방법은 (1340에서) 기판(예컨대, 1102)의 공동(예컨대, 1210) 내에 적어도 하나의 상호연결부(예컨대, 1109)를 형성한다. 일부 구현들에서, 제1 상호연결부(예컨대, 1192)는 기판의 제1 표면 위에 형성될 수 있고, 제2 상호연결부(예컨대, 1194)는 기판의 제2 표면 위에 형성될 수 있다. 제1 상호연결부 및 제2 상호연결부는 기판의 공동 내에 위치된 상호연결부에 커플링될 수 있다. 도금 프로세스가 상호연결부들(예컨대, 1109, 1192, 1194)을 형성하는 데 사용될 수 있다. 도 12d의 스테이지 8은 기판의 공동 내에 적어도 하나의 상호연결부를 형성하는 예를 예시 및 설명한다.

[0140] 집적 디바이스 및 칩렛을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스

[0141] 도 14a 내지 도 14d는 집적 디바이스 및 칩렛을 포함하는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 14a 내지 도 14d의 시퀀스는 도 5의 패키지(500), 또는 본 개시내용에 설명된 패키지들 중 임의의 것을 제공 또는 제조하는 데 사용될 수 있다.

[0142] 도 14a 내지 도 14d의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 대체 또는 치환될 수 있다. 도 14a 내지 도 14d의 시퀀스는 (웨이퍼의 일부로서) 한 번에 하나의 패키지 또는 여러 패키지들을 제조하는 데 사용될 수 있다.

[0143] 도 14a에 도시된 바와 같이, 스테이지 1은, 집적 디바이스(104) 및 집적 디바이스(404)가 캐리어(carrier)(1400) 상에 제공된 이후의 상태를 예시한다. 픽 앤 플레이스(pick and place) 프로세스가 캐리어(1400) 상에 집적 디바이스(104)의 후방 측면 및 집적 디바이스(404)의 후방 측면을 배치하는 데 사용될 수 있다. 캐리어(1400)는 테이프를 포함할 수 있다. 집적 디바이스(104)는 복수의 기둥 상호연결부들(1407)을 포함할 수 있다. 복수의 기둥 상호연결부들(1407)은 복수의 기둥 간 상호연결부들을 포함할 수 있다. 집적 디바이스(404)는 복수의 기둥 상호연결부들(1447)을 포함할 수 있다. 복수의 기둥 상호연결부들(1447)은 복수의 기둥 간 상호연결부들을 포함할 수 있다. 복수의 기둥 상호연결부들(1407) 중 일부는 복수의 기둥 상호연결부들(107b)을 표현할 수 있다. 복수의 기둥 상호연결부들(1447) 중 일부는 복수의 기둥 상호연결부들(407b)을 표현할 수 있다.

[0144] 스테이지 2는, 캡슐화 층(108)이 캐리어(1400), 집적 디바이스(104) 및 집적 디바이스(404) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 캐리어(1400), 집적 디바이스(104) 및 집적 디바이스(404)에 커플링된다. 캡슐화 층(108)은 복수의 기둥 상호연결부들(1407) 및 복수의 기둥 상호연결부들(1447)을 캡슐화할 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액상 몰딩 프로세스를 사용함으로써 제공될 수 있다. 일부 구현들에서, 캡슐화 층(108)이 제공되고, 이어서 폴리싱 및/또는 그라인딩 프로세스가 캡슐화 층(108)의 부분들 및/또는 집적 디바이스(104)의 기둥 상호연결부들(1407)의 부분들 및/또는 집적 디바이스(404)의 기둥 상호연결부들(1447)의 부분들을 제거하여, 평면 표면을 생성하기 위해 수행된다.

[0145] 스테이지 3은, 유전체 층(281)이 캡슐화 층(108)의 표면 위에 선택적으로 형성된 이후의 상태를 예시한다. 유전체 층(281) 내에는 집적 디바이스(104)의 기둥 상호연결부들 및 집적 디바이스(404)의 기둥 상호연결부들을 노출시키는 개구들이 있을 수 있다. 유전체 층(281)은 폴리이미드(PI)를 포함할 수 있다. 유전체 층(281)은 더 평면인 표면을 생성하는 데 도움이 될 수 있다. 일부 구현들에서, 시드 층(1401)이 복수의 기둥 상호연결부들 위에 선택적으로 형성될 수 있다. 시드 층(1401)은 유전체 층(281)의 개구 내에 위치될 수 있다. 시드 층(1401)은 상호연결부들이 기둥 상호연결부들 위에 형성되도록 도울 수 있다.

[0146] 스테이지 4는, (i) 복수의 기둥 상호연결부들(1404)이 집적 디바이스(104)의 기둥 상호연결부들에 형성 및 커플링되고 (ii) 복수의 기둥 상호연결부들(1414)이 집적 디바이스(404)의 기둥 상호연결부들에 형성 및 커플링된 이후의 상태를 예시한다. 도금 프로세스가 복수의 기둥 상호연결부들(1404 및/또는 1414)을 형성하는 데 사용될 수 있다. 복수의 기둥 상호연결부들(1404)은 복수의 기둥 상호연결부들(107a)을 표현할 수 있다. 복수의 기둥 상호연결부들(1414)은 복수의 기둥 상호연결부들(407a)을 표현할 수 있다. 일부 구현들에서, 복수의 기둥 상호연결부들(1404)은 시드 층(1401) 및/또는 복수의 기둥 상호연결부들(1407)을 포함할 수 있다. 일부 구현들

에서, 복수의 기둥 상호연결부들(1414)은 시드 층(1401) 및/또는 복수의 기둥 상호연결부들(1447)을 포함할 수 있다. 도면들을 단순화하기 위한 목적으로, 도 14a 내지 도 14d의 스테이지 4 및 후속 스테이지들은 유전체 층(281) 및 시드 층(1401)을 예시하지 않는다. 그러나, 유전체 층(281) 및 시드 층(1401)은 본 개시내용에 설명되는 것과 일치하는 방식으로 패키지 내에 위치될 수 있음에 유의한다.

[0147] 스테이지 5는, 칩렛(106)이 복수의 솔더 상호연결부들(140)을 통해 집적 디바이스(104)의 복수의 기둥 상호연결부들(1407)에 커플링된 이후의 상태를 예시한다. 스테이지 5는 또한, 칩렛(406)이 복수의 솔더 상호연결부들(440)을 통해 집적 디바이스(404)의 복수의 기둥 상호연결부들(1447)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가 칩렛(106) 및 칩렛(406)을 그들 각자의 기둥 상호연결부들에 커플링하는 데 사용될 수 있다. 스테이지 5는 또한, 브리지(505)가 캡슐화 층(108) 상에 배치된 이후의 상태를 예시한다. 브리지(505)의 후방 측면은 캡슐화 층(108)에 배치 및/또는 커플링될 수 있다. 유전체 층(281)이 존재할 때, 브리지(505)의 후방 측면은 유전체 층(281)에 배치 및/또는 커플링될 수 있다.

[0148] 스테이지 6은, 캡슐화 층(1408)이 캡슐화 층(108), 유전체 층(281), 칩렛(106), 칩렛(406), 복수의 기둥 상호연결부들(1404) 및/또는 복수의 기둥 상호연결부들(1414) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(1408)은 캡슐화 층(108), 유전체 층(281), 칩렛(106), 칩렛(406), 복수의 기둥 상호연결부들(1404) 및/또는 복수의 기둥 상호연결부들(1414)에 커플링된다. 캡슐화 층(1408)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(1408)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(1408)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액상 몰딩 프로세스를 사용함으로써 제공될 수 있다. 일부 구현들에서, 캡슐화 층(1408)이 제공되고, 이어서 폴리싱 및/또는 그라인딩 프로세스가 캡슐화 층(1408)의 부분들 및/또는 기둥 상호연결부들(1404)의 부분들 및/또는 기둥 상호연결부들(1414)의 부분들을 제거하여, 평면 표면을 생성하기 위해 수행된다.

[0149] 도 14b에 도시된 바와 같이, 스테이지 7은, 유전체 층(1420)이 캡슐화 층(108) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 캡슐화 층(108) 및 캡슐화 층(1408)을 표현할 수 있음에 유의한다. 일부 구현들에서, 스테이지 7에 도시된 캡슐화 층(108)은 위에서 도 14a에 설명된 바와 같이 유전체 층(281)을 포함할 수 있다. 라미네이션 프로세스가 유전체 층(1420)을 형성하는 데 사용될 수 있다.

[0150] 스테이지 8은, 복수의 공동들(1421)이 유전체 층(1420) 내에 형성된 이후의 상태를 예시한다. 복수의 공동들(1421)은 상호연결부들을 노출시키는 유전체 층(1420) 내의 개구들일 수 있다. 노출 및 현상(development) 프로세스가 복수의 공동들(1421)을 형성하는 데 사용될 수 있다.

[0151] 스테이지 9는, 복수의 금속화 상호연결부들(1422)이 유전체 층(1420) 내에 그리고 그 위에 형성된 이후의 상태를 예시한다. 도금 프로세스가 복수의 금속화 상호연결부들(1422)을 형성하는 데 사용될 수 있다.

[0152] 스테이지 10은, 유전체 층(1430)이 유전체 층(1420) 위에 형성된 이후의 상태를 예시한다. 라미네이션 프로세스가 유전체 층(1430)을 형성하는 데 사용될 수 있다.

[0153] 도 14c에 도시된 바와 같이, 스테이지 11은, 복수의 공동들(1431)이 유전체 층(1430) 내에 형성된 이후의 상태를 예시한다. 복수의 공동들(1431)은 상호연결부들을 노출시키는 유전체 층(1430) 내의 개구들일 수 있다. 노출 및 현상 프로세스가 복수의 공동들(1431)을 형성하는 데 사용될 수 있다.

[0154] 스테이지 12는, 복수의 금속화 상호연결부들(1432)이 유전체 층(1430) 내에 그리고 그 위에 형성된 이후의 상태를 예시한다. 복수의 금속화 상호연결부들(1432)은 복수의 금속화 상호연결부들(1422)에 커플링될 수 있다. 도금 프로세스가 복수의 금속화 상호연결부들(1432)을 형성하는 데 사용될 수 있다. 유전체 층(1420), 유전체 층(1430), 복수의 금속화 상호연결부들(1422) 및 복수의 금속화 상호연결부들(1432)은 금속화 부분(102)을 형성할 수 있다. 복수의 금속화 상호연결부들(1422) 및 복수의 금속화 상호연결부들(1432)은 복수의 금속화 상호연결부들(122)에 의해 표현될 수 있다. 유전체 층(1420) 및 유전체 층(1430)은 적어도 하나의 유전체 층(120)에 의해 표현될 수 있다.

[0155] 스테이지 13은, 복수의 솔더 상호연결부들(196)이 금속화 부분(102)에 커플링된 이후의 상태를 예시한다. 복수의 솔더 상호연결부들(196)은 금속화 부분(102)의 복수의 금속화 상호연결부들(122)에 커플링될 수 있다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(196)을 금속화 부분(102)에 커플링하는 데 사용될 수 있다.

[0156] 스테이지 14는, 캐리어(1400)가 캡슐화 층(108)으로부터 디커플링되어, 집적 디바이스(104), 집적 디바이스(404), 칩렛(106), 칩렛(406), 브리지(505), 금속화 부분(102) 및 캡슐화 층(108)을 포함하는 패키지(500)를 남긴 이후의 상태를 예시한다.

[0157] 도 14d에 도시된 바와 같이, 스테이지 15는, 패키지(500)가 복수의 솔더 상호연결부들(196)을 통해 기판(109)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가 패키지(500)를 기판(109)에 커플링하는 데 사용될 수 있다.

[0158] 스테이지 16은, 언더필(105)이 패키지(500)와 기판(109) 사이에 형성된 이후의 상태를 예시한다. 언더필(105)은 기판(109)에 그리고 패키지(500)의 측면에 커플링될 수 있다.

[0159] 도 14a 내지 도 14d는 패키지를 제조하기 위한 방법의 예를 예시한다. 방법은 제1 집적 디바이스 및 제1 복수의 기둥 간 상호연결부들을 제공할 수 있다. 방법은 제1 집적 디바이스 및 제1 복수의 기둥 간 상호연결부들을 캡슐화하는 캡슐화 층을 형성할 수 있다. 방법은 제1 집적 디바이스에 커플링되도록 구성되는 제1 복수의 기둥 상호연결부들을 형성할 수 있다. 방법은 제1 복수의 기둥 간 상호연결부들을 통해 제1 집적 디바이스에 제1 칩렛을 커플링할 수 있다. 방법은, 제1 금속화 부분이 제1 칩렛 및 제1 캡슐화 층에 커플링되도록 제1 금속화 부분을 형성할 수 있다. 일부 구현들에서, 방법은 제1 칩렛을 캡슐화하는 제2 캡슐화 층을 형성할 수 있다. 제2 캡슐화 층 및 캡슐화 층은 동일한 캡슐화 층의 일부일 수 있다. 방법은 제2 집적 디바이스 및 제2 복수의 기둥 간 상호연결부들을 제공할 수 있고, 여기서 캡슐화 층을 형성하는 것은 제2 집적 디바이스 및 제2 복수의 기둥 간 상호연결부들을 추가로 캡슐화하는 캡슐화 층을 형성하는 것을 포함한다. 방법은 제2 복수의 기둥 간 상호연결부들을 통해 제2 집적 디바이스에 제2 칩렛을 커플링할 수 있다. 방법은 제1 집적 디바이스와 제2 집적 디바이스 사이에 적어도 하나의 전기 경로를 제공하도록 구성되는 브리지를 제공할 수 있다.

[0160] 집적 디바이스 및 칩렛을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스

[0161] 도 15a 내지 도 15c는 집적 디바이스 및 칩렛을 포함하는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 15a 내지 도 15c의 시퀀스는 도 8의 패키지(800), 또는 본 개시내용에 설명된 패키지들 중 임의의 것을 제공 또는 제조하는 데 사용될 수 있다.

[0162] 도 15a 내지 도 15c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 대체 또는 치환될 수 있다. 도 15a 내지 도 15c의 시퀀스는 (웨이퍼의 일부로서) 한 번에 하나의 패키지 또는 여러 패키지들을 제조하는 데 사용될 수 있다.

[0163] 도 15a에 도시된 바와 같이, 스테이지 1은, 집적 디바이스(104) 및 집적 디바이스(404)가 캐리어(1500) 상에 제공된 이후의 상태를 예시한다. 픽 앤 플레이스 프로세스가 캐리어(1500) 상에 집적 디바이스(104)의 후방 측면 및 집적 디바이스(404)의 후방 측면을 배치하는 데 사용될 수 있다. 캐리어(1500)는 테이프를 포함할 수 있다.

[0164] 스테이지 2는, 캡슐화 층(108)이 캐리어(1500), 집적 디바이스(104) 및 집적 디바이스(404) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 캐리어(1500), 집적 디바이스(104) 및 집적 디바이스(404)에 커플링된다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액상 몰딩 프로세스를 사용함으로써 제공될 수 있다. 일부 구현들에서, 캡슐화 층(108)이 제공되고, 이어서 폴리싱 및/또는 그라인딩 프로세스가 캡슐화 층(108)의 부분들을 제거하여, 평면 표면을 생성하기 위해 수행된다.

[0165] 스테이지 3은, 금속화 부분(102)이 형성된 이후의 상태를 예시한다. 금속화 부분(102)은 집적 디바이스(104), 집적 디바이스(404) 및 캡슐화 층(108) 위에 형성될 수 있다. 금속화 부분(102)은 적어도 하나의 유전체 층(120) 및 복수의 금속화 상호연결부들(122)을 포함한다. 금속화 부분(102)은 도 14a 내지 도 14d에 도시된 금속화 부분(102)에 대해 설명된 것과 유사한 방식으로 형성될 수 있다.

[0166] 도 15b에 도시된 바와 같이, 스테이지 4는, 복수의 기둥 상호연결부들(1580)이 형성된 이후의 상태를 예시한다. 도금 프로세스가 복수의 기둥 상호연결부들(1580)을 형성하는 데 사용될 수 있다. 복수의 기둥 상호연결부들은 복수의 금속화 상호연결부들(122)에 커플링될 수 있다.

[0167] 스테이지 5는, 칩렛(106)이 복수의 솔더 상호연결부들(740)을 통해 복수의 금속화 상호연결부들(122)에 커플링된 이후의 상태를 예시한다. 스테이지 5는 또한, 칩렛(406)이 복수의 솔더 상호연결부들(740)을 통해 복수의 금속화 상호연결부들(122)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가 칩렛(106) 및 칩렛(406)을 복수의 금속화 상호연결부들(122)에 커플링하는 데 사용될 수 있다. 스테이지 5는 또한, 브리지(505)가 복수의 솔더 상호연결부들(850)을 통해 복수의 금속화 상호연결부들(122)에 커플링된 이후의 상태를 예시한

다. 브리지(505)의 전방 측면은 금속화 부분(102)을 향할 수 있다.

[0168] 스테이지 6은, 캡슐화 층(708)이 캡슐화 층(108), 칩렛(106), 칩렛(406), 브리지(505), 및 복수의 기둥 상호연결부들(1580) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(708)은 캡슐화 층(108), 칩렛(106), 칩렛(406), 브리지(505), 및 복수의 기둥 상호연결부들(1580)에 커플링된다. 복수의 기둥 상호연결부들(1580)은 캡슐화 층(708) 내의 복수의 관통 몰드 비아들(780)로서 표현될 수 있다. 캡슐화 층(708)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(708)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(708)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액상 몰딩 프로세스를 사용함으로써 제공될 수 있다. 일부 구현들에서, 캡슐화 층(708)이 제공되고, 이어서 폴리싱 및/또는 그라인딩 프로세스가 캡슐화 층(708)의 부분들 및/또는 관통 몰드 비아들(780)의 부분들을 제거하여, 평면 표면을 생성하기 위해 수행된다.

[0169] 도 15c에 도시된 바와 같이, 스테이지 7은, 금속화 부분(702)이 형성된 이후의 상태를 예시한다. 금속화 부분(702)은 캡슐화 층(708), 칩렛(106) 및 칩렛(406) 위에 형성될 수 있다. 금속화 부분(702)은 적어도 하나의 유전체 층(720) 및 복수의 금속화 상호연결부들(722)을 포함한다. 금속화 부분(702)은 도 14a 내지 도 14d에 도시된 금속화 부분(102)에 대해 설명된 것과 유사한 방식으로 형성될 수 있다.

[0170] 스테이지 8은, 복수의 솔더 상호연결부들(196)이 금속화 부분(702)에 커플링된 이후의 상태를 예시한다. 복수의 솔더 상호연결부들(196)은 금속화 부분(702)의 복수의 금속화 상호연결부들(722)에 커플링될 수 있다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(196)을 금속화 부분(702)에 커플링하는 데 사용될 수 있다. 스테이지 8은 또한, 캐리어(1500)가 캡슐화 층(108)으로부터 디커플링되어, 집적 디바이스(104), 집적 디바이스(404), 칩렛(106), 칩렛(406), 브리지(505), 금속화 부분(102), 금속화 부분(702), 캡슐화 층(108) 및 캡슐화 층(708)을 포함하는 패키지(800)를 남긴 이후의 상태를 예시한다.

[0171] 도 15a 내지 도 15c는 패키지를 제조하는 방법의 예를 예시한다. 방법은 제1 집적 디바이스 및 제2 집적 디바이스를 제공할 수 있다. 방법은 제1 집적 디바이스 및 제2 집적 디바이스를 캡슐화하는 캡슐화 층을 형성할 수 있다. 방법은, 제1 금속화 부분이 제1 집적 디바이스 및 제2 집적 디바이스에 커플링되도록 제1 금속화 부분을 형성할 수 있다. 방법은, 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들이 제1 금속화 부분에 커플링되도록 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들을 형성할 수 있다. 방법은 제1 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링할 수 있다. 방법은 제1 복수의 기둥 상호연결부들, 제2 복수의 기둥 상호연결부들, 제1 칩렛 및 제2 칩렛을 캡슐화하는 다른 캡슐화 층을 형성할 수 있다. 방법은, 제2 금속화 부분이 제1 칩렛 및 제2 칩렛에 커플링되도록 제2 금속화 부분을 형성할 수 있다. 일부 구현들에서, 제1 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링하는 것은, 제1 칩렛의 전방 측면이 제1 금속화 부분을 향하도록 제1 금속화 부분에 제1 칩렛을 커플링하는 것, 및 제2 칩렛의 전방 측면이 제1 금속화 부분을 향하도록 제1 금속화 부분에 제2 칩렛을 커플링하는 것을 포함한다. 제1 칩렛은 제1 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링될 수 있다. 제2 칩렛은 제2 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링될 수 있다. 방법은, 브리지의 전방 측면이 제1 금속화 부분을 향하도록 제1 금속화 부분에 브리지를 커플링할 수 있다. 브리지는 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링될 수 있다.

[0172] 금속화 부분들 중 임의의 것은 제1 금속화 부분일 수 있고, 그리고/또는 금속화 부분들 중 임의의 것은 제2 금속화 부분일 수 있다. 예를 들어, 일부 구현들에서, 금속화 부분(102)은 제1 금속화 부분으로 간주될 수 있고, 금속화 부분(702)은 제2 금속화 부분으로 간주될 수 있다. 일부 구현들에서, 금속화 부분(702)은 제1 금속화 부분으로 간주될 수 있고, 금속화 부분(102)은 제2 금속화 부분으로 간주될 수 있다.

[0173] **집적 디바이스 및 칩렛을 포함하는 패키지를 제조하기 위한 예시적인 시퀀스**

[0174] 도 16a 내지 도 16c는 집적 디바이스 및 칩렛을 포함하는 패키지를 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 16a 내지 도 16c의 시퀀스는 도 10의 패키지(1000), 또는 본 개시내용에 설명된 패키지들 중 임의의 것을 제공 또는 제조하는 데 사용될 수 있다.

[0175] 도 16a 내지 도 16c의 시퀀스는 패키지를 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 대체 또는 치환될 수 있다. 도 16a 내지 도 16c의 시퀀스는 (웨이퍼의 일부로서) 한 번에 하나의 패키지 또는 여러 패키지들을 제조하는 데 사용될 수 있다.

[0176] 도 16a에 도시된 바와 같이, 스테이지 1은, 금속화 부분(702)이 캐리어(1600) 위에 형성된 이후의 상태를 예시

한다. 금속화 부분(702)은 적어도 하나의 유전체 층(720) 및 복수의 금속화 상호연결부들(722)을 포함한다. 금속화 부분(702)은 도 14a 내지 도 14d에 도시된 금속화 부분(102)에 대해 설명된 것과 유사한 방식으로 형성될 수 있다.

[0177] 스테이지 2는, 복수의 기둥 상호연결부들(1680)이 형성된 이후의 상태를 예시한다. 도금 프로세스가 복수의 기둥 상호연결부들(1680)을 형성하는 데 사용될 수 있다. 복수의 기둥 상호연결부들은 복수의 금속화 상호연결부들(722)에 커플링될 수 있다.

[0178] 스테이지 3은, 칩렛(106)이 복수의 솔더 상호연결부들(1060)을 통해 복수의 금속화 상호연결부들(722)에 커플링된 이후의 상태를 예시한다. 스테이지 3은 또한, 칩렛(406)이 복수의 솔더 상호연결부들(1040)을 통해 복수의 금속화 상호연결부들(722)에 커플링된 이후의 상태를 예시한다. 솔더 리플로우 프로세스가 칩렛(106) 및 칩렛(406)을 복수의 금속화 상호연결부들(722)에 커플링하는 데 사용될 수 있다.

[0179] 도 16b에 도시된 바와 같이, 스테이지 4는, 브리지(505)가 접착제(1005)를 통해 복수의 금속화 상호연결부들(722)에 커플링된 이후의 상태를 예시한다. 브리지(505)의 후방 측면은 접착제(1005)를 통해 금속화 부분(702)에 커플링될 수 있다. 예를 들어, 브리지(505)의 다이 기판의 후방 측면은 접착제(1005)를 통해 금속화 부분(702)에 커플링될 수 있다.

[0180] 스테이지 5는, 캡슐화 층(708)이 금속화 부분(702), 칩렛(106), 칩렛(406), 브리지(505), 및 복수의 기둥 상호연결부들(1680) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(708)은 금속화 부분(702), 칩렛(106), 칩렛(406), 브리지(505), 및 복수의 기둥 상호연결부들(1680)에 커플링된다. 복수의 기둥 상호연결부들(1680)은 캡슐화 층(708) 내의 복수의 관통 몰드 비아들(780)로서 표현될 수 있다. 캡슐화 층(708)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(708)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(708)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액상 몰딩 프로세스를 사용함으로써 제공될 수 있다. 일부 구현들에서, 캡슐화 층(708)이 제공되고, 이어서 폴리싱 및/또는 그라인딩 프로세스가 캡슐화 층(708)의 부분들 및/또는 관통 몰드 비아들(780)의 부분들을 제거하여, 평면 표면을 생성하기 위해 수행된다.

[0181] 스테이지 6은, 금속화 부분(102)이 형성된 이후의 상태를 예시한다. 금속화 부분(102)은 캡슐화 층(708), 브리지(505), 칩렛(106) 및 칩렛(406) 위에 형성될 수 있다. 금속화 부분(102)은 적어도 하나의 유전체 층(120) 및 복수의 금속화 상호연결부들(122)을 포함한다. 금속화 부분(102)은 도 14a 내지 도 14d에 도시된 금속화 부분(102)에 대해 설명된 것과 유사한 방식으로 형성될 수 있다.

[0182] 도 16c에 도시된 바와 같이, 스테이지 7은, 집적 디바이스(104)가 복수의 솔더 상호연결부들(1010)을 통해 금속화 부분(102)에 커플링된 이후의 상태를 예시한다. 집적 디바이스(104)는 복수의 솔더 상호연결부들(1010)을 통해 복수의 금속화 상호연결부들(122)에 커플링된다. 스테이지 7은 또한, 집적 디바이스(404)가 복수의 솔더 상호연결부들(1030)을 통해 금속화 부분(102)에 커플링된 이후의 상태를 예시한다. 집적 디바이스(404)는 복수의 솔더 상호연결부들(1030)을 통해 복수의 금속화 상호연결부들(122)에 커플링된다. 솔더 리플로우 프로세스가 집적 디바이스(104) 및 집적 디바이스(404)를 금속화 부분(102)에 커플링하는 데 사용될 수 있다.

[0183] 스테이지 8은, 캡슐화 층(108)이 집적 디바이스(104), 집적 디바이스(404) 및 금속화 부분(102) 위에 형성된 이후의 상태를 예시한다. 캡슐화 층(108)은 금속화 부분(102), 집적 디바이스(104) 및 집적 디바이스(404)에 커플링된다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 전사 몰딩 프로세스, 시트 몰딩 프로세스, 또는 액상 몰딩 프로세스를 사용함으로써 제공될 수 있다. 일부 구현들에서, 캡슐화 층(108)이 제공되고, 이어서 폴리싱 및/또는 그라인딩 프로세스가 캡슐화 층(108)의 부분들을 제거하기 위해 수행된다.

[0184] 스테이지 9는, 캐리어(1600)가 금속화 부분(702)으로부터 디커플링되어, 집적 디바이스(104), 집적 디바이스(404), 칩렛(106), 칩렛(406), 브리지(505), 금속화 부분(702), 금속화 부분(102), 캡슐화 층(108) 및 캡슐화 층(708)을 포함하는 패키지(1000)를 남긴 이후의 상태를 예시한다.

[0185] 스테이지 9는 또한, 복수의 솔더 상호연결부들(196)이 금속화 부분(702)에 커플링된 이후의 상태를 예시한다. 복수의 솔더 상호연결부들(196)은 금속화 부분(702)의 복수의 금속화 상호연결부들(722)에 커플링될 수 있다. 솔더 리플로우 프로세스가 복수의 솔더 상호연결부들(196)을 금속화 부분(702)에 커플링하는 데 사용될 수 있다.

[0186] 도 16a 내지 도 16c는 패키지를 제조하기 위한 방법의 예를 예시한다. 방법은 제2 금속화 부분을 형성할 수 있다. 방법은, 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들이 제2 금속화 부분에 커플링되도

록 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들을 형성할 수 있다. 방법은 제2 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링할 수 있다. 방법은 제1 복수의 기둥 상호연결부들, 제2 복수의 기둥 상호연결부들, 제1 칩렛 및 제2 칩렛을 캡슐화하는 캡슐화 층을 형성할 수 있다. 방법은, 제1 금속화 부분이 제1 칩렛 및 제2 칩렛에 커플링되도록 제1 금속화 부분을 형성할 수 있다. 방법은 제1 금속화 부분에 제1 집적 디바이스 및 제2 집적 디바이스를 커플링할 수 있다. 일부 구현들에서, 제2 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링하는 것은, 제1 칩렛의 후방 측면이 제2 금속화 부분을 향하도록 제2 금속화 부분에 제1 칩렛을 커플링하는 것, 및 제2 칩렛의 후방 측면이 제2 금속화 부분을 향하도록 제2 금속화 부분에 제2 칩렛을 커플링하는 것을 포함한다. 제1 칩렛은 제1 복수의 솔더 상호연결부들을 통해 제2 금속화 부분에 커플링될 수 있다. 제2 칩렛은 제2 복수의 솔더 상호연결부들을 통해 제2 금속화 부분에 커플링된다. 방법은, 브리지의 후방 측면이 제2 금속화 부분을 향하도록 제2 금속화 부분에 브리지를 커플링할 수 있다. 방법은 제1 집적 디바이스 및 제2 집적 디바이스를 캡슐화하는 다른 캡슐화 층을 형성할 수 있다.

[0187] 금속화 부분들 중 임의의 것은 제1 금속화 부분일 수 있고, 그리고/또는 금속화 부분들 중 임의의 것은 제2 금속화 부분일 수 있다. 예를 들어, 일부 구현들에서, 금속화 부분(102)은 제1 금속화 부분으로 간주될 수 있고, 금속화 부분(702)은 제2 금속화 부분으로 간주될 수 있다. 일부 구현들에서, 금속화 부분(702)은 제1 금속화 부분으로 간주될 수 있고, 금속화 부분(102)은 제2 금속화 부분으로 간주될 수 있다.

[0188] **기판을 제조하기 위한 예시적인 시퀀스**

[0189] 일부 구현들에서, 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 17a 및 도 17b는 기판을 제공 또는 제조하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 17a 및 도 17b의 시퀀스는 기판(109)을 제공 또는 제조하는 데 사용될 수 있다. 그러나, 도 17a 및 도 17b의 프로세스는 본 개시내용에 설명된 기판들 중 임의의 것을 제조하는 데 사용될 수 있다.

[0190] 도 17a 및 도 17b의 시퀀스는 기판을 제공 또는 제조하기 위한 시퀀스를 단순화 및/또는 명확화하기 위해 하나 이상의 스테이지들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다. 일부 구현들에서, 프로세스들 중 하나 이상은 본 개시내용의 범주를 벗어나지 않으면서 대체 또는 치환될 수 있다.

[0191] 도 17a에 도시된 바와 같이, 스테이지 1은, 캐리어(1700)가 제공된 이후의 상태를 예시한다. 시드 층(1701) 및 상호연결부들(1702)이 캐리어(1700) 위에 위치될 수 있다. 상호연결부들(1702)은 시드 층(1701) 위에 위치될 수 있다. 도금 프로세스 및 에칭 프로세스가 상호연결부들(1702)을 형성하는 데 사용될 수 있다. 일부 구현들에서, 캐리어(1700)에는 시드 층(1701), 및 상호연결부들(1702)을 형성하기 위해 패턴화되는 금속 층이 제공될 수 있다. 상호연결부들(1702)은 복수의 상호연결부들(192)로부터의 상호연결부들 중 적어도 일부를 표현할 수 있다.

[0192] 스테이지 2는, 유전체 층(1720)이 캐리어(1700), 시드 층(1701) 및 상호연결부들(1702) 위에 형성된 이후의 상태를 예시한다. 퇴적 및/또는 라미네이션 프로세스가 유전체 층(1720)을 형성하는 데 사용될 수 있다. 유전체 층(1720)은 프리프레그(prepreg) 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1720)은 광 이미징가능(photo-imageable) 유전체를 포함할 수 있다. 그러나, 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수 있다.

[0193] 스테이지 3은, 복수의 공동들(1710)이 유전체 층(1720) 내에 형성된 이후의 상태를 예시한다. 복수의 공동들(1710)은 에칭 프로세스(예컨대, 광 에칭(photo etching) 프로세스) 또는 레이저 프로세스를 사용하여 형성될 수 있다.

[0194] 스테이지 4는, 상호연결부들(1712)이 복수의 공동들(1710) 내와 그 위를 포함하여 유전체 층(1720) 내에 그리고 그 위에 형성된 이후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0195] 스테이지 5는, 유전체 층(1722)이 유전체 층(1720) 및 상호연결부들(1712) 위에 형성된 이후의 상태를 예시한다. 퇴적 및/또는 라미네이션 프로세스가 유전체 층(1722)을 형성하는 데 사용될 수 있다. 유전체 층(1722)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1722)은 광 이미징가능 유전체를 포함할 수 있다. 그러나, 상이한 구현들은 유전체 층에 대해 상이한 재료들을 사용할 수 있다.

[0196] 도 17b에 도시된 바와 같이, 스테이지 6은, 복수의 공동들(1730)이 유전체 층(1722) 내에 형성된 이후의 상태를 예시한다. 복수의 공동들(1730)은 에칭 프로세스(예컨대, 광 에칭 프로세스) 또는 레이저 프로세스를 사용하여

형성될 수 있다.

[0197] 스테이지 7은, 상호연결부들(1714)이 복수의 공동들(1730) 내와 그 위를 포함하여 유전체 층(1722) 내에 그리고 그 위에 형성된 이후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0198] 스테이지 8은, 캐리어(1700)가 적어도 하나의 유전체 층(190) 및 시드 층(1701)으로부터 디커플링(예컨대, 분리, 제거, 그라인딩 아웃(grinding out))되고, 시드 층(1701)의 부분들이 제거(예컨대, 에칭 아웃(etching out))되어, 적어도 하나의 유전체 층(190) 및 복수의 상호연결부들(192)을 포함하는 금속화 부분(102)을 남긴 이후의 상태를 예시한다. 적어도 하나의 유전체 층(190)은 유전체 층(1720) 및/또는 유전체 층(1722)을 표현할 수 있다. 복수의 상호연결부들(192)은 상호연결부들(1702, 1712 및/또는 1714)을 표현할 수 있다.

[0199] 상이한 구현들은 금속 층(들) 및/또는 상호연결부들을 형성하기 위한 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 화학 기상 증착(CVD) 프로세스, 물리 기상 증착(physical vapor deposition, PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.

[0200] **기판을 제조하기 위한 방법의 예시적인 흐름도**

[0201] 일부 구현들에서, 기판을 제조하는 것은 여러 프로세스들을 포함한다. 도 18은 기판을 제공 또는 제조하기 위한 방법(1800)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 18의 방법(1800)은 본 개시내용의 기판(들)을 제공 또는 제조하는 데 사용될 수 있다. 예를 들어, 도 18의 방법(1800)은 금속화 부분(102)을 제조하는 데 사용될 수 있다.

[0202] 도 18의 방법(1800)은 기판을 제공 또는 제조하기 위한 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 프로세스들을 조합할 수 있음에 유의해야 한다. 일부 구현들에서, 프로세스들의 순서는 변경 또는 수정될 수 있다.

[0203] 방법은 (1805에서) 캐리어(예컨대, 1700)를 제공한다. 상이한 구현들은 캐리어(1700)에 대해 상이한 재료들을 사용할 수 있다. 캐리어(1700)는 시드 층(예컨대, 1701)을 포함할 수 있다. 시드 층(1701)은 금속(예컨대, 구리)을 포함할 수 있다. 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 17a의 스테이지 1은 제공되는 시드 층을 갖는 캐리어의 예를 예시 및 설명한다.

[0204] 방법은 (1810에서) 캐리어(1700) 및 시드 층(1701) 위에 상호연결부들을 형성 및 패턴화한다. 금속 층은 상호연결부들을 형성하기 위해 패턴화될 수 있다. 도금 프로세스가 금속 층 및 상호연결부들을 형성하는 데 사용될 수 있다. 일부 구현들에서, 캐리어 및 시드 층은 금속 층을 포함할 수 있다. 금속 층은 시드 층 위에 위치되고 금속 층은 상호연결부들(예컨대, 192)을 형성하기 위해 패턴화될 수 있다. 도 17a의 스테이지 1은 시드 층 및 캐리어 위에 상호연결부들을 형성 및 패턴화하는 예를 예시 및 설명한다.

[0205] 방법은 (1815에서) 시드 층(1701), 캐리어(1700) 및 상호연결부들(1702) 위에 유전체 층(1720)을 형성/제공한다. 퇴적 및/또는 라미네이션 프로세스가 유전체 층(1720)을 형성하는 데 사용될 수 있다. 유전체 층(1720)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1720)은 광 이미징가능 유전체를 포함할 수 있다. 유전체 층(1720)을 형성하는 것은 또한, 유전체 층(1720) 내에 복수의 공동들(예컨대, 1710)을 형성하는 것을 포함할 수 있다. 복수의 공동들은 에칭 프로세스(예컨대, 광 에칭) 또는 레이저 프로세스를 사용하여 형성될 수 있다. 도 17a의 스테이지 2 및 스테이지 3은 유전체 층 및 유전체 층 내의 공동들을 형성하는 예를 예시 및 설명한다.

[0206] 방법은 (1820에서) 유전체 층 내에 그리고 그 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1712)은 유전체 층(1720) 내에 그리고 그 위에 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위에 그리고/또는 그 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한, 유전체 층의 공동들 내에 상호연결부들을 형성하는 것을 포함할 수 있다. 도 17a의 스테이지 4는 유전체 층 내에 그리고 그 위에 상호연결부들을 형성하는 예를 예시 및 설명한다.

[0207] 방법은 (1825에서) 유전체 층(1720) 및 상호연결부들(1712) 위에 유전체 층(1722)을 형성/제공한다. 퇴적 및/또는 라미네이션 프로세스가 유전체 층(1722)을 형성하는 데 사용될 수 있다. 유전체 층(1722)은 프리프레그 및/또는 폴리이미드를 포함할 수 있다. 유전체 층(1722)은 광 이미징가능 유전체를 포함할 수 있다. 유전체

층(1722)을 형성하는 것은 또한, 유전체 층(1722) 내에 복수의 공동들(예컨대, 1730)을 형성하는 것을 포함할 수 있다. 복수의 공동들은 에칭 프로세스(예컨대, 광 에칭) 또는 레이저 프로세스를 사용하여 형성될 수 있다. 도 17a 및 도 17b의 스테이지 5 및 스테이지 6은 유전체 층 및 유전체 층 내의 공동들을 형성하는 예를 예시 및 설명한다.

[0208] 방법은 (1830에서) 유전체 층 내에 그리고 그 위에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1714)은 유전체 층(1722) 내에 그리고 그 위에 형성될 수 있다. 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위에 그리고/또는 그 내에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 또한, 유전체 층의 공동들 내에 상호연결부들을 형성하는 것을 포함할 수 있다. 도 17b의 스테이지 7은 유전체 층 내에 그리고 그 위에 상호연결부들을 형성하는 예를 예시 및 설명한다. 방법은 1825 및 1830에 설명된 바와 같이 추가적인 유전체 층(들) 및 추가적인 상호연결부들을 형성할 수 있다.

[0209] 일부 구현들에서, 일단 모든 유전체 층(들) 및 추가적인 상호연결부들이 형성되면, 방법은 (1835에서) 시드 층(예컨대, 1701)으로부터 캐리어(예컨대, 1700)를 디커플링할 수 있다. 캐리어(1700)는 분리 및/또는 그라인딩 오프(grinded off)될 수 있다. 방법은 또한, (1835에서) 시드 층(예컨대, 1701)의 부분들을 제거할 수 있다. 에칭 프로세스가 시드 층(1701)의 부분들을 제거하는 데 사용될 수 있다. 도 17b의 스테이지 8은 캐리어의 디커플링 및 시드 층 제거의 예를 예시 및 설명한다.

[0210] 상이한 구현들은 금속 층(들)을 형성하기 위한 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 화학 기상 증착(CVD) 프로세스, 물리 기상 증착(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅 프로세스, 및/또는 도금 프로세스가 금속 층(들)을 형성하는 데 사용될 수 있다.

[0211] **예시적인 전자 디바이스들**

[0212] 도 19는 전술된 디바이스, 집적 디바이스, 집적 회로(integrated circuit, IC) 패키지, 집적 회로(IC) 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지, 패키지 온 패키지(package-on-package, PoP), 시스템 인 패키지(System in Package, SiP), 또는 시스템 온 칩(System on Chip, SoC) 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 전화 디바이스(1902), 랩톱 컴퓨터 디바이스(1904), 고정 위치 단말기 디바이스(1906), 웨어러블 디바이스(1908), 또는 자동차 차량(automotive vehicle)(1910)은 본 명세서에 설명된 바와 같은 디바이스(1900)를 포함할 수 있다. 디바이스(1900)는, 예를 들어, 본 명세서에 설명된 디바이스들 및/또는 집적 회로(IC) 패키지들 중 임의의 것일 수 있다. 도 19에 예시된 디바이스들(1902, 1904, 1906, 1908) 및 차량(1910)은 단지 예시적일 뿐이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이를테면 개인 디지털 보조기(personal digital assistant)들, GPS(global positioning system) 가능 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 이를테면 검침 장비(meter reading equipment), 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예컨대, 시계들, 안경), 사물 인터넷(IoT) 디바이스들, 서버들, 라우터들, 자동차 차량들(예컨대, 자율주행 차량들)에서 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 취출하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예컨대, 전자 디바이스들)의 그룹을 포함하지만 이들로 제한되지 않는 디바이스(1900)를 특징화할 수 있다.

[0213] 도 1 내지 도 11, 도 12a 내지 도 12d, 도 13, 도 14a 내지 도 14d, 도 15a 내지 도 15c, 도 16a 내지 도 16c, 도 17a 및 도 17b, 및/또는 도 18 및 도 19에 예시된 컴포넌트들, 프로세스들, 특징들 및/또는 기능들 중 하나 이상은 단일 컴포넌트, 프로세스, 특징 또는 기능으로 재배열 및/또는 조합될 수 있거나 또는 여러 컴포넌트들, 프로세스들, 또는 기능들로 구현될 수 있다. 추가적인 엘리먼트들, 컴포넌트들, 프로세스들, 및/또는 기능들이 또한 본 개시내용을 벗어나지 않으면서 추가될 수 있다. 또한, 도 1 내지 도 11, 도 12a 내지 도 12d, 도 13, 도 14a 내지 도 14d, 도 15a 내지 도 15c, 도 16a 내지 도 16c, 도 17a 및 도 17b, 및/또는 도 18 및 도 19 및 본 개시내용에서의 그의 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않음에 유의해야 한다. 일부 구현들에서, 도 1 내지 도 11, 도 12a 내지 도 12d, 도 13, 도 14a 내지 도 14d, 도 15a 내지 도 15c, 도 16a 내지 도 16c, 도 17a 및 도 17b, 및/또는 도 18 및 도 19 및 그의 대응하는 설명은 디바이스들 및/또는 집적 디바이스들을 제조, 생성, 제공, 및/또는 생산하는 데 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 집적 디바이스, 집적 수동 디바이스(IPD), 다이 패키지, 집적 회로(IC) 디바이스, 디바이스 패키지, 집적 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, 패키지 온 패키지(PoP) 디바이스, 열 소산 디바이스 및/또는 인터포저를 포함

할 수 있다.

[0214] 본 개시내용의 도면들이 다양한 부분들, 컴포넌트들, 객체들, 디바이스들, 패키지들, 집적 디바이스들, 집적 회로들 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 표현할 수 있음에 유의한다. 일부 경우들에서, 도면들은 실척이 아닐 수 있다. 일부 경우들에서, 명확성을 위해, 모든 컴포넌트들 및/또는 부분들이 도시되지는 않을 수 있다. 일부 경우들에서, 도면들에서의 다양한 부분들 및/또는 컴포넌트들의 포지션, 위치, 크기들 및/또는 형상들은 예시적일 수 있다. 일부 구현들에서, 도면들의 다양한 컴포넌트들 및/또는 부분들은 선택적일 수 있다.

[0215] "예시적인"이라는 단어는, "예, 예증 또는 예시로서 기능하는" 것을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에 설명된 임의의 구현 또는 양태는 본 개시내용의 다른 양태들에 비해 반드시 바람직하거나 유리한 것으로서 해석될 필요는 없다. 유사하게, "양태들"이라는 용어는, 본 개시내용의 모든 양태들이 논의된 특징, 이점 또는 동작 모드를 포함할 것을 요구하지는 않는다. 용어 "커플링된"은, 2개의 객체들 사이에서의 직접적인 또는 간접적인 커플링(예컨대, 기계적 커플링)을 지칭하기 위해 본 명세서에서 사용된다. 예를 들어, 객체 A가 객체 B에 물리적으로 접촉하고 객체 B가 객체 C에 접촉하는 경우, 객체 A 및 객체 C는, 그들이 서로 물리적으로 직접 접촉하지 않더라도, 여전히 서로 커플링된 것으로 간주될 수 있다. 다른 객체에 커플링되는 객체는 다른 객체의 적어도 일부에 커플링될 수 있다. "전기적으로 커플링된"이라는 용어는 전류(예컨대, 신호, 전력, 접지)가 2개의 객체들 사이에서 이동할 수 있도록 2개의 객체들이 직접적으로 또는 간접적으로 함께 커플링되는 것을 의미할 수 있다. 전기적으로 커플링되는 2개의 객체들은 2개의 객체들 사이에서 이동하는 전류를 가질 수 있거나 또는 갖지 않을 수 있다. "제1", "제2", "제3" 및 "제4"(및/또는 제4 위의 임의의 것)라는 용어들의 사용은 임의적이다. 설명된 컴포넌트들 중 임의의 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. 예를 들어, 제2 컴포넌트로 지칭되는 컴포넌트는 제1 컴포넌트, 제2 컴포넌트, 제3 컴포넌트 또는 제4 컴포넌트일 수 있다. "캡슐화하는 것"이라는 용어는 객체가 다른 객체를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. "상단" 및 "하단"이라는 용어들은 임의적이다. 상단 상에 위치되는 컴포넌트는 하단 상에 위치되는 컴포넌트 위에 위치될 수 있다. 상단 컴포넌트는 하단 컴포넌트로 간주될 수 있고, 그 반대도 마찬가지이다. 본 개시내용에 설명된 바와 같이, 제2 컴포넌트 "위에" 위치되는 제1 컴포넌트는, 하단 또는 상단이 어떻게 임의로 정의되는지에 따라, 제1 컴포넌트가 제2 컴포넌트 상방에 또는 하방에 위치되는 것을 의미할 수 있다. 다른 예에서, 제1 컴포넌트는 제2 컴포넌트의 제1 표면 위에(예컨대, 상방에) 위치될 수 있고, 제3 컴포넌트는 제2 컴포넌트의 제2 표면 위에(예컨대, 하방에) 위치될 수 있으며, 여기서 제2 표면은 제1 표면과 반대이다. 또한, 하나의 컴포넌트가 다른 컴포넌트 위에 위치된다는 맥락에서 본 명세서에서 사용되는 바와 같은 용어 "위에"는 다른 컴포넌트 상에 그리고/또는 다른 컴포넌트 내에 있는(예컨대, 컴포넌트의 표면 상에 있거나 컴포넌트 내에 임베딩됨) 컴포넌트를 의미하는 데 사용될 수 있음에 유의한다. 따라서, 예를 들어, 제2 컴포넌트 위에 있는 제1 컴포넌트는, (1) 제1 컴포넌트가 제2 컴포넌트 위에 있지만, 제2 컴포넌트에 직접 접촉하고 있지 않음, (2) 제1 컴포넌트가 제2 컴포넌트 상에(예컨대, 그의 표면 상에) 있음, 및/또는 (3) 제1 컴포넌트가 제2 컴포넌트 내에 있음(예컨대, 그 내에 임베딩됨)을 의미할 수 있다. 제2 컴포넌트 "내에" 위치되는 제1 컴포넌트는 제2 컴포넌트 내에 부분적으로 위치되거나 제2 컴포넌트 내에 완전히 위치될 수 있다. 본 개시내용에서 사용되는 바와 같은 "약 '값 X'" 또는 "대략 값 X"라는 용어는 '값 X'의 10% 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 내지 1.1의 범위 내의 값을 의미할 것이다.

[0216] 일부 구현들에서, 상호연결부는 2개의 포인트들, 엘리먼트들 및/또는 컴포넌트들 사이에서 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 엘리먼트 또는 컴포넌트이다. 일부 구현들에서, 상호연결부는 트레이스, 비아, 패드, 기둥, 금속화 층, 재분배 층, 및/또는 UBM(under bump metallization) 층/상호연결부를 포함할 수 있다. 일부 구현들에서, 상호연결부는 신호(예컨대, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 하나 초과의 엘리먼트 또는 컴포넌트를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들에 의해 정의될 수 있다. 상호연결부는 하나 이상의 금속 층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 상이한 구현들은 상호연결부들을 형성하기 위해 상이한 프로세스들 및/또는 시퀀스들을 사용할 수 있다. 일부 구현들에서, 화학 기상 증착(CVD) 프로세스, 물리 기상 증착(PVD) 프로세스, 스퍼터링 프로세스, 스프레이 코팅, 및/또는 도금 프로세스가 상호연결부들을 형성하는 데 사용될 수 있다.

[0217] 또한, 본 명세서에 포함된 다양한 개시내용들이 순서도, 흐름도, 구조도, 또는 블록도로서 도시되는 프로세스로서 설명될 수 있음에 유의한다. 순서도가 동작들을 순차적인 프로세스로서 설명할 수 있지만, 동작들의 대부분

은 병렬로 또는 동시에 수행될 수 있다. 게다가, 동작들의 순서는 재배열될 수 있다. 프로세스는 그 동작들이 완료될 경우에 종료된다.

[0218] 다음에서는, 본 발명의 이해를 용이하게 하기 위해 추가 예들이 설명된다.

[0219] 양태 1: 패키지로서, 제1 금속화 부분; 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제1 집적 디바이스; 및 제1 집적 디바이스와 제1 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 복수의 기둥 간 상호연결부들을 통해 제1 집적 디바이스에 커플링됨 - 을 포함하는, 패키지.

[0220] 양태 2: 양태 1에 있어서, 제1 칩렛은 트렌치 커패시터를 포함하는, 패키지.

[0221] 양태 3: 양태 2에 있어서, 제1 칩렛은, 칩렛 기판; 복수의 트렌치 커패시터들; 및 적어도 하나의 관통 칩렛 기판 상호연결부를 포함하는, 패키지.

[0222] 양태 4: 양태 1에 있어서, 제1 칩렛은 메모리, 전력 관리 집적 회로 또는 전압 조정기를 포함하는, 패키지.

[0223] 양태 5: 양태 1 내지 양태 4에 있어서, 제1 금속화 부분 및 제1 집적 디바이스에 커플링된 캡슐화 층을 추가로 포함하는, 패키지.

[0224] 양태 6: 양태 5에 있어서, 캡슐화 층은, 제1 집적 디바이스에 커플링된 제1 캡슐화 층; 및 제1 금속화 부분에 커플링된 제2 캡슐화 층을 포함하는, 패키지.

[0225] 양태 7: 양태 6에 있어서, 제1 캡슐화 층과 제2 캡슐화 층 사이에 위치된 유전체 층을 추가로 포함하고, 유전체 층은 제1 캡슐화 층 및 제2 캡슐화 층에 커플링되는, 패키지.

[0226] 양태 8: 양태 1 내지 양태 7에 있어서, 제2 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제2 집적 디바이스; 및 제2 집적 디바이스와 제1 금속화 부분 사이에 위치된 제2 칩렛 - 제2 칩렛은 제2 복수의 기둥 간 상호연결부들을 통해 제2 집적 디바이스에 커플링됨 - 을 추가로 포함하는, 패키지.

[0227] 양태 9: 양태 8에 있어서, 제1 금속화 부분에 커플링된 브리지를 추가로 포함하고, 브리지는 제1 집적 디바이스와 제2 집적 디바이스 사이에 적어도 하나의 전기 경로를 제공하도록 구성되는, 패키지.

[0228] 양태 10: 양태 8 또는 양태 9에 있어서, 제1 칩렛은 제1 복수의 기둥 상호연결부들에 의해 측방향으로 둘러싸이고; 제2 칩렛은 제2 복수의 기둥 상호연결부들에 의해 측방향으로 둘러싸이는, 패키지.

[0229] 양태 11: 양태 8 내지 양태 10에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 다이 상호연결부들을 포함하고, 제2 집적 디바이스는 제2 최소 간격을 포함하는 제2 복수의 다이 상호연결부들을 포함하는, 패키지.

[0230] 양태 12: 양태 11에 있어서, 제1 칩렛은 제3 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 패키지.

[0231] 양태 13: 양태 1 내지 양태 10에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 복수의 다이 상호연결부들을 포함하고, 제1 칩렛은 제2 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 패키지.

[0232] 양태 14: 양태 13에 있어서, 제1 최소 간격은 제2 최소 간격 미만인, 패키지.

[0233] 양태 15: 양태 1 내지 양태 10에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 트랜지스터들을 포함하고, 제1 칩렛은 제2 최소 간격을 포함하는 제2 복수의 트랜지스터들을 포함하는, 패키지.

[0234] 양태 16: 패키지를 포함하는 디바이스. 패키지는, 제1 금속화 부분; 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제1 집적 디바이스; 및 제1 집적 디바이스와 제1 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 복수의 기둥 간 상호연결부들을 통해 제1 집적 디바이스에 커플링됨 - 을 포함한다.

[0235] 양태 17: 양태 16에 있어서, 제1 칩렛은 트렌치 커패시터를 포함하는, 디바이스.

[0236] 양태 18: 양태 17에 있어서, 제1 칩렛은, 칩렛 기판; 복수의 트렌치 커패시터들; 및 적어도 하나의 관통 칩렛 기판 상호연결부를 포함하는, 디바이스.

[0237] 양태 19: 양태 16에 있어서, 제1 칩렛은 메모리, 전력 관리 집적 회로 또는 전압 조정기를 포함하는, 디바이스.

[0238] 양태 20: 양태 16 내지 양태 19에 있어서, 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트폰, 개인 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자

동차 차량 내의 디바이스로 구성된 그룹으로부터 선택되는, 디바이스.

[0239] 양태 21: 패키지를 제조하기 위한 방법. 방법은 제1 집적 디바이스 및 제1 복수의 기둥 간 상호연결부들을 제공한다. 방법은 제1 집적 디바이스 및 제1 복수의 기둥 간 상호연결부들을 캡슐화하는 캡슐화 층을 형성한다. 방법은 제1 집적 디바이스에 커플링되도록 구성되는 제1 복수의 기둥 상호연결부들을 형성한다. 방법은 제1 복수의 기둥 간 상호연결부들을 통해 제1 집적 디바이스에 제1 칩렛을 커플링한다. 방법은, 제1 금속화 부분이 제1 칩렛 및 제1 캡슐화 층에 커플링되도록 제1 금속화 부분을 형성한다.

[0240] 양태 22: 양태 21에 있어서, 제1 칩렛은 트렌치 커패시터를 포함하는, 방법.

[0241] 양태 23: 양태 22에 있어서, 제1 칩렛은, 칩렛 기판; 복수의 트렌치 커패시터들; 및 적어도 하나의 관통 칩렛 기판 상호연결부를 포함하는, 방법.

[0242] 양태 24: 양태 21에 있어서, 제1 칩렛은 메모리, 전력 관리 집적 회로 또는 전압 조정기를 포함하는, 방법.

[0243] 양태 25: 양태 21 내지 양태 24에 있어서, 제1 칩렛을 캡슐화하는 제2 캡슐화 층을 형성하는 단계를 추가로 포함하는, 방법.

[0244] 양태 26: 양태 25에 있어서, 제2 캡슐화 층 및 캡슐화 층은 동일한 캡슐화 층의 일부인, 방법.

[0245] 양태 27: 양태 21 내지 양태 26에 있어서, 제2 집적 디바이스 및 제2 복수의 기둥 간 상호연결부들을 제공하는 단계 - 캡슐화 층을 형성하는 단계는 제2 집적 디바이스 및 제2 복수의 기둥 간 상호연결부들을 추가로 캡슐화하는 캡슐화 층을 형성하는 단계를 포함함 -; 및 제2 복수의 기둥 간 상호연결부들을 통해 제2 집적 디바이스에 제2 칩렛을 커플링하는 단계를 추가로 포함하는, 방법.

[0246] 양태 28: 양태 27에 있어서, 제1 집적 디바이스와 제2 집적 디바이스 사이에 적어도 하나의 전기 경로를 제공하도록 구성되는 브리지를 제공하는 단계를 추가로 포함하는, 방법.

[0247] 양태 29: 양태 21 내지 양태 28에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 복수의 다이 상호연결부들을 포함하고, 제1 칩렛은 제2 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 방법.

[0248] 양태 30: 양태 21 내지 양태 29에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 트랜지스터들을 포함하고, 제1 칩렛은 제2 최소 간격을 포함하는 제2 복수의 트랜지스터들을 포함하는, 방법.

[0249] 양태 31: 패키지로서, 제1 금속화 부분; 제1 금속화 부분에 커플링된 제1 집적 디바이스; 제1 금속화 부분에 커플링된 제2 집적 디바이스; 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제2 금속화 부분; 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 금속화 부분을 통해 제1 집적 디바이스에 전기적으로 커플링되도록 구성됨 -; 및 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제2 칩렛 - 제2 칩렛은 제1 금속화 부분을 통해 제2 집적 디바이스에 전기적으로 커플링되도록 구성됨 - 을 포함하는, 패키지.

[0250] 양태 32: 양태 31에 있어서, 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 브리지를 추가로 포함하는, 패키지.

[0251] 양태 33: 양태 31 또는 양태 32에 있어서, 제1 금속화 부분, 제1 집적 디바이스 및 제2 집적 디바이스에 커플링된 제1 캡슐화 층을 추가로 포함하는, 패키지.

[0252] 양태 34: 양태 33에 있어서, 제1 금속화 부분, 제2 금속화 부분, 제1 칩렛 및 제2 칩렛에 커플링된 제2 캡슐화 층을 추가로 포함하고, 제2 캡슐화 층은 제1 금속화 부분과 제2 금속화 부분 사이에 위치되는, 패키지.

[0253] 양태 35: 양태 31 내지 양태 34에 있어서, 제1 칩렛은 제1 트렌치 커패시터, 제1 메모리, 제1 전력 관리 집적 회로 또는 제1 전압 조정기를 포함하고, 제2 칩렛은 제2 트렌치 커패시터, 제2 메모리, 제2 전력 관리 집적 회로 또는 제2 전압 조정기를 포함하는, 패키지.

[0254] 양태 36: 양태 31 내지 양태 35에 있어서, 제1 집적 디바이스는 제1 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되고, 제2 집적 디바이스는 제2 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되는, 패키지.

[0255] 양태 37: 양태 31 내지 양태 36에 있어서, 제1 칩렛은 제1 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되고, 제2 칩렛은 제2 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되는, 패키지.

[0256] 양태 38: 양태 37에 있어서, 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 브리지를 추가로 포함하고, 브리지는 제3 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되는, 패키지.

[0257] 양태 39: 양태 38에 있어서, 브리지의 전방 측면은 제1 금속화 부분을 향하고, 제1 칩렛의 전방 측면은 제1 금속화 부분을 향하고, 제2 칩렛의 전방 측면은 제1 금속화 부분을 향하는, 패키지.

[0258] 양태 40: 양태 31 내지 양태 36에 있어서, 제1 칩렛은 제1 복수의 솔더 상호연결부들을 통해 제2 금속화 부분에 커플링되고, 제2 칩렛은 제2 복수의 솔더 상호연결부들을 통해 제2 금속화 부분에 커플링되는, 패키지.

[0259] 양태 41: 양태 40에 있어서, 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 브리지를 추가로 포함하고, 브리지는 제3 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되는, 패키지.

[0260] 양태 42: 양태 41에 있어서, 브리지의 전방 측면은 제1 금속화 부분을 향하고, 제1 칩렛의 전방 측면은 제1 금속화 부분을 향하고, 제2 칩렛의 전방 측면은 제1 금속화 부분을 향하는, 패키지.

[0261] 양태 43: 양태 31 내지 양태 42에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 다이 상호연결부들을 포함하고, 제2 집적 디바이스는 제2 최소 간격을 포함하는 제2 복수의 다이 상호연결부들을 포함하는, 패키지.

[0262] 양태 44: 양태 31 내지 양태 43에 있어서, 제1 칩렛은 제3 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 패키지.

[0263] 양태 45: 양태 31 내지 양태 42에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 복수의 다이 상호연결부들을 포함하고, 제1 칩렛은 제2 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 패키지.

[0264] 양태 46: 양태 31 내지 양태 45에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 제1 복수의 트랜지스터들을 포함하고, 제1 칩렛은 제2 최소 간격을 포함하는 제2 복수의 트랜지스터들을 포함하는, 패키지.

[0265] 양태 47: 패키지를 포함하는 디바이스. 패키지는, 제1 금속화 부분; 제1 금속화 부분에 커플링된 제1 집적 디바이스; 제1 금속화 부분에 커플링된 제2 집적 디바이스; 제1 복수의 기둥 상호연결부들을 통해 제1 금속화 부분에 커플링된 제2 금속화 부분; 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제1 칩렛 - 제1 칩렛은 제1 금속화 부분을 통해 제1 집적 디바이스에 전기적으로 커플링되도록 구성됨 -; 및 제1 금속화 부분과 제2 금속화 부분 사이에 위치된 제2 칩렛 - 제2 칩렛은 제1 금속화 부분을 통해 제2 집적 디바이스에 전기적으로 커플링되도록 구성됨 - 을 포함한다.

[0266] 양태 48: 양태 47에 있어서, 제1 칩렛은 제1 트렌치 커패시터, 제1 메모리, 제1 전력 관리 집적 회로 또는 제1 전압 조정기를 포함하고, 제2 칩렛은 제2 트렌치 커패시터, 제2 메모리, 제2 전력 관리 집적 회로 또는 제2 전압 조정기를 포함하는, 디바이스.

[0267] 양태 49: 양태 47 또는 양태 48에 있어서, 제1 집적 디바이스는 제1 최소 간격을 포함하는 복수의 다이 상호연결부들을 포함하고, 제1 칩렛은 제2 최소 간격을 포함하는 복수의 상호연결부들을 포함하는, 디바이스.

[0268] 양태 50: 양태 47 내지 양태 49에 있어서, 디바이스는, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 전화, 스마트폰, 개인 디지털 보조기, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스, 및 자동차 차량 내의 디바이스로 구성된 그룹으로부터 선택되는, 디바이스.

[0269] 양태 51: 패키지를 제조하기 위한 방법. 방법은 제1 집적 디바이스 및 제2 집적 디바이스를 제공한다. 방법은 제1 집적 디바이스 및 제2 집적 디바이스를 캡슐화하는 캡슐화 층을 형성한다. 방법은, 제1 금속화 부분이 제1 집적 디바이스 및 제2 집적 디바이스에 커플링되도록 제1 금속화 부분을 형성한다. 방법은, 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들이 제1 금속화 부분에 커플링되도록 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들을 형성한다. 방법은 제1 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링한다. 방법은 제1 복수의 기둥 상호연결부들, 제2 복수의 기둥 상호연결부들, 제1 칩렛 및 제2 칩렛을 캡슐화하는 다른 캡슐화 층을 형성한다. 방법은, 제2 금속화 부분이 제1 칩렛 및 제2 칩렛에 커플링되도록 제2 금속화 부분을 형성한다.

[0270] 양태 52: 양태 51에 있어서, 제1 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링하는 단계는, 제1 칩렛의 전방 측면이 제1 금속화 부분을 향하도록 제1 금속화 부분에 제1 칩렛을 커플링하는 단계; 및 제2 칩렛의 전방 측면

이 제1 금속화 부분을 향하도록 제1 금속화 부분에 제2 칩렛을 커플링하는 단계를 포함하는, 방법.

[0271] 양태 53: 양태 52에 있어서, 제1 칩렛은 제1 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되고, 제2 칩렛은 제2 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되는, 방법.

[0272] 양태 54: 양태 51 내지 양태 53에 있어서, 브리지의 전방 측면이 제1 금속화 부분을 향하도록 제1 금속화 부분에 브리지를 커플링하는 단계를 추가로 포함하는, 방법.

[0273] 양태 55: 양태 54에 있어서, 브리지는 복수의 솔더 상호연결부들을 통해 제1 금속화 부분에 커플링되는, 방법.

[0274] 양태 56: 패키지를 제조하기 위한 방법. 방법은 제2 금속화 부분을 형성한다. 방법은, 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들이 제2 금속화 부분에 커플링되도록 제1 복수의 기둥 상호연결부들 및 제2 복수의 기둥 상호연결부들을 형성한다. 방법은 제2 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링한다. 방법은 제1 복수의 기둥 상호연결부들, 제2 복수의 기둥 상호연결부들, 제1 칩렛 및 제2 칩렛을 캡슐화하는 캡슐화 층을 형성한다. 방법은, 제1 금속화 부분이 제1 칩렛 및 제2 칩렛에 커플링되도록 제1 금속화 부분을 형성한다. 방법은 제1 금속화 부분에 제1 집적 디바이스 및 제2 집적 디바이스를 커플링한다.

[0275] 양태 57: 양태 56에 있어서, 제2 금속화 부분에 제1 칩렛 및 제2 칩렛을 커플링하는 단계는, 제1 칩렛의 후방 측면이 제2 금속화 부분을 향하도록 제2 금속화 부분에 제1 칩렛을 커플링하는 단계; 및 제2 칩렛의 후방 측면이 제2 금속화 부분을 향하도록 제2 금속화 부분에 제2 칩렛을 커플링하는 단계를 포함하는, 방법.

[0276] 양태 58: 양태 57에 있어서, 제1 칩렛은 제1 복수의 솔더 상호연결부들을 통해 제2 금속화 부분에 커플링되고, 제2 칩렛은 제2 복수의 솔더 상호연결부들을 통해 제2 금속화 부분에 커플링되는, 방법.

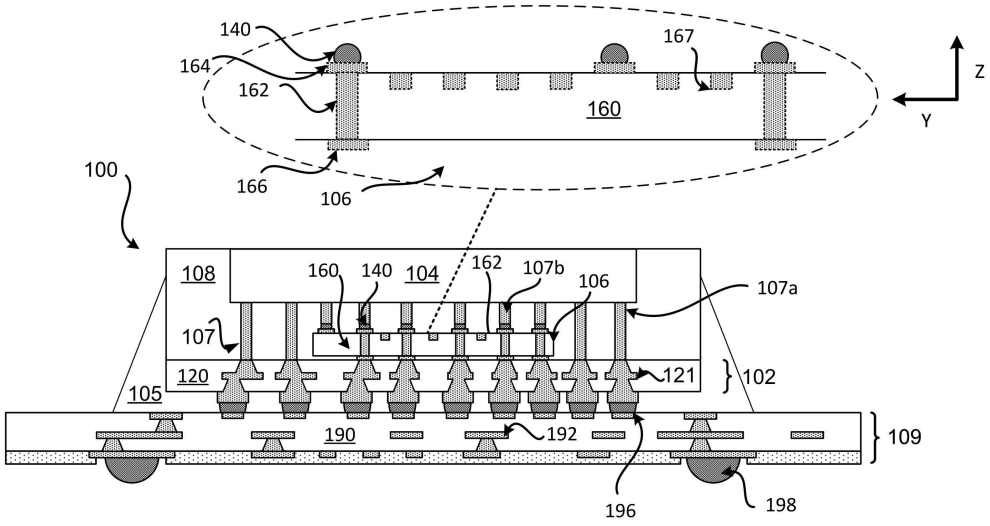
[0277] 양태 59: 양태 56 또는 양태 57에 있어서, 브리지의 후방 측면이 제2 금속화 부분을 향하도록 제2 금속화 부분에 브리지를 커플링하는 단계를 추가로 포함하는, 방법.

[0278] 양태 60: 양태 56 내지 양태 59에 있어서, 제1 집적 디바이스 및 제2 집적 디바이스를 캡슐화하는 다른 캡슐화 층을 형성하는 단계를 추가로 포함하는, 방법.

[0279] 본 명세서에 설명된 본 개시내용의 다양한 특징들은 본 개시내용을 벗어나지 않으면서 상이한 시스템들에서 구현될 수 있다. 본 개시내용의 전술한 양태들은 단지 예들일 뿐이며, 본 개시내용을 제한하는 것으로서 해석되지 않아야 함에 유의해야 한다. 본 개시내용의 양태들의 설명은, 청구항들의 범주를 제한하는 것이 아니라 예시적인 것으로 의도된다. 그러므로, 본 교시들은, 다른 타입들의 장치들에 용이하게 적용될 수 있으며, 많은 대안들, 수정들, 및 변형들이 당업자들에게 명백할 것이다.

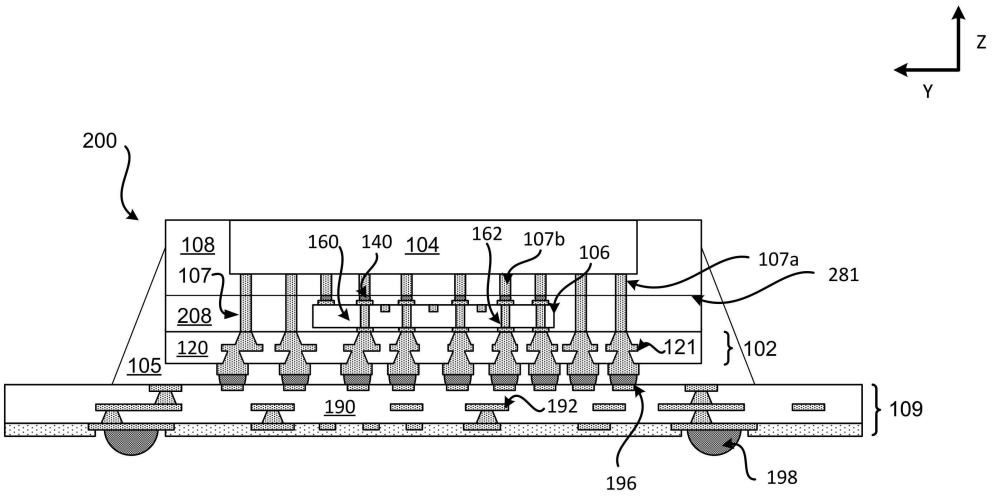
도면

도면1



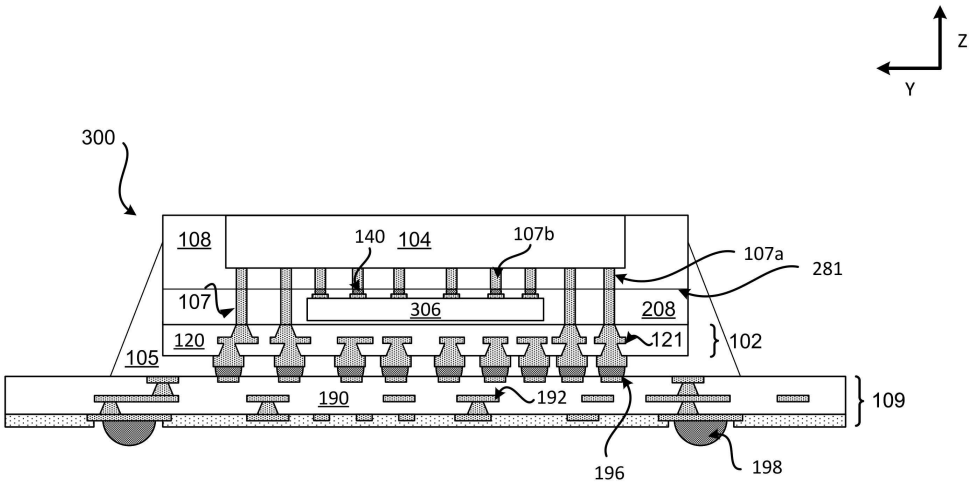
단면 프로파일 뷰

도면2



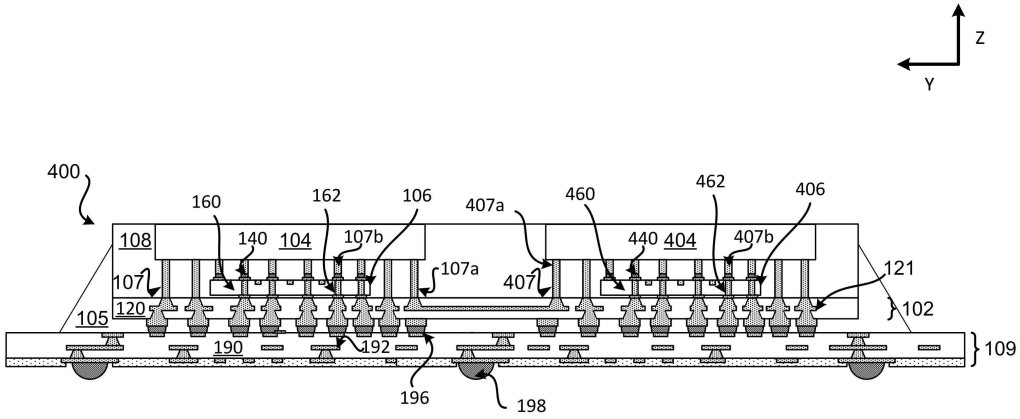
단면 프로파일 뷰

도면3



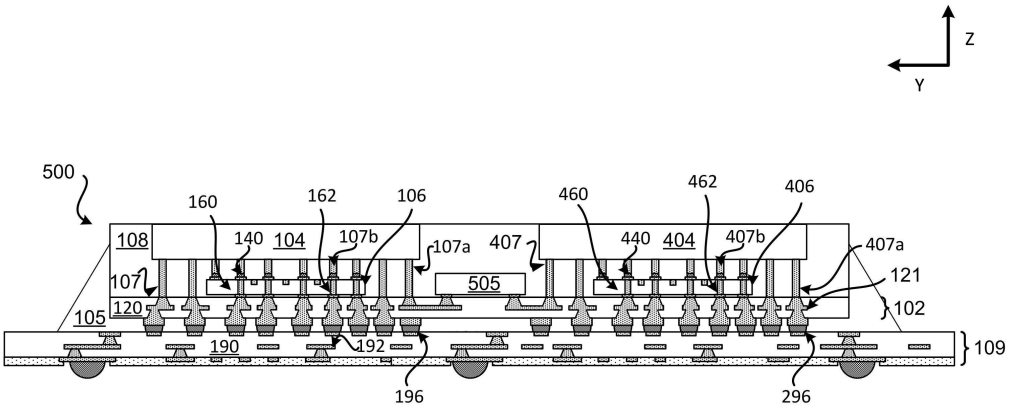
단면 프로파일 뷰

도면4



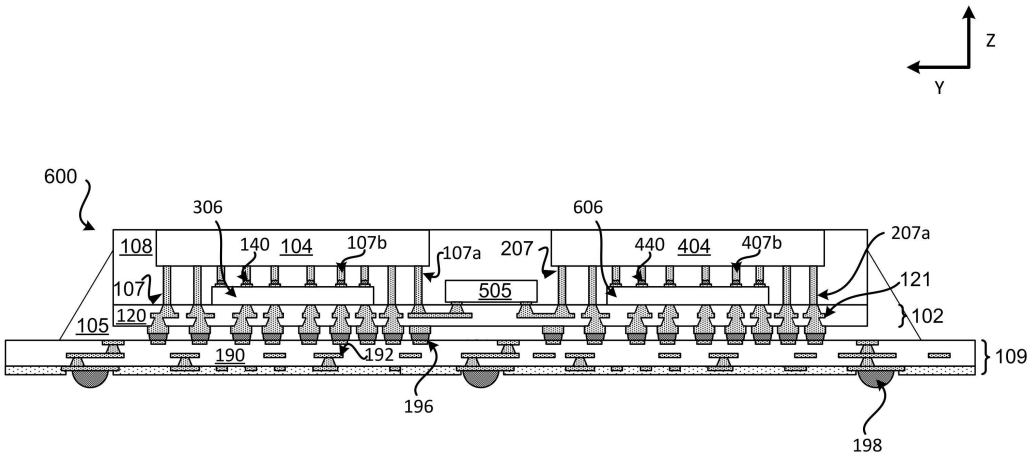
단면 프로파일 뷰

도면5



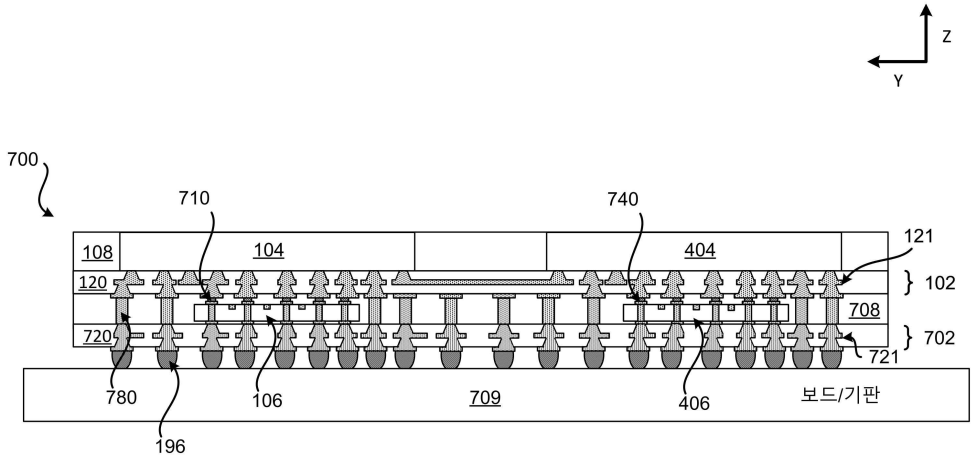
단면 프로파일 뷰

도면6



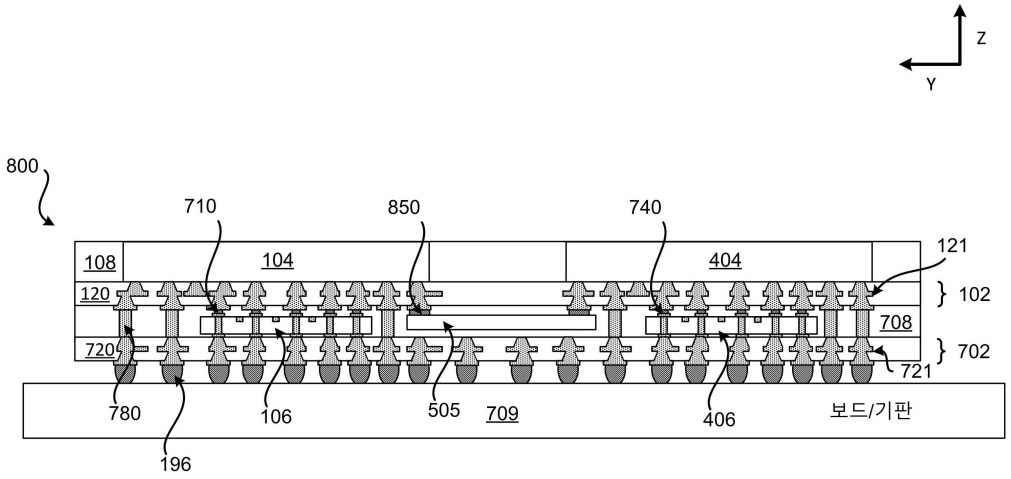
단면 프로파일 뷰

도면7



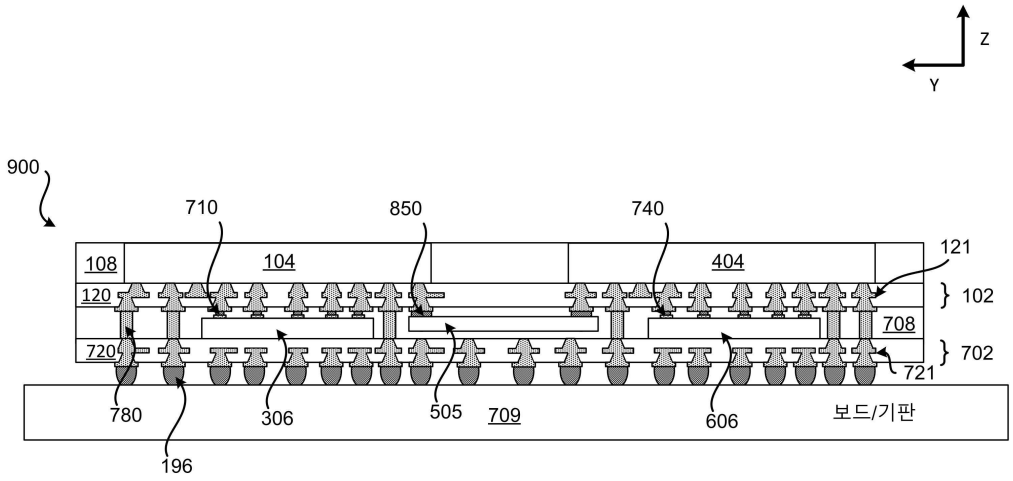
단면 프로파일 뷰

도면8



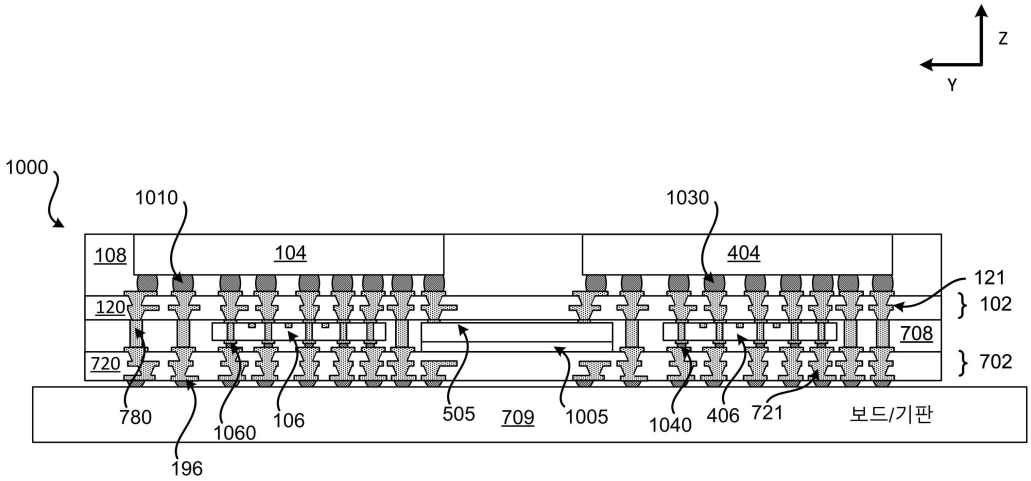
단면 프로파일 뷰

도면9



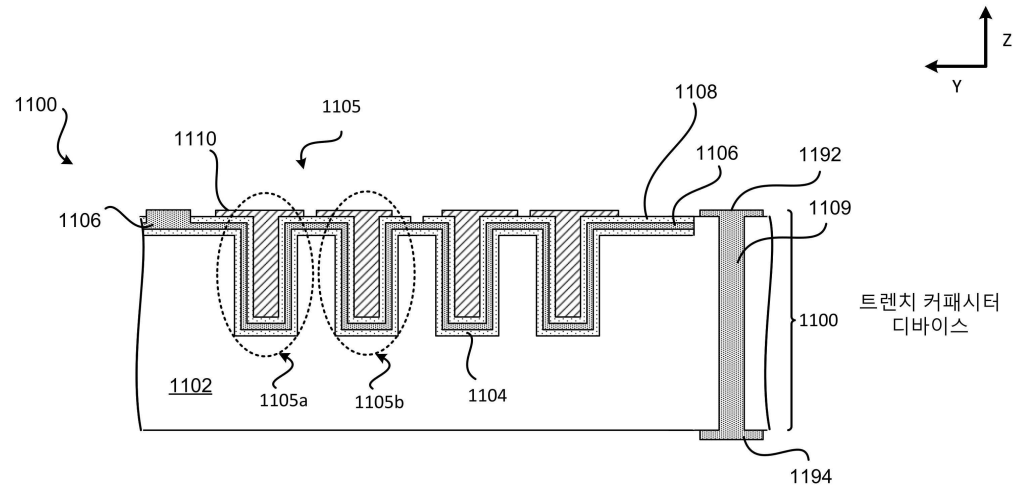
단면 프로파일 뷰

도면10



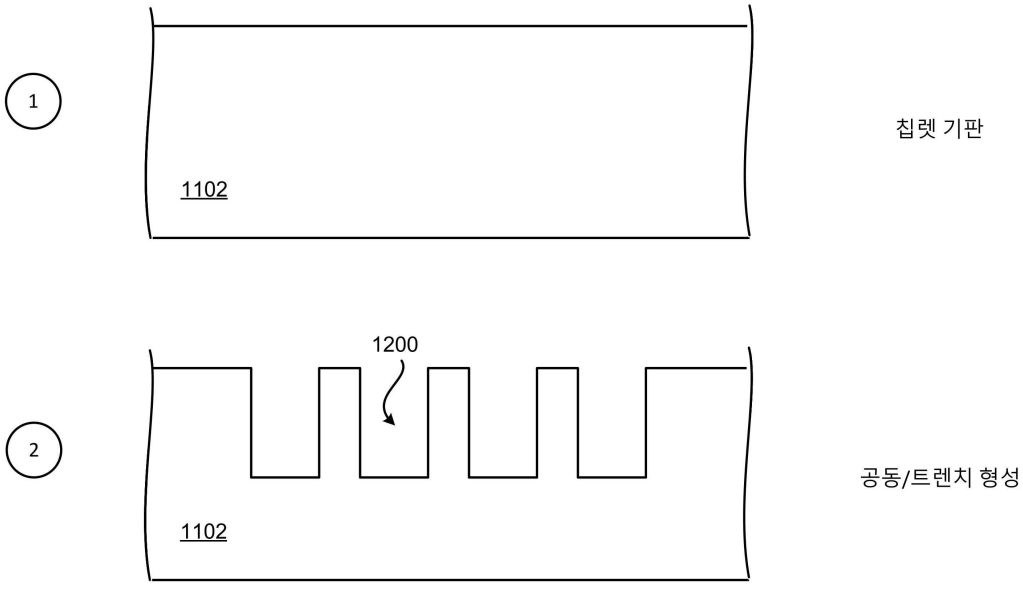
단면 프로파일 뷰

도면11

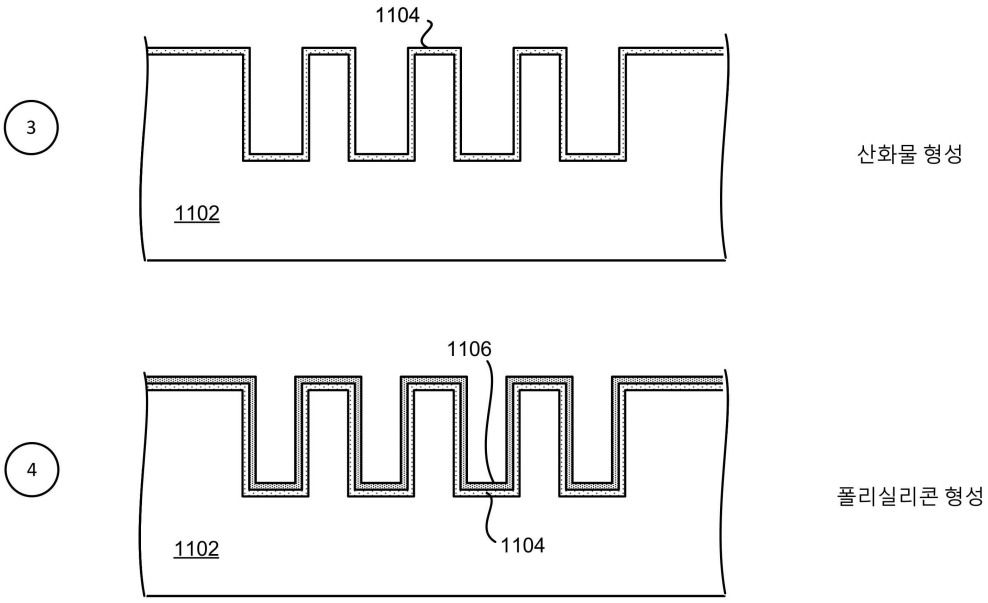


단면 프로파일 뷰

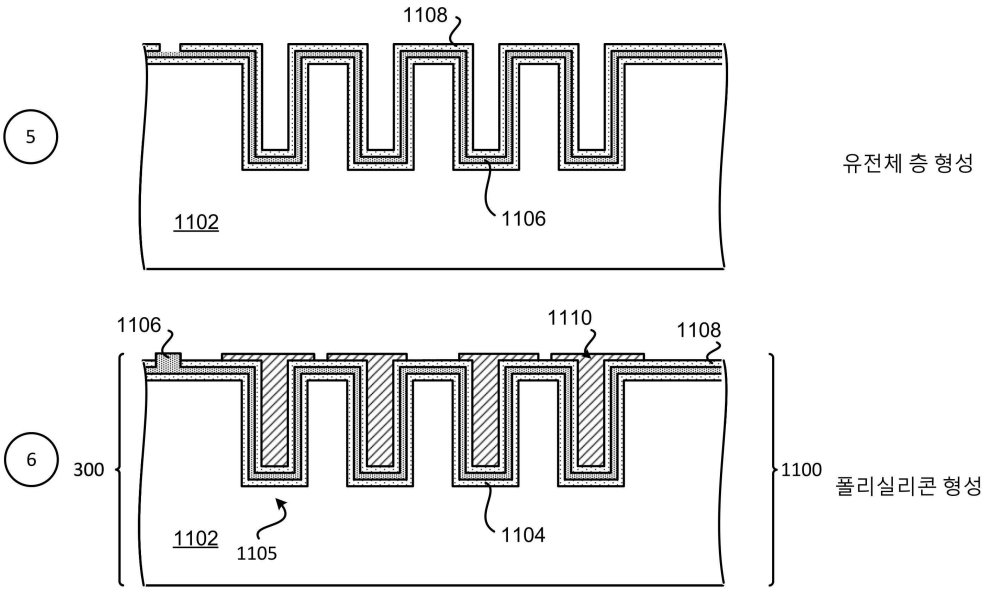
도면12a



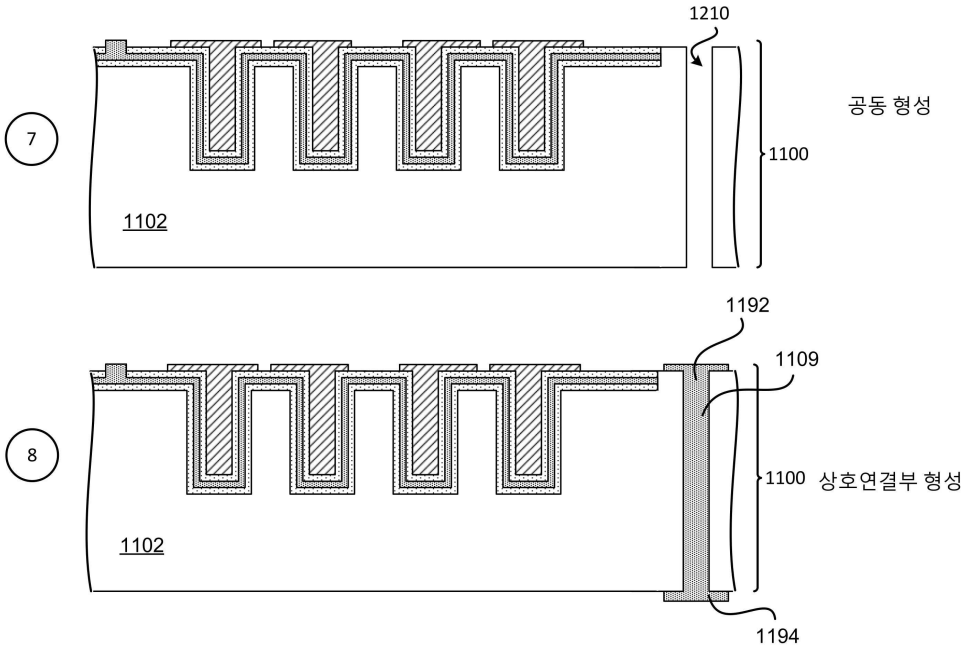
도면12b


3
1104
1102
산화물 형성
4
1106
1104
1102
폴리실리콘 형성

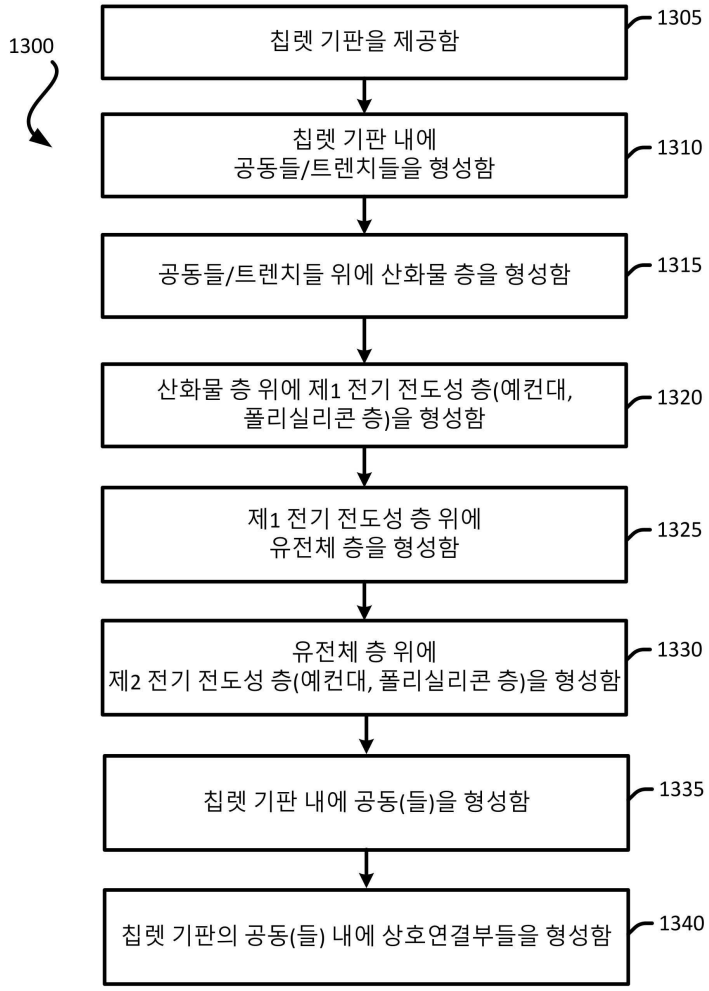
도면12c


5
1108
1106
1102
유전체 층 형성
6
1106
1110
1108
300
1100
1102
1105
1104
폴리실리콘 형성

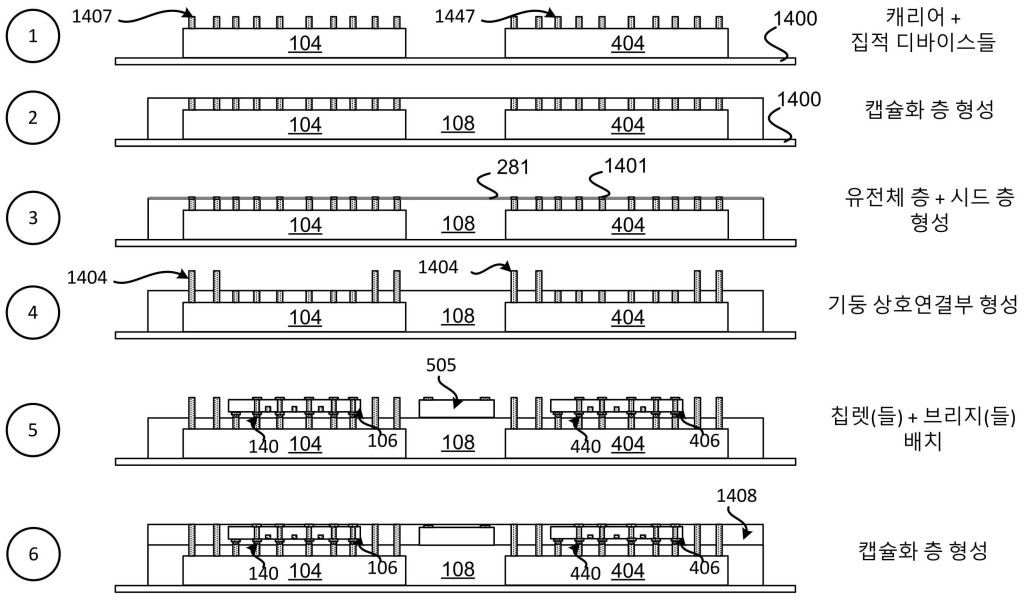
도면12d



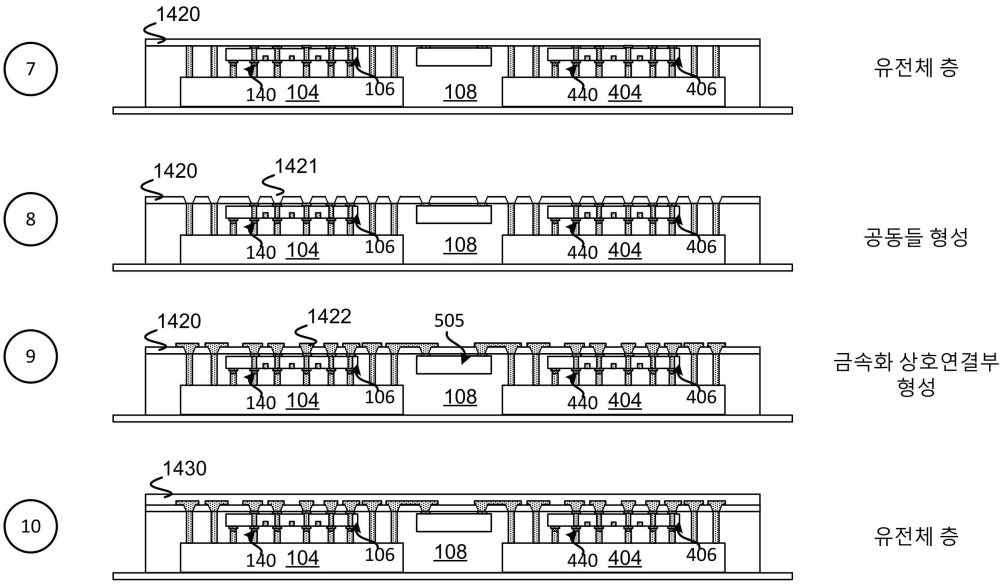
도면13


1300
칩렛 기판을 제공함
1305
칩렛 기판 내에
공동들/트렌치들을 형성함
1310
공동들/트렌치들 위에 산화물 층을 형성함
1315
산화물 층 위에 제1 전기 전도성 층(예컨대,
폴리실리콘 층)을 형성함
1320
제1 전기 전도성 층 위에
유전체 층을 형성함
1325
유전체 층 위에
제2 전기 전도성 층(예컨대, 폴리실리콘 층)을 형성함
1330
칩렛 기판 내에 공동(들)을 형성함
1335
칩렛 기판의 공동(들) 내에 상호연결부들을 형성함
1340

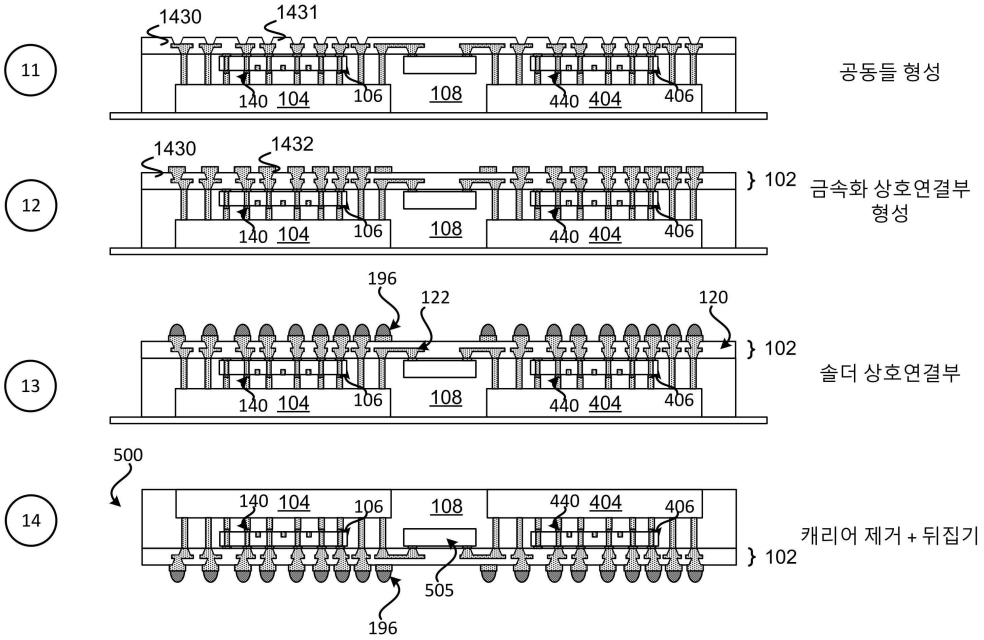
도면14a


1
1407
1447
1400
104
404
캐리어 +
집적 디바이스들
2
1400
104
108
404
캡슐화 층 형성
3
281
1401
104
108
404
유전체 층 + 시드 층
형성
4
1404
1404
104
108
404
기둥 상호연결부 형성
5
505
140
104
106
108
440
404
406
칩렛(들) + 브리지(들)
배치
6
1408
140
104
106
108
440
404
406
캡슐화 층 형성

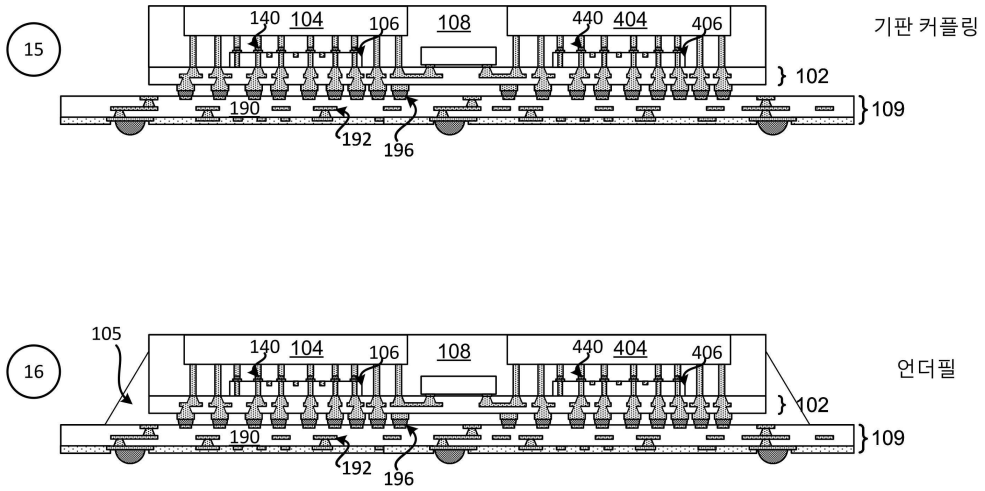
도면14b


7
1420
140
104
106
108
440
404
406
유전체 층
8
1420
1421
140
104
106
108
440
404
406
공동들 형성
9
1420
1422
505
140
104
106
108
440
404
406
금속화 상호연결부
형성
10
1430
140
104
106
108
440
404
406
유전체 층

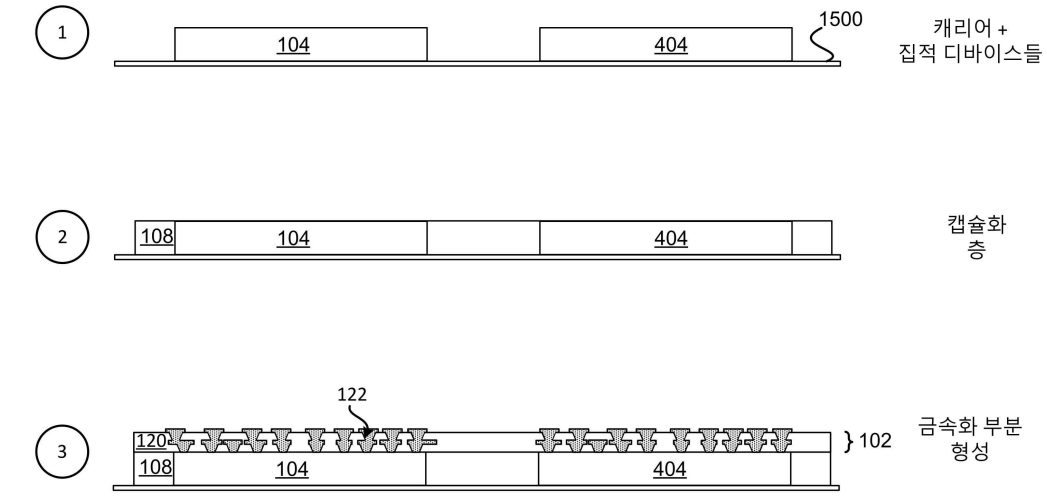
도면14c


11
1430
1431
140 104 106 108 440 404 406
공동들 형성
12
1430
1432
} 102
금속화 상호연결부 형성
13
196
122
120
} 102
솔더 상호연결부
14
500
505
196
캐리어 제거 + 뒤집기

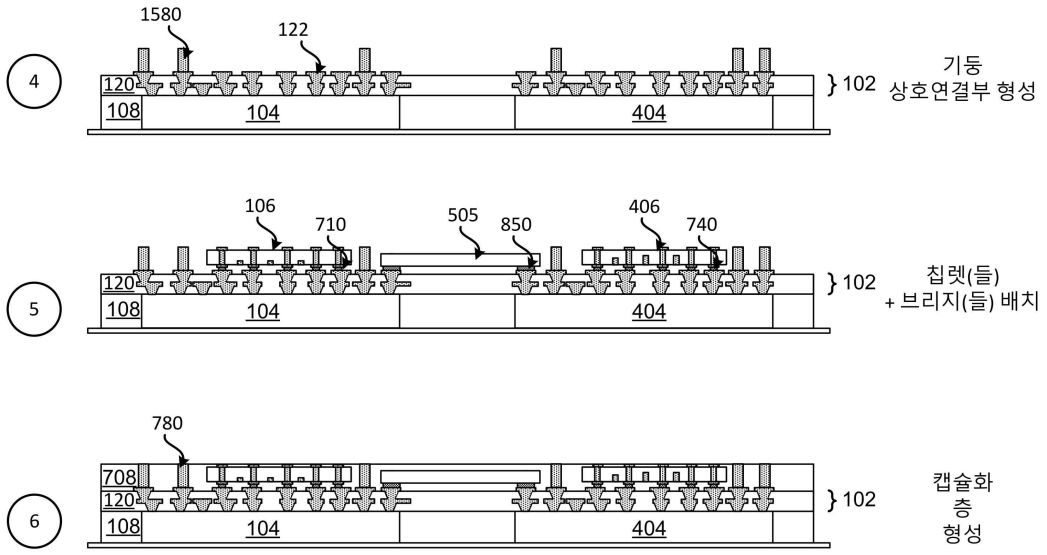
도면14d


15
기판 커플링
} 102
109
190
192
196
16
105
언더필

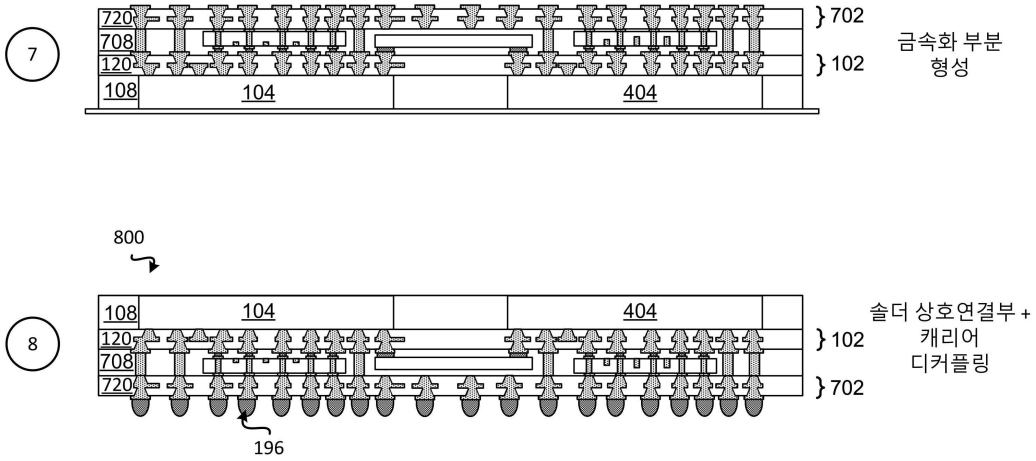
도면15a


1
104
404
1500
캐리어 +
집적 디바이스들
2
108
104
404
캡슐화
층
3
122
120
108
104
404
102
금속화 부분
형성

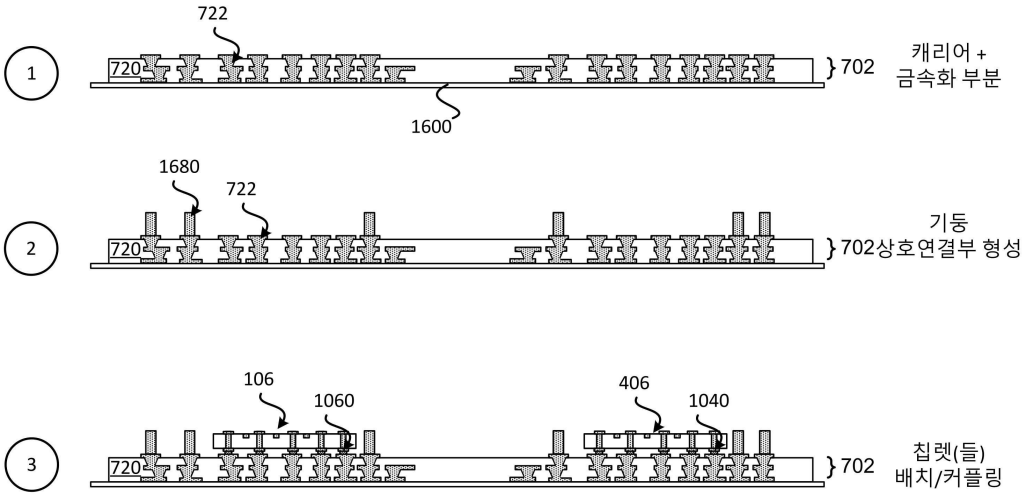
도면15b


4
1580
122
120
108
104
404
102
기둥
상호연결부 형성
5
106
710
505
850
406
740
120
108
104
404
102
칩렛(들)
+ 브리지(들) 배치
6
780
708
120
108
104
404
102
캡슐화
층
형성

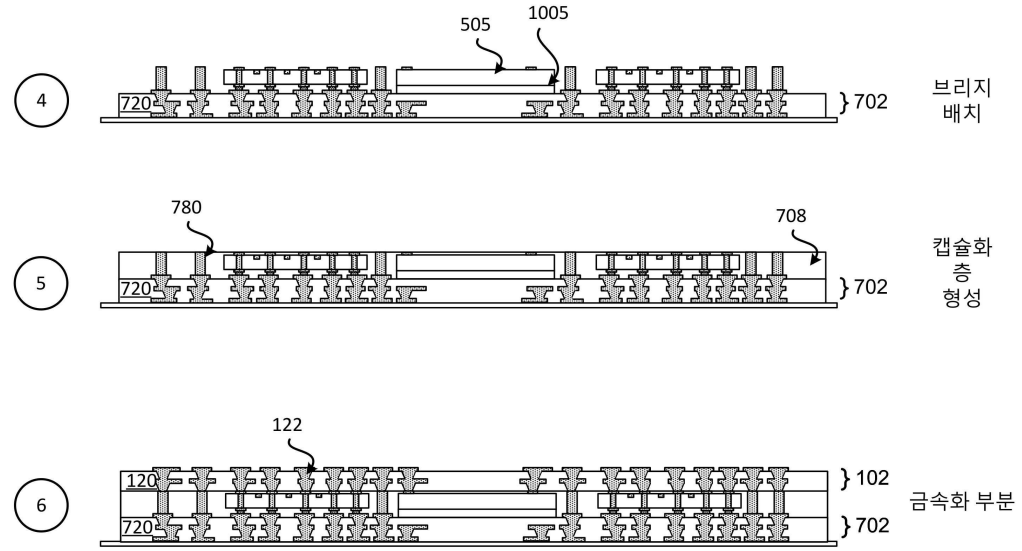
도면15c


7
720
708
120
108
104
404
} 702
} 102
금속화 부분
형성
800
8
108
104
404
120
708
720
196
} 102
} 702
솔더 상호연결부 +
캐리어
디커플링

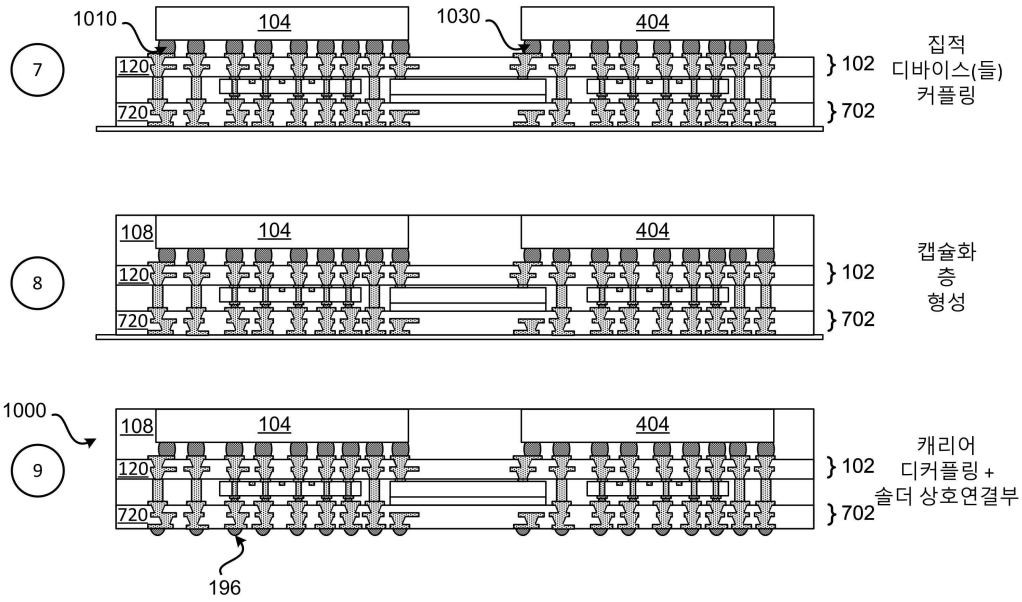
도면16a


1
722
720
1600
} 702
캐리어 +
금속화 부분
2
1680
722
720
} 702
기둥
상호연결부 형성
3
106
1060
406
1040
720
} 702
칩렛(들)
배치/커플링

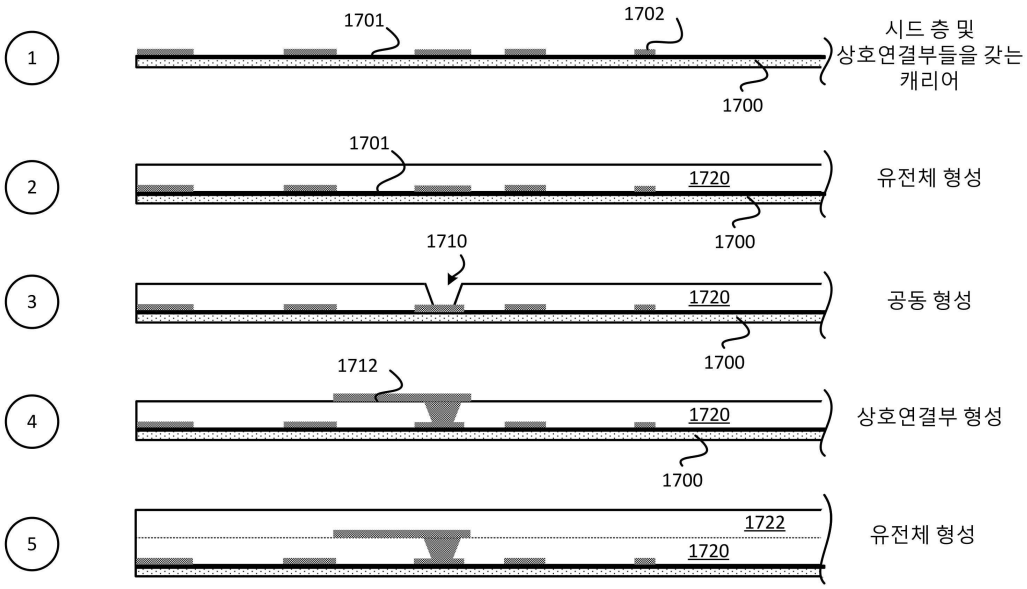
도면16b


4
505
1005
720
702
브리지
배치
5
780
708
720
702
캡슐화
층
형성
6
122
120
720
102
702
금속화 부분

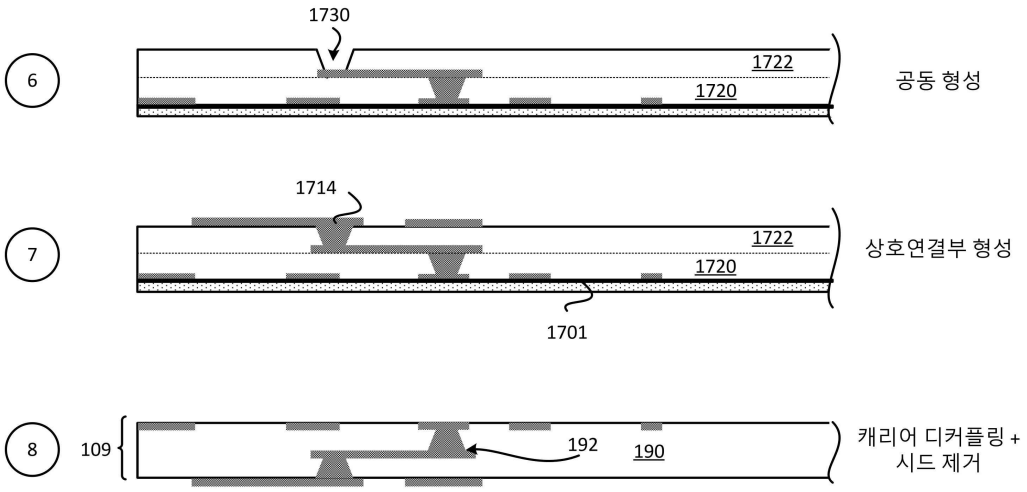
도면16c


7
1010
104
1030
404
120
720
102
702
집적
디바이스(들)
커플링
8
108
104
404
120
720
102
702
캡슐화
층
형성
1000
9
108
104
404
120
720
102
702
196
캐리어
디커플링 +
솔더 상호연결부

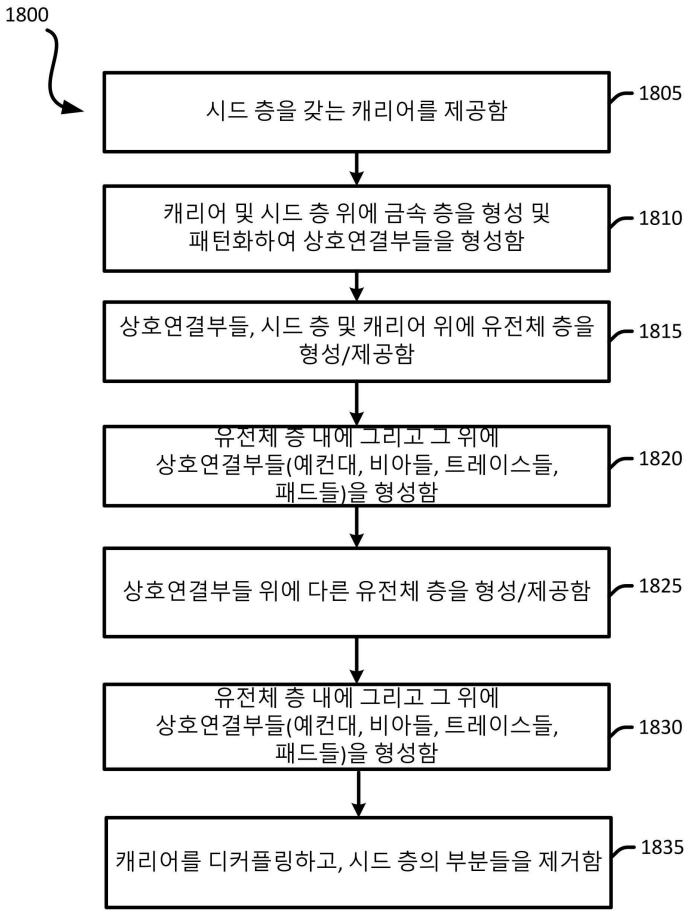
도면17a


1
1701
1702
1700
시드 층 및
상호연결부들을 갖는
캐리어
2
1701
1720
1700
유전체 형성
3
1710
1720
1700
공동 형성
4
1712
1720
1700
상호연결부 형성
5
1722
1720
유전체 형성

도면17b


6
1730
1722
1720
공동 형성
7
1714
1722
1720
1701
상호연결부 형성
8
109
192
190
캐리어 디커플링 +
시드 제거

도면18


1800
시드 층을 갖는 캐리어를 제공함
1805
캐리어 및 시드 층 위에 금속 층을 형성 및 패턴화하여 상호연결부들을 형성함
1810
상호연결부들, 시드 층 및 캐리어 위에 유전체 층을 형성/제공함
1815
유전체 층 내에 그리고 그 위에 상호연결부들(예컨대, 비아들, 트레이스들, 패드들)을 형성함
1820
상호연결부들 위에 다른 유전체 층을 형성/제공함
1825
유전체 층 내에 그리고 그 위에 상호연결부들(예컨대, 비아들, 트레이스들, 패드들)을 형성함
1830
캐리어를 디커플링하고, 시드 층의 부분들을 제거함
1835

도면19

