

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3922516号

(P3922516)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年3月2日(2007.3.2)

(51) Int. Cl.	F I
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 1 1 A
	G 1 1 C 17/00 6 1 1 E
	G 1 1 C 17/00 6 4 1

請求項の数 12 (全 31 頁)

(21) 出願番号	特願2000-296023 (P2000-296023)	(73) 特許権者	503121103
(22) 出願日	平成12年9月28日(2000.9.28)		株式会社ルネサステクノロジ
(65) 公開番号	特開2002-109891 (P2002-109891A)		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成14年4月12日(2002.4.12)	(74) 代理人	100081938
審査請求日	平成16年3月1日(2004.3.1)		弁理士 徳若 光政
		(72) 発明者	坂本 善▲徳▼
			東京都青梅市新町六丁目16番地の3 株 式会社 日立製作所 デバイス開発センタ 内
		審査官	滝谷 亮一

最終頁に続く

(54) 【発明の名称】 不揮発性メモリと不揮発性メモリの書き込み方法

(57) 【特許請求の範囲】

【請求項1】

複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に浮遊ゲートに蓄積された電荷量に対応した記憶情報を持つ複数の記憶素子を有し、電気的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリであって、

上記記憶素子に対して所定の書き込み量での書き込み動作を実施した後にペリファイ動作を行って上記浮遊ゲートに蓄積された電荷量を制御する書き込み制御回路を備えてなり、

上記書き込み制御回路は、書き込み開始時において、上記所定の書き込み量に対して少ない書き込み量に設定されたサーチ書き込み動作及びそれに対応したペリファイ動作を1ないし複数回行い、前記記憶素子に設定すべき状態が消去状態から最も遠い状態である場合は第1の時間幅を持つ電圧パルスを印加する書込動作およびそれに対応したペリファイ動作を1ないし複数回行い、前記記憶素子に設定すべき状態が消去状態から最も遠い状態ではない状態である場合は電圧パルスの印加回数に応じた時間幅を持つ電圧パルスを印加する書込動作およびそれに対応したペリファイ動作を1ないし複数回行うことを特徴とする不揮発性メモリ。

【請求項2】

請求項1において、

上記書き込み量は、電圧レベルと書き込み時間の積により設定されるものであり、上記所定の書き込み量は、上記記憶素子のしきい値電圧の変化分がほぼ一定になるような電圧

10

20

と時間により設定されるものであり、

上記サーチ書き込み動作での書き込み量の複数回分が、上記所定の書き込み量に対応するよう設定されてなることを特徴とする不揮発性メモリ。

【請求項 3】

請求項 1 又は 2 において、

上記記憶素子は、浮遊ゲートに蓄積された電荷量に対応した 4 値からなる記憶情報を持つようにされることを特徴とする不揮発性メモリ。

【請求項 4】

請求項 1 ないし 3 のいずれかにおいて、

上記所定の書き込み量は、書き込み回数に対応して書き込み量が増加させられて、各書き込み動作に対応した上記しきい値電圧の変化分がほぼ一定になるように制御されるものであることを特徴とする不揮発性メモリ。

10

【請求項 5】

請求項 4 において、

上記サーチ書き込み動作は、上記所定の書き込み量に対応した書き込み動作に比べて少なくとも書き込み時間が短くされることを特徴とする不揮発性メモリ。

【請求項 6】

請求項 5 において、

上記書き込み回数に対応した書き込み量の増加は、直前の書き込み動作に比べて書き込み電圧が一定で書き込み時間が増加させられることを特徴とする不揮発性メモリ。

20

【請求項 7】

複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に複数の記憶素子を有し、各記憶素子は浮遊ゲートに蓄積された電荷量に対応した記憶情報を持ち、電気的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリの書き込み方法であって、

書き込み開始時に所定の書き込み量に対して少ない書き込み量に設定されたサーチ書き込み動作及びそれに対応したペリファイ動作を 1 ないし複数回行い、

かかる複数回のサーチ書き込み動作及びペリファイ動作の後に、前記記憶素子に設定すべき状態が消去状態から最も遠い状態である場合は第 1 の時間幅を持つ電圧パルスを印加する書き込み動作およびそれに対応したペリファイ動作を 1 ないし複数回行い、前記記憶素子に設定すべき状態が消去状態から最も遠い状態ではない状態である場合は電圧パルスの印加回数に応じた時間幅を持つ電圧パルスを印加する書き込み動作及びそれに対応したペリファイ動作を 1 乃至複数回行なうように書き込み動作制御が設定され、

30

上記ペリファイ動作において、上記記憶素子の浮遊ゲートの電荷量に対応したしきい値電圧が所望のしきい値電圧に到達したと判定されたとき、上記書き込み動作を終了させることを特徴とする不揮発性メモリの書き込み方法。

【請求項 8】

請求項 7 において、

上記書き込み量は、電圧レベルと書き込み時間の積により設定されるものであり、上記所定の書き込み量は、上記記憶素子のしきい値電圧の変化分がほぼ一定になるような電圧と時間により設定されるものであり、

40

上記サーチ書き込み動作での書き込み量の複数回分が、上記所定の書き込み量に対応するよう設定されてなることを特徴とする不揮発性メモリの書き込み方法。

【請求項 9】

請求項 7 又は 8 において、

上記記憶素子は、浮遊ゲートに蓄積された電荷量に対応した 4 値からなる記憶情報を持つようにされることを特徴とする不揮発性メモリの書き込み方法。

【請求項 10】

請求項 7 ないし 9 のいずれかにおいて、

上記所定の書き込み量は、書き込み回数に対応して書き込み量が増加させられて、各書

50

き込み動作に対応した上記しきい値電圧の変化分がほぼ一定になるように制御されるものであることを特徴とする不揮発性メモリの書き込み方法。

【請求項 1 1】

請求項 1 0 において、

上記サーチ書き込み動作は、上記所定の書き込み量に対応した書き込み動作に比べて少なくとも書き込み時間が短くされることを特徴とする不揮発性メモリの書き込み方法。

【請求項 1 2】

請求項 1 1 において、

上記書き込み回数に対応した書き込み量の増加は、直前の書き込み動作に比べて書き込み電圧が一定で書き込み時間が増加させられることを特徴とする不揮発性メモリの書き込み方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不揮発性メモリとその書き込み方法に関し、主に電氣的に書き込み消去が可能にされたフラッシュメモリ等における書き込み判定動作（書き込みベリファイ動作）に利用して有効な技術に関するものである。

【0002】

【従来の技術】

フラッシュEEPROM（以下、単にフラッシュメモリという）のような不揮発性メモリセルは、図24に示すようにソース、ドレインからなる拡散層と、かかるソース、ドレインの間の半導体基板上にゲート絶縁膜を介してフローティングゲートとコントロールゲートとがスタックド構造に構成され、上記コントロールゲートはワード線に接続され、ドレインはビット線（又はデータ線）に接続され、ソースはソース線に共通に接続される。そして、書き込み動作では、コントロールゲートに18.1Vのような高電圧を印加し、チャネルから上記ゲート絶縁膜を介して電子のFNトンネル電流をフローティングゲートに流して電荷を蓄積させるFNトンネル書き込み型と、ソース-ドレイン間を流れる電流により発生するホットエレクトロンをフローティングゲートに蓄積させるチャネルホットエレクトロン型に大別される。

20

【0003】

【発明が解決しようとする課題】

本願発明者等においては、先に多値方式のフラッシュメモリを開発した。この多値メモリでは、1つのメモリセルに対し2ビット（4値）に対応する4つのメモリのしきい値（以下、 $V_{th}$ という）分布を作る必要がある。この際、データ保持に関する信頼性を確保するために、各分布を一定範囲内に書き分ける為の狭帯化処理が必要となる。このような狭帯化に向けた書き込み動作を行うために、図25に示したように1回の書き込み動作でのしきい値電圧の変化分  $V_{th}$  が、上記各しきい値電圧間の差分よりも小さくなるようにした書き込みパルス（PULSE0~5...）により書き込み動作とベリファイ動作を行い、複数回での書き込み動作とベリファイ動作によってメモリセルの  $V_{th}$  が所望のしきい値電圧範囲に到達させるようにする。

30

40

【0004】

なお、書き込みパルスの電圧を段々に高くしたり、あるいはパルス幅を増加させるようにした不揮発性メモリの例として、特開平9-55092号公報、特開平7-73685号公報、特開平3-130995号公報等のあることが、本願発明をなした後の調査によって判明した。しかしながら、上記いずれの先行技術においても、次に説明するように本来のメモリの特性から外れ、突然過剰に書込まれてしまうメモリセルが存在することに関する記載は無い。

【0005】

上記  $V_{th}$  分布設計の際は、各種依存係数（ $V_{cc}$ 、温度、書き込み特性、消去特性、書換えによる劣化）を考慮したマージンをもって設計される。しかしながら、メモリセルの書換

50

えを繰り返している間に、本来のメモリの特性から外れ、突然過剰に書込まれるメモリセルが存在する。本願ではこのように突発的に発生して、一旦消去をすると基のメモリ特性に戻る場合もあり、しかも再現性が低い等から、かかるメモリセルのことをエラティック (erratic) 書込みのメモリセル、つまりはエラティックセルと呼ぶこととする。このようなエラティックセルについては、過剰に書き込まれた状態を一旦消去し、再度書込みを行うことによって、もしも正常に書込まれれば良品セクタとし、再度不良化した際は、そのセクタは以降不良セクタとする等の処理が必要になる。

#### 【 0 0 0 6 】

上記エラティックセルは再現性が低いから 1 回の消去でも正常に戻る場合もあり、何回かの書き込みと消去を繰り返しても基の特性に戻らない場合もあるので、書き込み時間や不良発生率を考慮し、1 回の消去後に正常に書き込まれれば良品とし、それでも不良なら以降不良セクタとして別のセクタに同じデータを書き込みようにすることが最も合理的と考えられる。しかしながら、1 回の消去後に正常に書き込まれれば良品とする場合でも、やはり書き込み時間の増大は免れないし、2 回以上の消去後に正常に書き込まれるセルを不良セクタとするのは不良発生率を高めてしまう。そして、不良セクタと判定した場合に、別セクタへ再書き込みにより救済するのは、ユーザー側の負担大となって使い勝手が悪くなるという問題も生じる。

#### 【 0 0 0 7 】

この発明の目的は、安定的な書き込み動作を実現した不揮発性メモリと不揮発性メモリの書き込み方法を提供することにある。この発明の他の目的は、実質的な書き込み時間の短縮化を図りつつ、不良発生率の改善と使い勝手を良くした不揮発性メモリと不揮発性メモリの書き込み方法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【 0 0 0 8 】

##### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に浮遊ゲートに蓄積された電荷量に対応した記憶情報を持つ複数の記憶素子を有し、電気的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリにおいて、上記記憶素子に対して所定の書き込み量での書き込み動作を実施した後にペリファイ動作を行って上記浮遊ゲートに蓄積された電荷量を制御する書き込み制御回路に対して、書き込み開始時に上記所定の書き込み量に対して少ない書き込み量に設定されたサーチ書き込み動作及びそれに対応したペリファイ動作を 1 ないし複数回行うようにさせる。

#### 【 0 0 0 9 】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に浮遊ゲートに蓄積された電荷量に対応した記憶情報を持つ複数の記憶素子を有し、電気的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリの書き込み方法として、書き込み開始時に所定の書き込み量に対して少ない書き込み量に設定されたサーチ書き込み動作及びそれに対応したペリファイ動作を 1 ないし複数回行い、かかる複数回のサーチ書き込み動作及びペリファイ動作の後に上記所定の書き込み量に設定された書き込み動作及びそれに対応したペリファイ動作を行なうような書き込み動作制御の設定が行われ、上記ペリファイ動作により上記記憶素子の浮遊ゲートの電荷量に対応したしきい値電圧が所望のしきい値電圧に到達したと判定したなら書き込み動作を終了させる。

#### 【 0 0 1 0 】

##### 【発明の実施の形態】

図 1 には、この発明に係る不揮発性メモリの書き込み方法の一実施例の説明図が示されている。同図には、書き込み電圧印加時間の累積 (対数スケール) とメモリセル  $V_{th}$  の関係を示すメモリセルの特性と、それに対応した書き込み動作のパルス波形が示されている。

10

20

30

40

50

## 【0011】

この実施例の不揮発性メモリでは、書込み動作がセクタ単位（同一ワード線につながるメモリセルを一単位とする）でFNトンネル現象を用いて行うようにされる。この実施例では、メモリセルの代表的な書込み特性を用い、書き込み電圧は一定のまま、電圧の印加時間を調整して1回の書き込み動作でのメモリセルの  $V_{th}$  がほぼ一定値となるような書き込み方式（印加パルス時間べき乗比方式）が採用される。つまり、白丸で示した電圧印加毎の  $V_{th}$  の変化分  $V_{th}$  がほぼ同様に変化するように書き込みパルス PULSE 1 ~ 5 ... が印加される。

## 【0012】

上記  $V_{th}$  は、各種依存係数を考慮して、複数回での書き込み動作によって  $V_{th}$  が目標値内に収まる様に印加時間の設計は行われる。しかしながら、書換えを繰り返している間に、このような代表的なメモリ（正常なメモリセル）の書き込み特性から外れ、突然過剰に書込まれるメモリセル（エラティックセル）が存在し、一旦エラティック書込みが発生したメモリセルは、 $V_{th}$  が目標値内を超えてしまうことからそのままでは不良化する。

10

## 【0013】

上記の印加パルス時間べき乗比方式は、代表的なメモリセルの書き込み特性のみを考慮して、 $V_{th}$  の制御を行うものであり、過剰な書き込み特性を持つエラティックセルを想定していない。そこで、メモリセルの書込み時の到達電圧はパルス幅と電圧とに依存し、パルス幅が小さいほど、あるいは電圧が小さいほど1回の書き込み動作によるしきい値電圧の変化  $V_{th}$  は小さくなる。つまり、過剰な書き込み特性を持つものでも、パルス幅又は電圧を小さくすると代表的なメモリセルの書き込み特性のもとでの  $V_{th}$  に近いしきい値電圧変化を生じさせることができる。ただし、1回での  $V_{th}$  の変化分を上記過剰な書き込み特性を持つエラティックセルに適合させるように設定すると、代表的なメモリセルに対する書き込み回数が膨大となって実際的ではない。

20

## 【0014】

そこで、上記エラティックセルの過剰な書き込み特性を利用し、書き込み開始時にのみ、過剰な書き込み特性を持つものか否かを探るための書き込み動作、つまりはサーチ書き込み動作を実施することを考えた。この実施例では、消去状態から書き込み動作を行う際に、書き込み電圧はそのままパルス幅を  $1/N$  にした  $N$  個からなる書き込みパルス PULSE 0 を印加するというサーチ書き込み動作が実施される。かかるサーチ書き込み動作では、 $N$  回の書き込み動作によって、代表的なメモリセルの書き込み特性のもとで上記  $V_{th}$  のようなしきい値電圧の変化を生じさせるようにするものである。

30

## 【0015】

したがって、代表的な書き込み特性を持つメモリセルでは、消去状態から書き込み開始時には、まず  $N$  回のサーチ書き込み動作が実施され、それに対応してハッチングを付した  $\bigcirc$  のように  $V_{th}$  が微小電圧ずつ、おおよそ  $V_{th}/N$  ずつ変化して白丸で示した  $V_{th}$  に到達する。以降は、前記のような印加パルス時間べき乗比方式によって、 $V_{th}$  ずつの制御を行うようにする。この書き込み方法では、消去状態から書き込み開始時のみ複数回のサーチ書き込みが挿入されるだけであるので、代表的な書き込み特性を持つメモリセルに対する書き込み時間が実質的な増大を避けることができる。

40

## 【0016】

上記エラティックセルについては、1ないし複数回のサーチ書き込み動作によって  $V_{th}$  が目標値内に収まる様になりエラーの発生を未然に防止することができる。なお、過剰な書き込み特性は、一定の特性を持つものではないので、1回のサーチ書き込みによっても  $V_{th}$  が目標値を超えたり、あるいは上記  $N$  回のサーチ書き込みによって  $V_{th}$  が目標値に到達せず、次の印加パルス時間べき乗比方式での書き込みによって目標値を超えてエラーになるものも生じることも考えられる。このようにエラーが発生した場合には、特に制限されないが、前記同様に1回消去して再び前記同様な書き込み動作を行って、もしも再度不良なら不良セクタとし、別のセクタに書き込むようにすればよい。

## 【0017】

50

この実施例での書き込み方法を採用することにより、エラティックセルに対しても1ないし複数回のサーチ書き込み動作を行うようにすることによって $V_{th}$ を目標値内に収まる様にする事ができるものも生じるので、全体でみたときに安定的な書き込み動作を実現でき、実質的な書き込み時間の短縮化を図りつつ、不良発生率の改善と使い勝手を良くすることができる。

**【0018】**

図2には、この発明に係る不揮発性メモリの書き込み方法の他の一実施例の説明図が示されている。同図には、書き込み電圧印加時間の累積（対数スケール）とメモリセル $V_{th}$ の関係を示すメモリセルの特性と、それに対応した書き込み動作のパルス波形が示されている。

10

**【0019】**

この実施例では、前記同様に消去状態から書き込み動作を行う際に行われるサーチ書き込み動作において、書き込み電圧を印加パルス時間べき乗比方式での書き込み電圧よりも低くし、かつパルス幅も $1/N$ にした $N$ 個からなる書き込みパルスPULSE0を印加する。かかるサーチ書き込み動作では、 $N$ 回の書き込み動作によって、代表的なメモリセルの書き込み特性のもとで上記 $V_{th}$ のようなしきい値電圧の変化を生じさせるようにするものである。

**【0020】**

図3には、この発明に係る不揮発性メモリの書き込み方法の更に他の一実施例の説明図が示されている。同図には、書き込み電圧印加時間の累積（対数スケール）とメモリセル $V_{th}$ の関係を示すメモリセルの特性と、それに対応した書き込み動作のパルス波形が示されている。

20

**【0021】**

この実施例では、前記同様に消去状態から書き込み動作を行う際に行われるサーチ書き込み動作において、後の書き込み電圧よりも低くし、かつパルス幅も $1/N$ にした $N$ 個からなる書き込みパルスPULSE0を印加する。かかるサーチ書き込み動作では、 $N$ 回の書き込み動作によって、代表的なメモリセルの書き込み特性のもとで上記 $V_{th}$ のようなしきい値電圧の変化を生じさせるようにするものである。そして、それ以降に行われる書き込み動作では、印加パルス時間べき乗比方式ではなく、書き込み電圧と印加パルス時間の両方、つまりは電圧と時間の積で決まる書き込み量をべき乗方式で漸次増加させるようにするものである。

30

**【0022】**

図4には、この発明に係る不揮発性メモリの書き込み方法を説明するための特性図が示されている。同図には、代表的なメモリセルの書き込み特性とエラティックなメモリセルの書き込み特性が例示的に示されている。前記図1ないし3の書き込み方法では、メモリセルの消去状態（"11"）から書き込み状態（"10"）にする際、サーチ書き込み動作が4回実施される。このサーチ書き込み動作では、前記のようにパルス幅やパルス電圧値が小さくされているので、代表的なメモリセルに対しては1回当たりの $V_{th}$ の変化は、極く小さなものである。

**【0023】**

しかしながら、過剰な書き込み特性を持つエラティックセルに対しては、上記のようなサーチ書き込み動作により $V_{th}$ の変化が通常書き込み動作での $V_{th}$ に匹敵するほど大きくなるので、例えば3回のサーチ書き込みによって目標の書き込み状態（"10"）にすることができる。一方、正常セルに対しては、例えば上記4回のサーチ書き込みの後に5回の通常書き込み動作が行われることによって、上記同様に書き込み状態（"10"）にすることができる。なお、上記エラティックセルは、書き込み動作のみが過剰に行われるものであり、データの保持特性は正常セルと何等変わることはない。

40

**【0024】**

図5には、この発明に係る不揮発性メモリの書き込み特性を説明するための特性図が示されている。同図には、初期分布（消去状態）に対して、 $5\mu s$ の書き込み電圧印加後、1

50

0  $\mu$ s の書き込み電圧印加後、20  $\mu$ s の書き込み電圧印加後のそれぞれのしきい値分布が示されている。エラティック書き込みの分布は、上記書き込み時間5  $\mu$ s、10  $\mu$ s、20  $\mu$ s に対応して平行移動するように変化する。このことは、エラティックセルの過剰な書き込まれる特性は、書き込み時間により制御できることが判る。このような過剰書き込み特性を利用し、この実施例でのサーチ書き込みでは、書き込み時間であるパルス幅を、通常書き込み動作のパルス幅に対して小さなパルス幅とすることにより、エラティック書き込み特性においても、代表的なメモリセルの書き込み特性と同様に制御された書き込み動作を実施することができる。

#### 【0025】

図6には、この発明に係る不揮発性メモリの書き込み特性を説明するための特性図が示されている。同図(A)には、初期分布(消去状態)でのしきい電圧の分布を低くして5  $\mu$ s の書き込み電圧印加後、同図(B)には、初期分布でのしきい値電圧を高くして同じく5  $\mu$ s の書き込み電圧印加後のしきい値分布がそれぞれ示されている。エラティック書き込みの分布は、初期分布を高くした方がエラティック書き込み頻度が減少する。

10

#### 【0026】

このことから、前記サーチ書き込み動作では、例えば図1の実施例よりも図2や図3の実施例のように書き込み電圧も小さくすることにより、1回当たりのしきい値電圧の変化の分布幅が小さくなって、サーチ書き込みによる $V_{th}$ 目標値とする確率を高くすることができる。つまり、エラティック不良の発生率をいっそう低くすることができる。

#### 【0027】

このようにエラティックセルは、書き込みを行う前の電圧レベルに依存し、エラティック書き込みの頻度は減少する。別の言い方をすれば、エラティックセルの過剰書き込み特性は、メモリセルにかかる電圧に依存し、電圧が強い時はエラティック書き込みが起きる頻度が高くなるものであり、前記図2や図3の実施例のように電圧を低くなることにより、エラティックセルに対する所望の $V_{th}$ 目標値にする確率を高くすることができる。

20

#### 【0028】

以上のような不揮発性メモリの書き込み方法では、消去状態から最初の書き込み動作では、代表的なメモリセルの書き込み特性に乗らない短いパルス幅の書き込みパルスを印加する。つまり、エラティック書き込み頻度を軽減する為にべき乗比の曲線に乗らない短い等幅パルスをN回印加するというサーチ書き込み動作を実施することでエラティック書き込みの到達電圧を押さえるようにするものである。そして、メモリセルにかかる電圧を緩和した後、通常のべき乗比印加方式に移行して、正常セルに対する書き込み時間の短縮化と狭帯域化に向けた書き込み動作を行うことができる。

30

#### 【0029】

図7には、この発明に係る不揮発性メモリの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

#### 【0030】

この実施例では外部端子数を削減するためにデータ端子I/O(0-7)を介して動作モードを指定するコマンド及びX(行)アドレス信号も取り込まれるようにされる。つまり、入出力バッファ39を介して入力された入力信号は、内部信号線を通してコマンドデコーダ31、データ変換回路20、救済回路40のアドレスカウンタACNTに伝えられる。上記データ変換回路20は、マルチプレクサ機能を持っており、本来のデータ変換動作の他に上記Xアドレス信号を図示しない信号線を通してモリアレイのXデコーダ(X-DEC)13aと13bに供給する。

40

#### 【0031】

上記アドレスカウンタACNTは、主としてビット線救済のために用いられるものであり、冗長ヒューズ回路に記憶された不良アドレスとアドレスカウンタACNTで形成されたYアドレスとを比較し、一致したなら救済回路により予備のビット線に切り換える。アドレスカウンタACNTは、そのためのアドレス生成回路である。上記アドレスカウンタA

50

CNTに、外部端子から先頭アドレスを入力するようにしてもよい。ただし、前記のようにハードディスクメモリのようにワード線単位(セクタ)でのリード/ライトのときには上記Yアドレスの先頭値を入力することは意味がない。

#### 【0032】

同図では、Yアドレス信号が伝えられる信号経路も上記Xアドレス信号と同様に省略され、Yデコーダ(Y-DEC)11に伝えられてY選択信号が形成される。上記のような入力信号の振り分けを含む制御動作は、制御信号入力バッファ&入出力制御回路38に供給される制御信号(例えばチップイネーブル信号CE、ライトイネーブル信号WE、出力イネーブル信号OE及びコマンドイネーブル信号CCDW)と、クロック信号SCにより行われる。リセット信号RESを有し、これがロウレベルのときには何も動作しない低消費電力モードとされる。レディー/ビジー回路R/Bは、多値フラッシュメモリの使用状況を外部のアクセス装置に知らせる。

10

#### 【0033】

上記Xアドレス(セクタアドレス)信号は、Xデコーダ(X-DEC)13aと13bにより解読されて、メモリマットMAT-U(アップ側)又はMAT-D(ダウン側)の1つのワード線WLを選択する。特に制限されないが、この実施例では、上記2つのメモリマットMAT-UとMAT-Dを挟むように上記Yゲートを含むセンスラッチ回路SLが中央部に共通に設けられる。メモリマットは、上記センスラッチ回路SLを中心にして上側メモリマットMAT-Uと下側メモリマットMAT-Dの2つに分けられる。

#### 【0034】

Xデコーダ(X-DEC)で形成されたメインワード線選択信号、ゲート選択信号を受けてメモリセルが接続されるワード線を選択するワード線ドライバ(W-DRIVER)14a, 14bは、書込み動作、消去動作及び読み出し動作のそれぞれにおいて、後述するような選択MOSFETのゲートに接続されるメインワード線と、記憶トランジスタのコントロールゲートに接続されるワード線の電位がそれぞれのモードに応じて区々であることから、それぞれの動作モードに対応した電圧の選択/非選択レベルを出力する出力回路を持つものである。これらの動作モードに必要な電圧は、基準電源、チャージポンプ昇圧回路、降圧回路等からなる内部電源、電圧切り換え回路及びそれらを制御する電圧制御回路371からなる内部電圧発生回路37により形成される。

20

#### 【0035】

メモリアレイマットMAT-U及びMAT-Dは、図9に示すようにワード線とビット線の交点に記憶トランジスタが設けられる。特に制限されないが、上記ビット線は、グローバルビット線GBLと、かかるグローバルビット線GBLに対して図10に示したようにドレイン選択MOSFETを介して複数の記憶トランジスタのドレインが共通に接続されるローカルビット線LBLからなる階層構造とされる。これら1つのサブブロックを構成する記憶トランジスタのソースはソース選択MOSFETを介して共通ソース線に接続される。

30

#### 【0036】

1つのサブブロックは、特に制限されないが、セクタ1ないしセクタ127のような128個(128本のワード線)のセクタを持ち、上記メモリマットMAT-UとMAT-Dの全体では、特に制限されないが、通常メモリ領域として16384本のセクタ(ワード線)が設けられる。そして、特に制限されないが、上記メモリマットMAT-UとMAT-Dのそれぞれに245本の管理領域として用いられるワード線(セクタ)が設けられる。

40

#### 【0037】

ワード線の欠陥救済を行うようにするためには、冗長ワード線(セクタ)が更に加えられる。したがって、ワード線の選択を行うXアドレス信号は、X0~X8の9ビットから構成される。前記のようにデータ端子DQ0~DQ7からXアドレス信号を入力する方式では、かかるアドレス信号X0~X8を取り込むために2サイクルが費やされる。

#### 【0038】

50



Y方向には、特に制限されないが、正規アレイとして $512 \times 8 = 4096$ のビット線が設けられ、前記のように冗長アレイに複数本が別に設けられる。メモリマツトMAT-UとMAT-Dは、それぞれが約4M個の記憶トランジスタが設けられ、全体として約8M個の記憶トランジスタのそれぞれに4値(2ビット)の記憶情報が記憶されるから、全体で約16Mバイト(128Mビット)の情報を記憶することができる。

#### 【0039】

上記ビット線は、センスラッチSLに接続される。このセンスラッチSLは、先にも述べたようにビット線のハイレベルとロウレベルを読み出してセンスするとともに、それをラッチする機能を合わせ持つようにされる。このセンスラッチ回路SLは、レジスタとしての機能を持つようにされる。特に制限されないが、センスラッチSLは、後述するように公知のダイナミック型RAMに用いられるようなCMOSセンスアンプと類似の回路が利用される。すなわち、センスラッチSLは、入力と出力とが交差接続された一対のCMOSインバータ回路と、複数からなるCMOSインバータ回路に動作電圧と回路の接地電圧を与えるパワースイッチから構成される。4値での読み出しや書き込みのためにビット線の他端に設けられたデータラッチDLが用いられる。

10

#### 【0040】

カラムデコーダ(Y-DEC)11でのカラム選択動作は、アドレスカウンタACNTにより形成されたアドレス信号をデコードして形成された選択信号によりセンスラッチ回路SLの入出力ノードを入出力線に接続させる。冗長回路41及び救済回路41は、メモリマツトの正規アレイの不良ビット線を冗長アレイに設けられた予備ビット線に切り換えるようにする。上記アドレスカウンタACNTは、外部端子から供給されたシリアルクロック信号SCを計数して、上記Yアドレス信号を発生させる。上記シリアルに入力される書き込みデータは、上記シリアルクロックSCに同期して入力され、シリアルに出力される読み出しデータは、上記シリアルクロックSCに同期して出力される。クロック発生回路34は、上記シリアルクロックSCを含む内部の各種クロック信号を形成する。

20

#### 【0041】

この実施例では、ワード線を1セクタとした単位での消去、書き込み及び読み出しを行うようにした場合、HDC(ハードディスクコントローラ)のような通常のマストレージコントローラでの制御が容易になり、メモリシステムの構築が簡単となる。そして、ハードディスクメモリ等のようなファイルメモリとの互換性が採れ、それとの置き換えも容易になるものである。

30

#### 【0042】

メモリセルへの後述するような書き込みベリファイを含む書き込み動作、読み出し動作及び消去動作は、コマンドデコーダ31、制御回路(シーケンサ)32及びステータス&テスト系回路35と、書き込みベリファイ、消去ベリファイの書き込み、消去判定回路33により行われる。

#### 【0043】

この実施例では、センスラッチSLと同数の書き込みデータ及び読み出しデータを格納するデータラッチDLを上下メモリマツトMAT-U及びMAT-Dの両側に配置し、データラッチDLとセンスラッチSLをビット線を介して接続する。そして、読み出し動作時にバッファメモリや多値判定に使用する。センスラッチSLからデータラッチDLに転送されたデータがメインアンプ(MA)36に供給するような信号経路が設けられる。この信号経路には、上記センスラッチSLに設けられるようなカラムスイッチが含まれて、メインアンプMAに対してシリアルなデータ転送を行うようにされる。

40

#### 【0044】

図8には、この発明に係る不揮発性メモリの一実施例のブロック図が示されている。この実施例では、不揮発性メモリを各回路ブロックを大まかな機能ブロックとして表現したものであり、センスラッチ(Sense Latch)を挟んで両側にメモリアレイ(MEMORY)が設けられる。センスラッチを中心としたメモリアレイの他端側にはデータラッチ(Data Latch)が設けられる。そして、かかるデータラッチの保持データは、メインアンプ(Main Amp)を介し

50

て4ビットずつのデータが読みだされ、両側のメインアンプから合計8ビットのデータとしてデータ出力バッファ(Dout Buff)を通して外部端子I/O(0-7)から出力される。

#### 【0045】

内部電圧発生回路(INTERNAL POWER)で形成された内部電圧を用い、CPU(プロセッサ)とマイクロプログラムROM( $\mu$ ROM)によりシーケンサを構成して、消去と消去ベリファイ及び書き込みと書き込みベリファイやこの発明に係るサーチ書き込みとベリファイのような一連の動作が実施される。このようなシーケンサの制御のために、制御信号CE, WE, CDE, OE, RES及びSCと外部端子I/O(0-7)から入力されたコマンドが用いられる。同図では、メモリアレイのワード線を選択するXデコーダ(X-DEC)に供給されるXアドレス(セクタアドレス)や、センスラッチに含まれるYデコーダに供給されるYアドレスを生成するアドレスカウンタ及びアドレス信号供給経路は省略されている。

10

#### 【0046】

図11には、この発明に係る不揮発性メモリに用いられる記憶トランジスタの一実施例の概略素子構造断面図が示されている。同図(A)は、非対称SD(ソース,ドレイン)拡散層を持つものであり、LOCOSによって素子分離領域が形成される。同図(A)は、素子分離にSGiが用いられ、ソース,ドレインが対称加田LDD拡散層によって構成される。

#### 【0047】

図12には、この発明に係る不揮発性メモリのセンスラッチSLを中心にしたメモリアレイ部の一実施例の回路図が示されている。同図には、センスラッチを挟んで左右にミラー反転した形態で対称的に同様な回路が構成されるので、そのうちの左側(Left)回路(例えば、前記下側メモリアレイMAT-Dに対応する)が例示的に示されている。

20

#### 【0048】

センス&ラッチ回路は、Pチャンネル型MOSFETとNチャンネル型MOSFETからなるCMOSラッチ回路により構成され、Pチャンネル型MOSFETの共通ソースSLPと、Nチャンネル型MOSFETの共通ソースSLNには、図示しないセンスラッチ活性化信号によりオン状態にされるパワースイッチMOSFETにより電源電圧と回路の接地電位のような動作電圧が与えられる。

30

#### 【0049】

上記センスラッチSLは、その一对の入出力ノードが選択信号TRLとTRRでそれぞれスイッチ制御される選択MOSFETを介してそれを挟む2つのメモリアレイのグローバルビット線に接続される。同図では、そのうちの一方のグローバルビット線G-BLLが例示的に示されている。センスラッチSLの左側の入出力ノードは、内部信号TRLが所定のハイレベルとされ、選択MOSFETがオン状態とされることで左側のメモリアレイの対応するグローバルデータ線G-BLLに接続される。

#### 【0050】

各ラッチ回路は、動作電圧SLPのハイレベルとSLNのロウレベルにより動作状態となり、図示のワード線が選択されたときには、メモリマットの選択されたメモリセルから対応するグローバルデータ線G-BLLを介して出力される読み出し信号をそれぞれ増幅して、その論理値を判定し、保持するとともに、書き込み動作時には、データラッチDLL及びDLR(図示せず)の対応する単位データラッチに取り込まれた書き込みデータやベリファイ結果をもとに生成され、対応するメモリセルが書き込み対象セルであるか否かを示す書き込みフラグ又は書き込み禁止フラグを保持する。

40

#### 【0051】

センスラッチSLは、さらに、内部電圧供給点FPCとメモリアレイの対応するグローバルデータ線G-BLLとの間に直列形態に設けられる2個のNチャンネルMOSFETと、上記内部電圧供給点FPCと上記グローバルデータ線G-BLLとの間に設けられるもう1個のNチャンネルMOSFETとを含む。このうち、上記一方の直列形態のMOSF

50

ETのゲートには、内部信号PCLが供給され、他方の直列形態のMOSFETのゲートには、対応するラッチ回路の左側の入出力ノードに結合される。また、上記もう1つのMOSFETのゲートには、内部信号PRCLが供給される。

【0052】

上記内部電圧供給点FPCには、多値フラッシュメモリの動作モードに応じて所定の電位とされる内部電圧が選択的に供給され、内部信号PCL(PCR)はビット線(グローバルビット線、以下同じ)の選択プリチャージ、センスラッチの保持データのビット線データの演算動作を制御し、内部信号RPCL(RRCR)は、ビット線の一括プリチャージを制御する。ここで、(PCR)や(RRCR)は、図示しない右側のビット線に対応した制御信号である。

10

【0053】

データラッチDLLは、メモリアレイのグローバルデータ線G-BLLに対応して設けられ、センスラッチSLと同様にCMOSラッチ回路と、かかるラッチ回路を構成するPチャンネルMOSFETのソースには、それが動作状態にされるとき動作電圧が供給され、NチャンネルMOSFETNのソースには、それが動作状態にされるとき接地電位VSSが供給される。また、データラッチ回路の右側の入出力ノードは、Nチャンネル型の選択MOSFETを介して対応するグローバルデータ線G-BLLに結合される。各データラッチDLLの選択MOSFETのゲートには、内部信号DTLが供給される。

【0054】

これにより、データラッチDLLの右側の入出力ノードは、内部信号DTLが所定のハイレベルとされて選択MOSFETがオン状態とされることで選択的に対応するグローバルデータ線G-BLLに接続される。また、各ラッチ回路は、上記DLLに動作電圧とDLLNLに接地電位VSSが供給されることにより動作状態となり、例えばマルチプレクサMXから図示されないYゲート回路を介して供給される書き込みデータを取り込み、保持する。

20

【0055】

データラッチDLLは、さらに、内部電圧供給点FPCと対応するグローバルデータ線G-BLLとの間に直列形態に設けられるNチャンネルMOSFETと、内部電圧供給点FPCと上記ラッチ回路の右側の入出力ノードとの間に設けられたもう1個のNチャンネル型MOSFETを含む。このうち、上記一方の直列形成のMOSFETのゲートには、内部信号PCDLが供給され、他方の直列形態のMOSFETのゲートには対応する上記ラッチ回路の右側の入出力ノードに結合される。そして、上記もう1個のMOSFETのゲートには、内部信号RPDLが供給される。上記信号PCDLは、データラッチDLLのデータとビット線のデータとの演算を制御し、上記信号RPDLとRDLLは、データラッチDLLの入出力ノードのディスチャージ、プリチャージを行う。

30

【0056】

ワードドライバは、記憶トランジスタのコントロールゲートが接続されたワード線に供給される選択電圧を形成する。この選択電圧は、読み出し、書き込み及び消去おそれぞれのペリファイ動作に対応して複数通りの電圧に設定される。例えば、VRW1~3は読み出し電圧であり、記憶トランジスタの4通りのしきい値電圧を識別するために用いられる。VWWは書き込み電圧であり、必要に応じて複数段階に変化させられる。VWV0~3は書き込みペリファイ電圧であり、VWE1~2は書き込みエラーティック検出電圧であり、VWDSは書き込みディスタープ検出電圧であり、VWEは消去電圧であり、VEVは消去ペリファイ電圧である。

40

【0057】

以下、この発明に係る不揮発性メモリの動作を説明する。図13には、消去動作を説明するためのフローチャート図が示され、図14には消去動作のときのしきい値電圧の分布図が示されている。消去動作では、ワード線に負の高電圧が印加されて、フローティングゲートに蓄積された上記ゲート絶縁膜を介して電子のFNトンネル電流をフローティングゲートから基板側に流してフローティングゲートの電子を放出させる。

50

## 【 0 0 5 8 】

この消去動作は、まず消去ベリファイ 1 が実施される。つまり、ワード線の電圧を  $V_{EV} = 1.6 \text{ V}$  に設定して読み出し動作を行ない、記憶トランジスタのきい値電圧が上記  $1.6 \text{ V}$  以下なら消去状態であるので何もしないで消去動作を終了させる。上記ワード線に対応された記憶トランジスタのうち 1 個でもオン状態のものがあれば、消去動作を実施する。つまり、ワード線に  $-1.6 \text{ V}$  のような負の高電圧が印加されて、フローティングゲートに蓄積された上記ゲート絶縁膜を介して電子の FN トンネル電流をフローティングゲートから基板側に流してフローティングゲートの電子を放出させる。

## 【 0 0 5 9 】

この後に消去ベリファイ 2 が実施される。この消去ベリファイ 2 は、前記消去ベリファイ 1 と同じであり、ワード線の電圧を  $V_{EV} = 1.6 \text{ V}$  に設定して読み出し動作を行ない、記憶トランジスタのきい値電圧が上記  $1.6 \text{ V}$  以下になるまで繰り返し消去動作と消去ベリファイとを繰り返す。このような消去動作では、消去状態あるは既に消去状態にされた記憶トランジスタも含めて、ワード線単位での一括して消去動作が繰り返されるので、図 14 (A) に示したように消去状態 ("11") のしきい値電圧の分布は比較的広がってしまふ。そこで、図 14 (B) のように消去状態 ("11") にしきい値電圧を狭くするようなデプリート防止処理が実施される。

## 【 0 0 6 0 】

前記のように一括消去動作が終了すると、デプリート検出が行われる。このデプリート検出では、ワード線の電圧  $V_{WV0} = 1.2 \text{ V}$  として、それ以下のしきい値電圧を持つ記憶トランジスタがなければそこで消去動作が終了する。1 個でも上記  $1.2 \text{ V}$  以下のしきい値電圧を持つ記憶トランジスタが存在すると、それに対応して書き込みビットセットが行われ、指定ワード線つまり書き込み対象となる記憶トランジスタのコントロールゲートに例えば前記のように  $1.8.1 \text{ V}$  (ボルト) のような書き込みワード線電圧を印加し、そのドレインつまりチャネルに例えば  $0 \text{ V}$  の書き込み電圧を印加することによって行われる。この書き込みは、微小な書き戻しを目的とするから、上記書き込み電圧は低くしてもよい。

## 【 0 0 6 1 】

これにより、書き込み対象となる記憶トランジスタでは、そのコントロールゲート及びチャネル間で FN (Fowler Nordheim) トンネル現象が発生し、チャネルからフローティングゲートに電子が注入されて、そのしきい値電圧が上昇する。また、指定ワード線に結合され書き込み対象とされないメモセルのドレインつまりチャネルには、例えば  $5 \text{ V}$  の書き込み禁止電圧が印加され、そのコントロールゲート及びチャネル間の電圧が圧縮されて FN トンネル現象は発生せずメモセルのしきい値電圧も変化しない。

## 【 0 0 6 2 】

このような書き込み (書き戻し) の書き込みベリファイ  $V_{WV0}$  を繰り返して実施することにより、上記デプリート検出された記憶トランジスタのしきい値電圧は、上記  $V_{WV0} = 1.2 \text{ V}$  以上にされる。そして、消去状態 ("11") ワードディスタブ検出が行われ、ワード線の電圧  $V_{WDS} = 2.0 \text{ V}$  に設定し、記憶トランジスタのしきい値電圧がかかるディスタブ電圧  $V_{WDS} = 2.0 \text{ V}$  以下であることを確認して消去動作を終了させる。もしも、1 個の記憶トランジスタでも上記しきい値電圧  $V_{WDS} = 2.0 \text{ V}$  を超えるものがあれば、消去不良として処理 (異常終了) とされ、必要に応じて別セクタに切り換えられる。

## 【 0 0 6 3 】

図 15 と図 16 には、書き込み動作を説明するためのフローチャート図が示され、図 17 と図 18 には書き込み動作のときのしきい値電圧の分布図が示されている。図 16 (A) には、図 15 での "01" 書き込みの詳細が、図 16 (B) には、図 15 での "00" 書き込みの詳細がそれぞれ示されている。

## 【 0 0 6 4 】

この実施例の多値フラッシュメモリの書き込み動作は、まず最も高い第 4 のしきい値電圧

10

20

30

40

50

を書き込み後の目標値とする記憶トランジスタつまり“01”セルに対する書き込みバイアス動作から開始される。この“01”セルに対する書き込みバイアス動作は、前記のようなサーチ書き込み動作と通常書き込み動作及びそれぞれのペリファイ動作 ( $VWV3 = 4.8V$ ) により実施される。つまり、図16(A)のように、“01”セルに対応したデータラッチに書き込みの有無に対応したデータラッチ処理が行われ、同図では省略されているが、前記のような複数回のサーチ書き込みとペリファイの後にパルス幅が  $100\mu s$  のように比較的長くされた書き込み動作が実施される。

#### 【0065】

この“01”セルに対する書き込みは、しきい値電圧が  $VWV3 = 4.8V$  以上になればよいから、上記のようにパルス幅を  $100\mu s$  の比較的大きくして1回でのしきい値電圧の変化分  $V_{th}$  を大きくして書き込み時間の短縮化を図るようのものである。例えば、通常の書き込み特性を持つものでは、2回程度の書き込み動作によって終了される。このように前記サーチ書き込みを除いて当初から書き込みワード線電圧の印加時間を長くして比較的粗っぽく行われ、ペリファイ動作の所要回数も例えば2回で済むようにして、書き込み所要時間も相応して短くてすむように設定される。

10

#### 【0066】

図15に示すように、“00”セル及び“10”セルに対する書き込み動作が上記同様にして行われる。つまり、図示しないが書き込み開始時には前記のようなサーチ書き込みとペリファイが複数回挿入される。“00”セル及び“10”セルに対する書き込み動作によるしきい値電圧の分布は、図17及び図18に示すように比較的狭い範囲に納まるように高精度に制御される必要があるため、例えば“00”セルに対しては、前記サーチ書き込み後の通常書き込み動作において書き込みパルスの印加時間  $T_N$  ( $N$  回目の書き込みパルスのパルス幅) が、 $T_N = 1.2 \times (T_N - 1 \text{ 累積時間}) - (T_N - 1 \text{ 累積時間})$  のように設定される。このことは、特に制限されないが、“10”セルに対しても同様に行うようにされる。この結果、しきい値電圧の変化分  $V_{th}$  が小さくなり、ペリファイ動作の所要回数も例えば8回と多くなって、書き込み所要時間も、“01”セルの数倍程度に長くされる。

20

#### 【0067】

書き込み動作時、メモリアレイの指定ワード線、つまりこの選択ワード線に結合される記憶トランジスタのコントロールゲートには、 $18.1V$  のような高電圧にされたワード線電圧が共通に印加される。このとき、メモリアレイの選択ワード線に結合される記憶トランジスタのうち、書き込み対象とされる記憶トランジスタ(以下、書き込み対象セルと称する)のドレインが結合されるビット線つまりグローバルビット線及びローカルビット線(以下、書き込み対象ビット線と称する)には、書き込みデータの論理値に応じて選択的に  $0V$ 、 $2V$ 、 $3V$  が印加され、書き込み対象とされないメモリセル(以下、書き込み非対象セルと称する)のドレインが結合されるビット線(以下、書き込み非対象ビット線と称する)には、すべて  $5V$  の書き込み禁止電圧とされる。

30

#### 【0068】

これにより、“01”セル、“00”セルならびに“10”セルのコントロールゲート及びチャンネル間には、それぞれ  $18V$ 、 $16V$  あるいは  $15V$  の電圧が印加される形となり、各メモリセルのフローティングゲートには、FNトンネル現象によって、そのコントロールゲート及びチャンネル間電圧に応じた量の電子が注入され、相応してそのしきい値電圧が上昇する。つまり、“00”セルは、“01”セルに比べてしきい値電圧の変化幅は小さく、さらに“10”セルは“01”セルに比べてしきい値電圧の変化幅は小さくてよいため、印加電圧を小さくしてしきい値制御性を高め、かつ素子の特性劣化を防止する。

40

#### 【0069】

上記のような“01”セル、“00”セルならびに“10”セルに対して書き込み動作が終了すると、図15に示すように“11”セル、“10”セルならびに“00”セルの順でエラティック/ディスタープ検出が実施される。つまり、図18において、まず“11”セルについてワード線の選択レベルを  $VWDS = 2.0V$  にし、そのしきい値電圧が消

50

去状態の上限値を超えないこと（ディスタープ）を検出し、以下、“10”セル及び“00”セルに対して $VWE1 = 3.2V$ 、 $VWE2 = 4.5V$ にしてそれぞれのしきい値電圧の上限値を超えないこと、つまりはエラティック書き込みが行われていないことを検出する。

【0070】

前記のサーチ書き込みの後のベリファイ動作では、設定された電圧以上に書き込まれたことは検出できるが、決められてしきい値電圧の分布を超えて書き込まれてしまうことが検出できないので、この実施例のようなエラティック検出動作が必要になるものである。上記のようなエラティック/ディスタープ検出によりエラーが発生すると、消去動作が実施されて再び“01”セルからの一連の書き込み動作が実施される。そして、かかるエラティック/ディスタープ検出で不良が2回目であると判定されたなら、以上終了となり、例えばかかるワード線（セクタ）は不良として予備のセクタに切り換えられる。（図示せず）。

10

【0071】

図19には、読み出し動作を説明するためのフローチャート図が示され、図20には読み出し動作のときのしきい値電圧の分布図が示され、同図には読み出し電圧も合わせて示されている。

【0072】

この実施例の多値フラッシュメモリの読み出し動作は、ワード線の選択レベルを $VRW1 = 2.2V$ にして読み出し動作が実施される。つまり、消去状態“11”のセルは、ビット線にロウレベルを出力し、それ以外はビット線にハイレベルを出力させる。センスラッチSLは、このビット線のハイレベル/ロウレベルを判定して、下位データ用のデータラッチにデータ転送を行う。

20

【0073】

次に、ワード線の選択レベルを $VRW2 = 3.4V$ にして読み出し動作が実施される。つまり、消去状態“11”のセルと、“10”セルは、ビット線にロウレベルを出力し、それ以外“00”のセルと“01”のセルはビット線にハイレベルを出力させる。センスラッチSLによりこれを判定し、上位データ用のデータラッチにデータ転送を行う。

【0074】

次に、ワード線の選択レベルを $VRW3 = 4.7V$ にして読み出し動作が実施される。つまり、消去状態“11”のセルと、“10”セル及び“00”セルは、ビット線にロウレベル（L）を出力し、“01”のセルのみがビット線にハイレベル（H）を出力させる。センスラッチSLによりこれを判定し、下位のデータラッチに取り込まれたデータと排他的論理和演算を行う。つまり、下位のデータラッチのデータが“1”又は“0”で上記センスラッチSLのデータが“1”又は“0”のように一致したなら“0”を下位データラッチに転送する。不一致のときには、“1”を下位データラッチに転送する。上記下位データラッチ及び上位データラッチの出力信号は、反転されてメインアンプMAを通して出力される。これにより、次の表1のような論理状態での読み出しが行われる。

30

【0075】

(表1)

セル	R 1	R 2	R 3	R 1 * R 3	上位ビット	下位ビット
“01”	H	H	H	0	0	1
“00”	H	H	L	0	0	0
“10”	H	L	L	1	1	0
“11”	L	L	L	1	1	1

ここで、R 1 ~ R 3 は、V R W 1 ~ V R W 3 読み出しでHはハイレベル/Lはロウレベルを示している。R 1 \* R 3 の\*は排他的論理和演算を表している。れによりセルに記憶された4通りの記憶情報“11”、“10”、“00”及び“10”が、それに対応した上位ビットと下位ビットの2ビットのデータとして読み出される。

【0076】

図21には、この発明に係るフチッシュメモリの記憶状態を説明するためのしきい値電圧の分布図が示されている。図21(A)は、前記のような1つの記憶トランジスタに4値を記憶させる例が示されており、記憶情報“00”、“10”に対応したしきい値電圧の分布は、隣接するしきい値電圧との間でのマージンを確保するよう狭帯化、つまりは高精度のしきい値電圧の制御を必要とするものである。それ故、前記のようなエラティックセルが発生するとそれが直ちに不良セクタに結びつく確率が高くなる。

【0077】

これに対して、本願発明の書き込み方法では、記憶トランジスタの過剰書き込み特性を想定し、かかる過剰書き込み特性を探り出すためのサーチ書き込み動作を実施するものであるので、記憶情報の多値化を図りつつ、安定した書き込み動作を実現することができる。

【0078】

このようなエラティックな過剰書き込みによるエラーは、4値のような多値記憶には限定されない。図21(B)のように2値の記憶動作を行うものでも、記憶情報“0”と“1”との間のマージンは、電源電圧の低電圧化に対応して小さくなる。それ故、半導体記憶装置の低電圧化に対応して上記マージンが小さくなるので、かかる2値記憶の不揮発性メモリでも安定的な書き込み動作を図る上でこの発明に係るサーチ書き込み動作の実施は有益なものとなる。

【0079】

図22には、この発明に係るフラッシュメモリを用いたメモリ装置の一実施例のブロック図が示されている。この実施例のメモリ装置は、そのデータ記憶部に前記実施例のようなフラッシュメモリが用いられる。このフラッシュメモリのデータ書き込みと読み出しは、専用LSIによって構成されたECC回路によりデータの誤り・検出が行われる。

【0080】

EEPROM等によりセクタ管理テーブルが構成される。このセクタ管理テーブルは、特に制限されないが、1つのワード線単位での書き込み、読み出し及び消去を行うようにし、それを1つのセクタとして扱うようにするものである。このセクタ単位でのデータの書き換えにより、書き換え回数(書き込み回数又は消去回数)を計数しておき、それが許容値を越えるとそのセクタへのアクセスを禁止して信頼性を高くするものである。

【0081】

フラッシュメモリに対する書き込み動作は、読み出し時間に比べて長い時間を必要とする。それ故、ホストシステム等からの書き込み動作は、上記フラッシュメモリに対して直接行う

10

20

30

40

50

のではなく、ライトバッファに対して書込みデータの入力が行われる。特に制限されないが、ライトバッファは、上記1セクタ分の記憶容量を持つ、1セクタ分の記憶データを取り込む。ライトバッファに取り込まれた書込みデータは、フラッシュメモリのセンスラッチに対してバイト単位で順次書き込まれる。上記1セクタ分のデータをセンスラッチに書込むと、前記のような書込み動作が開始される。

#### 【0082】

読み出し動作は、前記のようにフラッシュメモリに対して先頭アドレスを供給すると、1セクタ分のデータが内部のアドレス発生回路(アドレスカウンタ)により形成されたアドレスの順序により1バイト単位でシリアルに出力される。

#### 【0083】

上記のような書込み動作や、読み出し動作及びセクタ管理テーブルの制御は、ワンチップマイコン(1チップのマイクロコンピュータ)により行われる。この実施例のメモリ装置は、従来のハードメモリ装置やフロッピーディスクメモリ装置と互換性を持つようにされ、標準バスインターフェイス部を介して標準バスに接続される。この標準バスには、図示しないが、ホストシステムを構成する中央処理装置CPU、メインメモリ、キャッシュメモリ(第1キャッシュメモリ、第2キャッシュメモリ)等が接続される。

#### 【0084】

図23には、本発明に係る半導体集積回路装置の他の一実施例の全体の回路ブロック図が示されている。この実施例の半導体集積回路装置CHIPは、図示のような複数の回路ブロック、すなわち入出力回路I/O、内部電圧発生回路VG、制御回路ULC、フラッシュメモリFEPROM、D/A変換器DAC、A/D変換器ADC、割り込み制御回路IVC、クロック発生回路CGCを有するシステムパワーマネジメント回路SPMC、中央処理部CPU、スタティックメモリSRAM、DMAコントローラDMAC、ダイナミック型メモリDRAM、を含む。

#### 【0085】

それらの回路ブロックは、内部バスBUS、制御バスCBUSに結合されている。それらは半導体集積回路装置を構成すべき図示しない半導体基板に搭載される。上記システムパワーマネジメント回路SPMCは、システムLSIに搭載される各モジュールにおいて、消費される電力を制御する機能を有する。

#### 【0086】

半導体集積回路装置は、入出力回路I/Oにつながる入出力外部端子Tio1ないしTionと、負論理レベルのようなりセット信号resbが供給される外部端子T1と、制御用外部端子T2と、第1動作制御信号cmqが供給される第1動作制御用外部端子T3と、第2動作制御信号cpmqが供給される第2動作制御用外部端子T4と、外部クロック信号clkが供給されるクロック用外部端子T5と、複数の電源電圧(vdd、vccdr、vss)が供給される複数の電源用外部端子T6、T7、T8とを持つ。

#### 【0087】

図示の半導体集積回路装置は、いわゆるASIC(アプリケーション・スペシファイド・インテグレートッド・サーキット)すなわち特定用途ICを構成するようにされる。すなわち、図示のほとんどの回路ブロックは、ASIC構成を容易ならしめるように、それぞれ独立的な回路機能単位としてのいわゆるモジュールないしはマクロセルをなすようにされる。各機能単位は、それぞれその規模、構成が変更可能にされる。ASICとしては、図示の回路ブロックの内、実現すべき電子システムが必要としない回路ブロックは、半導体基板上に搭載しないようにすることができる。逆に、図示されていない機能単位の回路ブロックを追加することもできる。

#### 【0088】

中央処理部CPUは、特に制限されないが、いわゆるマイクロプロセッサと同様な構成にされる。すなわち中央処理部CPUは、その詳細を図示しないけれども、その内部に命令レジスタ、命令レジスタに書込まれた命令をデコードし、各種のマイクロ命令ないしは制御信号を形成するマイクロ命令ROM、演算回路、汎用レジスタ(RG6等)、内部バス

10

20

30

40

50



BUSに結合するバスドライバ、バスレシーバなどの入出力回路を持つ。

【0089】

中央処理部CPUは、フラッシュメモリFEPRROMなどに格納されている命令を読み出し、その命令に対応する動作を行う。中央処理装置CPUは、入出力回路I/Oを介して入力される外部データの取り込み、制御回路ULCに対するデータの入出力、フラッシュメモリFEPRROMからの命令や命令実行のために必要となる固定データのようなデータの読み出し、D/A変換器DACへのD/A変換すべきデータの供給、A/D変換器によってA/D変換されたデータの読み出し、スタティック型メモリSRAM、ダイナミック型メモリDRAMへのデータの読み出し、書込み、DMAコントローラDMACの動作制御等を行う。制御バスCBUSは、中央処理部CPUによる図示の回路ブロックの動作制

10

【0090】

中央処理部CPUは、クロック発生回路CGCから発生されるシステムクロック信号C2を受けそのシステムクロック信号C2によって決められる動作タイミング、周期をもって動作される。中央処理部CPUは、その内部の主要部が、CMOS回路、すなわちpMOSとnMOSとからなる回路から構成される。特に制限されないが、中央処理部CPUを構成するCMOS回路は、図示しないCMOSスタテック論

20

【0091】

中央処理部CPUは、クロック発生回路CGCからのシステムクロック信号C2の供給が停止されたなら、それに応じて動作停止状態にされる。停止状態において、ダイナミック回路の出力信号は、回路に生じる不所望なリーク電流によって不所望に変化されてしまう。スタテックフリップフロップ回路構成のレジスタ回路のような回路は、システムクロック信号の非供給期間であっても、以前のデータを保持する。

30

【0092】

システムクロック信号C2の非供給期間においては、中央処理部CPUの内部のスタテック回路における各種ノードでの信号レベル遷移が停止され、またダイナミック回路での出力ノードでのデスチャージないしプリチャージが停止される。この状態では、動作状態のCMOS回路が消費する動作電流のような比較的大きい消費電流、すなわち各種ノード及びそれぞれにつながる配線が持つ浮遊容量、寄生容量へ信号変位を与えるように電源線から与えられるチャージ、デイスチャージ電流は、実質的にゼロとなる。このことから中央処理部CPUは、CMOS回路のリーク電流に等しいような小さい電流しか流れず、低消費電力状態となる。

【0093】

割り込み制御回路IVCは、外部端子T1に負論理レベルのようなリセット信号を受け、外部端子T3を介して第1動作信号cmqを受け、外部端子T4を介して第2動作制御信号cpmqを受け、また、外部端子T2に、半導体集積回路装置の動作状態を指示する状態指示信号を出力する。割り込み制御回路IVCは、かかるリセット信号resb、動作制御信号cmq、cpmq及び状態指示信号に対応してそれぞれの位置のビットが設定されるようなレジスタRG5を持つ。レジスタRG5における状態指示信号は、内部バスBUSを介して中央処理部CPUによって更新される。外部端子T3、T4を介してレジスタRG5にセットされた動作制御信号cmq、cpmqは、前述のように、内部バスBUSを介し中央処理部CPUによって参照される。

40

【0094】

50

特に制限されないが、割り込み制御回路 I V C は、その内部にダイナミック型メモリのリフレッシュ動作のための図示しないリフレッシュアドレスカウンタを持つ。割り込み制御回路 I V C におけるかかるリフレッシュアドレスカウンタは、第 1、第 2 動作制御信号 c m q、c p m q によって第 1 及び第 3 モードが指示されているなら、すなわち半導体集積回路装置に対して動作モードか、動作スタンバイモードが指示されているなら、クロック発生回路 C G C からのシステムクロック信号に基づいて歩進され、周期的に更新されるリフレッシュアドレス情報を形成する。

**【 0 0 9 5 】**

クロック発生回路 C G C は、外部端子 T 5 を介して外部クロック信号 c l k を受け、その外部クロック信号 c l k に対応した周期のシステムクロック信号 C 2 を形成する。なお、クロック発生回路 C G C と中央制御部 C P U との間の信号線が単純化されて表現されているけれども、システムクロック信号 C 2 は、中央制御部 C P U 内の図示しない回路の順序立った動作のために、一般的なプロセッサに対するクロック信号と同様に、多相信号からなると理解されたい。

10

**【 0 0 9 6 】**

入出力回路 I / O は、外部端子 T i o 1 ないし T i o n の内の所望の外部端子を介して外部から供給される信号を受け、また外部端子 T i o 1 ないし T i o n の内の所望の端子に出力すべき信号を内部バス B U S を介して受ける。入出力回路 I / O は、その内部にそれぞれ C M O S スタテック回路からなるような制御レジスタ R G 4 と図示しないデータレジスタとを持つ。

20

**【 0 0 9 7 】**

制御レジスタ R G 4 は、中央処理部 C P U によって選択され、かつ中央処理部 C P U によって、当該入出力回路 I / O のための制御データ、例えば、データ入力 / 出力指示や高出力インピーダンス状態指示などの制御データが与えられる。データレジスタは、外部端子 T i o 1 ないし T i o n と、内部バス B U S との間のデータの転送のために利用される。外部端子 T i o 1 ないし T i o n のビット幅すなわち端子数と、内部バス B U S のビット幅が異なるような場合、データレジスタは、大きいビット幅に対応されるようなビット数を持つようにされ、中央処理部 C P U による動作制御に従ってビット数変換を行う。

**【 0 0 9 8 】**

例えば外部端子 T i o 1 ないし T i o n の個数が 6 4 のような数であるのに対し、内部バス B U S のビット幅が 2 5 6 ビットのような比較的大きい数であるような場合、6 4 ビット単位をもって外部端子 T i o 1 ないし T i o n に次々に供給される直列データは、中央処理部 C P U による直列 - 並列データ変換制御によってデータレジスタに順次に供給され、2 5 6 ビットのデータに変換される。逆に、内部バス B U S からデータレジスタにセットされた 2 5 6 ビットのデータは、中央処理部 C P U による並列 - 直列データ変換制御によって、6 4 ビット毎に分けられて外部端子 T i o 1 ないし T i o n に順次に供給される。

30

**【 0 0 9 9 】**

入出力回路 I / O の信号入力のための回路及び信号出力のための回路は、その入力及び出力動作がシステムクロック信号によって制御されるようにされる。それ故に、入出力回路 I / O は、システムクロック信号が供給されなくなった時には、上記中央処理部 C P U と同様に低消費電力状態にされることになる。

40

**【 0 1 0 0 】**

制御回路 U L C は、電子システムの必要に応じて適宜に設けられる制御回路である。この制御回路 U L C としては、例えば、ハードディスク装置におけるモータサーボコントロール、ヘッドのトラッキング制御、誤り訂正処理や、画像、音声処理における画像や音声データの圧縮伸長処理のようなような実現すべき電子システムに応じて適宜に設けられる。制御回路の U L C は、中央処理部 C P U と同様にその動作がシステムクロック信号によって制御される。フラッシュメモリ F E P R O M は、前述のように、中央処理装置 C P U によって読み出され実効されるべき命令、固定データを記憶する。

50

## 【0101】

D/A変換器DACは、内部バスBUSを介して供給されるところのアナログ信号に変換すべきデジタルデータを受けるレジスタRG2を持ち、かかるデジタルデータに基づいてアナログ信号を形成する。レジスタRG2は、制御回路ULCもしくは中央処理部CPUによってデジタルデータがセットされる。D/A変換器DACのD/A変換開始タイミング、D/A変換結果の出力タイミングのようなD/A変換動作は、システムクロック信号によって制御される。D/A変換器DACによって形成されたアナログ信号は、特に制限されないが、内部バスBUS及び入出力回路I/Oを介して外部端子T1ないしTnの所望の端子に供給される。尚、ここでは上記外部端子T1ないしTnを入出力兼用端子(ピン)としているが、入力用端子と出力用端子に分離して設けてもよい。

10

## 【0102】

D/A変換器DACは、その詳細を図示しないけれども、高精度DA変換が必要とされる場合は、得べきアナログ量の基準とするような基準電圧源もしくは基準電流源を持つようにされる。かかる基準電圧源もしくは基準電流源は、一種のアナログ回路を構成するとみなされ、第2モード及び第3モード、すなわち完全スタンバイモード、及び動作スタンバイにおいて無視し得ない電流を消費してしまう危険性を持つ。それ故にそのような場合の消費電流の低減を可能にするよう、かかる基準電圧源もしくは基準電流源に対しては、上記第2モード、第3モードにおいて、スイッチオフするようなMOSFETスイッチを設定される。

## 【0103】

A/D変換器ADCは、外部端子T1ないしTnのうちの所望の端子と入出力回路I/Oと内部バスBUSを介して供給されるようなアナログ信号を受け、制御回路ULCもしくは中央処理部CPUによってそのA/D変換の開始が制御され、システムクロック信号C2に従うようなクロック制御のもとで上記アナログ信号をデジタル信号に変換し、得られたデジタル信号をレジスタRG1にセットする。

20

## 【0104】

A/D変換器ADCもまた、上記D/A変換器DACと同様に、高精度AD変換が必要とされる場合は、デジタル変換すべき量子化レベルの基準とされるような基準電圧源もしくは基準電流源を持つようにされる。A/D変換器ADCにおけるかかる基準電圧源もしくは基準電流源もまた完全スタンバイモード、及び動作スタンバイモードにおいて無視し得ない電流を消費する危険性を持つ。それ故にその場合には、上記同様なMOSFETスイッチが、かかる基準電圧源もしくは基準電流源に適用される。

30

## 【0105】

スタティック型メモリSRAMは、そのメモリセルとして、その詳細は図示しないが、CMOSスタティック型メモリセル、すなわちCMOSラッチ回路とそれに対するデータ入出力のための一対の伝送ゲートMOSFETとからなるような構成のメモリセルを持つ。CMOSスタティック型メモリセルは、スタティックに情報を保持し、かつ情報保持のために、著しく小さい動作電流しか必要しないという特徴を持つ。

## 【0106】

かかるスタティック型メモリSRAMは、実質上は、CMOSスタティック型ランダム・アクセス・メモリを構成するようにされる。すなわち、スタティック型メモリSRAMは、マトリクス配置の複数のCMOSスタティック型メモリセルからなるメモリアレイと、内部バスBUSを介して供給されるようなロウアドレス信号をデコードしそれによってメモリアレイにおけるワード線を選択するロウ系アドレス・デコード・ドライブ回路と、コラムアドレス信号をデコードしそれによってコラム・デコード信号を形成するコラム系アドレスデコード回路と、かかるコラム・デコード信号によって動作されメモリアレイにおけるデータ線を選択しそれを共通データ線に結合させるコラムスイッチ回路と、共通データ線に結合された入出力回路と、読み出し書込み制御回路とを含む構成とされる。

40

## 【0107】

メモリアレイに関連するかかるアドレス・デコード・ドライブ回路のような回路すなわち

50

メモリアレイ周辺回路は、CMOSスタティック回路から構成される。それ故に、スタティック型メモセルSRAMは、読み出し、書き込み動作が行われない情報保持動作のみだけなら、比較的消費電力状態に置かれるととなる。なお、CMOSスタティック型メモリは、メモセルサイズが比較的大きくなり、その記憶容量に対する全体のサイズが比較的大きくなってしまおうという考慮すべき特徴を持ち、大きな記憶容量にすることが比較的困難である。

**【0108】**

DMAコントローラ、すなわちダイレクト・メモリ・アクセス・コントローラDMACは、中央処理部CPUによってその動作が制御され、中央処理部CPUによって指示された回路ブロック間の内部バスBUSを介するデータ転送を、中央処理部CPUになり代わって制御する。DMAコントローラDMACの詳細は、独立の半導体集積回路装置として構成されるDMAコントローラと実質的に同じ構成にし得るので更にの詳細な説明は行わないが、その内部のレジスタRG7等に、中央処理部CPUによってセットされる転送元情報、転送先情報、データ転送量情報等の設定情報に基づいて、データ転送制御を行う。

10

**【0109】**

ダイナミック型メモリDRAMは、そのメモセルすなわちダイナミック型メモセルが、典型的には、電荷の形態をもって情報を蓄積する情報蓄積用キャパシタと、選択用MOSFETとからなるような少ない数の素子からなり、比較的小さいメモセルサイズにされ得る。それ故に、ダイナミック型メモリは、大記憶容量であってもその全体のサイズを比較的小さくすることができる。

20

**【0110】**

ダイナミック型メモリDRAMは、それがその記憶容量にかかわらずに比較的小さいサイズをもって構成され得るから、他の回路ブロックとを搭載する半導体基板は、比較的小さいサイズにされ得る。これに応じた利点も期待できる。すなわち、半導体基板のサイズは、得るべき半導体集積回路装置の電気的性能、熱的、機械的ストレスに関係するような信頼性、製造歩留まり、価格等々にも影響を及ぼすものであり、小さい方が有利で有る。比較的小さいサイズの半導体基板に大容量のメモリとともに複数の回路ブロックを搭載可能となることによって、更に優れた性能の電子システムを実現を可能とする半導体集積回路装置を提供することができるようになる。

**【0111】**

半導体チップにフラッシュメモリFEPROMを搭載した場合、前記エラーテックセルの発生により直ちに不良セクタとして処理しようとする、不良セクタが増加してメモリ容量不足となってしまう、他の回路が正常でもフラッシュメモリFEPROMの係るセクタ不良の増加によってシステム全体が不良化してしまう。これに対して、この発明に係るフラッシュメモリでは、前記のようなエラーテックセルを考慮したサーチ書き込みを実施しているので、突発的に過剰書き込み特性を持つセルが発生しても、正常セルと同様に書き込むことが可能となり、不良セクタの発生率を大幅に低下させることができる。これにより、この発明に係るフラッシュメモリは、不良セクタの実質的な発生率が大幅に低下し、しかも安定的に高速に書き込み動作を実施することができるから、複数の回路機能を持つシステムLSIに搭載されるフラッシュメモリとして極めて有益なものとなる。

30

40

**【0112】**

上記の実施例から得られる作用効果は、下記の通りである。

(1) 複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に浮遊ゲートに蓄積された電荷量に対応した記憶情報を持つ複数の記憶素子を有し、電氣的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリにおいて、上記記憶素子に対して所定の書き込み量での書き込み動作を実施した後にペリファイ動作を行って上記浮遊ゲートに蓄積された電荷量を制御する書き込み制御回路に対して、書き込み開始時に上記所定の書き込み量に対して少ない書き込み量に設定されたサーチ書き込み動作及びそれに対応したペリファイ動作を1ないし複数回行うようにさせることにより、安定的な書き込み動作と、実質的な書き込み時間の短縮化及び不良発生率の改善を図るこ

50

とができるという効果が得られる。

【0113】

(2) 上記に加えて、上記書き込み量を、電圧レベルと書き込み時間の積により設定し、上記所定の書き込み量を、上記記憶素子のしきい値電圧の変化分がほぼ一定になるような電圧と時間により設定し、上記サーチ書き込み動作での書き込み量の複数回分を上記所定の書き込み量に対応するよう設定することにより、過剰書き込み特性及び正常な書き込み特性を持つセルに対する確実に安定的な書き込み動作を実現できるという効果が得られる。

【0114】

(3) 上記に加えて、上記記憶素子に浮遊ゲートに蓄積された電荷量に対応した4値からなる記憶情報を持つようにすることにより、大記憶容量化と安定的な書き込み動作を実現できるという効果が得られる。

10

【0115】

(4) 上記に加えて、上記所定の書き込み量を、書き込み回数に対応して書き込み量を増加させて、各書き込み動作に対応した上記しきい値電圧の変化分をほぼ一定になるように制御することにより、正常な書き込み特性を持つセルに対する確実に安定的な書き込み動作を実現できるという効果が得られる。

【0116】

(5) 上記に加えて、上記サーチ書き込み動作として、上記所定の書き込み量に対応した書き込み動作に比べて書き込み電圧及び書き込み時間を共に小さくすることにより、過剰な書き込み特性を軽減させることができるからより安定的な書き込み動作と、実質的な書き込み時間の短縮化及び不良発生率の改善を図ることができるという効果が得られる。

20

【0117】

(6) 上記に加えて、上記書き込み回数に対応した書き込み量の増加を、直前の書き込み動作に比べて書き込み電圧が一定が書き込み時間を増加させることにより電源回路の簡素化を図りつつ、確実に安定的な書き込み動作を実現できるという効果が得られる。

【0118】

(7) 上記に加えて、上記書き込み回数に対応した書き込み量の増加を、直前の書き込み電圧と書き込み時間とが共に増加させることにより、メモリセルにかかる電圧を緩和しつつ、確実に安定的な書き込み動作を実現できるという効果が得られる。

30

【0119】

(8) 複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に浮遊ゲートに蓄積された電荷量に対応した記憶情報を持つ複数の記憶素子を有し、電気的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリの書き込み方法として、書き込み開始時に所定の書き込み量に対して少ない書き込み量に設定されたサーチ書き込み動作及びそれに対応したベリファイ動作を1ないし複数回行い、かかる複数回のサーチ書き込み動作及びベリファイ動作の後に上記所定の書き込み量に設定された書き込み動作及びそれに対応したベリファイ動作を行なうような書き込み動作制御の設定が行われ、上記ベリファイ動作により上記記憶素子の浮遊ゲートの電荷量に対応したしきい値電圧が所望のしきい値電圧に到達したと判定したなら書き込み動作を終了させることにより、安定的な書き込み動作と、実質的な書き込み時間の短縮化及び不良発生率の改善を図った不揮発性メモリを実現できるという効果が得られる。

40

【0120】

(9) 上記に加えて、上記書き込み量を、電圧レベルと書き込み時間の積により設定し、上記所定の書き込み量を、上記記憶素子のしきい値電圧の変化分がほぼ一定になるような電圧と時間により設定し、上記サーチ書き込み動作での書き込み量の複数回分を上記所定の書き込み量に対応するよう設定することにより、過剰書き込み特性及び正常な書き込み特性を持つセルに対する確実に安定的な書き込み動作の不揮発性メモリを実現できるという効果が得られる。

【0121】

50

(10) 上記に加えて、上記記憶素子に浮遊ゲートに蓄積された電荷量に対応した4値からなる記憶情報を持つようにすることにより、大記憶容量化と安定的な書き込み動作を実現した不揮発性メモリを得ることができるという効果が得られる。

【0122】

(11) 上記に加えて、上記所定の書き込み量を、書き込み回数に対応して書き込み量を増加させて、各書き込み動作に対応した上記しきい値電圧の変化分をほぼ一定になるように制御することにより、正常な書き込み特性を持つセルに対する確実に安定的な書き込み動作を実現した不揮発性メモリを得ることができるという効果が得られる。

【0123】

(12) 上記に加えて、上記サーチ書き込み動作として、上記所定の書き込み量に対応した書き込み動作に比べて書き込み電圧及び書き込み時間を共に小さくすることにより、過剰な書き込み特性を軽減させることができるからより安定的な書き込み動作と、実質的な書き込み時間の短縮化及び不良発生率の改善を図った不揮発性メモリを実現できるという効果が得られる。

【0124】

(13) 上記に加えて、上記書き込み回数に対応した書き込み量の増加を、直前の書き込み動作に比べて書き込み電圧が一定が書き込み時間を増加させることにより電源回路の簡素化を図りつつ、確実に安定的な書き込み動作を実現した不揮発性メモリを得ることができるという効果が得られる。

【0125】

(14) 上記に加えて、上記書き込み回数に対応した書き込み量の増加を、直前の書き込み電圧と書き込み時間とが共に増加させることにより、メモリセルにかかる電圧を緩和しつつ、確実に安定的な書き込み動作を実現した高信頼性の不揮発性メモリを得ることができるという効果が得られる。

【0126】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、サーチ書き込みによって所望のしきい値電圧を超えたとき、エラー検出を行って不良なら直ちに消去動作を行い、再度エラーなら不良セクタと判定して冗長セクタに切り換えるようにしてもよい。前記図22や図23のシステムでは、フラッシュメモリに対して書き込みも読み出しも行わない空き時間を利用し、エラー検出によって不良とされたセクタに対して再度の消去動作と書き込み動作を実施し、もしも良好に書き込めるようになったなら管理情報を書き換えて予備セクタに登録するようにしてもよい。

【0127】

メモリアレイ及びその具体的回路は、前記のような消去、書き込み及び読み出し動作を行うものであれば何であってもよい。また、記憶状態は前記実施例のは逆にするものであってもよい。例えば前記図21等の“01”や“1”のしきい値電圧の分布を消去状態とし、書き込み動作ではしきい値電圧を低くするようにして、残り3値又は1値の記憶状態を作り出すものであってもよい。この発明は、不揮発性メモリ及びその書き込み方法として広く利用することができる。

【0128】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に浮遊ゲートに蓄積された電荷量に対応した記憶情報を持つ複数の記憶素子を有し、電氣的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリにおいて、上記記憶素子に対して所定の書き込み量での書き込み動作を実施した後にペリファイ動作を行って上記浮遊ゲートに蓄積された電荷量を制御する書き込み制御回路に対して、書き込み開始時に上記所定の書き込み量に対して少ない書き込み量に設定された

10

20

30

40

50

サーチ書き込み動作及びそれに対応したベリファイ動作を1ないし複数回行うようにさせることにより、安定的な書き込み動作と、実質的な書き込み時間の短縮化及び不良発生率の改善を図ることができる。

【0129】

複数のワード線及び複数のビット線と、上記複数のワード線と複数のビット線との交点に浮遊ゲートに蓄積された電荷量に対応した記憶情報を持つ複数の記憶素子を有し、電気的に上記記憶情報の書き込み動作及び消去動作を行う不揮発性メモリの書き込み方法として、書き込み開始時に所定の書き込み量に対して少ない書き込み量に設定されたサーチ書き込み動作及びそれに対応したベリファイ動作を1ないし複数回行い、かかる複数回のサーチ書き込み動作及びベリファイ動作の後に上記所定の書き込み量に設定された書き込み動作及びそれに対応したベリファイ動作を行なうような書き込み動作制御の設定が行われ、上記ベリファイ動作により上記記憶素子の浮遊ゲートの電荷量に対応したしきい値電圧が所望のしきい値電圧に到達したと判定したなら書き込み動作を終了させることにより、安定的な書き込み動作と、実質的な書き込み時間の短縮化及び不良発生率の改善を図った不揮発性メモリを実現できる。

10

【図面の簡単な説明】

【図1】この発明に係る不揮発性メモリの書き込み方法の一実施例を示す説明図である。

【図2】この発明に係る不揮発性メモリの書き込み方法の他の一実施例を示す説明図である。

【図3】この発明に係る不揮発性メモリの書き込み方法の更に他の一実施例を示す説明図である。

20

【図4】この発明に係る不揮発性メモリの書き込み方法を説明するための特性図である。

【図5】この発明に係る不揮発性メモリの書き込み特性を説明するための特性図である。

【図6】この発明に係る不揮発性メモリの書き込み特性を説明するための特性図である。

【図7】この発明に係る不揮発性メモリの一実施例を示すブロック図である。

【図8】この発明に係る不揮発性メモリの一実施例を示すブロック図である。

【図9】この発明に係る不揮発性メモリのメモリアレイマト部の一実施例を示すブロック図である。

【図10】図9のサブブロックの一実施例を示す回路図である。

【図11】この発明に係る不揮発性メモリに用いられる記憶トランジスタの一実施例を示す概略素子構造断面図である。

30

【図12】この発明に係る不揮発性メモリのセンスラッチSLを中心にしたメモリアレイ部の一実施例を示す回路図である。

【図13】この発明に係る不揮発性メモリの消去動作を説明するためのフローチャート図である。

【図14】図13の消去動作のときのしきい値電圧の分布図である。

【図15】この発明に係る不揮発性メモリの書き込み動作を説明するための全体的なフローチャート図である。

【図16】この発明に係る不揮発性メモリの書き込み動作を説明するための部分的なフローチャート図である。

40

【図17】図15、図16の書き込み動作のときのしきい値電圧の分布図である。

【図18】図15、図16の書き込み動作のときのしきい値電圧の分布図である。

【図19】この発明に係る不揮発性メモリの読み出し動作を説明するための部分的なフローチャート図である。

【図20】図19の読み出し動作のときのしきい値電圧の分布図である。

【図21】この発明に係るフチッシュメモリの記憶状態を説明するためのしきい値電圧の分布図である。

【図22】この発明に係るフラッシュメモリを用いたメモリ装置の一実施例を示すブロック図である。

【図23】この発明に係る半導体集積回路装置の他の一実施例を示す全体の回路ブロック

50

図である。

【図24】フラッシュメモリの書き込み動作を説明するための構成図である。

【図25】この発明に先立って開発された多値フラッシュメモリの書き込み方法の一例を示す説明図である。

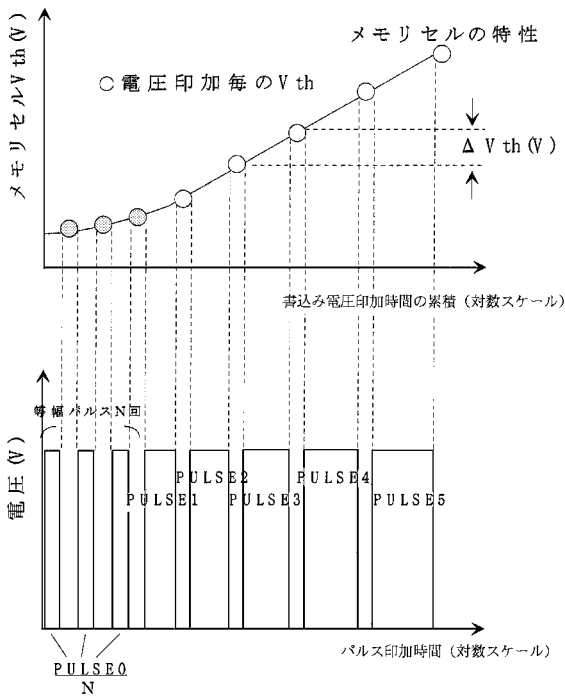
【符号の説明】

10...メモリアレイ、11...センスラッチ&Yデコーダ、12a, 12b...データラッチ、13a, 13b...Xデコーダ、14a, 14b...ワード線ドライバ、20...データ変換回路、31...コマンドデコーダ、32...制御回路、33...消去判定回路、34...クロック発生回路、35...ステイタス&テスト系回路、36...メインアンプ、37...内部電圧発生回路、38...入出力制御回路、39...入出力バッファ、40...冗長回路、41...救済回路、

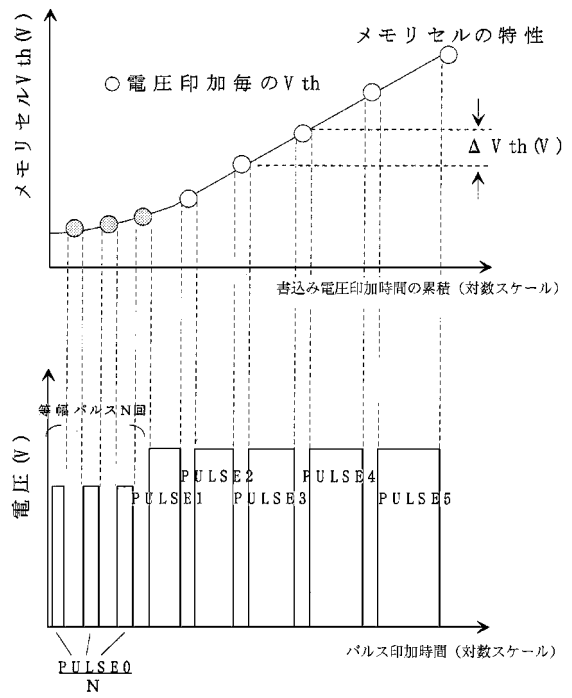
10

I/O...入出力回路、VG...内部電圧発生回路、ULC...他の制御回路、FEPROM...フラッシュメモリ、DAC...D/A変換器、ADC...A/D変換器、IVC...割込制御回路、SPMC...システムパワーマネジメント回路、CGC...クロック発生回路、CPU...中央処理部、SRAM...スタティックメモリ、DMAC...DMAコントローラ、DRAM...ダイナミックメモリ。

【図1】

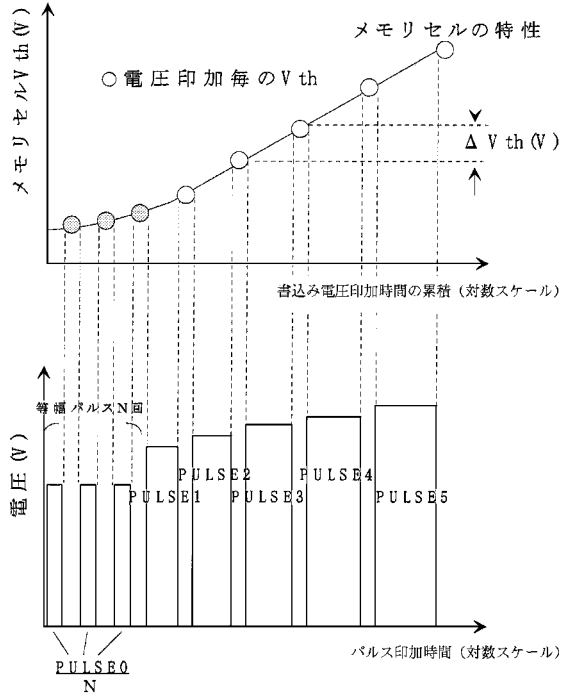


【図2】

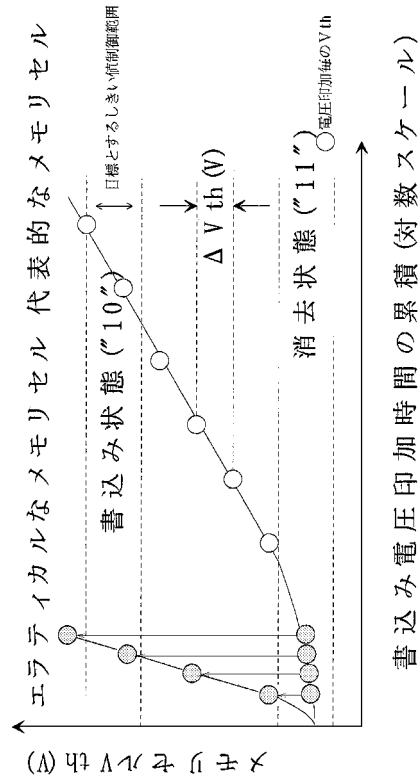




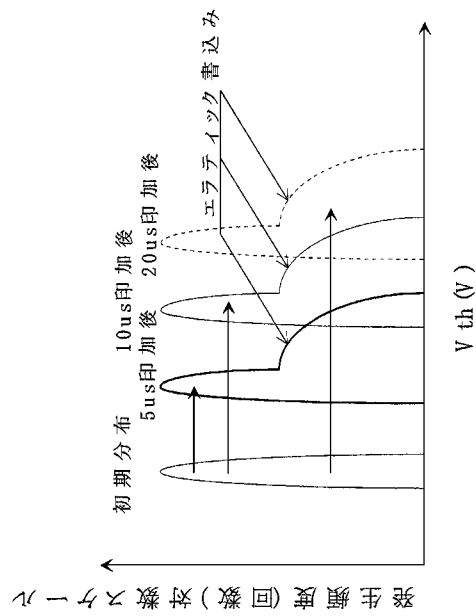
【 図 3 】



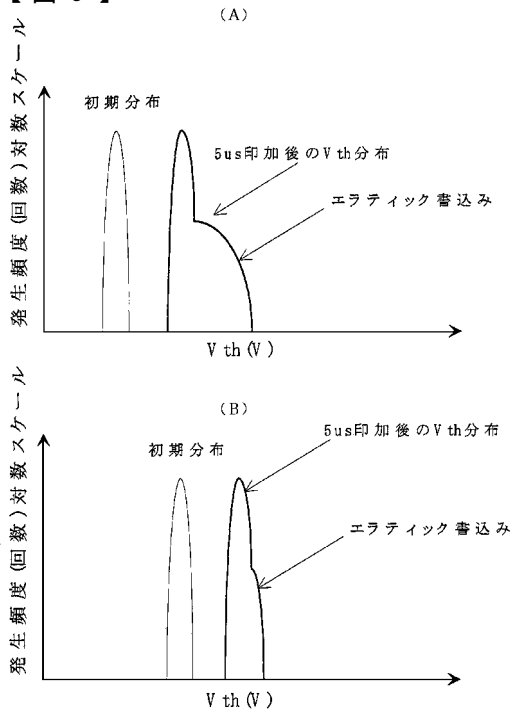
【 図 4 】



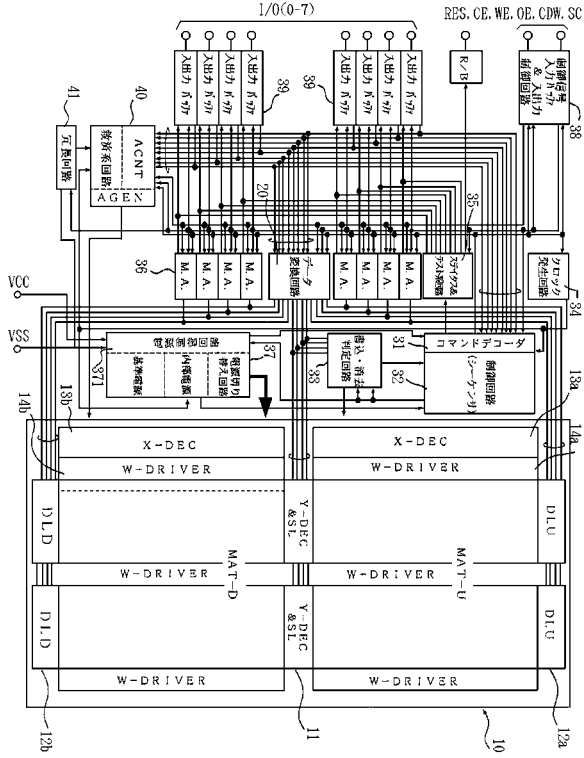
【 図 5 】



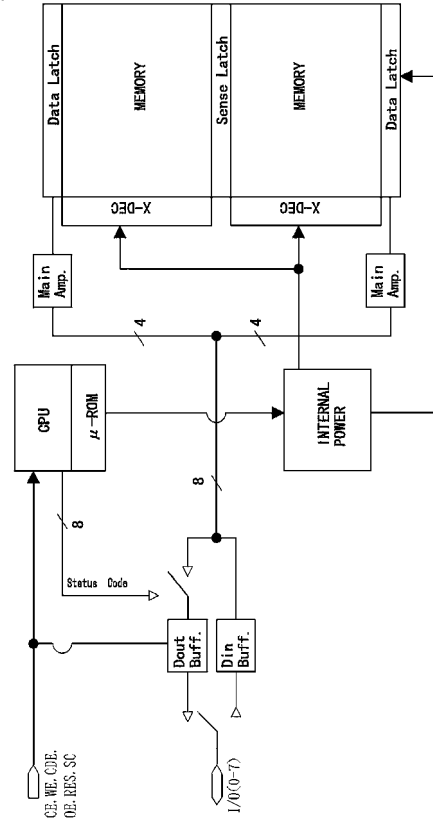
【 図 6 】



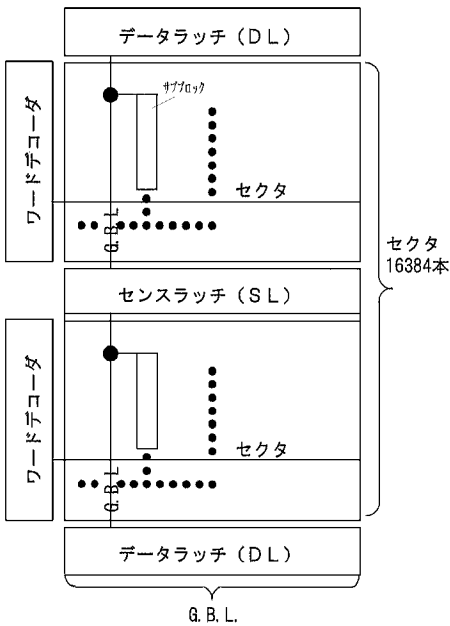
【 7 】



【 8 】

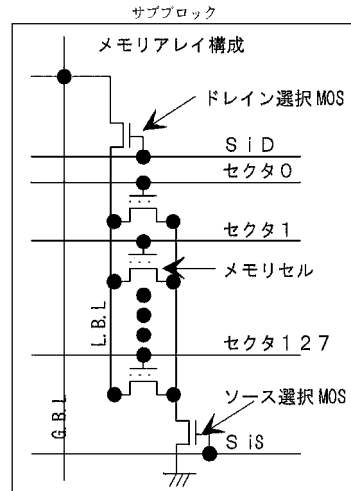


【 9 】

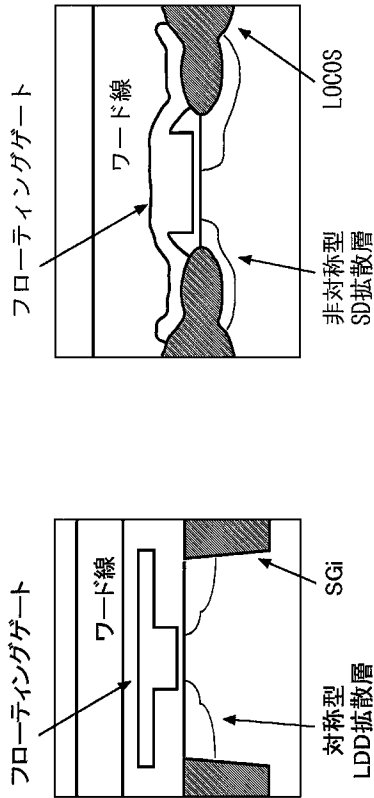


通常メモリ領域 8192本+管理領域 256本

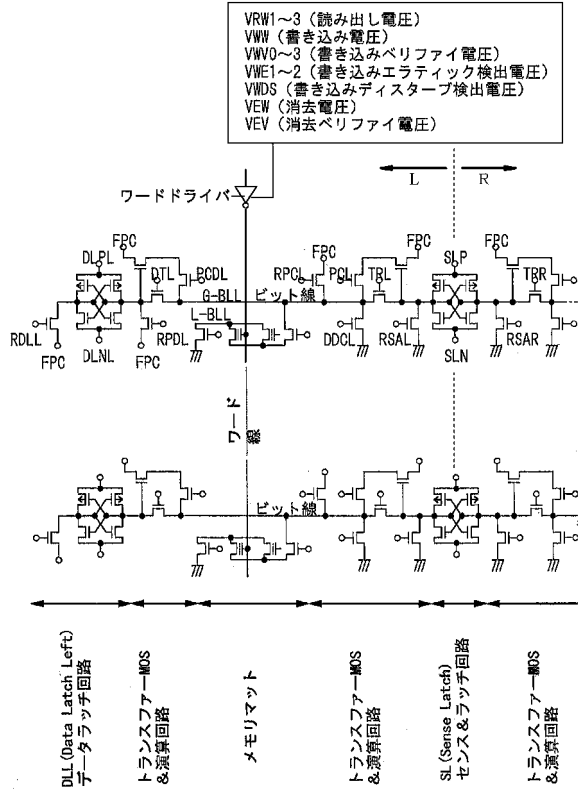
【 10 】



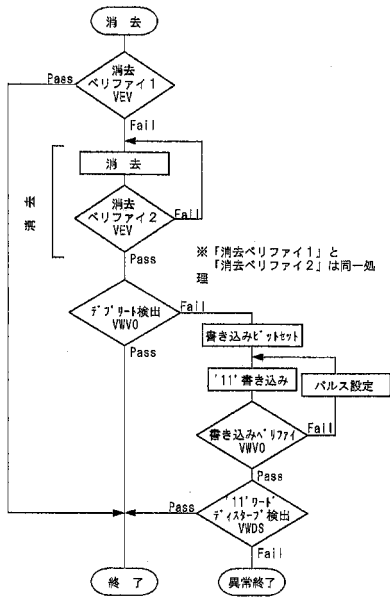
【 図 1 1 】



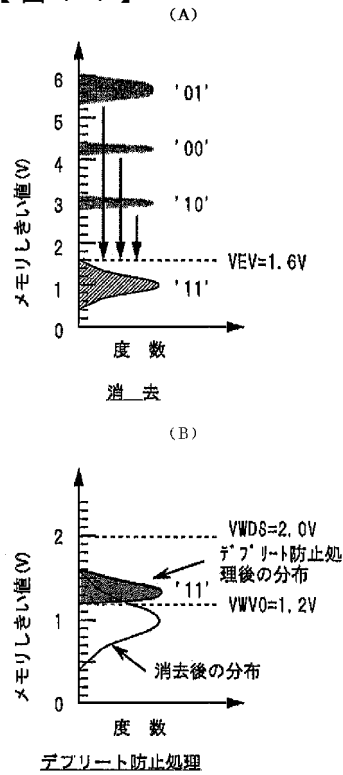
【 図 1 2 】



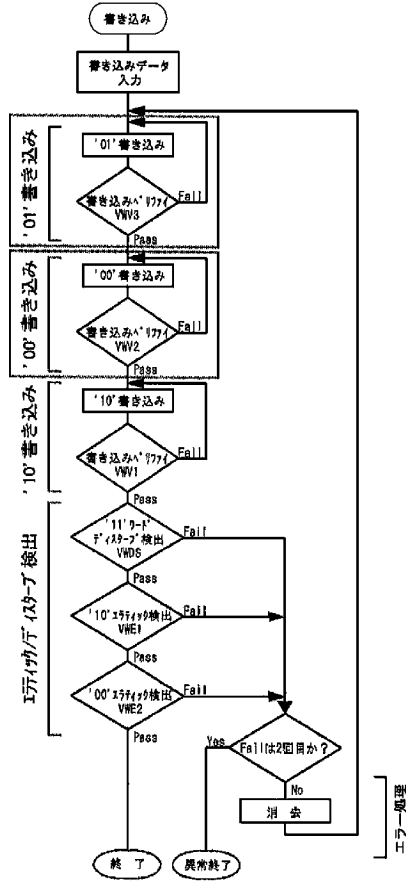
【 図 1 3 】



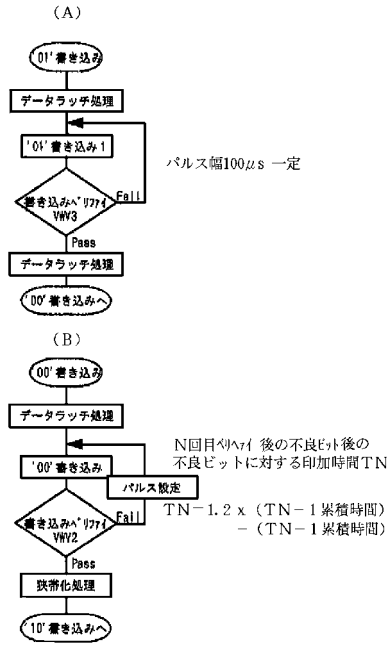
【 図 1 4 】



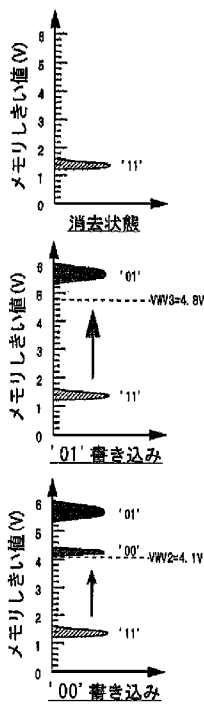
【 図 15 】



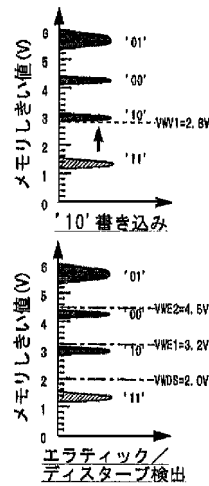
【 図 16 】



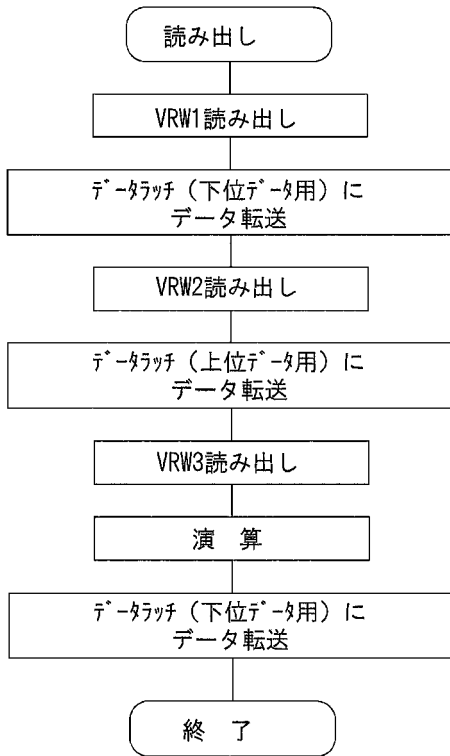
【 図 17 】



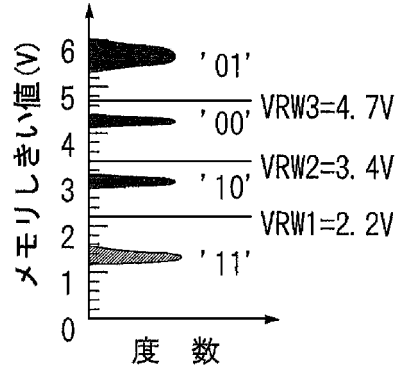
【 図 18 】



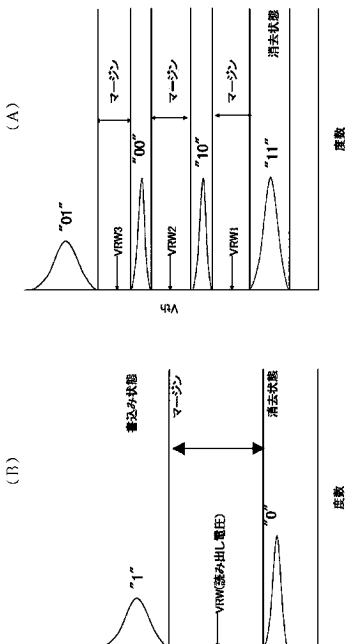
【 図 1 9 】



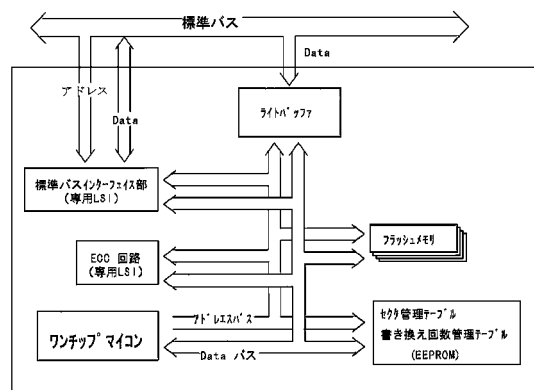
【 図 2 0 】



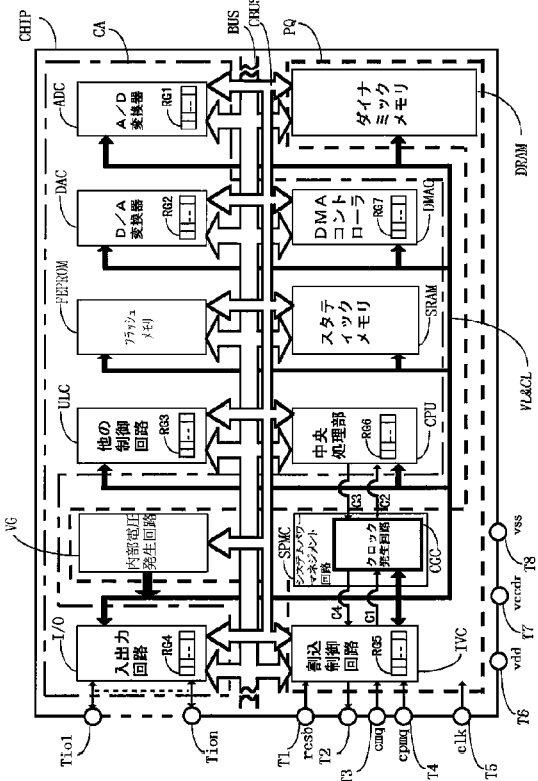
【 図 2 1 】



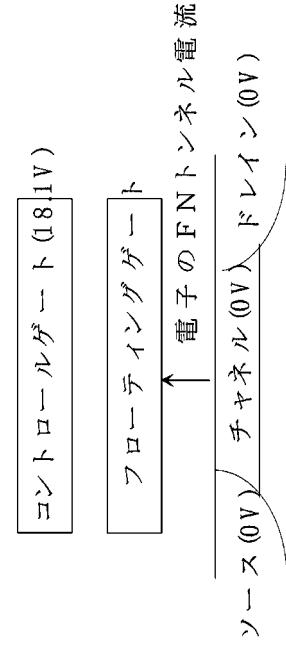
【 図 2 2 】



【 図 2 3 】

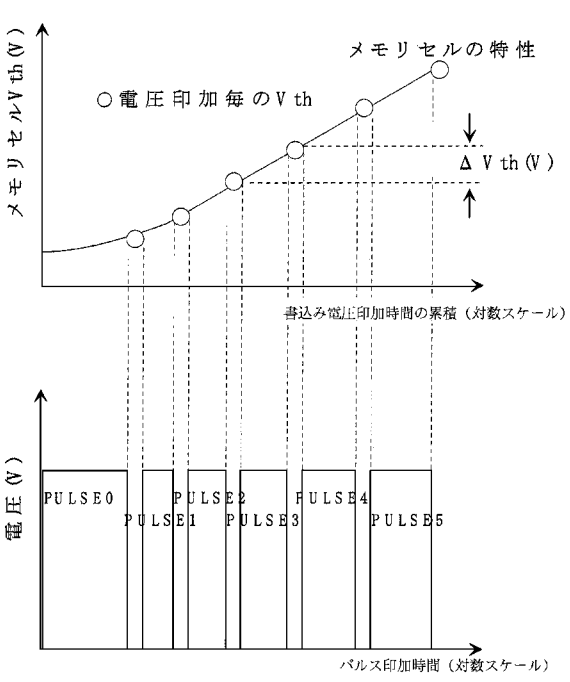


【 図 2 4 】



図書き込みの電位関係

【 図 2 5 】



---

フロントページの続き

- (56)参考文献 特開平08 - 138385 (JP, A)  
特開2000 - 113686 (JP, A)  
特開2002 - 109892 (JP, A)  
特開2001 - 67884 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 16/02-16/06