

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY

95559

Patent dodatkowy
do patentu nr _____

Zgłoszono: 21.12.74 (P. 176727)

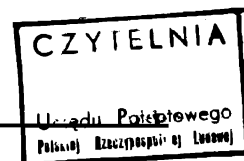
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 17.07.76

Opis patentowy opublikowano: 25. 07. 1978

**MKP G01r 31/28
G06f 11/00**

**Int. Cl.² G01R 31/28
G06F 11/00**



Twórca wynalazku: Andrzej Wolfenburg

Uprawniony z patentu: Politechnika Warszawska, Warszawa (Polska)

Sposób kontroli działania pary elementów logicznych

1

Przedmiotem wynalazku jest sposób kontroli działania pary elementów logicznych dwukanałowego systemu logicznego o dynamicznym kodowaniu sygnałów.

Dotychczas znany jest dwukanałowy system logiczny o dynamicznym kodowaniu sygnałów oraz sposób kontroli pary elementów tego systemu. Taki system znajduje zastosowanie we wszelkich układach, w których uszkodzenie dowolnego elementu ma zostać natychmiast wykryte i spowodować wyłączenie części układu. System ten składa się z par elementów logicznych, przy czym pierwsze elementy każdej z par tworzą pierwszy kanał logiczny, a drugie elementy każdej z par tworzą drugi kanał logiczny. Elementy te mają po trzy wejścia i spełniają funkcje typu dwa z trzech lub typu dwa z trzech zanegowane. Na jedno z wejść każdego elementu kanału pierwszego wprowadza się zegarowy ciąg impulsów prostokątnych, przy czym długość impulsu jest równa długości przerwy między impulsami. Na pozostałe wejścia tego elementu wprowadza się sygnały logiczne takie w postaci ciągów impulsów prostokątnych. Wartość logiczną sygnałów wejściowych określa faza impulsów, która może być zgodna lub przeciwna w stosunku do ciągu impulsów zegarowych.

Na wejście elementu w kanale drugim wprowadza się zanegowaną fazę zegarową i zanegowane sygnały logiczne względem sygnałów logicznych dla elementu w kanale pierwszym. Sposób działania pary elementów polega na tym, że porównuje

2

się poziom sygnałów na wejściach tych elementów w czasie, gdy sygnały wyjściowe są ustalone. Gdy poziom napięć na wyjściach pary elementów logicznych jest równy wnioskuje się o niewłaściwym działaniu jednego z elementów pary.

Rozwiązanie to nie umożliwia wykrywania wszystkich możliwych przekłamań sygnałów wejściowych w jednym z kanałów. Jeżeli na przykład w kanale pierwszym do jednego z elementów logicznych doprowadzono sygnały wejściowe o fazie zgodnej z ciągiem impulsów zegarowych to w razie przerwania przewodu doprowadzającego jeden z sygnałów logicznych sygnał wyjściowy w postaci ciągu impulsów nie ulegnie zmianie i poprzez porównywanie wyjść pary elementów logicznych obu kanałów nie wykryje się usterki. Jeżeli następnie w podobny sposób ulegnie uszkodzeniu analogicznie wejście drugiego elementu z pary, to uszkodzenie to nadal pozostanie niewykryte, także przy zmianie wartości logicznych sygnałów wejściowych wprowadzanych na pozostałe wejścia pary. W tym przypadku element logiczny zmienia swoje funkcje bez możliwości wykrycia tej zmiany. Niewłaściwy sygnał logiczny na wyjściu tego elementu może spowodować nieprawidłową i niebezpieczną pracę urządzenia, w skład którego wchodzi ten element.

Znane rozwiązanie nie zapewnia więc bezpiecznej pracy elementu, gdyż istnieją uszkodzenia wejść elementów, które nie są wykrywalne.

Celem wynalazku jest opracowanie sposobu kon-

troli działania pary elementów logicznych dwukanałowego systemu logicznego o dynamicznym kodowaniu sygnałów, umożliwiającego wykrywanie nieprawidłowej postaci wejściowego sygnału logicznego, niezależnie od stanu logicznego pozostałego wejścia.

Istota wynalazku polega na tym, że ciągi impulsów prostokątnych tworzące wejściowe sygnały logiczne każdego elementu z pary przesuwają się względem ciągu impulsów zegarowych doprowadzonych do wejść zegarowych elementów pary o odstęp czasowy mniejszy od połowy okresu ciągu impulsów zegarowych w kierunku zależnym od wartości logicznych sygnałów wejściowych. Sygnały uzyskane na wyjściach pary elementów logicznych wprowadza się dwukrotnie w czasie okresu ciągu impulsów zegarowych do pary elementów pamięciowych, w której pamięta się te sygnały na czas mniejszy od połowy okresu ciągu impulsów zegarowych. Stan wyjść pary elementów logicznych oraz stan wyjść pary elementów pamięciowych porównuje się co najmniej czterokrotnie podczas okresu ciągu impulsów zegarowych w momentach gdy poziomy sygnałów są ustalone dla skontrolowania czy sygnały wyjściowe pary elementów logicznych oraz sygnały wyjściowe pary elementów pamięciowych są względem siebie zanegowane. Porównywanie to umożliwia wykrycie uszkodzenia w obwodzie elementów logicznych lub elementów pamięciowych.

Rozwiązanie według wynalazku oznacza się zaletą polegającą na tym, że przesunięcie w czasie ciągu impulsów wejściowych względem ciągu impulsów zegarowych pozwala co najmniej raz w ciągu okresu ciągu impulsów zegarowych stwierdzić poprzez porównanie wyjść pary elementów obu kanałów czy na któreś z wejść nie został wprowadzony stały potencjał na przykład na skutek jego przerwania.

Przedmiot wynalazku jest bliżej wyjaśniony na przykładzie wykonania na rysunku na którym fig. 1 przedstawia schemat połączeń układu, a fig. 2 wykres sygnałów w układzie dla jednego kanału przy różnych wartościach sygnałów logicznych na wejściach.

Układ składa się z pary większościowych elementów logicznych typu dwa z trzech zanegowane, przy czym na wejścia pierwszego z nich wprowadzono sygnały logiczne x_1 i x_2 oraz sygnały zegarowe c a na wejścia drugiego odpowiednio negację sygnałów $\bar{x}_1$ i $\bar{x}_2$ oraz negację sygnałów zegarowych $\bar{c}$. Stan wyjść z_1 i z_2 elementów A_1 i A_2 jest porównywany przy pomocy układu porównującego K_1 .

Układ porównujący K_1 jest zbudowany z elementu przełączającego, zwłaszcza tranzystora zasilanego poprzez mostek prostowniczy, który dołączony jest do wyjść elementów z_1 i z_2 . Przez układ K_1 może zostać przepuszczony sygnał kontrolny v tylko wtedy gdy poziom sygnałów na obu wyjściach z_1 i z_2 elementów A_1 i A_2 jest przeciwny, gdyż przy równych sygnałach z_1 i z_2 mostek nie ma zasilania. Sygnał kontrolny v przepuszcza się przez układ porównujący K_1 czterokrotnie w ciągu okre-

su ciągu impulsów zegarowych. Do wyjść z_1 i z_2 elementów A_1 i A_2 przyłączone są przerzutniki statyczne F_1 i F_2 z bramkami iloczynowymi sterowanymi ciągiem zegarowym u i $\bar{u}$.

Zadaniem przerzutników F_1 i F_2 jest odtworzenie z ciągu impulsów z_1 i z_2 prawidłowego ciągu impulsów wyjściowych. Do wyjść y_1 i y_2 tych przerzutników przyłącza się drugi układ porównujący K_2 o budowie takiej jak układ K_1 . Zadaniem układu K_2 jest czterokrotna w ciągu okresu fazy zegarowej kontrola pracy przerzutników F_1 i F_2 . Wyjścia y_1 i y_2 stanowią wyjścia logiczne dla całego układu.

Działanie układu polega na tym, że para elementów logicznych A_1 i A_2 tworzy na wyjściach zanegowane względem siebie sygnały z_1 i z_2 zależne zarówno od sygnałów wejściowych x_1 i x_2 , $\bar{x}_1$, $\bar{x}_2$, jak i od ciągu impulsów zegarowych c i $\bar{c}$. Sygnały z_1 i z_2 zostają wprowadzone do przerzutników F_1 i F_2 w momencie gdy pojawi się impuls ciągu u i zapamiętane na czas braku impulsu ciągu u . Częstotliwość ciągu impulsów u jest dwukrotnie większa od częstotliwości ciągu impulsów zegarowych c .

Prawidłowe działanie przerzutników F_1 i F_2 kontroluje się przy pomocy układu porównującego K_2 , przez porównanie stanu wyjść y_1 i y_2 w momentach gdy sygnały na tych wyjściach są ustalone.

Zastosowanie przerzutników F_1 i F_2 umożliwia zapamiętanie stanu wyjść z_1 i z_2 na czas gdy sygnały wejściowe x_1 i x_2 nie zmieniają się a sygnały zegarowe c i $\bar{c}$ ulegają zmianie. Porównanie stanu logicznego wyjść z_1 i z_2 podczas ustalonych sygnałów wejściowych x_1 , x_2 , $\bar{x}_1$, $\bar{x}_2$ przy różnym poziomie logicznym sygnałów zegarowych c i $\bar{c}$ umożliwia stwierdzenie czy w obwodach elementów A_1 i A_2 nie nastąpiło uszkodzenie.

Zastrzeżenie patentowe

Sposób kontroli działania pary elementów logicznych do których wejść doprowadza się ciąg prostokątnych impulsów zegarowych oraz wejściowe sygnały logiczne w postaci ciągu impulsów prostokątnych, znamienny tym, że ciągi impulsów prostokątnych tworzące wejściowe sygnały logiczne dla każdego elementu z pary przesuwają się w czasie względem ciągu impulsów zegarowych (c) i ($\bar{c}$) o odstęp czasowy mniejszy od połowy okresu ciągu impulsów zegarowych (c) w kierunku zależnym od wartości logicznych sygnałów wejściowych (x_1), (x_2), ($\bar{x}_1$), ($\bar{x}_2$) następnie sygnały (z_1), (z_2) uzyskane na wyjściach pary elementów logicznych (A_1) i (A_2) wprowadza się dwukrotnie w czasie okresu ciągu impulsów zegarowych (c) do pary elementów pamięciowych (F_1) i (F_2) w której pamięta się sygnały na czas mniejszy od połowy okresu ciągu impulsów zegarowych (c), ponadto co najmniej czterokrotnie podczas okresu ciągu impulsów zegarowych (c) w momentach gdy poziomy sygnałów są ustalone porównuje się stan wyjść pary elementów logicznych (z_1) i (z_2) oraz porównuje się stan wyjść pary elementów pamięciowych (y_1) i (y_2) dla skontrolowania czy sygnały wyjściowe (z_1) i (z_2) pary elementów logicznych oraz sygnały wyjściowe (y_1) i (y_2) pary elementów pamięciowych są względem siebie zanegowane.

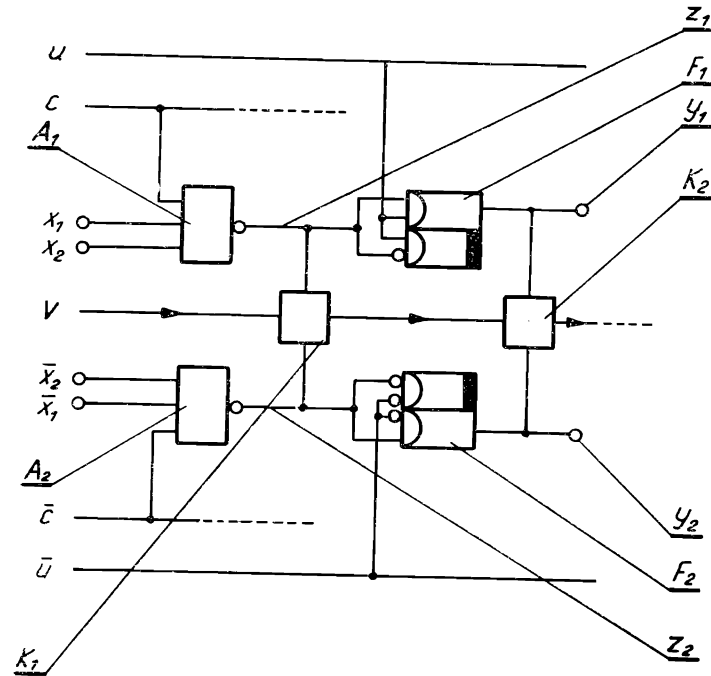


fig. 1

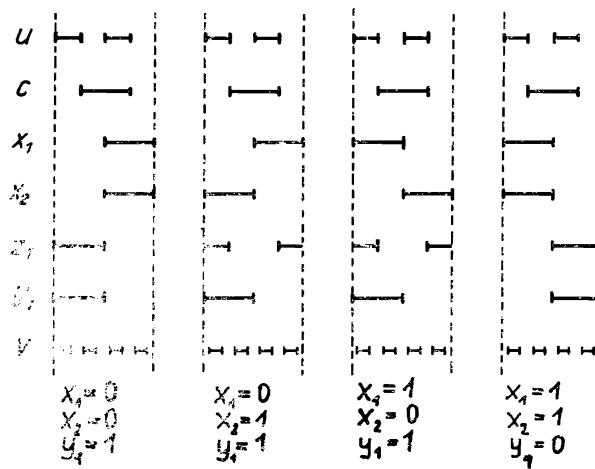


fig. 2