

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5060296号
(P5060296)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int.Cl.

F 1

HO1L 29/78	(2006.01)	HO1L 29/78	301S
HO1L 21/336	(2006.01)	HO1L 29/78	301X
HO1L 29/786	(2006.01)	HO1L 29/78	618B
HO1L 21/8238	(2006.01)	HO1L 29/78	618E
HO1L 27/092	(2006.01)	HO1L 29/78	616V

請求項の数 5 (全 8 頁) 最終頁に続く

(21) 出願番号	特願2007-529871 (P2007-529871)
(86) (22) 出願日	平成17年7月27日 (2005.7.27)
(65) 公表番号	特表2008-511173 (P2008-511173A)
(43) 公表日	平成20年4月10日 (2008.4.10)
(86) 國際出願番号	PCT/US2005/026543
(87) 國際公開番号	W02006/023219
(87) 國際公開日	平成18年3月2日 (2006.3.2)
審査請求日	平成20年7月25日 (2008.7.25)
(31) 優先権主張番号	10/925,108
(32) 優先日	平成16年8月24日 (2004.8.24)
(33) 優先権主張國	米国(US)

(73) 特許権者	504199127 フリースケール セミコンダクター イン コーポレイテッド アメリカ合衆国 テキサス州 78735 オースティン ウィリアム キャノン ドライブ ウエスト 6501
(74) 代理人	100116322 弁理士 桑垣 衡
(72) 発明者	オーロウスキー、マリウス ケイ。 アメリカ合衆国 78739 テキサス州 オースティン レッドモンド ロード 10813

最終頁に続く

(54) 【発明の名称】移動度を半導体素子において増加させる方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタの製造方法であって、

基板を設ける工程と、

2軸応力が発生するチャネル領域を前記基板の上に形成する工程と、

1軸応力をチャネル領域に発生させるように作用する、ソース・エクステンション領域及びドレイン・エクステンション領域を、前記基板の上方に形成する工程と、

前記ソース・エクステンション領域及びドレイン・エクステンション領域に隣接してリセスを形成し、前記リセス内に半導体充填物を形成してソース領域及びドレイン領域を形成する工程とを備え、

前記チャネル領域を形成する工程は更に、

シリコンを含み、かつ固有の第1格子定数を有する第1層を基板の上に形成し、前記2軸応力が発生するチャネル領域を前記第1層に形成する工程と、

シリコン及び別の元素からなるとともに、固有の第1格子定数よりも大きい固有の第2格子定数を有する第2層を第1層の上にエピタキシャル成長させる工程とからなり、前記ソース・エクステンション領域及びドレイン・エクステンション領域を前記第2層に形成する、トランジスタの製造方法。

【請求項 2】

前記別の元素はゲルマニウムである、請求項1記載の方法。

【請求項 3】

前記トランジスタはPチャネルトランジスタである、請求項1記載の方法。

【請求項4】

基板と、

基板上に形成されるシリコン層と、

シリコン層上に形成され、かつ2軸応力が発生するチャネル領域と、

基板上に形成され、かつ1軸応力をチャネル領域に発生させるように作用するソース・エクステンション領域及びドレイン・エクステンション領域と、

前記ソース・エクステンション領域に隣接したソース領域及び前記ドレイン・エクステンション領域に隣接したドレイン領域とを備え、

前記チャネル領域は、

シリコンを含み、かつ基板上に形成され、更には固有の第1格子定数を有するとともに前記2軸応力が発生するチャネル領域を備える第1層と、

第1層上にエピタキシャル成長する第2層とからなり、第2層はシリコン及び別の元素を含んでなり、第2層は、固有の第1格子定数よりも大きい固有の第2格子定数を有するとともに前記ソース・エクステンション領域及びドレイン・エクステンション領域が前記第2層に形成され、

前記ソース領域及び前記ドレイン領域は前記第1層及び第2層とは異なる材料からなり、前記第1層に食い込む深さまで形成されている、半導体素子。

【請求項5】

前記別の元素はゲルマニウムである、請求項4記載の半導体素子。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体素子に関し、特に移動度を増加させた半導体素子に関する。

【背景技術】

【0002】

半導体素子の形成では、シリコンがこれまで最も普通に半導体材料として選択されてきた。トランジスタ性能は種々のプロセス改善によって常に向上してきた。これらの改善の一つでは、シリコンの応力を変えて移動度を改善していた。これらの方法の幾つかの方法では、シリコンの他に他の材料を使用して応力を改善し、そしてその結果として移動度を大きくしていた。例えば、シリコン層にゲルマニウムを添加することによって、シリコングルマニウム層に圧縮応力が発生する。圧縮応力が発生するこのようなシリコングルマニウム層は、Pチャネルトランジスタのキャリアの移動度を大きくするために有用である。引っ張り応力を発生させる方法が見つかればNチャネルトランジスタのキャリアの移動度を大きくすることができる。

30

【0003】

種々の方法が、引っ張り応力及び圧縮応力の両方を発生させるために開発されている。移動度は応力の増加と共に大きくなるが、最終的には、応力が十分に大きくなると、結晶格子に破壊が、または結晶の格子定数の拡張に起因する欠陥が生じ、これによって応力を半導体形成において利用することができなくなる。別の問題は、通常の応力改善法は短チャネルトランジスタまたは長チャネルトランジスタの内の一方のトランジスタにおける移動度のみを大きくするために有用であるに過ぎないことがある。例えば、SiGeにおける2軸圧縮応力に関する典型的な問題は、この圧縮応力がキャリアの移動度を短チャネルトランジスタにおいて大きくするためにはほとんど寄与しないことである。これとは異なり、1軸圧縮応力に関する典型的な問題は、この圧縮応力がキャリアの移動度を長チャネルトランジスタにおいて大きくするためにはほとんど寄与しないことである。従って、移動度を大きくすることにより、移動度の変化がチャネル長の変化に伴なって生じ、これがトランジスタのモデルを構築するのを更に困難にしており、今度はトランジスタを使用する回路を、これらの大きくなつた移動度を用いて設計することが更に困難になる。

40

【0004】

50

従って、一つ以上の上述の問題において不具合となっている移動度を大きくする必要がある。

【発明を実施するための最良の形態】

【0005】

一の態様では、トランジスタにおけるキャリア移動度を、チャネル領域に1軸応力及び2軸応力の両方を発生させることにより大きくする。この結果、移動度が短チャネルトランジスタ及び長チャネルトランジスタの両方において大きくなり、そして長チャネルトランジスタと短チャネルトランジスタとの間の移動度の差が小さくなる。この原理は図及び以下の記述を参照することにより一層深く理解される。

【0006】

10

図1に示すのは半導体構造10であり、この半導体構造は絶縁層12と、絶縁層12上の半導体層14と、絶縁層12上に位置し、かつ半導体層14を取り囲むトレンチ分離領域16と、半導体層14上の半導体層18と、ゲート誘電体20と、ゲート22と、ゲート24周りのサイドウォールスペーサ24と、ゲート22の一方の側のソース／ドレインエクステンション領域23と、そしてゲート22の他方の側のソース／ドレインエクステンション領域25と、を備える。半導体層18は半導体層14の上にエピタキシャル成長させる。従って、半導体層18は半導体層14の結晶構造及び結晶間隔と一致する。エピタキシャル成長によって結晶間隔を強制的に一致させてるので、半導体層14と18との間の材料変化によりこれらの2つの層の間に応力変化が生じる。

【0007】

20

Nチャネルの場合、半導体層14はシリコンであることが好ましく、そして半導体層18はシリコンカーボン合金であることが好ましい。シリコン中の応力は、シリコンカーボン合金に2軸引っ張り応力が発生することにより緩和することが好ましい。別の構成では、半導体層14は、少なくとも部分的に応力緩和されたシリコンゲルマニウムであることが好ましく、そして半導体層18は、2軸引っ張り応力が発生することになるシリコンまたはシリコンカーボン合金のいずれかとすることが好ましい。Nチャネルの場合のこれらの例のいずれにおいても、半導体層14は、連続エピタキシャル成長により形成される半導体層18の固有の格子定数よりも大きい固有の結晶格子定数を有する。

【0008】

30

Pチャネルの場合、半導体層14はシリコンであることが好ましく、そして半導体層18はシリコンゲルマニウムであることが好ましい。シリコン中の応力は、シリコンゲルマニウムに2軸圧縮応力が発生することにより緩和することができる。別の構成では、半導体層14は別の半導体材料とすることができる、この半導体材料の上には、2軸圧縮応力が発生することになる半導体層18を成長させることができる。Pチャネルの場合のこの例では、半導体層14は、連続エピタキシャル成長により形成される半導体層18の固有の格子定数よりも小さい固有の結晶格子定数を有する。

【0009】

図2に示すのは、ソース／ドレインエクステンション23及び25、半導体層18、及び半導体層14をエッティングしてゲート22の一方の側にリセス26を、そしてゲート22の他方の側にリセス28を形成した後の半導体構造10である。

40

【0010】

図3に示すのは、リセス26及び28を半導体充填物30及び半導体充填物32でそれぞれ充填した後の半導体構造10である。半導体充填物30及び32に、in-situドープして、またはイオン注入によりドープしてこれらの充填物をソース／ドレイン領域とすることができます。半導体充填物30及び32の材料は半導体層18の材料タイプと同じであるが、半導体層18に含まれる元素の割合とは異なる割合の元素を含むことができる。例えば、Nチャネルの場合、領域30及び32の半導体材料は、半導体層18がシリコンカーボン合金の場合にシリコンカーボン合金とすることができますが、カーボンに対するシリコンの割合を異ならせることができます。シリコンカーボン合金の場合は1軸引っ張り応力が半導体層18に発生する。同様に、Pチャネルの場合、半導体充填物30及び32

50

2は、半導体層18がシリコンゲルマニウムの場合にシリコンゲルマニウムとすることができるが、ゲルマニウムに対するシリコンの割合を異ならせることができる。シリコンゲルマニウムの場合は1軸圧縮応力が半導体層18に発生する。半導体充填物30及び32はストレッサであり、これらのストレッサにより、圧縮応力または引っ張り応力を発生させることができ、いずれの応力が発生するかは1軸材料によって変わる。

【0011】

従って、結果として得られる図3の半導体素子10は、1軸応力及び2軸応力の両方が発生するチャネルとして使用される半導体領域18を有する。従って、移動度は長チャネル及び短チャネルの両方に關して大きくなる。各タイプの応力の大きさを調整することにより、移動度を長チャネル及び短チャネルの両方の場合に關して同じとなる状態に極めて近い状態に維持することができる。

10

【0012】

図4に示すのは半導体構造50であり、この半導体構造は絶縁層52と、絶縁層52上で部分的に応力緩和されるシリコンゲルマニウム半導体層54と、半導体層54を取り囲むトレンチ分離領域56と、半導体層54上のゲート誘電体62と、ゲート誘電体62上のゲートと、ゲート58を取り囲むサイドウォールスペーサ60と、ゲート58の一方の側の半導体層54中のソース／ドレインエクステンション64と、そしてゲート58の他方の側の半導体層54中のソース／ドレインエクステンション66と、を備える。この構造はPチャネルトランジスタの場合の構造である、というのは、部分的に応力緩和されるシリコンゲルマニウムでは、シリコンゲルマニウムの2軸圧縮応力に起因して正孔移動度が大きくなるからである。

20

【0013】

図5に示すのは、ソース／ドレインエクステンション64及び66を縦方向に半導体層54に食い込む形でエッチングしてゲート58の一方の側にリセス68を、そしてゲート58の他方の側にリセス70を形成した後の半導体構造50である。

【0014】

図6に示すのは、リセス68及び70を半導体充填物72及び半導体充填物74でそれぞれ充填した後の半導体構造50である。半導体充填物72及び74の材料は半導体層54の材料タイプと同じであるが、半導体層54に含まれる元素の割合とは異なる割合の元素を含むことができる。従って、半導体層54がシリコンゲルマニウムである場合のこの例では、半導体充填物72及び74におけるゲルマニウムに対するシリコンの割合を、半導体層54における割合とは異なるようにすることができます。半導体充填物72及び74に、in-situドープして、またはイオン注入によりドープしてこれらの充填物をソース／ドレイン領域とすることができます。この半導体素子50では、部分的に応力緩和されるシリコンゲルマニウムである半導体層54は2軸圧縮応力を有し、更に1軸圧縮応力が半導体充填物72及び74の形成により更に発生する。その結果、1軸応力及び2軸応力の両方を有する素子構造が得られる。この場合、Pチャネルトランジスタにとって有用なのは圧縮応力であるが、半導体材料が異なると、Nチャネルトランジスタにとって有用となるのは引っ張り応力である。

30

【0015】

図7に示すのは半導体素子100であり、この半導体素子は絶縁層102と、絶縁層102上の半導体ボディ122と、半導体ボディ122上の半導体ボディ104と、半導体ボディ122及び104を取り囲むトレンチ分離領域116と、半導体ボディ104上のゲート誘電体110と、ゲート誘電体110上のゲート106と、ゲート106を取り囲むサイドウォールスペーサ108と、ゲート106の一方の側の半導体ボディ122におけるソース／ドレイン領域124と、ゲート106の他方の側の半導体ボディ122におけるソース／ドレイン領域126と、ゲート106の一方の側の半導体ボディ104におけるソース／ドレイン領域112と、ゲート106の他方の側の半導体ボディ104におけるソース／ドレイン領域114と、ゲート106から離間し、かつソース／ドレイン領域112及び124を貫通して絶縁層102に達する絶縁プラグ118と、そしてゲート

40

50

106 から離間し、かつソース／ドレイン領域 114 及び 126 を貫通する絶縁プラグ 120 と、を備える。

【0016】

P チャネルの場合、半導体層 122 はシリコンであることが好ましく、そして半導体層 104 はシリコンゲルマニウムであることが好ましい。シリコンの応力は、シリコンゲルマニウムに圧縮応力が発生する結果、緩和することができる。別の構造では、半導体層 122 は別の半導体材料とすることができる、この半導体材料上には、圧縮応力が発生することになる半導体層 104 を成長させることができる。

【0017】

図 8 に示すのは半導体素子 100 の上面図であり、この上面図には図 7 の断面が切り出される切断線を示している。これは、絶縁プラグ 118 がソース／ドレイン領域 112 を貫通する様子を示し、かつ複数のこのような絶縁プラグがゲート 106 とトレンチ分離領域 116 との間のゲート 106 の一方の側に設けられることを示している。同様に、絶縁プラグがゲート 106 の他方の側に設けられることが示され、かつ複数のこのような絶縁プラグがソース／ドレイン領域 114 が貫通する様子が示される。ストレッサであるこれらの絶縁プラグは同時に、かつトレンチ分離領域 116 と同じ方法により形成される。この構造は、ライナー酸化膜、及び TEOS 充填材料のような酸化物により得られる。方形 132 及び 150 は絶縁プラグ 118 と 120 との間に配置されるソース／ドレイン領域のコンタクトを示している。複数のこのようなコンタクトを設けて外部配線とソース／ドレイン領域との間のコンタクト抵抗を下げる。この半導体素子 100 は 1 軸応力を発生させる別のアプローチである。この場合においては、1 軸応力は半導体ボディ 104 内部の圧縮応力である。

10

20

【0018】

本明細書ではこれまで、本発明について特定の実施形態を参照しながら説明してきた。しかしながら、この技術分野の当業者であれば、種々の変形及び変更を、以下の請求項に示す本発明の技術範囲から逸脱しない範囲において加え得ることが分かるであろう。例えば、1 軸応力を実現するための方法について図 1～6 で説明したが、図 7 及び 8 に示すような他の別のある方法を使用することもできる。更に、追加の要素を格子構造に導入して異なるドーパント密度依存性を実現することができる。例えば、N チャネルの場合、Ge を導入することができる。Ge は引っ張り応力を小さくするように作用するが、Ge による効果は、炭素をシリコンよりも増やすことにより相殺することができる。このような場合においては、ソース／ドレインに更に引っ張り応力が発生するようにする必要があるので、ゲルマニウムに対する炭素の割合が当該チャネルにおける割合よりも大きくなるようにする必要がある。このような構成にすることにより、炭素濃度を所定の引っ張り応力に関して増やすことができる。炭素を増やすとボロンの拡散速度を小さくすることができる。同様に、P チャネルトランジスタの場合、炭素をチャネルに導入することができ、これによって今度は Ge を増やす必要が出てくる。Ge を更に増やすと、ソース／ドレインに利点がもたらされる。Ge 濃度を増やして同じ圧縮応力を維持することにより、砒素の拡散速度を大きくすることができる。従って、本明細書及び図は、本発明を制限するものではなく、例示として捉えられるべきであり、そしてこの変更の全ては本発明の技術範囲に含まれるものである。

30

40

【0019】

効果、他の利点、及び技術的問題に対する解決法について、特定の実施形態に関して上に記載してきた。しかしながら、効果、利点、及び問題解決法、及びいずれかの効果、利点、または問題解決法をもたらし、またはさらに顕著にし得る全ての要素（群）が、いずれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。本明細書で使用されるように、「comprises」、「comprising」という用語、または他の全てのこれらの変形は包括的な意味で適用されるものであり、一連の要素を備えるプロセス、方法、製品、または装置がこれらの要素のみを含むのではなく、明らかには列挙されていない、またはそのようなプロセス

50

、方法、製品、または装置に固有の他の要素も含むことができる。

【図面の簡単な説明】

【0020】

【図1】本発明の第1の実施形態による処理の第1工程における半導体構造の断面図。

【図2】処理の次の工程における図1の半導体構造の断面図。

【図3】処理の次の工程における図2の半導体構造の断面図。

【図4】本発明の第2の実施形態による処理の第1工程における半導体構造の断面図。

【図5】処理の次の工程における図4の半導体構造の断面図。

【図6】処理の次の工程における図5の半導体構造の断面図。

【図7】本発明を使用するための別の形態による半導体構造の断面図。 10

【図8】図7の半導体構造の上面面。

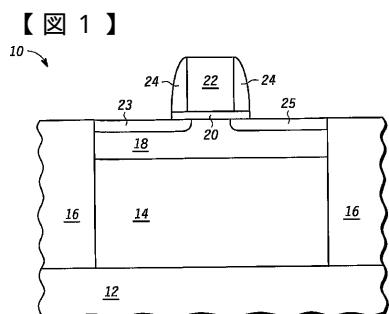


FIG. 1

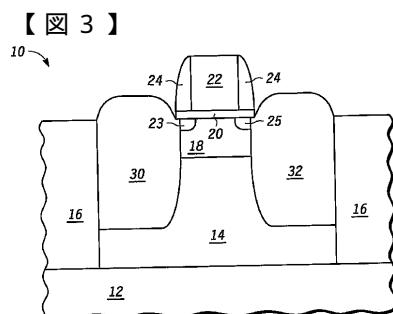


FIG. 3

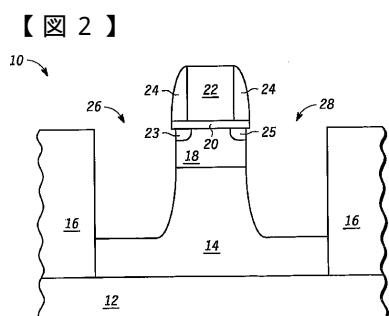


FIG. 2

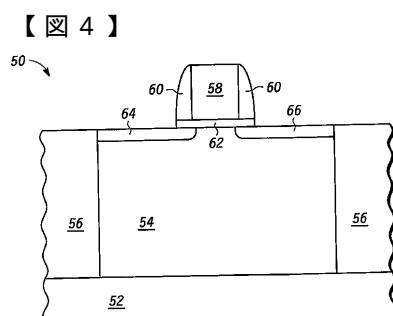


FIG. 4

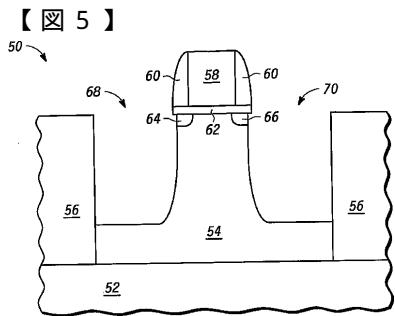


FIG. 5

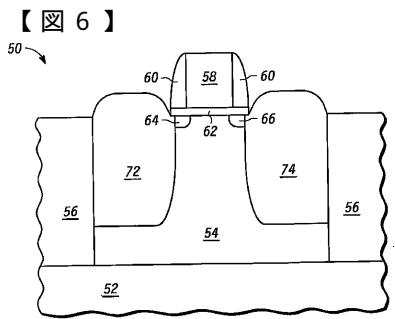


FIG. 6

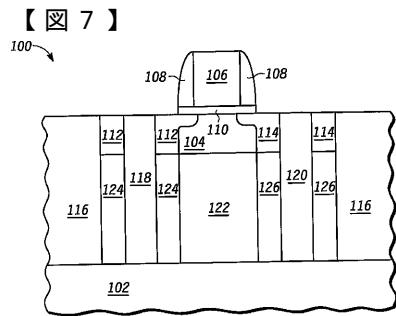


FIG. 7

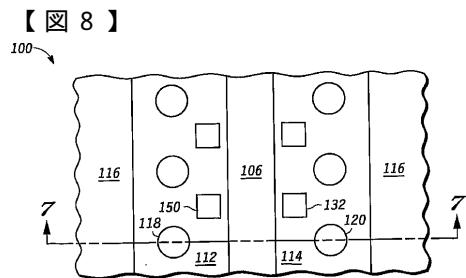


FIG. 8

フロントページの続き

(51)Int.Cl.

H 01 L 27/08 (2006.01)

F I

H 01 L	27/08	3 2 1 E
H 01 L	27/08	3 2 1 B
H 01 L	27/08	3 3 1 E
H 01 L	27/08	3 2 1 C

(72)発明者 ベンカテサン、サレシユ

アメリカ合衆国 7 8 7 5 9 テキサス州 オースティン テイラー ドレイパー コープ 5 8
3 3

審査官 宇多川 勉

(56)参考文献 特開2 0 0 4 - 2 0 0 3 3 5 (JP, A)

特開平0 5 - 1 8 3 1 5 4 (JP, A)

特開2 0 0 3 - 1 8 8 2 7 5 (JP, A)

特開2 0 0 4 - 2 1 4 4 5 7 (JP, A)

米国特許出願公開第2 0 0 3 / 0 0 8 0 3 6 1 (US, A1)

特開2 0 0 4 - 1 9 3 2 0 3 (JP, A)

特開2 0 0 2 - 2 7 0 8 3 4 (JP, A)

特開2 0 0 1 - 2 9 1 8 6 4 (JP, A)

特開平1 0 - 3 0 8 5 1 3 (JP, A)

特開平1 1 - 1 6 3 3 4 3 (JP, A)

特開平1 0 - 0 9 2 9 4 7 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 21/8238

H01L 27/08

H01L 27/092

H01L 29/78

H01L 29/786