



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월16일
 (11) 등록번호 10-1064900
 (24) 등록일자 2011년09월07일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2009-0092095
 (22) 출원일자 2009년09월29일
 심사청구일자 2009년09월29일
 (65) 공개번호 10-2011-0034710
 (43) 공개일자 2011년04월06일

(56) 선행기술조사문헌
 "나노임프린트 리소그래피", 한국고분자학회지 고분자과학과기술, v.20, no.1, pp.40-45, 2009년 2월

KR1019990029988 A

KR1020050065955 A

전체 청구항 수 : 총 6 항

(73) 특허권자

광주과학기술원

광주 북구 오룡동 1번지

(72) 발명자

정건영

광주광역시 북구 첨단과기로 261(오룡동) 광주과학기술원 신소재공학과

정희수

광주광역시 북구 첨단과기로 261(오룡동) 광주과학기술원 신소재공학과

(뒷면에 계속)

(74) 대리인

특허법인이상

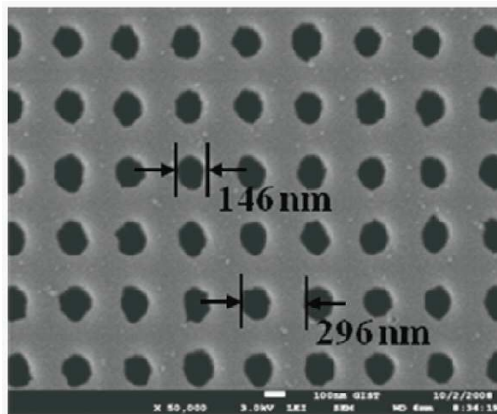
심사관 : 나용수

(54) 패턴 형성방법

(57) 요약

패턴 형성방법이 개시된다. 고분자층이 형성된 기판에 UV-기반의 나노임프린트 리소그래피법을 이용하여 고분자층에 일정한 패턴을 전사한다. 일정한 패턴이 전사된 고분자층에 선택적 에칭법을 이용한 2단 리프트-오프(lift-off) 공정을 적용함으로써 기판에 홀 패턴을 형성한다. 본 발명에 의한 패턴 형성방법은 필라 닷(pillar dot) 형태의 스탬프로부터 패턴 해상도의 왜곡없이 홀 형태의 패턴을 기판에 형성할 수 있다.

대표도 - 도5d



(72) 발명자
송선식
경기도 안양시 만안구 석수2동 302-12 초원빌라 가
동 202호

김은옥
경상남도 마산시 내서읍 호계국제아파트 101동 70
9호

이 발명을 지원한 국가연구개발사업

과제고유번호 NN04430

부처명 한국과학재단

연구관리전문기관

연구사업명 교과부)특정기초연구지원사업

연구과제명 나노임프린트 리소그래피법을 이용한 염료감응형 태양전지용 수직형 ZnO 나노와이어 전
극 개발

기여율

주관기관 광주과학기술원

연구기간 2009년 03월 01일 - 2010년 02월 28일

특허청구의 범위

청구항 1

상부에 고분자층이 형성된 기판을 제공하는 단계;
 상기 고분자층에 일정한 패턴을 형성하는 단계;
 상기 기판 및 상기 일정한 패턴이 형성된 고분자층 상에 제1 금속층을 형성하는 단계;
 상기 일정한 패턴이 형성된 고분자층을 제거하는 단계;
 상기 기판 및 상기 기판 상에 형성된 제1 금속층 상에 제2 금속층을 형성하는 단계;
 상기 기판 상에 형성된 제1 금속층을 제거하고 상기 기판 상에 형성된 제2 금속층을 마스크로 하여 상기 기판을 식각하는 단계; 및
 상기 기판 상에 형성된 제2 금속층을 제거하는 단계를 포함하는 기판의 패턴 형성방법.

청구항 2

제 1 항에 있어서,
 상기 고분자층에 일정한 패턴을 형성하는 단계는 필러 닷(pillar dot) 형태의 스탬프를 상기 고분자층에 임프린트 하는 것을 포함하는 기판의 패턴 형성방법.

청구항 3

제 1 항에 있어서,
 상기 제1 금속층을 형성하는 단계에서 상기 제1 금속층은 알루미늄(Al) 또는 금(Au)인 것을 특징으로 하는 기판의 패턴 형성방법.

청구항 4

제 1 항에 있어서,
 상기 제2 금속층을 형성하는 단계에서 상기 제2 금속층은 크롬(Cr)인 것을 특징으로 하는 기판의 패턴 형성방법.

청구항 5

제 1 항에 있어서,
 상기 고분자층은 poly(dimethylsiloxane), ethylene glycol dimethacrylate 및 1-hydroxy-cyclohexyl-phenyl-ketone 을 포함하거나 AS9, AS19 및 1-hydroxy-cyclohexyl-phenyl-ketone 을 포함하는 기판의 패턴 형성방법.

청구항 6

제 1 항에 있어서,
 상기 기판을 제공하는 단계에서, 상기 고분자층은 레지스트층과 언더층의 2층 구조를 갖는 것을 특징으로 하는 기판의 패턴 형성방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자의 패턴 형성방법에 관한 것으로, 보다 상세하게는 발광다이오드, 화학적 및 생물학적 센

서등 반도체 소자에 광결정 구조를 형성할 수 있는 나노 스케일의 홀 패턴 형성방법에 관한 것이다.

배경 기술

- [0002] 나노임프린트 리소그래피는 저비용으로 나노 스케일의 구조물을 제작할 수 있는 기술로 생산성이 낮은 전자빔 리소그래피나 고가의 광학 리소그래피를 대신할 기술로 주목받고 있다.
- [0003] 나노임프린트 기술의 핵심은 전자빔 리소그래피 등의 고급 리소그래피 기술을 이용하여 나노 스케일의 구조를 갖는 스탬프를 제작하고 그 스탬프를 고분자 박막에 각인하여 나노 스케일의 구조물을 전사하며, 제작된 스탬프를 반복하여 사용함으로써 전자빔 리소그래피가 갖는 낮은 생산성 문제를 극복할 수 있다.
- [0004] 한편, 태양전지의 투명전극의 광흡수 표면적 증가 및 발광다이오드의 광추출 효율을 향상시키기 위해 나노임프린트 리소그래피를 이용한 광결정 구조의 도입이 시도되어 왔다.
- [0005] 종래의 경우, 나노임프린트 기술을 이용하여 나노 스케일의 홀 패턴을 얻기 위하여 필라 닷(pillar dot) 패턴의 스탬프를 이용하여 홀 패턴의 고분자 마스크를 만들고 이를 이용하여 원하는 기판에 홀 패턴을 만드는 방법이 이용되었다.
- [0006] 하지만, 상기의 고분자 마스크를 이용하여 식각된 패턴은 균일도가 떨어질 뿐만 아니라 수직적으로 식각이 되지 않기 때문에 광결정 구조 형성의 효과가 미미하였다. 이로 인하여, 지금까지의 광결정 구조는 상기 고분자 홀 패턴에 금속을 증착 후 고분자를 제거하여 닷(dot) 형태의 금속 마스크를 만들고 이 금속 마스크를 이용하여 식각을 했기 때문에 필라(pillar) 형태가 대부분이었다.
- [0007] 또한, 나노임프린트 공정시 처음부터 홀 스탬프를 이용하여 원하는 기판에 홀 패턴을 만들 수도 있지만 스탬프 패턴 내의 공기로 인하여 균일도가 떨어지는 단점이 있었다.

발명의 내용

해결 하고자하는 과제

- [0008] 본 발명은 반도체 소자에 광결정 구조를 도입하기 위하여 나노임프린트 기술과 2단의 리프트-오프 기술을 이용한 홀 패턴의 형성방법을 제공하는 데 그 목적이 있다.

과제 해결수단

- [0009] 상기 목적을 달성하기 위한 본 발명의 바람직한 실시예에 의한 패턴의 형성방법은 상부에 고분자층이 형성된 기판을 제공하는 단계, 상기 고분자층에 일정한 패턴을 형성하는 단계, 상기 기판 및 일정한 패턴이 형성된 상기 고분자층 상에 제1 금속층을 형성하는 단계, 상기 고분자층을 제거하는 단계, 상기 기판 및 상기 제1 금속층 상에 제2 금속층을 형성하는 단계, 상기 제1 금속층을 제거하고 상기 제2 금속층을 마스크로 하여 상기 기판을 식각하는 단계, 상기 제2 금속층을 제거하는 단계를 포함한다.

효과

- [0010] 상기한 바와 같은 본 발명의 패턴 형성방법에 따르면 다음과 같은 효과가 있다.
- [0011] 첫째, 필라 닷 형태의 스탬프를 가지고 나노임프린트 리소그래피 및 2단의 리프트-오프 공정을 이용하여 기판에 홀 패턴을 형성할 수 있다.
- [0012] 둘째, 태양전지, 발광다이오드 등에 사용되는 기판의 재료(Si, SiO_x, GaN, ITO 등)에 제한없이 나노 스케일 홀 패턴을 형성할 수 있다.
- [0013] 본 발명의 효과는 이상에서 언급한 효과들에 제한되지 않으며, 언급되지 않은 또 다른 효과는 청구범위의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 실시를 위한 구체적인 내용

- [0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본

발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 의한 나노 스케일의 홀 패턴 형성방법에 대하여 상세히 설명하기로 한다. 참고로 본 발명을 설명함에 있어서 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0016] 도 1a 내지 도 1i는 본 발명의 바람직한 실시예에 의한 홀 패턴의 형성방법을 순차적으로 나타낸 공정도이다.
- [0017] 본 발명의 바람직한 실시예에 의한 패턴의 형성방법은 상부에 고분자층이 형성된 기판(10)을 제공하는 단계, 상기 고분자층에 일정한 패턴을 형성하는 단계, 상기 기판(10) 및 일정한 패턴이 형성된 상기 고분자층 상에 제1 금속층(50)을 형성하는 단계, 상기 고분자층을 제거하는 단계, 상기 기판(10) 및 상기 제1 금속층(50) 상에 제2 금속층(60)을 형성하는 단계, 상기 제1 금속층(50)을 제거하고 상기 제2 금속층(60)을 마스크로 하여 상기 기판(10)을 식각하는 단계, 상기 제2 금속층(60)을 제거하는 단계를 포함한다.
- [0018] 기판(10)은 원하는 최종 패턴이 형성되는 기재로서, 실리콘, 실리콘산화물, 실리콘질화물 등의 반도체, ITO(Indium Tin Oxide), 태양전지 등에 사용되는 (투명)전극, 발광소자의 클래드층에 사용되는 질화갈륨(GaN), 산화아연(ZnO)의 반도체 등이 될 수 있다.
- [0019] 도 1a는 레지스트층(30)과 언더층(20)의 2층 구조의 고분자층이 형성된 기판(10)을 나타낸 도면이다.
- [0020] 고분자층은 자외선 등에 경화되는 성질을 갖는 레지스트를 스핀코팅 등의 방법을 이용하여 상기 기판(10) 상에 단일층으로 형성될 수 있다.
- [0021] 특히, 상기 고분자층은 UV-경화 레지스트를 포함할 수 있으며, 상기 UV-경화 레지스트는 poly(dimethylsiloxane), ethylene glycol dimethacrylate 및 1-hydroxy-cyclohexyl-phenyl-ketone 으로 구성될 수 있으며, AS9(실리콘을 9 wt% 포함한 acrylate derivative), AS19(실리콘을 19 wt% 함유한 acrylate derivative) 및 1-hydroxy-cyclohexyl-phenyl-ketone 으로 구성될 수 있다.
- [0022] 다만, 상기 레지스트는 상기의 물질에만 한정되는 것은 아니며 PDMS(polydimethylsiloxane) 등을 포함하여 자외선 경화 성질을 갖는 고분자 물질이면 어느 것이나 가능하다.
- [0023] 도 2a 내지 도 2c에 각각 AS9, AS19 및 1-hydroxy-cyclohexyl-phenyl-ketone 의 화학구조를 도시하였다.
- [0024] 또한, 고분자층은 레지스트층(30)과 언더층(20)의 2층 구조로 형성될 수 있다.
- [0025] 상기 레지스트층(30)은 상기의 고분자 레지스트가 사용되며 상기 언더층(20)은 기판(10)과의 접착을 유지하고, 스탬프(40) 분리시 레지스트와 결합을 유지하며 금속 리프트-오프 공정시 용매에 잘 용해되어야 하는 성질을 갖는 고분자로 구성되며 LOL 1000(ShIPLEY Ltd.) 등이 사용될 수 있다.
- [0026] 2층 구조의 고분자층의 경우에, 하기의 마스터 스탬프(40)에 의해 레지스트 층에 임프린트된 패턴들은 선택적 반응성 이온 에칭(RIE)등에 의해 언더층(20)에 전사된다.
- [0027] 상기와 같이 고분자층에 2층 구조를 도입함으로써, 언더층(20)까지 에칭에 의해 전체 레지스트 구조의 종횡비(aspect ratio)가 향상될 수 있으며 언더층(20) 내에 트렌치의 측면으로부터 기판(10) 상의 금속 증착층을 분리시키는 측면의 레지스트 언더컷(undercut)을 생성함에 의해 금속 리프트-오프 공정을 향상시킬 수 있다.
- [0028] 고분자층에 일정한 패턴을 형성하는 단계는 먼저 일정한 간격으로 형성된 필라 닷(pillar dot) 형태의 마스터 스탬프(40)를 기판(10) 상에 형성된 고분자층에 임프린팅 하는 것을 포함한다.
- [0029] 도 1b에 일정한 패턴이 형성된 마스터 스탬프(40)를 이용하여 레지스트층(30)에 나노 임프린팅을 하는 공정을 나타내었다.
- [0030] 마스터 스탬프(40)는 기판(10) 등에 형성하고자 하는 나노 구조물에 상응하는 나노 구조물이 표면에 각인이 된 것으로 퀴츠(quartz), 유리(glass), 사파이어(sapphire) 또는 질화규소(Si₃N₄) 등을 포함할 수 있다.
- [0031] 임프린팅이 진행되는 동안, 자외선(UV)이 상기 고분자층에 조사되어 고분자층을 경화시키게 된다.
- [0032] 상기 고분자층의 경화가 완료된 후에, 마스터 스탬프(40)를 제거하면 상기 고분자층 상에 일정한 패턴들이 형성된다.
- [0033] 고분자층에 일정한 패턴을 형성하는 단계는, 마스터 스탬프(40)를 제거한 후 에칭에 의해 트렌치 아래의 잔류

레지스트층(30)을 제거하고 레지스트층(30)을 마스크로 하여 언더층(20)을 식각하는 것을 포함한다.

- [0034] 도 1c는 마스터 스텝프(40) 제거 후, 에칭에 의해 트렌치 아래의 잔류 레지스트층(30) 및 언더층(20)이 식각된 것을 나타낸 도면이다.
- [0035] 상기 고분자층에 일정한 패턴이 형성된 후에, 상기 기관(10) 및 상기 고분자층 상에 제1 금속층(50)을 형성한다.
- [0036] 도 1d는 기관(10) 상부와 레지스트 상에 제1 금속층(50)이 증착된 것을 나타낸 도면이다.
- [0037] 상기 제1 금속층(50)은 알루미늄, 금 또는 은 등이 사용될 수 있으며 바람직하게는 알루미늄이 사용될 수 있다.
- [0038] 이어서, 상기 도 1d에 도시된, 기관 상의 고분자층을 제거한다. 고분자층을 제거하는 단계는 상기 제1 금속층(50)이 형성된 후, 시편을 고분자 제거제 등에 투입시켜 고분자를 용해시키는 제1 리프트-오프 공정을 포함한다.
- [0039] 기관 상의 고분자층이 제거되면, 고분자층 상부에 형성된 제1 금속층도 제거되며, 기관 상부에 직접 형성된 제1 금속층만이 잔류하게 된다. 따라서, 고분자층이 제거된 후에는 기관(10) 상에 제1 금속층(50)이 닷(dot) 형태로 형성되게 된다.
- [0040] 도 1e는 언더층(20)을 리프트-오프 시킴으로써 제1 금속층(50)만이 기관(10) 상에 형성된 것을 나타낸 도면이다.
- [0041] 계속해서, 제1 금속층이 잔류하는 기관 상에 제2 금속층을 형성한다. 제2 금속층(60)을 형성하는 단계는 제1 금속층(50)이 닷 형태로 형성된 상기 기관(10) 상에 제1 금속층(50)과 에칭액(etchant)에 상이한 용해도를 갖는 크롬 등의 금속층을 형성함에 의해 이루어진다. 즉, 제2 금속층의 선택은 제1 금속층과 식각 선택비를 가진 금속이라면 어느 것이나 가능할 것이다.
- [0042] 제2 금속층(60)의 형성에 의해 기관(10) 상에 제2 금속층(60)이 형성되며, 닷 형태의 제1 금속층(50)에도 국부적으로 제2 금속층(60)이 형성되게 된다.
- [0043] 도 1f는 기관(10) 상에 제2 금속층(60)을 증착시킴으로써 기관(10) 상부 및 제1 금속층(50) 상부에 제2 금속층(60)이 형성된 것을 나타낸 도면이다.
- [0044] 이어서, 상기 도 1f에 도시된 구조물에서 제1 금속층을 제거하고, 제2 금속층의 일부를 선택적으로 잔류시킨다. 제1 금속층(50)을 제거하는 단계는 상기 제2 금속층(60)이 형성된 시편을 제1 금속을 용해시키는 용액 등에 담가 제1 금속을 제거하는 제2 리프트-오프 공정을 포함한다. 이를 통해 제1 금속층(50) 및 상기 제1 금속층(50) 상부의 제2 금속층(60)은 제거되고, 기관(10) 상에 형성된 제2 금속층(60)만이 잔류하게 된다.
- [0045] 따라서, 상기 제2 리프트-오프 공정에 의해 제1 금속이 선택적으로 용해됨으로써 제2 금속층(60)에 홀 패턴들이 잔류하게 된다.
- [0046] 도 1g에 제1 금속층(50)의 제거에 의해 제2 금속층(60)이 기관(10) 상에 형성된 것을 나타내었다.
- [0047] 이어서, 상기 도 1g에 도시된 제2 금속층(60)을 식각 마스크로 하여 기관(10)에 대한 식각을 수행한다. 제2 금속층(60)을 마스크로 하여 기관(10)을 식각하는 단계는 상기 제1 금속층(50)이 제거된 후 제2 금속층(60)에 형성된 패턴을 이용하여 제2 금속층(60) 하부의 기관(10)을 식각하는 것을 말한다.
- [0048] 도 1h는 제2 금속층(60)을 마스크로 하여 기관(10)을 식각하는 공정을 나타낸 도면이다.
- [0049] 기관(10)에 최종적인 패턴이 형성된 후 제2 금속층(60)을 제거함으로써 기관(10)을 목적하는 반도체 소자에 응용이 가능하게 된다.
- [0050] 도 1i는 제2 금속층(60)을 제거한 후 기관(10)에 형성된 패턴을 도시한 도면이다.
- [0051] 이하, 본 발명의 이해를 돕기 위해 마스터 스텝프 제조예, 2단의 리프트-오프 공정을 이용한 나노 스케일의 홀 패턴 제조예를 제시한다. 다만, 하기의 제조예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 제조예에 의해 한정되는 것은 아니다.

- [0052] <제조예 1: 스탬프 제조예>
- [0053] 플라즈마 가속 화학기상 증착(PECVD)법을 이용하여 붕규산염 유리(borosilicate glass) 기판($1.5 \times 1.5 \text{cm}^2$) 상에 두께 200nm의 질화규소(Si_3N_4) 후막을 균일하게 증착시켰다.
- [0054] 마스터 스탬프를 제작하기 위하여 상기 질화규소 막에 강도 0.75mW/cm^2 인 He-Cd 레이저(325nm)를 이용한 간섭 리소그래피를 사용하였다.
- [0055] 도 3은 마스터 스탬프의 제조시 사용한 레이저 간섭 리소그래피 장치를 간략하게 도시한 도면이다.
- [0056] 상기 기판은 1:1로 섞인 염산 및 과산화수소 혼합물로 처리하고 오염물질을 제거하기 위하여 아세톤, 이소프로필 알코올 및 탈이온수에서 10분간 초음파 세척을 하였다.
- [0057] 마지막으로, 레이저 간섭 리소그래피를 하기 전 건조한 질소가스로 건조되었다.
- [0058] 상기 유리 기판은 접착증진제인 HDMS(hexamethyldisilazane, Fluka)를 20nm 두께로 코팅을 시킨 후 5분간 어닐링 하였다.
- [0059] 부피비가 2:1로 시너(AZ1512, Clariant)와 혼합된 포지티브 레지스트(AZ6612, Clariant)가 두께 230nm로 HDMS 층 상에 스핀 코팅되었다.
- [0060] 직경 150nm, 피치(pitch) 사이즈 300nm인 반복된 포토레지스트 필라 패턴들을 형성하기 위해 입사각을 32.79° 로 하여 간섭 리소그래피법이 사용되었다.
- [0061] He-Cd 이온 레이저 발생기로부터 UV 레이저 빔을 몇 개의 렌즈들과 끝단에 있는, 회절 제한 빔 증진이 발생하는 직경 $10 \mu\text{m}$ 의 하나의 핀 홀(pin hole)로 구성된 스페이셜(spatial) 필터를 통해 조사하였다.
- [0062] 그 후, 증진된 빔은 시편 홀더와 로이드 미러(Lloyd mirror)가 서로 수직으로 놓여 있는 앵글 브라켓에 투사되었다.
- [0063] 상기 레이저 발생기로부터 직접적으로 입사된 제1 빔과 로이드 미러로부터 반사된 제2 빔은 서로 만나서 레지스트 상에서 10초 동안 보강 및 소멸간섭을 하였다.
- [0064] 제1 노광후, 시편은 90° 회전이 되었고 레지스트 층으로 필라 이미지를 형성하기 위해 또 한 번 노광이 이루어졌다.
- [0065] 상온에서 35초 동안 MIF 500 용액(Clariant)으로 현상공정을 마친 후, 제작된 레지스트 필라 패턴들은 이후의 에칭 공정에서 에칭 마스크로서 작용하도록 핫 플레이트 상에서 140°C 에서 5분간 베이킹된다.
- [0066] 레지스트 필라 패턴들을 질화실리콘(Si_3N_4) 층에 전사하기 위하여 100W, 100mTorr에서 65초 동안 CHF_3/O_2 가스 혼합물로 드라이 에칭 공정을 수행하였다.
- [0067] 에칭 속도는 2.3nm/s 였으며 피라냐(piranha) 용액으로 레지스트를 제거한 후에 종횡비(aspect ratio)가 약 1인 필라들이 생성되었다.
- [0068] 도 4는 상기 제조예 1에 의해 제조된 직경 150nm, 피치 사이즈 300nm인 반복된 필라들을 가진 투명 질화규소(Si_3N_4) 마스터 스탬프의 전계방출 주사전자현미경 이미지를 나타낸다.

[0069] <제조예 2: 나노 스케일의 홀 패턴 형성방법>

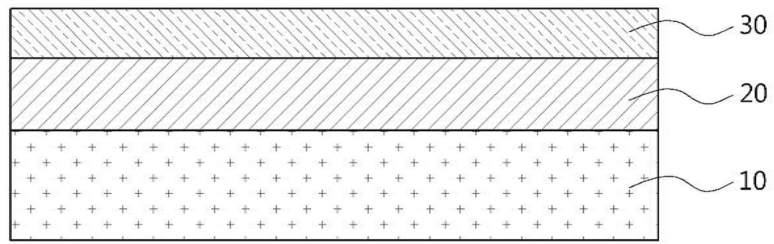
- [0070] 먼저, 상기 제조된 마스터 스탬프를 이용하여 임프린팅을 하기 전에, 스탬프 표면의 표면에너지를 감소시킴으로써 임프린트된 레지스트 층으로부터 스탬프가 쉽게 분리되도록 점착방지용 자기조립 모노레이어(SAM)를 제작된 스탬프 표면에 기상으로 코팅하였다.
- [0071] 실리콘 기판은 상기 질화규소(Si_3N_4) 막에서 언급한 것과 동일한 세정방법에 세정되었다.
- [0072] 임프린팅을 위해 레지스트 층과 언더층의 2층 공정이 채택되었으며 LOL 1000(ShIPLEY Ltd.) 가 언더층으로 사용되었다.
- [0073] 30초 동안 3000rpm의 회전속도에서 형성된 언더층의 두께는 80nm 이었으며 핫 플레이트에서 120°C , 180초 동안

베이킹시켰다.

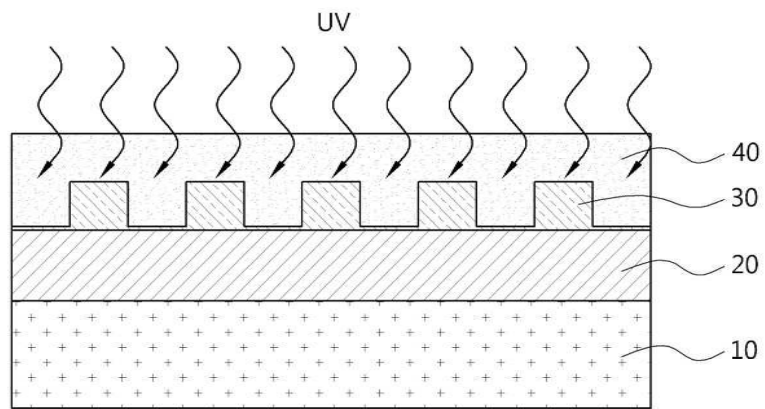
- [0074] 베이킹 공정후, 표면에너지를 증가시키기 위하여 언더층 표면을 10초간, 20W의 RF 전원으로 산소 플라즈마 처리하였다.
- [0075] 표면에너지가 높을수록, 임프린트된 레지스트 층과 LOL 층 사이의 접착력이 증가될 수 있으며, 이에 의해 스탬프 표면의 접착방지용 SAM 뿐만 아니라 임프린트 된 레지스트로부터 스탬프를 분리하기 쉬워진다.
- [0076] 또한, UV-경화 실리콘 기반 acrylate-derivative(AS9, 70wt.%, AS19, 27wt.%)와 라디칼 개시제(radical initiator)(Irgacure 184, Ciba, 3wt.%)로 이루어진 저 점성의 UV-경화 레지스트 용액을 사용하였다.
- [0077] 상기 조제된 임프린트 레지스트 용액은 6000rpm의 회전 속도로 200초 동안, 언더층에 코팅되었다.
- [0078] 5bars의 임프린팅 압력이 나노임프린트 머신(NANOSIS 620, Nano&Device)에 의해 가해지는 동안 UV가 스탬프와 기관 사이에 개재된 임프린트 레지스트를 경화시키기 위하여 5분 동안 조사되었다.
- [0079] 20mTorr, 20W에서 30초 동안 플루오르화탄소(CF₄) 가스가 트렌치 아래에 있는 잔류 레지스트 층을 제거하기 위하여 사용되었으며 임프린트된 패턴들은 선택적 에칭법을 사용하여 20mTorr, 20W에서 70초 동안 산소 가스(O₂)에 의한 반응성 이온 에칭(RIE)법에 의해 언더층에 전사되었다.
- [0080] 경화된 레지스트 층은 언더층에 비해 높은 산소 플라즈마 에칭 저항성을 갖고 있다. 산소 플라즈마 하에서 언더층의 에칭 속도는 1.23nm/s 였으며 이는 임프린트 된 레지스트 층의 에칭 속도인 0.33nm/s 보다 4배나 더 빠르거었다.
- [0081] 2단의 리프트-오프(lift-off) 공정이 리버스 패턴들의 형성을 위해 사용되었다.
- [0082] 먼저, 20nm 두께의 금(Au) 층이 패턴이 전사된 기관상에 전자빔 증착기에 의해 증착되었으며 시편을 120℃에서 180초 동안, 폴리머 제거제(1165, Shipley Ltd.) 속에 담가서 LOL 층을 용해하기 위하여 제1 리프트-오프 공정이 수행되었다.
- [0083] 그 결과, 마스터 스탬프 상에 돌출된 형상들과 동일한 반복된 필라 형태의 알루미늄 패턴들이 남았다.
- [0084] 이후에, 금(Au) 패턴된 기관 상에 5nm 두께의 크롬(Cr) 층을 증착한 후, 시편을 왕수(aqua regia) 용액(37%의 진한염산과 70%의 질산의 부피비율이 3:1) 에 30분간 담금으로써 금 패턴들을 제거하기 위한 제2 리프트-오프 공정이 시행되었다.
- [0085] 상기 제2 리프트-오프 공정 후, 선택적 에칭에 의해 금이 용해되었으며 크롬 홀 패턴들은 잔류하였다.
- [0086] 금에 대한 왕수의 에칭 속도는 상온에서 10μm/min 였으며 크롬은 염화크롬(chromic chloride)의 부동태 층을 형성함으로써 용해되지 않았다.
- [0087] 마침내, 반복된 홀 형태의 크롬 패턴들이 얻어졌으며 100W의 RF 전원에서 100초 동안, CHF₃ 및 O₂의 혼합 가스로 CCP(Capacitively Coupled Plasma)에 의해 실리콘 기관을 에칭하는 동안 하드 에칭 마스크로 사용되었다.
- [0088] 상기 조건하에서 실리콘 층의 에칭 속도는 0.5nm/s 였다. 마지막으로, 크롬 마스크는 크롬 식각재(Cr-7, Cyantek, etch rate: 800Å/min)에 의해 제거되었으며 실리콘 기관에는 상응하는 홀 패턴들이 남겨졌다.
- [0089] 도 5a는 필라 닷 스탬프로 임프린팅을 한 후 고분자층(레지스트)에 형성된 홀 패턴들의 주사전자 현미경 사진이다. 5bars의 임프린팅 압력하에서 전체 레지스트 표면에 걸쳐, 트렌치 아래 최소한의 잔류층 두께(10nm 이하)를 가진 홀 패턴들이 형성되었다.
- [0090] 도 5b는 제1 리프트-오프 공정 후, 임프린트 된 고분자 템플릿(template)의 홀들 상에 20nm 두께의 금 닷(dot)들이 형성된 것을 나타낸 것이다.
- [0091] 도 5c는 제2 리프트-오프 공정(금 제거)후의 크롬 홀 패턴들을 나타내며, 이후의 실리콘 기관 에칭에서 오목한(concave) 홀들을 생성하기 위한 하드 에칭 마스크로 사용되었다.
- [0092] 도 5d는 실리콘 에칭 공정 및 크롬 마스크 제거후의 실리콘 기관 상의 최종의 홀 패턴들이 형성된 것을 나타낸 도면으로, 실리콘 기관에 직경 146nm, 피치 사이즈 296 nm의 홀들이 형성되었으며 본래의 마스터 스탬프 상의

도면

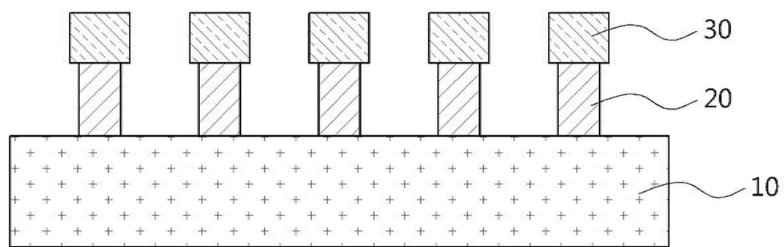
도면1a



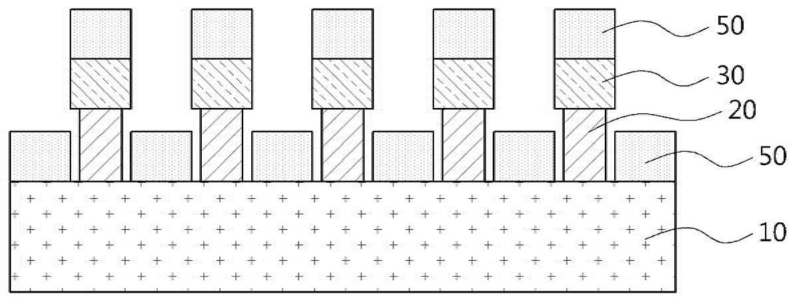
도면1b



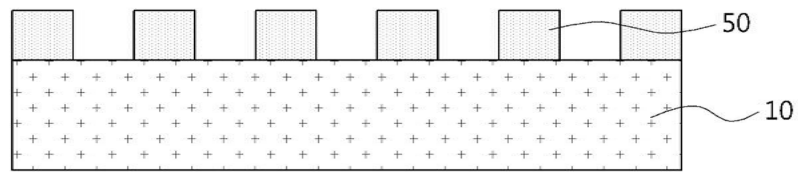
도면1c



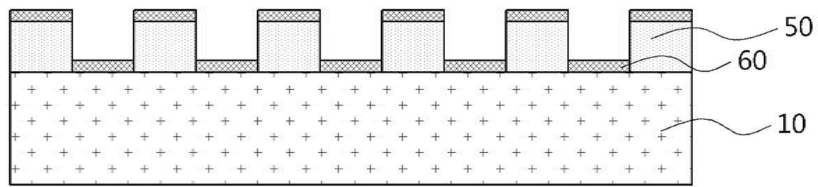
도면1d



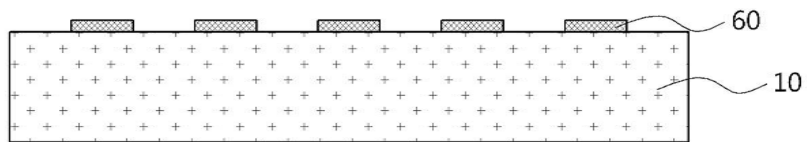
도면1e



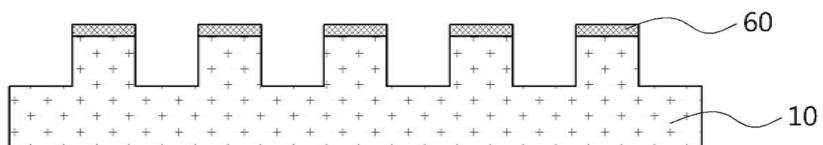
도면1f



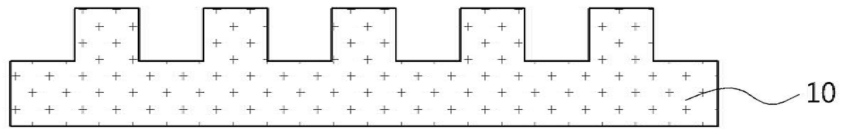
도면1g



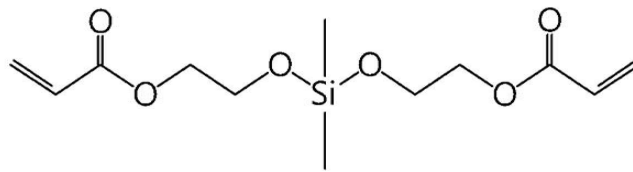
도면1h



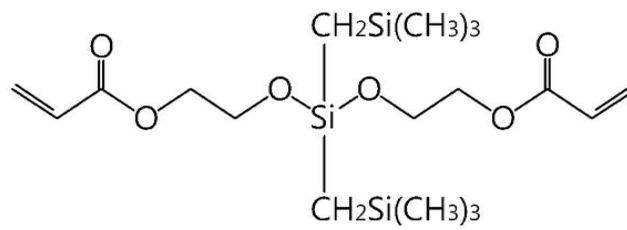
도면1i



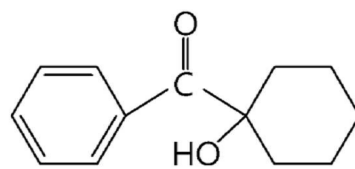
도면2a



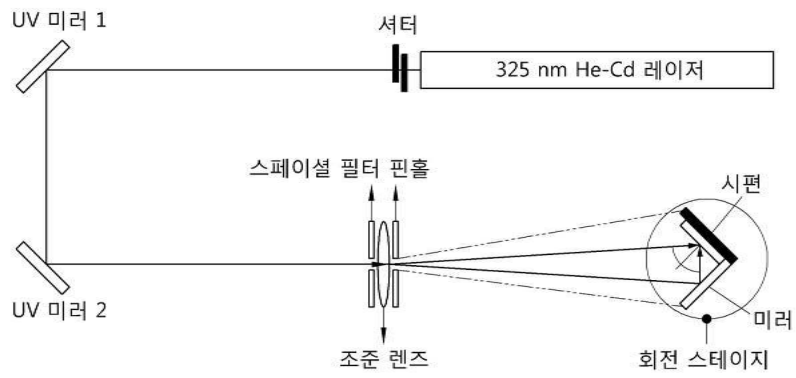
도면2b



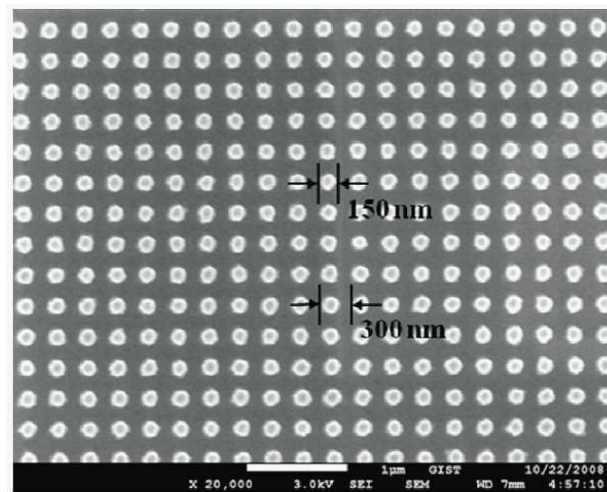
도면2c



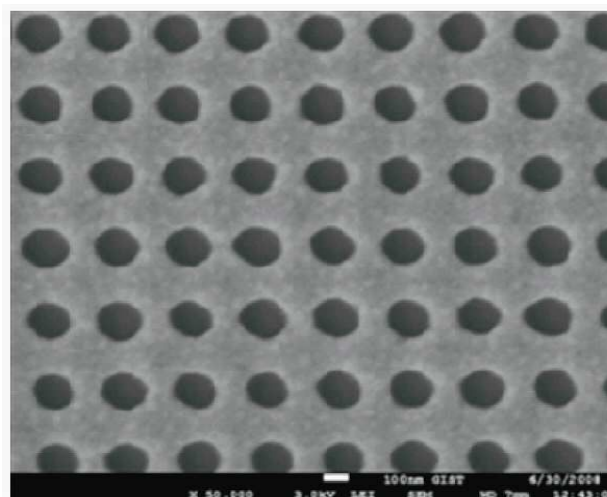
도면3



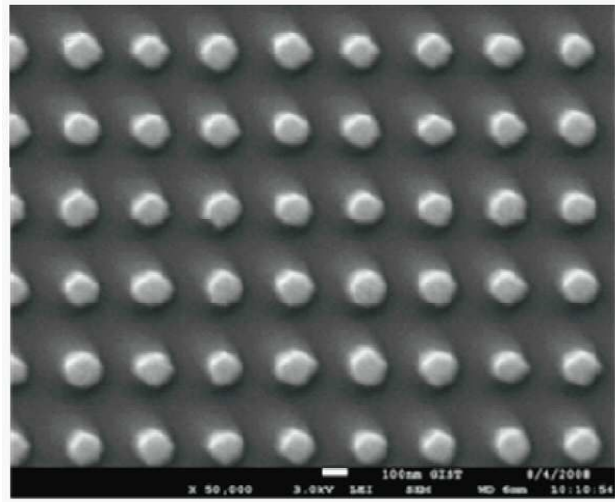
도면4



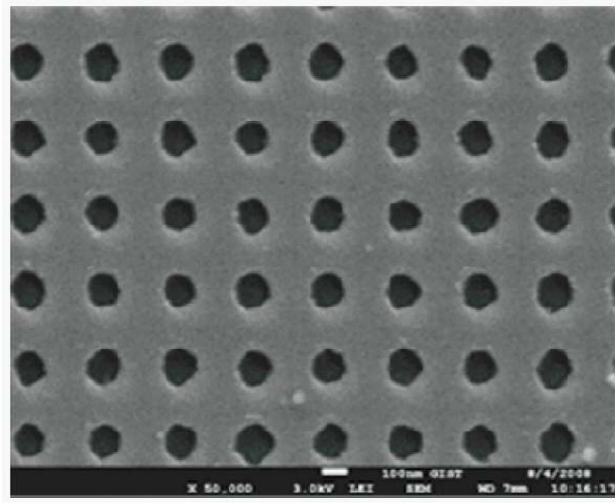
도면5a



도면5b



도면5c



도면5d

