(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H03M 7/34

(45) 공고일자 2002년11월18일
(11) 등록번호 10-0342594
(24) 등록일자 2002년06월18일

(21) 출원번호 10-1994-0032832
(22) 출원일자 1994년12월05일

(65) 공개번호 특1995-0022179
(43) 공개일자 1995년07월28일

(30) 우선권주장 93-338220 1993년12월28일 일본(JP)

(73) 특허권자 오끼 덴끼 고오교 가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자 코모토에이지
일본국도오교도미나도꾸도라노몽1쪼메7방12고오오끼뎅끼고오교오가부시끼가이샤나이

(74) 대리인 권태복
김영길
남삼식
이화익

심사관 : 나용수

(54) 양자화.역양자화회로

요약

(목적)

양자화·역양자화회로의 면적을 작게 하고, 소형화를 도모한다.

(구성)

양자화 실행시에는, DCT회로(1)에서 출력된 신호가 트라이스테이트버퍼(2)를 지나 승산기(11)에 입력된다.

한편, 양자화계수 RAM(31)의 출력에 응해서, 역수 ROM(33)에 기억된 자연수의 역수가 선택기(33)에 입력된다.

선택기(32)에 입력된 LDIR신호 " L" 에 의해, 역수 ROM(33)에 기억된 자연수의 역수가 선택되어서 승산기(11)에 입력된다.

승산기(11)에서는, DCT회로(1)에서 출력된 신호와 양자화계수의 역수과를 곱하여서 양자화하여, 허프만(Huffman) 부호화회로(20)에 출력한다.

역양자화 실행시에는, 양자화계수 RAM(31)의 출력이 선택기(32)로 선택되어, 승산기(11)에서는, 허프만복호화회로(20)의 출력신호와 양자화계수과를 곱셈하여 역양자화한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예의 양자화·역양자화 회로의 회로도이고,

도 2는 종래의 양자화·역양자화 회로의 회로도이며,

도 3은 도 1 중의 역수 ROM의 내용을 나타낸 도면이고,

도 4는 본 발명의 제 2 실시예의 양자화·역양자화 회로의 회로도이며,

도 5는 도 4 중의 역수 ROM의 내용을 나타낸 도면이고,

도 6은 도 4 중의 확장기가 부가하는 " 0" 의 비트 수를 나타낸 도면이며,

도 7은 본 발명의 제 3 실시예의 양자화·역양자화 회로의 회로도이고,

도 8은 도 7 중의 시프터의 시프트량을 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

11 : 승산기 31 : 양자화 계수 RAM

32, 41 : 역수 ROM 42 : 확장기

51 : 우측 시프터 33, 52 : 선택기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 화상 압축·신장장치 등에 있어서의 양자화·역양자화 회로에 관한 것이다.

종래에, 이와 같은 분야의 기술로서는, 예를 들면, 다음과 같은 문헌에 기재된 것이 있었다.

문헌: 인터내셔날 스탠더드 디아이에스(INTERNATIONAL STANDARDS DIS) (미국) 'DIGITAL COMPRESSI0N AND CODING OF CONTINUOUS-TONE STILL IMAGES PARTS 1: REQUIRE MEBTS AND GUIDELINES' P. A-7

화상 압축·신장의 알고리즘은 JPEG Joint Picture Expert Group)(H.261이나 MPEG도 마찬가지이다)에 의해, 국제적으로 표준화가 이루어지고 있다. 상기한 문헌에 기재된 권고서에는, 양자화·역양자화에 있어서 사용되는 알고리즘이 기재되어 있다.

도 2는, 상기한 문헌의 권고에 따라 하드웨어화된 종래의 화상 압축·신장장치의 회로도이다.

이 화상 압축·신장장치는, 화상을 압축하는 이산적 코사인 변환(이하에서는, DCT 변환으로 칭한다)과 DCT 변환된 화상의 신장 변환(이하, IDCT로 칭한다)을 하는 DCT/IDCT 회로(1)를 갖는다. DCT/IDCT 회로(1)는, 신호선 L1에 의해 신호의 펄스를 선택하는 트라이 스테이트 버퍼(2)에 접속되어 있다. 트라이 스테이트 버퍼(2)에는, 신호선 LIN에 의해 양자화 처리 또는 역양자화 처리를 하는 양자화·역양자화 회로(10)가 접속되어 있다. 양자화·역양자화 회로(10)의 출력측에는, 신호선 LOUT에 의해 DCT/IDCT 회로(1) 및 허프만 부호/복호회로(20)가 접속되어 있다. 허프만 부호/복호회로(20)의 출력측에는, 신호선 LIN에 의해 양자화 또는 역양자화의 버스를 선택하는 트라이 스테이트 버퍼(21)가 접속되어 있다. 트라이 스테이트 버퍼(21)의 출력측에는, 신호선 LIN에 의해 양자화·역양자화 회로(10)가 접속되어 있다. 양자화 또는 역양자화를 지시하는 신호선 LDIR은, 트라이 스테이트 버퍼(21), 인버터(21) 및 양자화·역양자화 회로(10)에 접속되어 있다. 인버터(22)의 출력측에는, 신호선 L22에 의해 트라이 스테이트 버퍼(2)가 접속되어 있다.

양자화·역양자화 회로(10)는, 승산기(11)와 제산기(12)를 갖는다. 승산기(11)와 제산기(12)의 한쪽의 입력 단자에는 신호선 LIN이 접속되어 있다. 승산기(11)와 제산기(12)의 다른 쪽의 입력 단자는, 신호선 L13에 의해 8x8의 화소를 양자화 또는 역양자화하기 위한 8 비트의 양자화 계수를 기억하는 양자화 계수 RAM(13)에 접속되어 있다. 승산기(11)의 출력측에는, 신호선 L11에 의해 선택기(14)의 한쪽의 입력 단자가 접속되어 있다. 제산기(12)의 출력측에는, 신호선 L12에 의해 선택기(14)의 다른쪽의 입력 단자가 접속되어 있다. 선택기(14)의 출력측에는, 신호선 LOUT에 의해 DCT/IDCT 회로(1) 및 허프만 부호/복호회로(20)가 접속되어 있다.

도 2에 도시된 화상 압축·신장장치의 동작을 설명한다.

양자화 실행시에는, 신호선 LDIR에 로우 레벨(이하," L" 로 칭한다)이 입력되고, " L" 이 트라이 스테이트 버퍼(21), 인버터(22) 및 선택기(14)에 입력된다. 트라이 스테이트 버퍼(21)는 오프되고, 트라이 스테이트 버퍼(2)는 온된다. DCT 회로(1)로부터 신호선 L1 및 신호선 LIN을 거쳐 DCT 변환된 신호가, 승산기(11) 및 제산기(12)에 입력된다. 제산기(12)에서는, 양자화 계수 RAM(13)에 기억되어 있는 양자화 계수를 신호선 L13을 거쳐, 순차 판독하고, 신호선 LIN에서 입력된 신호를 판독된 양자화 계수로 제산하여, 신호선 L12를 거쳐 선택기(14)로 출력한다. 선택기(14)에서는, 신호선 LDIR로부터 " L" 이 선택신호로서 입력되고, 제산기(12)의 출력을 선택하여 신호선 LOUT를 거쳐, 허프만 부호화 회로(20)에 출력한다. 허프만 부호화 회로(20)에서는, 가변길이 부호로 부호화한다. 이것에 의해 DCT 회로(1)에서의 DCT 처리→양자화 회로(10)에서의 양자화 처리→허프만 부호화 회로(20)에서의 허프만 부호화 처리의 일련의 화상압축 처리를 실현할 수 있다.

역양자화 실행시에는, 신호선 LDIR에 하이 레벨(이하, " H" 라 칭한다)이 입력되고, " H" 가 트라이 스테이트 버퍼(21), 인버터(22) 및 선택기(14)에 입력된다. 트라이 스테이트 버퍼(21)는 온된다. 허프만 복호화 회로(20)로부터 신호선 L21 및 신호선 LIN을 거쳐 허프만 부호화된 신호가 승산기(11) 및 제산기(12)에 입력된다. 승산기(11)에서는, 양자화 계수 RAM(13)에 기억되어 있는 양자화 계수를 신호선 L13을 거쳐, 순차 판독하고, 신호선 LIN에서 입력된 신호와 판독된 양자화 계수를 곱하여, 신호선 L11을 거쳐 선택기(14)에 출력한다. 선택기(14)에서는, 신호선 LDIR로부터 " H" 가 선택신호로서 입력되고, 제산기(11)의 출력을 선택하여 신호선 LOUT를 거쳐, IDCT 회로(1)에 출력된다. 이것에 의해 허프만 부호화 회로(2O)에서의 허프만 부호화 처리→역양자화 회로(10)에서의 역양자화 처리→IDCT 회로(1)에서의 IDCT 처리의 일련의 화상 신장처리를 실현할 수 있다.

그러나, 종래의 양자화、역양자화 회로(10)에 있어서는, 다음과 과제가 있었다. 양자화、역양자화 회로(10)에서는 승산기(11) 및 제산기(12)의 2개의 연산기를 구비하고 있어, 이들 연산기의 면적이 커져, 양자화、역양자화 회로의 소형화가 곤란하다고 하는 문제점이 있었다.

본 발명은, 상기한 종래기술이 갖고 있던 과제로서, 양자화、역양자화 회로는 승산기 및 제산기의 2개의 연산기를 구비하고 있어, 이들 연산기의 면적이 커져, 양자화、역양자화 회로의 소형화가 곤란하다는 점에 있어서 해결을 한 양자화、역양자화 회로를 제공하는 것이다.

제 1 발명은, 상기 과제를 해결하기 위해, 양자화、역양자화 회로에 있어서, 이하의 수단을 구비하고 있다.

즉, 역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과, 양자화하기 위한 자연수의 역수를 기억하는 제 2 기억수단과, 양자화 또는 역양자화할 데이터와, 상기 제 1 기억수단 또는 제 2 기억수단의 출력에 근거하여 데이터를 곱하는 승산수단을 구비하고 있다.

제 2 발명은, 역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과, 양자화하기 위한 자연수의 역수를 기억하고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과, 양자화 또는 역양자화에 따라, 상기 제 2 기억수단 또는 상기 제 1 기억수단의 출력을 선택하는 선택수단과, 양자화 또는 역양자화할 데이터와, 상기 선택수단의 출력을 곱하는 승산수단을 구비하고 있다.

제 3 발명은, 역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 을 뺀 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과, 상기 제 2 기억수단의 출력에 응답해서, 상기 뺀 " 0" 을 그것의 상위로 확장하는 확장수단과, 양자화 또는 역양자화에 따라, 상기 제 1 기억수단의 출력과 상기 확장수단의 출력을 선택하는 선택수단과, 양자화 또는 역양자화할 데이터와, 상기 선택수단의 출력을 곱하는 승산수단을 구비하고 있다.

제 4 발명은, 역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과, 상기 제 2 기억수단의 출력에 응답해서, 상기 뺀 " 0" 과 " 1" 을 그것의 상위로 확장하는 확장수단과, 양자화 또는 역양자화에 따라, 상기 제 1 기억수단의 출력과 상기 확장수단의 출력을 선택하는 선택수단과, 양자화 또는 역양자화할 데이터와, 상기 선택수단의 출력을 곱하는 승산수단을 구비하고 있다.

제 5 발명은, 역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 을 뺀 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과, 양자화 또는 역양자화에 따라, 상기 제 1 기억수단의 출력과 상기 제 2 기억수단의 출력을 선택하는 선택수단과, 양자화 또는 역양자화할 데이터와, 상기 선택수단의 출력을 곱하는 승산수단과, 상기 승산수단의 출력을 상기 제 2 기억수단의 출력에 응답해서 상기 뺀 " 0" 의 개수 만큼 시프트하는 시프트수단과, 상기 승산수단의 출력과 상기 시프트수단의 출력을 선택하는 제 2 선택수단을 구비하고 있다.

제 6의 발명은, 역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 과 과 직후의 " 1" 을 뺀 유효 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과, 상기 제 2 기억수단의 출력에, " 1" 을 그것의 상위로 확장하는 확장수단과, 양자화 또는 역양자화에 따라, 상기 제 1 기억수단의 출력과 상기 확장수단의 출력을 선택하

는 선택수단과, 양자화 또는 역양자화할 데이터와, 상기 선택수단의 출력을 곱하는 승산수단과, 상기 승산수단의 출력을 상기 제 2 기억수단의 출력에 응답해서 상기 뺀 " 0" 의 개수만큼 시프트하는 시프트수단과, 상기 승산수단의 출력과 상기 시프트수단의 출력을 선택하는 제 2 선택수단을 구비하고 있다,

제 1 발명에 따르면, 이상과 같이 양자화、역양자화 회로를 구성하였기 때문에, 제 1 기억수단은, 역양자화하기 위한 양자화 계수를 기억한다. 제 2 기억수단은 양자화하기 위한 자연수의 역수를 기억하고, 제 1 기억수단의 출력에 응답해서 그 역수를 출력한다. 승산수단은, 양자화할 데이터와, 제 2 기억수단의 출력에 근거한 데이터를 곱하여 양자화하고, 역양자화할 데이터와, 제 1 기억수단의 출력을 곱하여 역양자화한다.

제 2 발명에 따르면, 선택수단은, 양자화 또는 역양자화에 따라, 상기 제 2 기억수단 또는 상기 제 1 기억수단의 출력을 선택한다. 승산수단은, 양자화 또는 역양자화할 데이터와, 상기 선택수단을 출력을 곱하여, 양자화된 데이터 또는 역양자화된 데이터를 출력한다.

제 3 발명에 따르면, 제 2 기억수단은, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 을 뺀 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력한다. 확장수단은, 제 2 기억수단의 출력에 응답해서, 뺀 " 0" 을 그것의 상위로 확장하여 원래의 자연수의 역수로 복원한다. 선택수단은, 양자화 또는 역양자화에 따라, 제 1 기억수단의 출력과 상기 확장수단의 출력을 선택한다. 승산수단은, 제 2 기억수단에 의해, 양자화 또는 역양자화한 데이터와, 상기 제 1 기억수단 또는 제 2 기억수단의 출력에 근거한 데이터를 곱하여 양자화된 데이터 또는 역양자화된 데이터를 출력한다.

제 4 발명에 따르면, 제 2 기억수단은 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력 한다. 확장수단은, 제 2 기억수단의 출력에 응답해서, 뺀 " 0" 과 " 1" 을 그것의 상위로 확장하여 원래의 자연수의 역수로 복원한다.

제 5 발명에 따르면, 제 2 기억수단은, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 을 뺀 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력한다. 선택수단은, 양자화 또는 역양자화에 따라, 상기 제 1 기억수단의 출력과 제 2 기억수단의 출력을 선택한다. 승산수단은, 양자화 또는 역양자화할 데이터와, 상기 선택수단의 출력을 곱한다. 승산수단의 출력 중 선택수단에 의해 선택된 제 2 기억수단의 출력에 근거한 출력은, 최상위로부터 연속하는 " 0" 을 뺀 비트 자리수 벗어나 있기 때문에, 시프트수단은, 제 2 기억수단의 출력에 응답해서 뺀 " 0" 의 개수만큼 시프트한다. 제 2 선택수단은, 승산수단의 출력과 시프트수단의 출력을 선택하여, 역양자화된 데이터 또는 양자화된 데이터를 출력한다.

제 6 발명은, 제 2 기억수단은, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트를 기억해 두고, 제 1 기억수단의 출력에 응답해서 그 역수를 출력한다. 확장수단은, 제 2 기억수단의 출력에 " 1" 을 그것의 상위로 확장한다. 따라서, 상기 과제를 해결할 수 있는 것이다.

(실시예)

도 1은, 본 발명의 제 1 실시예의 양자화、역양자화 회로를 나타낸 회로도로서, 종래의 도 2 중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 제 1 실시예의 양자화、역양자화 회로(30)에서는, 종래의 제산기(12), 선택기(14) 및 양자화 계수 RAM(13) 대신에, 1 내지 255까지의 자연수의 역수를 기억한 역수 ROM(32)과, 8x8 화소 단위로 양자화、역양자화하기 위해 64개의 8비트의 양자화 계수를 기억하는 양자화 계수 RAM(31), 및 양자화 계수 RAM(31)과 역수 ROM(32)의 데이터의 어느 하나를 선택하는 선택회로(33)를 설치한 것이다.

역수 ROM(32)의 어드레스 신호선은, 양자화 RAM(31)의 출력에 응답해서 그것의 출력의 역수가 출력되도록 신호선 L31과 접속되어 있다. 선택회로(33)의 한쪽의 입력 단자는, 신호선 L31에 의해 양자화 RAM(31)과 접속되어 있다. 선택회로(33)의 다른 쪽의 입력 단자는, 역수 ROM(32)의 데이터 신호선 L32에 접속되어 있다. 승산기(11)의 한쪽의 입력 단자는, 신호선 LIN에 접속되고, 승산기(11)의 다른 쪽 입력 단자는 선택회로(33)의 출력 단자를 접속하는 신호선 L33에 접속되어 있다. 선택기(33)의 입력신호를 선택하기 위한 신호선 LDIR이 선택기(33)에 접속되어 있다. 승산기(11)의 출력측에는, 신호선 LOUT에 의해 허프만 복호화 회로(20) 및 IDCT 회로(1)가 접속되어 있다.

도 3은, 도 1 중의 역수 ROM(32)의 내용을 나타낸 도면이다.

도 3에 나타낸 번지는 역수 ROM(32)에 기억된 어드레스를 표시하고 있는 동시에, 1 255까지의 자연수를 표시하고 있고, 번지의 우측에 표시된 16진수의 19비트 데이터는 그것의 자연수의 역수이며, 역수 ROM(32)에는 1 255의 자연수의 역수가 19 비트의 고정 2진 소수점으로 표현된 형식으로, 그것의 자연수와 동일한 번지에 저장되어 있다. 예를 들면, 역수 ROM(33)의 1 번지에는 16 진수 " 40000" 이 저장되어 있는데, 이것의 1의 역수를 표시하고 있다.

다음에, 이 양자화、역양자화 회로(30)의 동작을 설명한다.

양자화 실행시에는, 신호선 LDIR에 " L" 이 입력되고, DCT 회로(1)에서 DCT 변환된 신호가 신호선 L1 및 신호선 LIM을 거쳐, 승산기(11)의 한쪽으로 입력 단자에 입력된다. 도시되지 않은 어드레스 카운터에 의해, 양자와 계수 RAM(31)에 기억되어 있는 양자화 계수가 판독되고, 신호선 L13으로 출력된다. 신호선 L13으로 출력된 양자화 계수의 역수를 저장하는 역수 ROM(32)의 어드레스 신호선이 선택되고 역수 ROM(32)에 저장된 역수가 신호선 L32를 거쳐 선택기(33)로 출력된다. 선택기(33)에서는, 신호선 LDIR로부터 " L" 이 선택신호로서 입력되고, 역수 ROM(32)로부터의 역수가 선택되어 신호선 L33을 거쳐 승산기(11)로 출력된다. 승산기(11)에서는, DCT 회로(1)에서 DCT 변환된 신호와 역수 ROM(32)으로부터의 역수를 곱하여, 신호선 LOUT을 거쳐 부호화 회로(20)로 출력되어 양자화를 완료한다.

역양자화 실행시에는, 신호선 LDIR로 " H" 가 입력되고, 허프만 복호화 회로 (20)에서 복호화된 신호가 신호선 L2O 및 신호선 LIN을 거쳐, 승산기(11)에 입력된 다. 도시되지 않은 어드레스 카운터에 의해, 양자화 계수 RAM(31)에 기억되어 있는 양자화 계수가 판독되어, 신호선 L31을 거쳐 선택회로(33)에 출력된다. 선택기 (33)에서는, 신호선 LDIR로부터 " H" 가 선택신호로서 입력되고, 양자화 계수 RAM(31)의 출력이 선택되어 신호선 L33을 거쳐 승산기(11)로 출력된다. 승산기(11)에서는, 허프만 복호화 회로(20)에서 복호화된 신호와 양자화 계수 RAM(31)의 출력을 곱하여, 신호선 LOUT을 거쳐 IDCT 회로(11)로 출력하여 역양자화를 완료한다.

이와 같이 승산기(11) 만에 의해 양자화 및 역양자화를 행함으로써, 종래의 양자화、역양자화 회로(10)의 제산기(12)가 불필요하게 된다.

이상에서 설명한 것과 같이, 이 제 1 실시예에서는 제산기(12)가 불필요하게 되어 양자화、역양자화의 회로의 면적이 작아져, 소형화할 수 있다.

도 4는, 본 발명의 제 2 실시예의 양자화·역양자화 회로를 나타낸 회로도로서, 제 1 실시예의 도 1 중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 제 2 실시예의 양자화·역양자화 회로(40)에서는, 제 1 실시예의 양자화·역양자화 회로(30)의 역수 ROM(32)에는 19 비트의 고정 소수점으로 표현된 형식으로 저장되어 있는 것에 대해, 역수 ROM(41)에는 11 비트로 압축된 형식으로 저장되어 있고, 양자화할 때에 압축된 역수를 19 비트로 확장하여 역수 ROM(32)에 저장된 데이터와 동일한 형식으로 변환하는 확장기(42)를 설치하고 있는 점이 다르며, 그 이외의 점은 제 1 실시예와 동일한 구성이다.

역수 ROM(41)의 어드레스 신호선은, 양자화 계수 RAM(31)의 8 비트의 출력에응답해서 그것의 출력의 역수가 출력되도록 신호선 L31과 접속되어 있다. 역수 ROM(41)의 데이터 신호선 L41은 확장기(42)에 접속되어 있다. 확장기(42)는, 예를 들면, 19 비트의 시프트 레지스터로 구성되어 있으며, 양자화 계수 RAM(31)의 출력에 응답해서, 신호선 L31에 의해 19 비트로 확장하는 최상위로 확장하는 비트수가 지정되고, 이것에 근거하여 11 비트로부터 19 비트 확장된다. 확장기(42)의 출력 단자는, 신호선 L42에 의해 선택기(33)의 한쪽의 입력 단자에 접속되어 있다. 선택기(33)의 다른쪽의 입력 단자는, 신호선 L31에 의해 양자화 계수 ROM(31)에 접속되어 있다. 선택기(33)의 출력 단자는, 승산기(11)의 한쪽의 입력 단자와 신호선 L33에 의해 접속되어 있다, 승산기(11)의 다른 쪽의 입력 단자는 신호선 LIN에 접속되어 있다.

도 5는 역수 ROM(41)에 기억된 역수의 데이터 형식을 설명하기 위한 도면이다. 역수 ROM(41)에서는, 도 3에 나타낸 19 비트의 고정 소수점으로 표현된 자연수의 역수에 대해, 그것의 최상위의 비트로부터 연속하는 "0" 및 최하위의 비트로 부터 연속하는 "0" 중에서 맞추어 8 비트를 뺀 후 11 비트로 압축된 데이터가 도 5에 나타낸 형식으로 각 자연수의 번지에 저장된다.

다음에, 이 양자화·역양자화 회로(40)의 동작을 설명한다.

양자화 실행시에는, 신호선 LDIR에 "L" 이 입력되고, DCT 회로(1)에서 DCT 변환된 신호가 신호선 L1 및 신호선 LIN을 거쳐, 승산기(11)에 입력된다. 도시되지 않은 어드레스 카운터에 의해, 양자화 계수 RAM(31)에 기억되어 있는 양자화 계수가 판독되어, 신호선 L31로 출력된다. 신호선 L31로 출력된 양자화 계수의 역수를 저장하는 역수 ROM(41)의 어드레스 신호선이 선택되어, 역수 ROM(41)에 저장된 11비트의 역수가 신호선 L41을 거쳐 확장기(42)로 출력된다. 확장기(42)에서는, 양자화 계수 RAM(31)의 출력에 응답해서 압축된 데이터를 19 비트로 확장하기 위해, 그것의 최상위로 확장하는 비트수가 신호선 L31을 거쳐 입력된다. 최상위로 확장하는 비트수는 이하와 마찬가지이다.

양자화 계수 ROM(31)의 8 비트의 출력을 n(1 255)으로 하였을 때, 이 n에 대해 비트값 "1" 의 최상위 비트 위치를 m으로 하였을 때, (예를 들면, n이 1일 때에는, m=1로 된다), 19 비트로 표현된 역수 1/n의 최상위로부터 "0" 의 개수는 n이 2^{m-1} 일 때에는 m-1이고, n이 2^{m-1} 과 다를 때에는 m이다.

도 6은, 양자화 계수 RAM(31)으로부터 출력된 자연수에 따른, 11 비트로부터 19 비트로 확장하는 비트수를 구체적으로 나타낸 것이다. 확장기(42)에서는, 이하의 (a) (i)의 번지의 데이터에 따라 19 비트의 데이터로 확장하여, 신호선 L42를 거쳐, 선택기(33)로 출력한다.

(a) 1 번지의 데이터: 뒤에 8 비트의 "0" 을 추가한다.

(b) 2 번지의 데이터: 앞에 1 비트, 뒤에 7 비트의 "0" 을 추가한다.

(c) 3, 4 번지의 데이터: 앞에 2 비트, 뒤에 6 비트의 "0" 을 추가한다.

(d) 5 8 번지의 데이터: 앞에 3 비트, 뒤에 5 비트의 "0" 을 추가한다.

(e) 9 16 번지의 데이터: 앞에 4 비트, 뒤에 4 비트의 " 0" 을 추가한다.

(f) 17 32 번지의 데이터: 앞에 5 비트, 뒤에 3 비트의 " 0" 을 추가한다.

(s) 33 64 번지의 데이터: 앞에 6 비트, 뒤에 2 비트의 " 0" 을 추가한다.

(h) 65 128 번지의 데이터: 앞에 7 비트, 뒤에 1 비트의 " 0" 을 추가한다.

(i) 129 255 번지의 데이터: 앞에 8 비트의 " 0" 을 추가한다.

선택기(33)에서는, 신호선 LDIR로부터 " L" 이 선택신호로서 입력되고, 역수 ROM(32)으로부터의 역수가 선택되어 신호선 L33을 거쳐 승산기(11)의 다른 쪽의 입력 단자에 출력된다, 승산기(11)에서는, DCT 회로(1)에서 DCT 변환된 신호와 역수 ROM(32)으로부터의 역수를 곱하여, 신호선 LOUT을 거쳐 허프만 복호화 회로(20)로 출력되어 양자화를 완료한다.

약양자화 실행시의 동작은, 제 1 실시예와 동일하다.

이와 같이 승산기(11)에 의해 양자화 및 역양자화를 행하는 것에 의해, 종래의 양자화·역양자화 회로(1O)의 제산기(12)가 불필요하게 되는 동시에, 역수 ROM(41)에서는, 11 비트로 압축된 데이터를 저장하기 때문에 제 1 실시예의 역수 ROM(32)보다도 (19-11)x255 비트 = 2040 비트 만큼 데이터 압축이 가능하다.

이상에서 설명한 것과 같이, 이 제 2 실시예에서는, 제 1 실시예와 동일한 이점이 있는 이외에, 역양자화 계수를 기억하는 ROM을 작게 할 수 있다고 하는 이점이 있다.

도 7은, 본 발명의 제 3 실시예의 양자화·역양자화 회로를 나타낸 회로도로서, 제 1 실시예의 도 1 중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 제 3 실시예의 양자화·역양자화 회로(50)에서는, 제 2 실시예의 양자화·역양자화 회로(40)에서는 확장기(42)에 의해 19 비트로 확장하여 승산기(11)에 입력하고 있는 것에 대해, 승산기(11)에는 11 비트의 데이터인 상태로 입력되어 우측 시프터(51)에서 우측으로 시프트하는 것이다.

역수 ROM(41)의 데이터 신호선 L41은, 선택기(33)에 접속되어 있다, 우측 시프터(51)는, 시프트 레지스터로 구성되어 있으며, 양자화 계수 RAM(31)의 출력에 응답해서, 신호선 L31에 의해 우측으로 시프트하는 시프트량이 지정된다. 승산기(11)의 출력 단자는, 신호선 L11에 의해 우측 시프터(51)의 입력 단자 및 선택기(52)의 한쪽의 입력 단자에 접속되어 있다. 선택기(52)의 출력을 선택하는 신호가 신호선 LDIR이 선택기(52)에 접속되어 있다. 선택기(52)의 다른 쪽의 입력 단자는, 신호선 L51에 의해 우측 시프터(51)의 출력 단자에 접속되어 있다. 선택기(52)의 출력 단자는. 신호선 LOUT에 의해 허프만 복호화 회로(20) 및 IDCT 회로(1)에 접속되어 있다.

다음에, 이 양자화·역양자화 회로(40)의 동작을 설명한다.

양자화 실행시에는, 신호선 LDIR에 " L" 이 입력되고, DCT 회로(1)에서 DCT 변환된 신호가 신호선 L1 및 신호선 LIN을 거쳐, 승산기(11)에 입력된다. 도시되지 않은 어드레스 카운터에 의해, 양자화 계수 RAM(31)에 기억되어 있는 양자화 계수가 판독되어, 신호선 L31로 출력된다. 신호선 L31로 출력된 양자화 계수의 역수를 저장하는 역수 ROM(41)의 어드레스 신호선이 선택되고 역수 ROM(41)에 저장된 11 비트의 역수가 신호선 L41을 거쳐 선택기(33)로 출력된다. 선택기(33)에서는, 신호선 LDIR에 의해 " L" 이 입력되고, 역수 ROM(41)의 11 비트의 데이터가 선택되어, 신

호선 L33으로 출력된다. 승산기(11)에서는, DCT 회로(1)에서 DCT 변환된 신호와 선택기(33)에서 선택된 역수 ROM(41)으로부터의 역수를 곱하여, 신호선 L111로 출력한다. 우측 시프터(51)에서는, 신호선 L31에 의해 지정된 양자화 계수 RAM(31)의 출력에 따른 시프트량에 근거하여, 우측으로 시프트한다.

도 8은, 우측 시프터의 시프트량을 구체적으로 나타낸 것이다. 승산기(11) 에 11 비트로 압축된 데이터가 입력되고 있기 때문에, 최상위 비트로부터 뺀 비트 수 만큼 승산기(11)의 출력의 자리가 있지 않기 때문에, 우측 시프터(51)에서는 최상위 비트로부터 뺀 비트수만큼, 이하의 (a) (i)의 번지의 데이터에 따라 우측으로 시프트하고, 최상위 비트로부터 시프트된 비트수만큼 " 0" 을 넣어, 시프트하여 초과한 비트를 잘라 버린다.

(a) 1 번지의 데이터: 시프트 없음.

(b) 2 번지의 데이터: 1 비트 우측으로 시프트한다.

(c) 3과 4 번지의 데이터: 2 비트 우측으로 시프트한다.

(d) 5 8 번지의 데이터: 3 비트 우측으로 시프트한다.

(e) 9 16 번지의 데이터: 4 비트 우측으로 시프트한다.

(f) 17 32 번지의 데이터: 5 비트 우측으로 시프트한다.

(g) 33 64 번지의 데이터: 6 비트 우측으로 시프트한다.

(h) 65 128 번지의 데이터: 7 비트 우측으로 시프트한다.

(i) 129 25 번치의 데이터: 8 비트 우측으로 시프트한다.

선택기(52)에선, 신호선 LDIR에 의해 " L" 이 입력되고, 우측 시프터(51)의 출력을 선택하여 신호선 LOUT을 거쳐 허프만 복호화 회로(20)로 출력한다.

양자화 실행시에는, 승산기(11)의 출력이 선택되어, 신호선 LOUT를 거쳐 IDCT 회로(1)로 출력된다.

이상에서 설명한 것과 같이, 이 제 3 실시예에서는 제 2 실시예와 동일한 이점이 있다.

이때, 본 발명은, 상기한 실시예에 한정되지 않고 다양한 변형이 가능하다. 이 변형예로서는, 예를 들면 다음과 같은 것이 있다.

(1) 도 4의 역수 ROM(41)에서는, 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트의 데이터를 기억하고, 확장기(42)에서는 데이터의 선두에 " 1" 비트를 부가하고, 그 직후에 " 0" 비트를 부가하여 19 비트로 확장하여, 선택기(42)에 출력하여도 좋다. 이것에 의해 역수 ROM(41)을 더욱 작게 할 수 있다.

(2) 도 7의 역수 ROM(41)에서는, 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트의 데이터를 기억하고, 확장기를 설치하여, 역수 ROM(41)의 출력에, 이 확장기에 의해 " 1" 을 최상위로 부가하여, 선택기(33)로 출력하여도 좋다.

이것에 의해, 역수 ROM(41)을 더욱 작게 할 수 있다.

이상에서 상세히 설명한 것과 같이, 제 1 발명에 따르면, 양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과, 양

자화하기 위한 자연수의 역수를 기억하고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과, 양자화 또는 역양자화할 데이터와, 상기 제 1 기억수단의 출력 또는 상기 제 2 기억수단의 출력에 근거한 데이터를 곱하는 승산수단을 구비하고 있다. 따라서, 승산수단 만에 의해, 양자화 또는 역양자화의 연산을 행할 수 있어, 양자화·역양자화 회로를 작게 할 수 있다.

제 2 발명에 따르면, 양자화 또는 역양자화에 따라, 상기 제 2 기억수단 또는 상기 제 1 기억수단의 출력을 선택하는 선택수단을 구비하고 있다. 따라서, 승산수단 만에 의해, 양자화 또는 역양자화를 수행할 수 있어, 양자화·역양자화 회로를 작게 할 수 있다.

제 3 또는 제 5 발명에 따르면, 고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 을 뺀 비트를 기억해 두고, 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과, 제 2 기억수단의 출력에 응답해서, 뺀 " 0" 을 그 상위로 확장하는 확장수단을 구비하고 있다. 따라서, 제 2 기억수단에 기억할 데이터 양을 적게 할 수 있어 양자화·역양자화 회로를 작게 할 수 있다.

제 4 또는 제 6 발명에 따르면, 고정 2진수로 표현된 양자화하기 위한 자연수의 정수에 대해, 그것의 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트를 기억해 두고, 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단을 구비하고 있다. 따라서, 제 2 기억수단에 기억할 데이터 양을 더욱 적게 할 수 있어, 양자화·역양자화 회로를 작게 할 수 있다.

(57) 청구의 범위

청구항 1.

역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과,

양자화하기 위한 자연수의 역수를 기억하고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과,

양자화 또는 역양자화할 데이터와 상기 제 1 기억수단의 출력 또는 상기 제 2 기억 수단의 출력에 근거한 데이터를 곱하는 승산수단을 구비한 것을 특징으로 하는 양자화·역양자화 회로.

청구항 2.

역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과,

양자화하기 위한 자연수의 역수를 기억하고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과,

양자화 또는 역양자화에 따라 상기 제 2 기억수단 또는 상기 제 1 기억수단의 출력을 선택하는 선택수단과,

양자화 또는 역양자화할 데이터와 상기 선택수단의 출력을 곱하는 승산수단을 구비한 것을 특징으로 하는 양자화·역양자화 회로.

청구항 3.

역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과,

고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 을 뺀 비트를 기억해 두고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과,

상기 제 2 기억수단의 출력에 응답해서 상기 뺀 " 0" 을 그것의 상위로 확장하는 확장수단과,

양자화 또는 역양자화에 따라, 상기 제 1 기억수단의 출력과 상기 확장수단의 출력을 선택하는 선택수단과,

양자화 또는 역양자화할 데이터와 상기 선택수단의 출력을 곱하는 승산수단을 구비한 것을 특징으로 하는 양자화、역양자화 회로.

청구항 4.

역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과,

고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트를 기억해 두고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과,

상기 제 2 기억수단의 출력에 응답해서 상기 뺀 " 0" 과 " 1" 을 그것의 상위로 확장하는 확장수단과,

양자화 또는 역양자화에 따라, 상기 제 1 기억수단의 출력과 상기 확장수단의 출력을 선택하는 선택수단과,

양자화 또는 역양자화할 데이터와 상기 선택수단의 출력을 곱하는 승산수단을 구비한 것을 특징으로 하는 양자화、역양자화 회로.

청구항 5.

역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과,

고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 을 뺀 비트를 기억해 두고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과,

양자화 또는 역양자화에 따라 상기 제 1 기억수단의 출력과 상기 제 2 기억수단의 출력을 선택하는 제 1 선택수단과,

양자화 또는 역양자화할 데이터와 상기 선택수단의 출력을 곱하는 승산수단과,

상기 승산수단의 출력의 상기 제 2 기억수단의 출력에 응답해서 상기 뺀 " 0" 의 개수만큼 시프트하는 시프트수단과,

상기 승산수단의 출력과 상기 시프트수단의 출력을 선택하는 제 2 선택수단을 구비한 것을 특징으로 하는 양자화、역양자화 회로.

청구항 6.

역양자화하기 위한 양자화 계수를 기억하는 제 1 기억수단과,

고정 2진수로 표현된 양자화하기 위한 자연수의 역수에 대해, 그것의 최상위로부터 연속하는 " 0" 과 그 직후의 " 1" 을 뺀 유효 비트를 기억해 두고 상기 제 1 기억수단의 출력에 응답해서 그 역수를 출력하는 제 2 기억수단과,

상기 제 2 기억수단의 출력에 " 1" 을 그것의 상위로 확장하는 확장수단과,

양자화 또는 역양자화에 따라 상기 제 1 기억수단의 출력과 상기 확장수단의 출력을 선택하는 제 1 선택수단과,

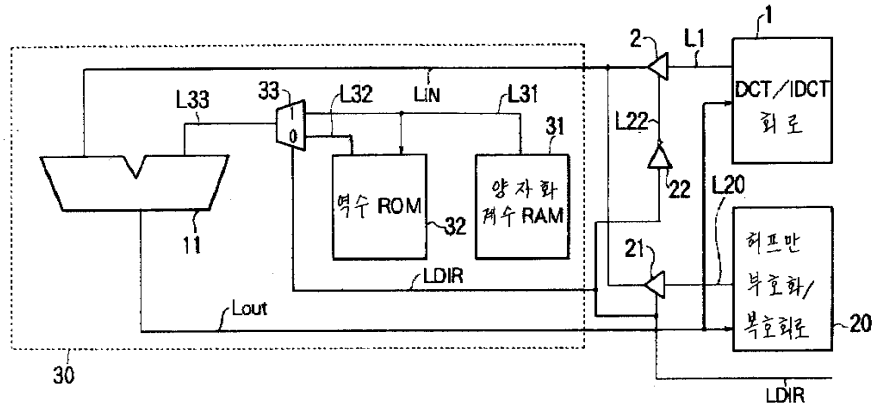
양자화 또는 역양자화할 데이터와 상기 선택수단의 출력을 곱하는 승산수단과,

상기 승산수단의 출력을 상기 제 2 기억수단의 출력에 응답해서 상기 뺀 " 0" 의 개수만큼 시프트하는 시프트수단과,

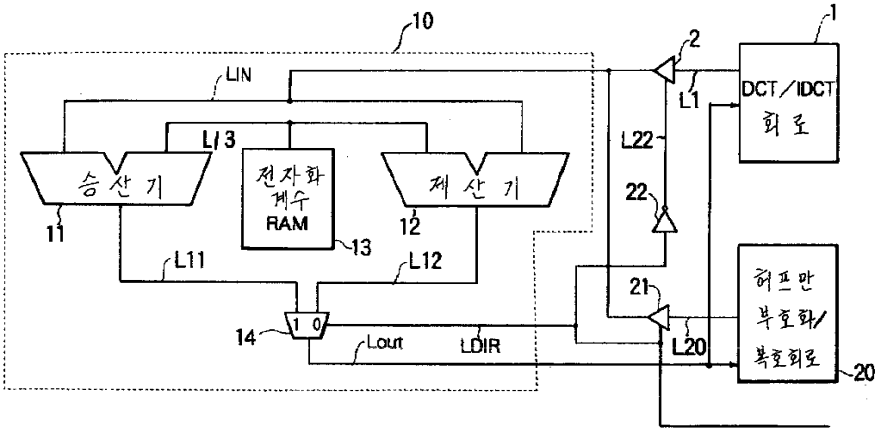
상기 승산수단의 출력과 상기 시프트수단의 출력을 선택하는 제 2 선택수단을 구비한 것을 특징으로 하는 양자화 · 역양자화 회로.

도면

도면 1



도면 2

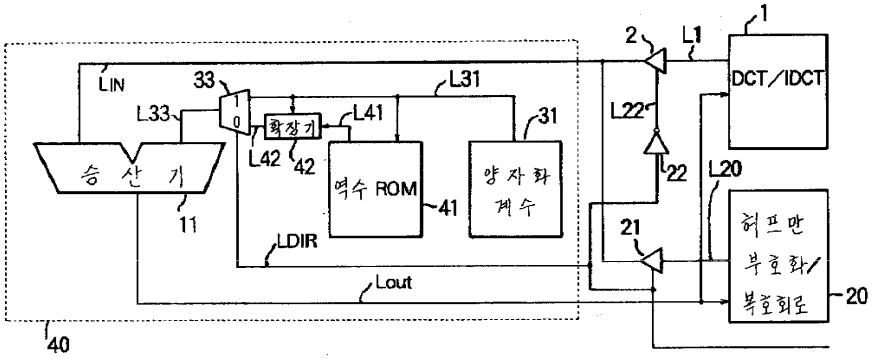


도면 3

19 비트

번지	역수 데이타 (16진)
1	40000
2	20000
3	15555
4	10000
5	0CCCD
6	0AAAB
.	.
.	.
8	08000
9	071C7
.	.
.	.
15	04444
16	04000
17	03C3C
.	.
.	.
31	02108
32	02000
33	01F08
.	.
.	.
63	01041
64	01000
65	00FC1
.	.
.	.
127	00810
128	00800
129	007F0
.	.
.	.
255	00404

도면 4

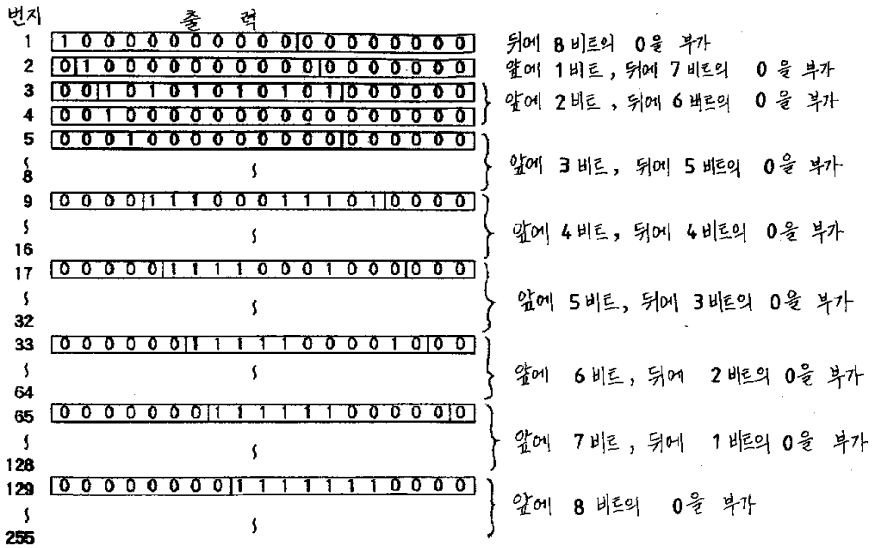


도면 5

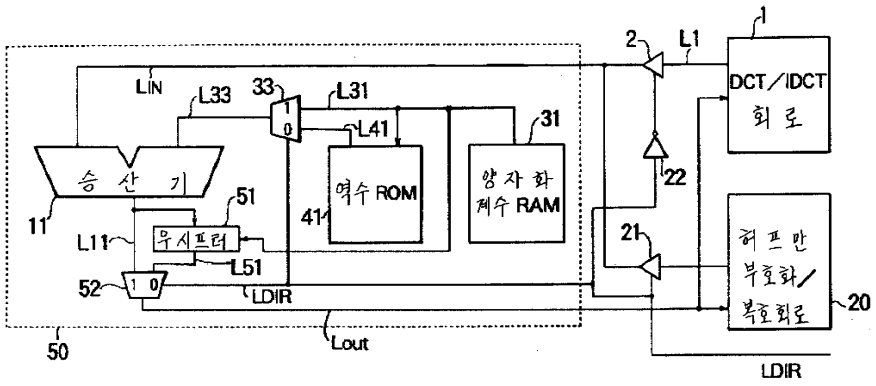
11 비트

번지	명수 데이터(16진)
1	4 0 0
2	4 0 0
3	5 5 5
4	4 0 0
5	6 6 6
6	5 5 6
⋮	
8	4 D 0
9	7 1 C
⋮	
15	4 4 4
16	4 0 0
17	7 8 8
⋮	
31	4 2 1
32	4 0 0
33	7 C 2
⋮	
63	4 1 0
64	4 0 0
65	7 E 0
⋮	
127	4 D 8
128	4 0 0
129	7 F 0
⋮	
255	4 0 4

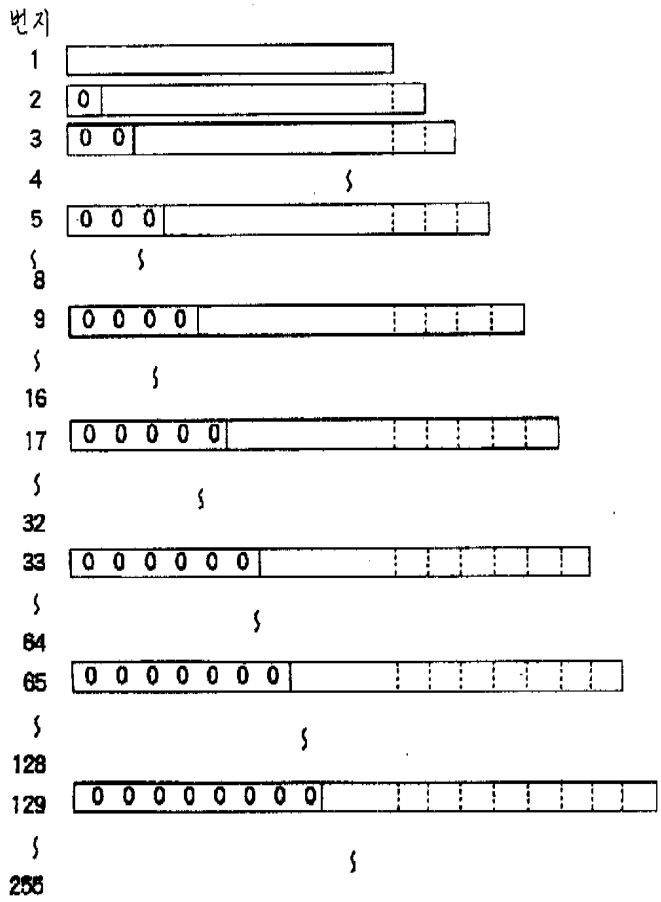
도면 6


번지
출 력
1
2
3
4
5
8
9
16
17
32
33
64
65
128
129
255
뒤에 8 비트의 0을 부가
앞에 1비트, 뒤에 7 비트의 0 을 부가
앞에 2비트, 뒤에 6 비트의 0 을 부가
앞에 3 비트, 뒤에 5 비트의 0을 부가
앞에 4 비트, 뒤에 4 비트의 0을 부가
앞에 5 비트, 뒤에 3 비트의 0을 부가
앞에 6 비트, 뒤에 2 비트의 0을 부가
앞에 7 비트, 뒤에 1 비트의 0을 부가
앞에 8 비트의 0을 부가

도면 7


LIN
L33
33
L31
L41
31
승 산 기
11
51
41
역수 ROM
양 자 화
계수 RAM
L11
우시프터
L51
52
LDIR
50
Lout
2
L1
1
DCT/IDCT
회 로
22
21
허 프 만
부호화/
복호회로
20
LDIR

도면 8


번지
1
2
3
4
5
8
9
16
17
32
33
64
65
128
129
256
0
0 0
0 0 0
0 0 0 0
0 0 0 0 0
0 0 0 0 0 0
0 0 0 0 0 0 0
0 0 0 0 0 0 0 0