



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월13일
(11) 등록번호 10-2805549
(24) 등록일자 2025년05월07일

- (51) 국제특허분류(Int. Cl.)
H10F 39/12 (2025.01) H01L 23/522 (2006.01)
- (52) CPC특허분류
H10F 39/80373 (2025.01)
H01L 23/522 (2013.01)
- (21) 출원번호 10-2021-7028339
- (22) 출원일자(국제) 2020년03월13일
심사청구일자 2023년02월16일
- (85) 번역문제출일자 2021년09월03일
- (65) 공개번호 10-2021-0141935
- (43) 공개일자 2021년11월23일
- (86) 국제출원번호 PCT/JP2020/010981
- (87) 국제공개번호 WO 2020/189534
국제공개일자 2020년09월24일
- (30) 우선권주장
JP-P-2019-048551 2019년03월15일 일본(JP)
- (56) 선행기술조사문헌
JP2014022561 A*
JP2015162668 A*
JP2017027982 A*
JP2017183636 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
소니 세미컨덕터 솔루션즈 가부시카이가이샤
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1
- (72) 발명자
미야케 신이치
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시카이가이샤 내
야마시타 히로후미
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시카이가이샤 내
- (74) 대리인
최달용

전체 청구항 수 : 총 10 항

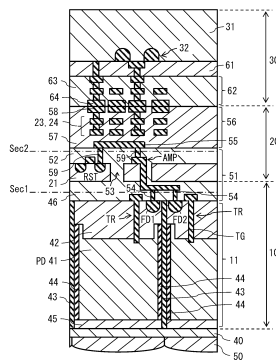
심사관 : 심병로

(54) 발명의 명칭 **활상 소자 및 반도체 소자**

(57) 요약

본 개시의 한 실시의 형태에 관한 활상 소자는 제1 반도체 기판과, 절연층을 통하여 상기 제1 반도체 기판에 적층된 제2 반도체 기판을 구비하고 있다. 제1 반도체 기판은 광전 변환부와, 광전 변환부로부터 전송된 전하를 유지하는 전하 유지부를 가지고 있다. 제2 반도체 기판은 전하 유지부에 유지된 전하의 레벨에 응한 전압의 신호를 생성하는 증폭 트랜지스터를 가지고 있다. 증폭 트랜지스터는 제2 반도체 기판의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 채널 영역과 대향함과 함께 전하 유지부와 전기적으로 접속된 게이트 전극을 가지고 있다.

대표도 - 도3



(52) CPC특허분류
H10F 39/014 (2025.01)

명세서

청구범위

청구항 1

광전 변환부와, 상기 광전 변환부로부터 전송된 전하를 유지하는 전하 유지부를 갖는 제1 반도체 기판과,

절연층을 통하여 상기 제1 반도체 기판에 적층되고, 상기 전하 유지부에 유지된 전하의 레벨에 응한 전압의 신호를 생성하는 증폭 트랜지스터를 갖는 제2 반도체 기판을 구비하고,

상기 증폭 트랜지스터는 상기 제2 반도체 기판의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 상기 채널 영역과 대향함과 함께 상기 전하 유지부와 전기적으로 접속된 게이트 전극을 갖고,

상기 게이트 전극은 상기 채널 영역을 상기 제2 반도체 기판의 표면과 평행한 제1 방향으로부터 끼워 넣는 더블 게이트 구조로 되어 있고, 또는

상기 게이트 전극은 상기 채널 영역을 상기 제2 반도체 기판의 표면과 평행한 제1 방향으로부터 끼워 넣음과 함께, 상기 제2 반도체 기판의 표면과 교차하는 제2 방향에서 상기 게이트 절연막을 통하여 상기 채널 영역과 대향하는 트라이 게이트 구조로 되어 있는 것을 특징으로 하는 촬상 소자.

청구항 2

제1항에 있어서,

상기 증폭 트랜지스터는 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역이 동일한 극성을 갖는 정선레스 트랜지스터인 것을 특징으로 하는 촬상 소자.

청구항 3

제1항에 있어서,

상기 증폭 트랜지스터는 상기 제1 방향으로 나란히 배치된 복수조의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역을 가지고,

상기 게이트 전극은 상기 증폭 트랜지스터에서 상기 게이트 절연막을 통하여 각각의 상기 채널 영역과 대향 배치되어 있는 것을 특징으로 하는 촬상 소자.

청구항 4

제1항에 있어서,

상기 게이트 전극은 불순물이 도핑된 폴리실리콘, 실리사이드화된 실리콘, 또는 일 함수를 제어하는 금속 재료에 의해 형성되어 있는 것을 특징으로 하는 촬상 소자.

청구항 5

제1항에 있어서,

상기 게이트 전극이 더블 게이트 구조를 갖는 경우에,

상기 제1 반도체 기판은 복수의 상기 광전 변환부를 상기 광전 변환부마다 분리하는 소자 분리부를 가지고,

상기 증폭 트랜지스터는 상기 소자 분리부와 대향하는 위치에 형성되어 있는 것을 특징으로 하는 촬상 소자.

청구항 6

제5항에 있어서,

복수의 상기 전하 유지부는 복수의 그룹으로 등분되어 있고,

복수의 상기 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,

상기 게이트 전극은 상기 채널 영역을 상기 제1 방향으로부터 끼워 넣는 제1 부분 전극 및 제2 부분 전극을 포함하고,

상기 복수의 상기 전하 유지부는, 상기 그룹 각각에서 상기 제1 부분 전극 및 상기 제2 부분 전극의 어느 일방의 하단과 직접 또는 접속부를 통하여 연결됨에 의해, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되어 있고,

또는,

복수의 상기 전하 유지부는 복수의 그룹으로 등분되어 있고,

복수의 상기 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,

상기 그룹마다 할당된 복수의 접속 패드를 더 포함하고,

상기 복수의 상기 전하 유지부는, 상기 그룹 각각에서 상기 접속 패드를 통하여, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되어 있는 것을 특징으로 하는 활상 소자.

청구항 7

제5항에 있어서,

복수의 상기 광전 변환부 중 서로 인접하는 복수의 상기 광전 변환부는 상기 전하 유지부를 공유하고 있고,

복수의 상기 증폭 트랜지스터는 상기 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부마다 등분되어 있고,

상기 게이트 전극은 상기 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부와 전기적으로 접속되어 있는 것을 특징으로 하는 활상 소자.

청구항 8

제1항에 있어서,

상기 게이트 전극이 트라이 게이트 구조를 갖는 경우에,

상기 제1 반도체 기판은 복수의 광전 변환부를 광전 변환부마다 분리하는 소자 분리부를 가지고,

상기 증폭 트랜지스터는 상기 소자 분리부와 대향하는 위치에 형성되어 있는 것을 특징으로 하는 활상 소자.

청구항 9

제8항에 있어서,

복수의 상기 전하 유지부는 복수의 그룹으로 등분되어 있고,

복수의 상기 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,

상기 게이트 전극은 상기 채널 영역을 상기 제1 방향으로부터 끼워 넣는 제1 부분 전극 및 제2 부분 전극과, 제2 방향에서 상기 게이트 절연막을 통하여 상기 채널 영역과 대향함과 함께 상기 제1 부분 전극 및 상기 제2 부분 전극에 접하는 제3 부분 전극을 포함하고,

복수의 상기 전하 유지부는, 상기 그룹 각각에서 상기 제1 부분 전극 및 상기 제2 부분 전극의 어느 일방의 하단과 직접 또는 접속부를 통하여 연결됨에 의해, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되고, 또는,

복수의 상기 전하 유지부는 복수의 그룹으로 등분되어 있고,

복수의 상기 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,

상기 그룹마다 할당된 복수의 접속 패드를 더 구비하고,

복수의 전하 유지부는, 상기 그룹 각각에서 상기 접속 패드를 통하여, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되어 있는 것을 특징으로 하는 활상 소자.

청구항 10

제8항에 있어서,

복수의 상기 광전 변환부 중 서로 인접하는 복수의 상기 광전 변환부는 상기 전하 유지부를 공유하고 있고,

복수의 증폭 트랜지스터는 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부마다 등분되어 있고,

상기 게이트 전극은 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부와 전기적으로 접속되어 있는 것을 특징으로 하는 촬상 소자.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 개시는 촬상 소자 및 반도체 소자에 관한 것이다.

배경 기술

[0002] 종래, 2차원 구조의 촬상 소자의 1화소당의 면적의 미세화는 미세 프로세스의 도입과 실장 밀도의 향상에 의해 실현되어 왔다. 근래, 촬상 소자의 더한층의 소형화 및 화소의 고밀도화를 실현하기 위해, 3차원 구조의 촬상 소자가 개발되어 있다. 3차원 구조의 촬상 소자에서는, 예를 들면, 복수의 광전 변환부를 갖는 반도체 기판과, 각 광전 변환부에서 얻어진 전하의 레벨에 응한 전압의 신호를 생성하는 증폭 트랜지스터를 갖는 반도체 기판이

서로 적층되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특개2010-245506호 공보

발명의 내용

[0004] 그러나, 하층의 반도체 기판과 상층의 반도체 기판을 배선으로 접속하는 경우, 배선 길이가 길어지고, 기생 용량의 증가에 의해 효율 변환이 열화될 우려가 있다. 이것은, 활상 소자만으로 한하지 않고, 반도체 소자 전반에 생길 수 있는 문제이다. 따라서, 효율 변환의 저하를 억제하는 것이 가능한 활상 소자 및 반도체 소자를 제공하는 것이 바람직하다.

[0005] 본 개시의 한 실시의 형태에 관한 활상 소자는 제1 반도체 기판과, 절연층을 통하여 상기 제1 반도체 기판에 적층된 제2 반도체 기판을 구비하고 있다. 제1 반도체 기판은 광전 변환부와, 광전 변환부로부터 전송된 전하를 유지하는 전하 유지부를 가지고 있다. 제2 반도체 기판은 전하 유지부에 유지된 전하의 레벨에 응한 전압의 신호를 생성하는 증폭 트랜지스터를 가지고 있다. 증폭 트랜지스터는 제2 반도체 기판의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 채널 영역과 대향함과 함께 전하 유지부와 전기적으로 접속된 게이트 전극을 가지고 있다.

[0006] 본 개시의 한 실시의 형태에 관한 활상 소자에서는, 제2 반도체 기판의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 채널 영역과 대향함과 함께 전하 유지부와 전기적으로 접속된 게이트 전극을 갖는 증폭 트랜지스터가 마련되어 있다. 이에 의해, 증폭 트랜지스터와 전하 유지부를 접속하는 배선 길이를 단축할 수 있고, 기생 용량을 저감할 수 있다.

[0007] 본 개시의 한 실시의 형태에 관한 반도체 소자는 제1 트랜지스터 또는 광전 변환부를 갖는 제1 반도체 기판과, 절연층을 통하여 제1 반도체 기판에 적층되고, 제2 트랜지스터를 갖는 제2 반도체 기판을 구비하고 있다. 제2 트랜지스터는 제2 반도체 기판의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 채널 영역과 대향함과 함께 제1 반도체 기판과 전기적으로 접속된 게이트 전극을 가진다

[0008] 본 개시의 한 실시의 형태에 관한 반도체 소자에서는, 제2 반도체 기판의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 채널 영역과 대향함과 함께 전하 유지부와 전기적으로 접속된 게이트 전극을 갖는 증폭 트랜지스터가 마련되어 있다. 이에 의해, 제2 트랜지스터와 제1 반도체 기판을 접속하는 배선 길이를 단축할 수 있고, 기생 용량을 저감할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 개시의 한 실시의 형태에 관한 활상 소자의 개략 구성의 한 예를 도시하는 도면.
- 도 2는 도 1의 센서 화소 및 판독 회로의 회로 구성의 한 예를 도시하는 도면.
- 도 3은 도 1의 센서 화소의 단면 구성의 한 예를 도시하는 도면.
- 도 4는 도 3의 단면 구성의 일부를 확대하여 도시하는 도면.
- 도 5는 도 4의 Sec1, Sec2에서의 단면 구성의 한 예를 도시하는 도면.
- 도 6은 도 4의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 7은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 8은 도 4의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 9는 도 7, 도 8의 AMP의 평면 구성례를 도시하는 도면.
- 도 10은 도 4의 단면 구성의 한 변형례를 도시하는 도면.

- 도 11은 도 4의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 12는 도 11의 RST, SEL의 수직 방향의 단면 구성례를 도시하는 도면.
- 도 13은 도 4의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 14는 도 13의 RST, SEL의 수직 방향의 단면 구성례를 도시하는 도면.
- 도 15는 도 13의 RST, SEL의 수직 방향의 단면 구성례를 도시하는 도면.
- 도 16은 도 1의 센서 화소 및 판독 회로의 회로 구성의 한 예를 도시하는 도면.
- 도 17은 도 16의 회로를 구비한 촬상 소자의 Sec2에서의 단면 구성의 한 예를 도시하는 도면.
- 도 18은 도 16의 회로를 구비한 촬상 소자의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 19는 도 16의 회로를 구비한 촬상 소자의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 20은 도 16의 회로를 구비한 촬상 소자의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 21은 도 16의 회로를 구비한 촬상 소자의 Sec2에서의 단면 구성의 한 변형례를 도시하는 도면.
- 도 22는 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 23은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 24는 도 1의 센서 화소 및 판독 회로의 회로 구성의 한 변형례를 도시하는 도면.
- 도 25는 도 1의 센서 화소 및 판독 회로의 회로 구성의 한 변형례를 도시하는 도면.
- 도 26은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 27은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 28은 도 26, 도 27의 2개의 AMP의 평면 구성례를 도시하는 도면.
- 도 29는 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 30은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 31은 도 29, 도 40의 4개의 AMP 및 SEL의 평면 구성례를 도시하는 도면.
- 도 32는 도 31의 평면 구성의 한 변형례를 도시하는 도면.
- 도 33은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 34는 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 35는 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 36은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 37은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 38은 도 4의 단면 구성의 한 변형례를 도시하는 도면.
- 도 39는 도 22의 단면 구성의 한 변형례를 도시하는 도면.
- 도 40은 도 23의 단면 구성의 한 변형례를 도시하는 도면.
- 도 41은 도 33의 단면 구성의 한 변형례를 도시하는 도면.
- 도 42는 도 34의 단면 구성의 한 변형례를 도시하는 도면.
- 도 43은 도 2의 회로 구성의 한 변형례를 도시하는 도면.
- 도 44는 도 43의 회로 구성을 구비한 센서 화소의 단면 구성의 한 변형례를 도시하는 도면.
- 도 45는 상기 실시의 형태 및 그 변형례에 관한 촬상 소자를 구비한 촬상 시스템의 개략 구성의 한 예를 도시하는 도면.

- 도 46은 도 45의 촬상 시스템에서의 촬상 순서의 한 예를 도시하는 도면.
- 도 47은 차량 제어 시스템의 개략적인 구성의 한 예를 도시하는 블록도.
- 도 48은 차외 정보 검출부 및 촬상부의 설치 위치의 한 예를 도시하는 설명도.
- 도 49는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면.
- 도 50은 카메라 헤드 및 CCU의 기능 구성의 한 예를 도시하는 블록도.
- 도 51은 상기 실시의 형태 등의 촬상 소자의 구성을 반도체 소자에 적용한 예를 도시하는 도면.
- 도 52는 상기 실시의 형태 등의 촬상 소자의 구성을 반도체 소자에 적용한 예를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 본 개시의 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0011] 1. 실시의 형태(촬상 소자)

[0012] AMP의 게이트가 수직면에 형성되어 있는 예(도 1~도 5)

[0013] 2. 변형례(촬상 소자)

[0014] 변형례 A: 4단자 구조로 되어 있는 예(도 6)

[0015] 변형례 B: 더블 게이트 구조로 되어 있는 예(도 7~도 9)

[0016] 변형례 C: 트라이 게이트 구조로 되어 있는 예(도 10)

[0017] 변형례 D: RST, SEL의 게이트도 수직면에 형성되어 있는 예(도 11~도 15)

[0018] 변형례 E: FD가 형성되어 있는 예(도 16~도 21)

[0019] 변형례 F: AMP를 소자 분리부상에 마련한 예(도 22, 도 23)

[0020] 변형례 G: 복수의 AMP를 병렬 접속하고, 접속 패드를 통하여 FD와 AMP를 접속한 예(도 24~도 32)

[0021] 변형례 H: FD를 공유한 예(도 33~도 38)

[0022] 변형례 I: AMP의 게이트를 직접 FD에 접속한 예(도 39~도 42)

[0023] 변형례 J: 관독 회로가 센서 화소마다 1개씩 마련되어 있는 예(도 43, 도 44)

[0024] 3. 적용례

[0025] 상기 실시의 형태 및 그 변형례에 관한 촬상 소자를 촬상 시스템에 적용한 예(도 45, 도 46)

[0026] 4. 응용례

[0027] 응용례 1...상기 실시의 형태 및 그 변형례에 관한 촬상 소자를 이동체에 응용한 예(도 47, 도 48)

[0028] 응용례 2...상기 실시의 형태 및 그 변형례에 관한 촬상 소자를 수술 시스템에 응용한 예(도 49, 도 50)

[0029] 5. 그 외의 적용례

[0030] 상기 실시의 형태 등의 촬상 소자의 구성을 반도체 소자에 적용한 예(도 51, 도 52)

[0031] <1. 실시의 형태>

[0032] [구성]

[0033] 본 개시의 한 실시의 형태에 관한 촬상 소자(1)에 관해 설명한다. 촬상 소자(1)는, 예를 들면, CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서 등으로 이루어지는 이면 조사형의 이미지 센서이다. 촬상 소자(1)는 피사체로부터의 광을 수광하여 광전 변환하고, 화상 신호를 생성함으로써 화상을 촬상한다. 촬상 소자(1)는 입사광에 응한 화소 신호를 출력한다.

[0034] 이면 조사형의 이미지 센서란, 피사체로부터의 광이 입사하는 수광면과, 각 화소를 구동시키는 트랜지스터 등의 배선이 마련된 배선층 사이에, 피사체로부터의 광을 수광하고, 전기 신호로 변환하는 포토 다이오드 등의 광전

변환부가 마련되어 있는 구성의 이미지 센서이다. 또한, 본 개시는 CMOS 이미지 센서에의 적용으로 한정되는 것이 아니다.

[0035] 도 1은 본 개시의 한 실시의 형태에 관한 촬상 소자(1)의 개략 구성의 한 예를 도시한 것이다. 촬상 소자(1)는 3개의 기관(제1 기관(10), 제2 기관(20), 제3 기관(30))을 구비하고 있다. 촬상 소자(1)는 3개의 기관(제1 기관(10), 제2 기관(20), 제3 기관(30))을 접합(貼合)시켜서 구성된 3차원 구조의 촬상 장치이다. 제1 기관(10), 제2 기관(20) 및 제3 기관(30)은 이 순서로 적층되어 있다.

[0036] 제1 기관(10)은 광전 변환을 행하는 복수의 센서 화소(12)가 행렬형상으로 배치된 화소 영역(13)을 가지고 있다. 화소 영역(13)은 반도체 기관(11)에 형성되어 있다. 제2 기관(20)은 센서 화소(12)로부터 출력된 전하에 의거하는 화소 신호를 출력하는 복수의 판독 회로(22)를 가지고 있다. 복수의 판독 회로(22)는 반도체 기관(21)에 형성되어 있고, 예를 들면, 1개의 센서 화소(12)마다 1개씩 할당되어 있다. 제2 기관(20)은 행방향으로 연재되는 복수의 화소 구동선(23)과, 열방향으로 연재되는 복수의 수직 신호선(24)을 가지고 있다. 제3 기관(30)은 화소 신호를 처리하는 로직 회로(32)를 가지고 있다. 로직 회로(32)는 반도체 기관(31)에 형성되어 있다. 로직 회로(32)는, 예를 들면, 수직 구동 회로(33), 칼럼 신호 처리 회로(34), 수평 구동 회로(35) 및 시스템 제어 회로(36)를 가지고 있다. 로직 회로(32)(구체적으로는 수평 구동 회로(35))는 센서 화소(12)마다의 출력 전압(Vout)을 외부에 출력한다.

[0037] 수직 구동 회로(33)는, 예를 들면, 복수의 센서 화소(12)를 행 단위로 순차적으로 선택한다. 칼럼 신호 처리 회로(34)는, 예를 들면, 수직 구동 회로(33)에 의해 선택된 행의 각 센서 화소(12)로부터 출력되는 화소 신호에 대해, 상관 이중 샘플링(Correlated Double Sampling: CDS) 처리를 시행한다. 칼럼 신호 처리 회로(34)는, 예를 들면, CDS 처리를 시행함에 의해, 화소 신호의 신호 레벨을 추출하고, 각 센서 화소(12)의 수광량에 응한 화소 데이터를 유지한다. 수평 구동 회로(35)는, 예를 들면, 칼럼 신호 처리 회로(34)에 유지되어 있는 화소 데이터를 순차적으로, 외부에 출력한다. 시스템 제어 회로(36)는, 예를 들면, 로직 회로(32) 내의 각 블록(수직 구동 회로(33), 칼럼 신호 처리 회로(34) 및 수평 구동 회로(35))의 구동을 제어한다.

[0038] 도 2는 센서 화소(12) 및 판독 회로(22)의 한 예를 도시한 것이다. 이하에서는, 도 2에 도시한 바와 같이, 4개의 센서 화소(12)가 1개의 판독 회로(22)를 공유하고 있는 경우에 대해 설명한다. 여기서, 「공유」란, 4개의 센서 화소(12)의 출력이 공통의 판독 회로(22)에 입력되는 것을 가리키고 있다.

[0039] 각 센서 화소(12)는 서로 공통의 구성 요소를 가지고 있다. 도 2에는, 각 센서 화소(12)의 구성 요소를 서로 구별하기 위해, 각 센서 화소(12)의 구성 요소의 부호의 말미에 식별 번호(1, 2, 3, 4)가 부여되어 있다. 이하에서는, 각 센서 화소(12)의 구성 요소를 서로 구별할 필요가 있는 경우에는, 각 센서 화소(12)의 구성 요소의 부호의 말미에 식별 번호를 부여하지만, 각 센서 화소(12)의 구성 요소를 서로 구별할 필요가 없는 경우에는, 각 센서 화소(12)의 구성 요소의 부호의 말미의 식별 번호를 생략하는 것으로 한다.

[0040] 각 센서 화소(12)는, 예를 들면, 포토 다이오드(PD)와, 포토 다이오드(PD)와 전기적으로 접속된 전송 트랜지스터(TR)와, 전송 트랜지스터(TR)를 통하여 포토 다이오드(PD)로부터 전송된 전하를 일시적으로 유지하는 플로팅 디퓨전(FD)을 가지고 있다. 포토 다이오드(PD)는 본 개시의 「광전 변환부」의 한 구체체에 상당한다. 포토 다이오드(PD)는 광전 변환을 행하여 수광량에 응한 전하를 발생한다. 포토 다이오드(PD)의 캐소드가 전송 트랜지스터(TR)의 소스에 전기적으로 접속되어 있고, 포토 다이오드(PD)의 애노드가 기준 전위선(예를 들어 그라운드)에 전기적으로 접속되어 있다. 전송 트랜지스터(TR)의 드레인이 플로팅 디퓨전(FD)에 전기적으로 접속되고, 전송 트랜지스터(TR)의 게이트는 화소 구동선(23)에 전기적으로 접속되어 있다. 전송 트랜지스터(TR)는, 예를 들면, CMOS(Complementary Metal Oxide Semiconductor) 트랜지스터이다.

[0041] 1개의 판독 회로(22)를 공유하는 각 센서 화소(12)의 플로팅 디퓨전(FD)은, 서로 전기적으로 접속됨과 함께, 공통의 판독 회로(22)의 입력단에 전기적으로 접속되어 있다. 판독 회로(22)는, 예를 들면, 리셋 트랜지스터(RST)와, 선택 트랜지스터(SEL)와, 증폭 트랜지스터(AMP)를 가지고 있다. 또한, 선택 트랜지스터(SEL)는 필요에 응하여 생략해도 좋다. 리셋 트랜지스터(RST)의 소스(판독 회로(22)의 입력단)가 플로팅 디퓨전(FD)에 전기적으로 접속되어 있고, 리셋 트랜지스터(RST)의 드레인이 전원선(VDD) 및 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되어 있다. 리셋 트랜지스터(RST)의 게이트는 화소 구동선(23)(도 1 참조)에 전기적으로 접속되어 있다. 증폭 트랜지스터(AMP)의 소스가 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속되어 있고, 증폭 트랜지스터(AMP)의 게이트가 리셋 트랜지스터(RST)의 소스에 전기적으로 접속되어 있다. 선택 트랜지스터(SEL)의 소스(판독 회로(22)의 출력단)가 수직 신호선(24)에 전기적으로 접속되어 있고, 선택 트랜지스터(SEL)의 게이트가 화소 구동선(23)(도 1 참조)에 전기적으로 접속되어 있다.

[0042] 전송 트랜지스터(TR)는, 전송 트랜지스터(TR)가 온 상태가 되면, 포토 다이오드(PD)의 전하를 플로팅 디퓨전(FD)에 전송한다. 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))는, 예를 들면, 후술하는 도 3에 도시한 바와 같이, 반도체 기판(11)의 표면으로부터 p웰층(42)을 관통하여 PD(41)에 달하는 깊이까지 연재되어 있다. 리셋 트랜지스터(RST)는 플로팅 디퓨전(FD)의 전위를 소정의 전위로 리셋한다. 리셋 트랜지스터(RST)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전위를 전원선(VDD)의 전위로 리셋한다. 선택 트랜지스터(SEL)는 판독 회로(22)로부터의 화소 신호의 출력 타이밍을 제어한다. 증폭 트랜지스터(AMP)는, 화소 신호로서, 플로팅 디퓨전(FD)에 유지된 전하의 레벨에 응한 전압의 신호를 생성한다. 증폭 트랜지스터(AMP)는 소스 팔로워형의 앰프를 구성하고 있고, 포토 다이오드(PD)에서 발생한 전하의 레벨에 응한 전압의 화소 신호를 출력하는 것이다. 증폭 트랜지스터(AMP)는, 선택 트랜지스터(SEL)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전위를 증폭하여, 그 전위에 응한 전압을 수직 신호선(24)을 통하여 칼럼 신호 처리 회로(34)에 출력한다. 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)는, 예를 들면, CMOS 트랜지스터이다.

[0043] 또한, 선택 트랜지스터(SEL)가 전원선(VDD)과 증폭 트랜지스터(AMP) 사이에 마련되어 있어도 좋다. 이 경우, 리셋 트랜지스터(RST)의 드레인이 전원선(VDD) 및 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속되어 있다. 선택 트랜지스터(SEL)의 소스가 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되어 있고, 선택 트랜지스터(SEL)의 게이트가 화소 구동선(23)(도 1 참조)에 전기적으로 접속되어 있다. 증폭 트랜지스터(AMP)의 소스(판독 회로(22)의 출력단)가 수직 신호선(24)에 전기적으로 접속되어 있고, 증폭 트랜지스터(AMP)의 게이트가 리셋 트랜지스터(RST)의 소스에 전기적으로 접속되어 있다.

[0044] 도 3은 촬상 소자(1)의 수직 방향의 단면 구성의 한 예를 도시한 것이다. 도 3에는, 촬상 소자(1)에서, 센서 화소(12)와 대향하는 개소의 단면 구성이 예시되어 있다. 도 4는 촬상 소자(1)에서의 제1 기판(10) 및 제2 기판(20)의 접속 개소를 확대하여 도시한 것이다. 촬상 소자(1)는 제1 기판(10), 제2 기판(20) 및 제3 기판(30)을 이 순서로 적층하여 구성되어 있고, 또한, 제1 기판(10)의 이면측(광입사면측)에, 컬러 필터(40) 및 수광 렌즈(50)를 구비하고 있다. 컬러 필터(40) 및 수광 렌즈(50)는, 각각, 예를 들면, 센서 화소(12)마다 1개씩 마련되어 있다. 즉, 촬상 소자(1)는 이면 조사형의 촬상 장치이다.

[0045] 제1 기판(10)은 반도체 기판(11)상에 절연층(46)을 적층하여 구성되어 있다. 절연층(46)은 본 개시의 「절연층」의 한 구체례에 상당한다. 절연층(46)은, 예를 들면, SiO₂나, SiN 등의 무기 절연 재료에 의해 구성되어 있다. 제1 기판(10)은, 층간 절연막(51)의 일부로서, 절연층(46)을 가지고 있다. 절연층(46)은 반도체 기판(11)과, 후술하는 반도체 기판(21)의 간극에 마련되어 있다. 즉, 반도체 기판(21)은 절연층(46)을 통하여 반도체 기판(11)에 적층되어 있다. 반도체 기판(11)은 실리콘 기판으로 구성되어 있다. 반도체 기판(11)은, 예를 들면, 표면의 일부 및 그 근방에 p웰층(42)을 가지고 있고, 그 외의 영역(p웰층(42)보다도 깊은 영역)에, p웰층(42)과는 다른 도전형의 PD(41)를 가지고 있다. p웰층(42)은 p형의 반도체 영역으로 구성되어 있다. PD(41)는 p웰층(42)과는 다른 도전형(구체적으로는 n형)의 반도체 영역으로 구성되어 있다. 반도체 기판(11)은, p웰층(42) 내에, p웰층(42)과는 다른 도전형(구체적으로는 n형)의 반도체 영역으로서, 플로팅 디퓨전(FD)을 가지고 있다.

[0046] 제1 기판(10)(반도체 기판(11))은 포토 다이오드(PD), 전송 트랜지스터(TR) 및 플로팅 디퓨전(FD)을 센서 화소(12)마다 가지고 있다. 제1 기판(10)은, 반도체 기판(11)의 표면측(광입사면측과는 반대측, 제2 기판(20)측)의 부분에, 전송 트랜지스터(TR) 및 플로팅 디퓨전(FD)이 마련된 구성으로 되어 있다. 제1 기판(10)(반도체 기판(11))은 각 센서 화소(12)를 분리하는 소자 분리부(43)를 가지고 있다. 소자 분리부(43)는 반도체 기판(11)의 법선 방향(반도체 기판(11)의 표면에 대해 수직 방향)으로 연재되어 형성되어 있다. 소자 분리부(43)는 서로 인접하는 2개의 센서 화소(12) 사이에 마련되어 있다. 소자 분리부(43)는 서로 인접하는 센서 화소(12)끼리를 전기적으로 분리한다. 소자 분리부(43)는, 예를 들면, 산화 실리콘에 의해 구성되어 있다. 소자 분리부(43)는, 예를 들면, 반도체 기판(11)을 관통하고 있다.

[0047] 제1 기판(10)은, 예를 들면, 또한, 소자 분리부(43)의 측면으로서, 또한, 포토 다이오드(PD)측의 면에 접하는 p웰층(44)을 가지고 있다. p웰층(44)은 포토 다이오드(PD)와는 다른 도전형(구체적으로는 p형)의 반도체 영역으로 구성되어 있다. 제1 기판(10)은, 예를 들면, 또한, 반도체 기판(11)의 이면에 접하는 고정 전하막(45)을 가지고 있다. 고정 전하막(45)은, 반도체 기판(11)의 수광면측의 계면 준위에 기인하는 암 전류의 발생을 억제하기 위해, 부(負)로 대전하고 있다. 고정 전하막(45)은, 예를 들면, 부의 고정 전하를 갖는 절연막에 의해 형성되어 있다. 그러한 절연막의 재료로서는, 예를 들면, 산화 하프늄, 산화 지르콘, 산화 알루미늄, 산화 티탄 또는 산화 탄탈을 들 수 있다. 고정 전하막(45)이 유기하는 전계에 의해, 반도체 기판(11)의 수광면측의 계면에 홀 축적층이 형성된다. 이 홀 축적층에 의해, 계면으로부터의 전자의 발생이 억제된다. 컬러 필터(40)는 반도체

기판(11)의 이면측에 마련되어 있다. 컬러 필터(40)는, 예를 들면, 고정 전하막(45)에 접하여 마련되어 있고, 고정 전하막(45)을 통하여 센서 화소(12)와 대향하는 위치에 마련되어 있다. 수광 렌즈(50)는, 예를 들면, 컬러 필터(40)에 접하여 마련되어 있고, 컬러 필터(40) 및 고정 전하막(45)을 통하여 센서 화소(12)와 대향하는 위치에 마련되어 있다.

[0048] 제2 기판(20)은 반도체 기판(21)상에 절연층(52)을 적층하여 구성되어 있다. 절연층(52)은, 예를 들면, SiO₂나, SiN 등의 무기 절연 재료에 의해 구성되어 있다. 제2 기판(20)은, 층간 절연막(51)의 일부로서, 절연층(52)을 가지고 있다. 절연층(52)은 반도체 기판(21)과, 반도체 기판(31)의 간극에 마련되어 있다. 반도체 기판(21)은 실리콘 기판으로 구성되어 있다. 제2 기판(20)(반도체 기판(21))은 4개의 센서 화소(12)마다 1개의 관독 회로(22)를 가지고 있다. 제2 기판(20)은 반도체 기판(21)의 표면측(제3 기판(30)측)의 부분에 관독 회로(22)가 마련된 구성으로 되어 있다. 제2 기판(20)은 반도체 기판(11)의 표면측에 반도체 기판(21)의 이면을 향하여 제1 기판(10)에 첩합되어 있다. 제2 기판(20)은, 또한, 반도체 기판(21)과 동일한 층 내에, 반도체 기판(21)을 관통하는 절연층(53)을 가지고 있다. 절연층(53)은, 예를 들면, SiO₂나, SiN 등의 무기 절연 재료에 의해 구성되어 있다. 제2 기판(20)은, 층간 절연막(51)의 일부로서, 절연층(53)을 가지고 있다. 절연층(53)은 증폭 트랜지스터(AMP)의 측면이나, 후술하는 관통 배선(47, 48)의 측면 등을 덮도록 마련되어 있다.

[0049] 제1 기판(10) 및 제2 기판(20)으로 이루어지는 적층체는 층간 절연막(51)과, 층간 절연막(51) 내에 마련된 복수의 접속부(54)를 가지고 있다. 상기 적층체는, 센서 화소(12)마다, 1개의 접속부(54)를 가지고 있다. 접속부(54)는 반도체 기판(21)의 법선 방향으로 늘어나고 있다. 제1 기판(10) 및 제2 기판(20)은 복수의 접속부(54)에 의해 서로 전기적으로 접속되어 있다. 구체적으로는, 접속부(54)는 플로팅 디퓨전(FD)과, 증폭 트랜지스터(AMP)의 게이트 전극(74)(후술)의 하단에 연결되어 있고, 대응하는 플로팅 디퓨전(FD) 및 증폭 트랜지스터(AMP)의 게이트 전극(74)에 전기적으로 접속되어 있다.

[0050] 제1 기판(10) 및 제2 기판(20)으로 이루어지는 적층체는, 또한, 층간 절연막(51) 내에 마련된 관통 배선(47, 48)(후술하는 도 5 참조)을 가지고 있다. 상기 적층체는 센서 화소(12)마다 1개의 관통 배선(47)과, 1개의 관통 배선(48)을 가지고 있다. 관통 배선(47, 48)은, 각각, 반도체 기판(21)의 법선 방향으로 늘어나고 있고, 층간 절연막(51) 중 절연층(53)을 포함하는 개소를 관통하여 마련되어 있다. 제1 기판(10) 및 제2 기판(20)은 관통 배선(47, 48)에 의해 서로 전기적으로 접속되어 있다. 구체적으로는, 관통 배선(47)은 반도체 기판(11)의 p웰층(42)과, 제2 기판(20) 내의 배선에 전기적으로 접속되어 있다. 관통 배선(48)은 전송 게이트(TG) 및 화소 구동선(23)에 전기적으로 접속되어 있다.

[0051] 제2 기판(20)은, 예를 들면, 절연층(52) 내에, 관독 회로(22)나 반도체 기판(21)과 전기적으로 접속된 복수의 접속부(59)를 가지고 있다. 제2 기판(20)은, 또한, 예를 들면, 절연층(52)상에 배선층(56)을 가지고 있다. 배선층(56)은, 예를 들면, 절연층(57)과, 절연층(57) 내에 마련된 복수의 화소 구동선(23) 및 복수의 수직 신호선(24)을 가지고 있다. 배선층(56)은, 또한, 예를 들면, 절연층(57) 내에 복수의 접속 배선(55)을 관독 회로(22)마다 1개씩 가지고 있다. 접속 배선(55)은 증폭 트랜지스터(AMP)의 게이트 전극(74)과, 리셋 트랜지스터(RST)의 소스를 서로 전기적으로 접속하고 있다. 여기서, 관통 배선(47, 48)의 총수는 제1 기판(10)에 포함되는 센서 화소(12)의 총수보다도 많고, 제1 기판(10)에 포함되는 센서 화소(12)의 총수의 2배로 되어 있다. 또한, 관통 배선(47, 48) 및 접속부(54)의 총수는 제1 기판(10)에 포함되는 센서 화소(12)의 총수보다도 많고, 제1 기판(10)에 포함되는 센서 화소(12)의 총수의 3배로 되어 있다.

[0052] 배선층(56)은, 또한, 예를 들면, 절연층(57) 내에 복수의 패드 전극(58)을 가지고 있다. 각 패드 전극(58)은, 예를 들면, Cu(구리), Al(알루미늄) 등의 금속으로 형성되어 있다. 각 패드 전극(58)은 배선층(56)의 표면에 노출하고 있다. 각 패드 전극(58)은 제2 기판(20)과 제3 기판(30)의 전기적인 접속과, 제2 기판(20)과 제3 기판(30)의 첩합에 이용된다. 복수의 패드 전극(58)은, 예를 들면, 화소 구동선(23) 및 수직 신호선(24)마다 1개씩 마련되어 있다. 여기서, 패드 전극(58)의 총수(또는, 패드 전극(58)과 패드 전극(64)(후술)의 첩합의 총수)는 제1 기판(10)에 포함되는 센서 화소(12)의 총수보다도 적다.

[0053] 제3 기판(30)은, 예를 들면, 반도체 기판(31)상에 층간 절연막(61)을 적층하여 구성되어 있다. 또한, 제3 기판(30)은, 후술하는 바와 같이, 제2 기판(20)에 표면측의 면끼리 첩합되어 있기 때문에, 제3 기판(30) 내의 구성에 관해 설명할 때에는 상하의 설명이 도면에서의 상하 방향과는 반대로 되어 있다. 반도체 기판(31)은 실리콘 기판으로 구성되어 있다. 제3 기판(30)은 반도체 기판(31)의 표면측의 부분에 로직 회로(32)가 마련된 구성으로 되어 있다. 제3 기판(30)은, 또한, 예를 들면, 층간 절연막(61)상에 배선층(62)을 가지고 있다. 배선층(62)은, 예를 들면, 절연층(63)과, 절연층(63) 내에 마련된 복수의 패드 전극(64)을 가지고 있다. 복수의 패드 전극(6

4)은 로직 회로(32)와 전기적으로 접속되어 있다. 각 패드 전극(64)은, 예를 들면, Cu(구리)로 형성되어 있다. 각 패드 전극(64)은 배선층(62)의 표면에 노출하고 있다. 각 패드 전극(64)은 제2 기판(20)과 제3 기판(30)의 전기적인 접속과, 제2 기판(20)과 제3 기판(30)의 접합에 이용된다. 또한, 패드 전극(64)은 반드시 복수가 아니어도 좋고, 1개라도 로직 회로(32)와 전기적으로 접속이 가능하다. 제2 기판(20) 및 제3 기판(30)은, 패드 전극(58, 64)끼리의 접합에 의해, 서로 전기적으로 접속되어 있다. 즉, 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))는, 접속부(54)와 패드 전극(58, 64)을 통하여, 로직 회로(32)에 전기적으로 접속되어 있다. 제3 기판(30)은 반도체 기판(21)의 표면층에 반도체 기판(31)의 표면을 향하게 하여 제2 기판(20)에 접합되어 있다.

[0054] 도 3, 도 4에 도시한 바와 같이, 제1 기판(10)과 제2 기판(20)은 접속부(54)에 의해 서로 전기적으로 접속되어 있다. 또한, 도 3에 도시한 바와 같이, 제2 기판(20)과 제3 기판(30)은 패드 전극(58, 64)끼리의 접합에 의해 서로 전기적으로 접속되어 있다. 여기서, 관독 회로(22)는 제2 기판(20)에 형성되고, 로직 회로(32)는 제3 기판(30)에 형성되어 있기 때문에, 제2 기판(20)과 제3 기판(30)을 서로 전기적으로 접속하기 위한 구조를, 제1 기판(10)과 제2 기판(20)을 서로 전기적으로 접속하기 위한 구조와 비교하여, 배치나 접속을 위한 콘택트의 수 등을 보다 자유로운 레이아웃으로 형성하는 것이 가능하다. 따라서, 제2 기판(20)과 제3 기판(30)을 서로 전기적으로 접속하기 위한 구조로서, 패드 전극(58, 64)끼리의 접합을 이용할 수 있다.

[0055] 도 5는 활상 소자(1)의 수평 방향의 단면 구성의 한 예를 도시한 것이다. 도 5의 상측의 도면은 도 3의 단면(Sec1)에서의 단면 구성의 한 예를 도시하는 도면이고, 도 5의 하측의 도면은 도 3의 단면(Sec2)에서의 단면 구성의 한 예를 도시하는 도면이다. 도 5에는, 2×2의 4개의 센서 화소(12)를 4조, 제1 방향(H) 및 제2 방향(V)으로 나열한 구성이 예시되어 있고, 또한, 도 5의 상측의 단면도에서는, 도 3의 단면(Sec1)에서의 단면 구성의 한 예를 도시하는 도면에, 반도체 기판(11)의 표면 구성의 한 예를 도시하는 도면이 맞겹쳐짐과 함께, 절연층(46)이 생략되어 있다. 또한, 도 5의 하측의 단면도에서는, 도 3의 단면(Sec2)에서의 단면 구성의 한 예를 도시하는 도면에, 반도체 기판(21)의 표면 구성의 한 예를 도시하는 도면이 맞겹쳐져 있다.

[0056] 도 5에 도시한 바와 같이, 복수의 접속부(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)은 제1 기판(10)의 면 내에서 제1 방향(H)(도 5의 좌우 방향)으로 띠형상으로 나란히 배치되어 있다. 또한, 도 5에는, 복수의 접속부(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)이 제1 방향(H)으로 2열로 나란히 배치되어 있는 경우가 예시되어 있다. 제1 방향(H)은 매트릭스형상으로 배치된 복수의 센서 화소(12)의 2개의 배열 방향(예를 들어 행방향 및 열방향) 중 일방의 배열 방향(예를 들어 열방향)과 평행으로 되어 있다. 관독 회로(22)를 공유하는 4개의 센서 화소(12)에서, 4개의 플로팅 디퓨전(FD)은, 예를 들면, 소자 분리부(43)를 통하여 서로 근접하여 배치되어 있다. 관독 회로(22)를 공유하는 4개의 센서 화소(12)에서, 4개의 전송 게이트(TG)는 4개의 플로팅 디퓨전(FD)을 둘러싸도록 배치되어 있고, 예를 들면, 4개의 전송 게이트(TG)에 의해 원환 형상이 되는 형상으로 되어 있다. 즉, 제1 기판(10)에 포함되는 복수의 플로팅 디퓨전(FD)은 복수의 그룹으로 등분되어 있다.

[0057] 절연층(53)은 제1 방향(H)으로 연재되는 복수의 블록으로 구성되어 있다. 반도체 기판(21)은 제1 방향(H)으로 연재됨과 함께, 절연층(3)을 통하여 제1 방향(H)과 직교하는 제2 방향(V)으로 나란히 배치된 복수의 섬형상의 블록(21A)으로 구성되어 있다. 각 블록(21A)에는, 예를 들면, 복수조의 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)가 마련되어 있다. 4개의 센서 화소(12)(즉, 4개의 플로팅 디퓨전(FD))에 의해 공유되는 1개의 관독 회로(22)는, 예를 들면, 4개의 센서 화소(12)와 대향하는 영역 내에 있는 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)에 의해 구성되어 있다. 4개의 센서 화소(12)에 의해 공유되는 1개의 관독 회로(22)는, 예를 들면, 절연층(53)의 왼쪽 옆의 블록(21A) 내의 증폭 트랜지스터(AMP)와, 절연층(53)의 오른쪽 옆의 블록(21A) 내의 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)에 의해 구성되어 있다. 즉, 복수의 관독 회로(22)는 상술한 그룹마다 등분되어 있고, 상술한 그룹마다 1개씩 할당되어 있다.

[0058] 서로 인접하는 4개의 접속부(54)는, 예를 들면, 증폭 트랜지스터(AMP)의 게이트 전극(74)의 하단에 접하고 있고, 증폭 트랜지스터(AMP)의 게이트 전극(74)과 전기적으로 접속되어 있다. 서로 인접하는 4개의 접속부(54)는, 또한, 예를 들면, 증폭 트랜지스터(AMP)의 게이트 전극(74), 접속 배선(55) 및 접속부(59)를 통하여, 리셋 트랜지스터(RST)의 게이트에 전기적으로 접속되어 있다. 즉, 4개의 플로팅 디퓨전(FD)은, 게이트 전극(74)의 하단과 접속부(54)를 통하여 연결됨에 의해, 대응하는 증폭 트랜지스터(AMP)와 전기적으로 접속되어 있다. 또한, 플로팅 디퓨전(FD)이 게이트 전극(74)의 하단에 직접 연결됨에 의해, 대응하는 증폭 트랜지스터(AMP)와 전기적으로 접속되어도 좋다.

[0059] 다음으로, 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)에 대해 설명한다.

[0060] 본 실시의 형태에서는, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)는, 예를 들면, 도 4, 도 5에 도시한 바

와 같이, 플레이너형(planar type)으로 되어 있다. 한편, 증폭 트랜지스터(AMP)는, 예를 들면, 도 4, 도 5에 도시한 바와 같이, 반도체 기판(21)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)을 가지고 있다. 즉, 증폭 트랜지스터(AMP)는 반도체 기판(21)의 표면과 교차하는 면 내에 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)을 가지고 있다. 증폭 트랜지스터(AMP)는, 또한, 채널 영역(71)에 접하는 게이트 절연막(76)을 가지고 있고, 이 게이트 절연막(76)을 통하여 채널 영역(71)과 대향하는 게이트 전극(74)을 가지고 있다. 즉, 증폭 트랜지스터(AMP)는 수직 게이트형으로 되어 있다. 증폭 트랜지스터(AMP)는, 예를 들면, 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)이 동일한 극성을 갖는 정선레스 트랜지스터(junctionless transistor)라도 좋다.

[0061] 게이트 전극(74)은, 예를 들면, 불순물이 도프된 폴리실리콘, 실리사이드화된 실리콘, 또는 일 함수를 제어하는 금속 재료 등에 의해 형성되어 있다. 게이트 전극(74)은 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)이 형성되어 있는 면과 평행한 방향(즉, 반도체 기판(21)의 두께 방향)으로 연재되어 있다. 즉, 증폭 트랜지스터(AMP)에서는, 채널 폭이 제1 기판(10)에 형성된 센서 화소(12)의 사이즈에 제약되지 않는다. 게이트 전극(74)은, 또한, 절연층(46) 내에까지 연재되어 있다. 게이트 전극(74)의 하단은 복수의 접속부(54)에 접하고 있고, 1개의 관독 회로(22)에 의해 공유되는 복수의 플로팅 디퓨전(FD)과 전기적으로 접속되어 있다. 즉, 게이트 전극(74)과, 플로팅 디퓨전(FD)을 전기적으로 접속하는 배선이, 배선층(56)을 통하지 않고, 게이트 전극(74)과, 플로팅 디퓨전(FD)의 최단 거리로 형성되어 있다.

[0062] 또한, 게이트 전극(74)에서, 채널 영역(71)과 대향하는 부분과, 복수의 접속부(54)에 접속된 부분이 일괄로 형성되어 있어도 좋고, 제조 과정에서 제각기 형성되어 있어도 좋다. 게이트 전극(74)에서, 채널 영역(71)과 대향하는 부분과, 복수의 접속부(54)에 접속된 부분이 제조 과정에서 제각기 형성되는 경우, 게이트 전극(74)에서, 채널 영역(71)과 대향하는 부분과, 복수의 접속부(54)에 접속된 부분이 서로 동일한 재료로 형성되어 있어도 좋고, 서로 다른 재료로 형성되어 있어도 좋다.

[0063] 또한, 본 실시의 형태에서는, 채널 영역(71)의 상면에는, 선택 에칭에 사용되는 하드 마스크(75)가 잔존하고 있고, 하드 마스크(75)는 게이트 절연막으로서 기능하지 않는다.

[0064] [제조 방법]

[0065] 다음으로, 촬상 소자(1)의 제조 방법에 관해 설명한다.

[0066] 우선, 반도체 기판(11)에, p웰층(42)이나, 소자 분리부(43), p웰층(44)을 형성한다. 다음으로, 반도체 기판(11)에, 포토 다이오드(PD), 전송 트랜지스터(TR) 및 플로팅 디퓨전(FD)을 형성한다. 이에 의해, 반도체 기판(11)에, 센서 화소(12)가 형성된다. 그 후, 반도체 기판(11)상에, 절연층(46)을 형성한다.

[0067] 이때, 예를 들면, 리소그래피나 드라이 에칭을 이용하여, 복수의 접속부(54)와, 복수의 접속부(54)의 상부에 접하는 게이트 전극(74)의 일부(이하, 「게이트 전극층(74')」이라고 칭한다.)를 절연층(46) 내에 형성해 둔다. 각 접속부(54)나 게이트 전극층(74')을 형성할 때에 생긴 여분의 재료를 제거할 때에는, 예를 들면, 드라이 에칭이나 CMP 등을 이용한다. 이와 같이 하여, 제1 기판(10)이 형성된다.

[0068] 다음으로, 제1 기판(10)(절연층(46)상)에, 반도체 기판(21)을 첩합시킨다. 이때, 필요에 응하여, 반도체 기판(21)을 박육화한다. 이때, 반도체 기판(21)의 두께를 관독 회로(22)의 형성에 필요한 막두께로 한다. 또한, 이때에, 반도체 기판(21)에 포함되는 불순물 농도를 조정하기 위한 주입을 행해도 좋다.

[0069] 다음으로, 반도체 기판(21)의 표면에, 소정의 패턴 형상의 하드 마스크(75)를 형성한다. 이어서, 반도체 기판(21)에 대해, 하드 마스크(75)를 통한 드라이 에칭을 행함에 의해, 증폭 트랜지스터(AMP)의 채널 영역(71)을 형성한다. 이때, 반도체 기판(21)을 오버 에칭함에 의해, 절연층(46) 내의 게이트 전극층(74')의 표면을 노출시킨다. 채널 영역(71)은 반도체 기판(21)에 형성한 개구의 내측면에 위치하고 있다.

[0070] 다음으로, 반도체 기판(21)에 형성한 개구의 내측면을 산화 또는 성막함에 의해, 게이트 절연막(76)을 형성한다. 이때, 게이트 절연막(76)은, 예를 들면, SiO₂나, SiN, HfO₂ 등의 고유전율 절연 재료로 형성되어 있다. 이어서, 게이트 절연막(76)을 포함하는 표면 전체에, 예를 들면, 불순물이 도프된 폴리실리콘, 실리사이드화된 Si(실리콘) 또는 일 함수를 제어하는 금속 재료 등의 도전성 재료를 이용하여 성막한 후, 성막한 도전성 재료를 셀프얼라인으로 에칭한다. 이에 의해, 채널 영역(71)의 측면에는 도전성 재료가 남고, 반도체 기판(21)의 상면이나, 반도체 기판(21)의 개구의 저면에서는, 도전성 재료가 제거된다. 이때, 게이트 전극층(74')의 표면을 덮는 산화막도 제거된다. 그 결과, 반도체 기판(21)의 개구의 저면에는, 게이트 전극층(74')의 표면이 노

출한다.

- [0071] 다음으로, 남은 도전성 재료나, 게이트 전극층(74')의 표면을 포함하는 표면 전체에, 예를 들면, 불순물이 도프된 폴리실리콘, 실리사이드화된 Si(실리콘), W(텅스텐) 또는 Cu(구리) 등의 저저항 재료를 이용하여 성막한다. 이어서, 예를 들면, 리소그래피나 드라이 에칭을 이용하여, 저저항 재료를 선택적으로 제거한다. 이에 의해, 증폭 트랜지스터(AMP)의 게이트 전극(74) 등이 형성된다. 이때, 불필요한 개소에 형성된 게이트 절연막(76)을 제거한다.
- [0072] 다음으로, 예를 들면, 이온 주입이나, 고상(固相) 확산 등을 이용하여, 증폭 트랜지스터(AMP)의 소스 영역(72) 및 드레인 영역(73)을 형성한다. 이에 의해, 반도체 기판(21)의 개구의 측면 중, 게이트 전극(74) 등으로 피복되어 있지 않는 개소에, 증폭 트랜지스터(AMP)의 소스 영역(72) 및 드레인 영역(73)이 형성된다.
- [0073] 다음으로, 증폭 트랜지스터(AMP) 등을 매입하도록, 절연층(53, 52)을 성막한다. 이어서, 절연층(52)의 소정의 개소에 개구를 마련한 후, 절연층(52)의 개구를 포함하는 표면 전체에, 예를 들면, 불순물이 도프된 폴리실리콘, 실리사이드화된 Si(실리콘), W(텅스텐) 또는 Cu(구리) 등의 저저항 재료를 이용하여 성막한다. 이어서, 예를 들면, 리소그래피나 드라이 에칭을 이용하여, 저저항 재료를 선택적으로 제거한다. 이에 의해, 복수의 접속부(59)나, 복수의 접속 배선(55), 복수의 관통 배선(47, 48)이 형성된다.
- [0074] 그 후는, 통상의 방법을 통하여, 복수의 접속 배선(55)상에 배선층(56)을 형성한다. 이에 의해, 제2 기판(20)이 형성된다. 또한, 통상의 방법을 이용하여, 반도체 기판(31)상에 층간 절연막(61) 및 배선층(62)을 형성한 후, 제3 기판(30)을, 배선층(62)측을 배선층(56)에 향하게 하여, 제2 기판(20)에 접합시킨다. 이에 의해, 제2 기판(20)과 제3 기판(30)의 전기적인 접속이 이루어진다. 마지막으로, 컬러 필터(40) 및 수광 렌즈(50)를 제1 기판(10)의 이면(수광면)에 접합시킨다. 이와 같이 하여, 본 실시의 형태에 관한 촬상 소자(1)가 제조된다.
- [0075] [효과]
- [0076] 다음으로, 본 실시의 형태에 관한 촬상 소자(1)의 효과에 관해 설명한다.
- [0077] 종래, 2차원 구조의 촬상 소자의 1화소당의 면적의 미세화는 미세 프로세스의 도입과 실장 밀도의 향상에 의해 실현되어 왔다. 근래, 촬상 소자의 더한층의 소형화 및 화소의 고밀도화를 실현하기 위해, 3차원 구조의 촬상 소자가 개발되어 있다. 3차원 구조의 촬상 소자에서는, 예를 들면, 복수의 광전 변환부를 갖는 반도체 기판과, 각 광전 변환부에서 얻어진 전하의 레벨에 응한 전압의 신호를 생성하는 증폭 트랜지스터를 갖는 반도체 기판이 서로 적층되어 있다. 그렇지만, 하층의 반도체 기판과 상층의 반도체 기판을 배선으로 접속하는 경우, 배선 길이가 길어지고, 기생 용량의 증가에 의해 효율 변환이 열화될 우려가 있다.
- [0078] 한편, 본 실시의 형태에서는, 반도체 기판(21)의 표면과 교차하는 면 내에 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)을 가지고, 또한, 게이트 절연막(76)을 통하여 채널 영역(71)과 대향함과 함께 플로팅 디퓨전(FD)과 전기적으로 접속된 게이트 전극(74)을 갖는 증폭 트랜지스터(AMP)가 마련되어 있다. 이에 의해, 증폭 트랜지스터(AMP)와 플로팅 디퓨전(FD)을 접속하는 배선 길이를 단축할 수 있고, 기생 용량을 저감할 수 있다. 그 결과, 효율 변환의 저하를 억제할 수 있다.
- [0079] 또한, 본 실시의 형태에서는, 게이트 전극(74)은 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)이 형성되어 있는 면과 평행한 방향(즉, 반도체 기판(21)의 두께 방향)으로 연재되어 있다. 이에 의해, 증폭 트랜지스터(AMP)에서는, 채널 폭이 제1 기판(10)에 형성된 센서 화소(12)의 사이즈에 제약되지 않기 때문에, 채널 폭을 길게 하고, 증폭 트랜지스터(AMP)의 온 저항을 작게 할 수 있고, 저 노이즈화를 도모할 수 있다. 또한, 증폭 트랜지스터(AMP)에서는, 채널 영역을 확대할 수 있기 때문에, 변환 효율을 향상시킬 수 있다.
- [0080] 또한, 본 실시의 형태에서는, 게이트 전극(74)의 하단은 복수의 접속부(54)에 접하고 있고, 1개의 관통 회로(22)에 의해 공유되는 복수의 플로팅 디퓨전(FD)과 전기적으로 접속되어 있다. 이에 의해, 게이트 전극(74)과, 플로팅 디퓨전(FD)을 전기적으로 접속하는 배선을, 배선층(56)을 통하지 않고, 게이트 전극(74)과, 플로팅 디퓨전(FD)의 최단 거리로 형성할 수 있다. 그 결과, 배선 용량을 작게 할 수 있고, 효율 변환의 저하를 억제할 수 있다.
- [0081] <2. 변형례>
- [0082] 이하에, 상기 실시의 형태에 관한 촬상 소자(1)의 변형례에 관해 설명한다.
- [0083] [변형례 A]

- [0084] 상기 실시의 형태에서는, 증폭 트랜지스터(AMP)는 완전 공핍형의 3단자(게이트, 소스 및 드레인) 디바이스 구조로 되어 있었다. 그러나, 상기 실시의 형태에서, 반도체 기관(21)이, 예를 들면, 도 6에 도시한 바와 같이, 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)의 주위에 웰 영역(25)을 가지고 있는 경우에는, 제2 기관(20)에 대해, 웰 영역(25)에 접하는 접속부(59)를 마련하고, 이 접속부(59)를 증폭 트랜지스터(AMP)의 네번째의 단자로 해도 좋다. 이와 같이 한 경우에는, 접속부(59)를 통하여 웰 영역(25)의 전위를 고정할 수 있기 때문에, 증폭 트랜지스터(AMP)의 기관 부유 효과를 억제할 수 있고, 특성 편차를 억제할 수 있다.
- [0085] [변형례 B]
- [0086] 상기 실시의 형태에 관한 증폭 트랜지스터(AMP)에서, 게이트 전극(74)이, 예를 들면, 도 7, 도 8, 도 9에 도시한 바와 같이, 채널 영역(71)을 반도체 기관(21)의 표면과 평행한 방향으로부터 끼워 넣는 더블 게이트 구조로 되어 있어도 좋다. 도 9에는, 도 7의 증폭 트랜지스터의 평면 구성례가 도시되어 있다. 이때, 증폭 트랜지스터(AMP)는, 예를 들면, 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)이 동일한 극성을 갖는 정선레스 트랜지스터라도 좋다. 또한, 게이트 전극(74)은 채널 영역(71)을 반도체 기관(21)의 표면과 평행한 방향으로부터 끼워 넣는 제1 부분 전극(74A) 및 제2 부분 전극(74B)과, 이들 제1 부분 전극(74A) 및 제2 부분 전극(74B)과 전기적으로 접속된 제3 부분 전극(74C)에 의해 구성되어 있다. 이와 같이 한 경우에는, 채널 폭이 2배로 늘어나고 온저항을 더욱 내릴 수 있고, 또한 노이즈 저감을 행할 수 있다.
- [0087] [변형례 C]
- [0088] 상기 실시의 형태에 관한 증폭 트랜지스터(AMP)에서, 게이트 전극(74)이, 예를 들면, 도 8, 도 10에 도시한 바와 같이, 채널 영역(71)을 반도체 기관(21)의 표면과 평행한 방향으로부터 끼워 넣음과 함께, 반도체 기관(21)의 표면과 교차하는 방향에서 게이트 절연막(76)을 통하여 채널 영역(71)과 대향하는 트라이 게이트 구조(tri-gate structure)로 되어 있어도 좋다. 이때, 증폭 트랜지스터(AMP)는, 예를 들면, 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)이 동일한 극성을 갖는 정선레스 트랜지스터라도 좋다. 또한, 게이트 전극(74)은 채널 영역(71)을 반도체 기관(21)의 표면과 평행한 방향으로부터 끼워 넣는 제1 부분 전극(74A) 및 제2 부분 전극(74B)과, 이들 제1 부분 전극(74A) 및 제2 부분 전극(74B)과 전기적으로 접속됨과 함께 게이트 절연막(76)을 통하여 채널 영역(71)과 대향하는 제3 부분 전극(74C)에 의해 구성되어 있다. 이와 같이 한 경우에는, 채널 폭을 2배 이상으로 늘릴 수 있고 더욱 온저항을 내릴 수 있다. 더한층의 노이즈 저감 효과도 기대할 수 있다.
- [0089] [변형례 D]
- [0090] 상기 실시의 형태 및 변형례 A~C에서, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)도, 예를 들어 도 11, 도 12에 도시한 바와 같이, 도 4에 기재된 증폭 트랜지스터(AMP)와 같은 수직 게이트 구조로 되어 있어도 좋다. 또한, 도 12는 도 11의 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)의 수직 방향의 단면 구성례를 도시한 것이다.
- [0091] 리셋 트랜지스터(RST)는, 예를 들면, 도 12에 도시한 바와 같이, 반도체 기관(21)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(81), 소스 영역 및 드레인 영역을 가지고 있다. 즉, 리셋 트랜지스터(RST)는 반도체 기관(21)의 표면과 교차하는 면 내에 채널 영역(81), 소스 영역 및 드레인 영역을 가지고 있다. 리셋 트랜지스터(RST)는, 또한, 채널 영역(81)에 접하는 게이트 절연막(83)을 가지고 있고, 이 게이트 절연막(83)을 통하여 채널 영역(81)과 대향하는 게이트 전극(82)을 가지고 있다. 또한, 채널 영역(81)의 상면에는, 선택 에칭에 사용되는 하드 마스크(75)가 잔존하고 있고, 하드 마스크(75)는 게이트 절연막으로서는 기능하지 않는다.
- [0092] 게이트 전극(82)은, 예를 들면, 불순물이 도프된 폴리실리콘, 실리사이드화된 실리콘, 또는 일 함수를 제어하는 금속 재료 등에 의해 형성되어 있다. 게이트 전극(82)은 채널 영역(81), 소스 영역 및 드레인 영역이 형성되어 있는 면과 평행한 방향(즉, 반도체 기관(21)의 두께 방향)으로 연재되어 있다. 즉, 리셋 트랜지스터(RST)에서는, 채널 폭이 제1 기관(10)에 형성된 센서 화소(12)의 사이즈에 제약되지 않는다.
- [0093] 선택 트랜지스터(SEL)는, 예를 들면, 도 12에 도시한 바와 같이, 반도체 기관(21)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(91), 소스 영역 및 드레인 영역을 가지고 있다. 즉, 선택 트랜지스터(SEL)는 반도체 기관(21)의 표면과 교차하는 면 내에 채널 영역(91), 소스 영역 및 드레인 영역을 가지고 있다. 선택 트랜지스터(SEL)는, 또한, 채널 영역(91)에 접하는 게이트 절연막(93)을 가지고 있고, 이 게이트 절연막(93)을 통하여 채널 영역(91)과 대향하는 게이트 전극(92)을 가지고 있다. 또한, 채널 영역(91)의 상면에는, 선택 에칭에 사용되는 하드 마스크(75)가 잔존하고 있고, 하드 마스크(75)는 게이트 절연막으로서는 기능하지 않는다.

- [0094] 게이트 전극(92)은, 예를 들면, 불순물이 도프된 폴리실리콘, 실리사이드화된 실리콘, 또는 일 함수를 제어하는 금속 재료 등에 의해 형성되어 있다. 게이트 전극(92)은 채널 영역(91), 소스 영역 및 드레인 영역이 형성되어 있는 면과 평행한 방향(즉, 반도체 기판(21)의 두께 방향)으로 연재되어 있다. 즉, 선택 트랜지스터(SEL)에서는, 채널 폭이 제1 기판(10)에 형성된 센서 화소(12)의 사이즈에 제약되지 않는다.
- [0095] 이와 같이, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)도, 도 4에 기재된 증폭 트랜지스터(AMP)와 같은 수직 게이트 구조로 되어 있는 경우에는, 제조 과정에서, 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)를 공통의 프로세스로 형성할 수 있고, 제조 프로세스를 간소화할 수 있다. 또한, 이 경우에는, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)의 게이트 전극을 다른 배선(예를 들면, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)를 구동하기 위한 배선)과 직접 접속하는 것이 가능해진다.
- [0096] 또한, 상기 실시의 형태 및 변형례 A~C에서, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)도, 예를 들어 도 13, 도 14에 도시한 바와 같이, 도 7에 기재된 증폭 트랜지스터(AMP)와 같은 수직 게이트 구조로 되어 있어도 좋다. 또한, 도 14는 도 13의 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)의 수직 방향의 단면 구성례를 도시한 것이다.
- [0097] 리셋 트랜지스터(RST)는, 예를 들면, 도 14에 도시한 바와 같이, 반도체 기판(21)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(81), 소스 영역 및 드레인 영역을 가지고 있다. 즉, 리셋 트랜지스터(RST)는 반도체 기판(21)의 표면과 교차하는 면 내에 채널 영역(81), 소스 영역 및 드레인 영역을 가지고 있다. 리셋 트랜지스터(RST)는, 또한, 채널 영역(81)에 접하는 게이트 절연막(83)을 가지고 있고, 이 게이트 절연막(83)을 통하여 채널 영역(81)과 대향하는 게이트 전극(82)을 가지고 있다.
- [0098] 게이트 전극(82)은 채널 영역(81)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣는 더블 게이트 구조로 되어 있다. 게이트 전극(82)은 채널 영역(81)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣는 제1 부분 전극(82A) 및 제2 부분 전극(82B)과, 이들 제1 부분 전극(82A) 및 제2 부분 전극(82B)과 전기적으로 접속된 제3 부분 전극(82C)에 의해 구성되어 있다. 이 경우에는, 채널 폭이 2배로 늘어나고 온 저항을 더욱 내릴 수 있고, 또한 노이즈 저감을 행할 수 있다.
- [0099] 선택 트랜지스터(SEL)는, 예를 들면, 도 14에 도시한 바와 같이, 반도체 기판(21)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(91), 소스 영역 및 드레인 영역을 가지고 있다. 즉, 선택 트랜지스터(SEL)는 반도체 기판(21)의 표면과 교차하는 면 내에 채널 영역(91), 소스 영역 및 드레인 영역을 가지고 있다. 선택 트랜지스터(SEL)는, 또한, 채널 영역(91)에 접하는 게이트 절연막(93)을 가지고 있고, 이 게이트 절연막(93)을 통하여 채널 영역(91)과 대향하는 게이트 전극(92)을 가지고 있다.
- [0100] 게이트 전극(92)은 채널 영역(91)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣는 더블 게이트 구조로 되어 있다. 게이트 전극(92)은 채널 영역(91)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣는 제1 부분 전극(92A) 및 제2 부분 전극(92B)과, 이들 제1 부분 전극(92A) 및 제2 부분 전극(92B)과 전기적으로 접속된 제3 부분 전극(92C)에 의해 구성되어 있다. 이 경우에는, 채널 폭이 2배로 늘어나고 온 저항을 더욱 내릴 수 있고, 또한 노이즈 저감을 행할 수 있다.
- [0101] 이와 같이, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)도, 도 7에 기재된 더블 게이트형의 증폭 트랜지스터(AMP)와 같은 구조로 되어 있는 경우에는, 제조 과정에서, 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)를 공통의 프로세스로 형성할 수 있고, 제조 프로세스를 간소화할 수 있다. 또한, 이 경우에는, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)의 게이트 전극을 다른 배선(예를 들면, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)를 구동하기 위한 배선)과 직접 접속하는 것이 가능해진다.
- [0102] 또한, 상기 실시의 형태 및 변형례 A~C에서, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)도, 예를 들어 도 13, 도 15에 도시한 바와 같이, 도 10에 기재된 증폭 트랜지스터(AMP)와 같은 수직 게이트 구조로 되어 있어도 좋다. 또한, 도 15는 도 13의 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)의 수직 방향의 단면 구성례를 도시한 것이다.
- [0103] 리셋 트랜지스터(RST)는, 예를 들면, 도 15에 도시한 바와 같이, 반도체 기판(21)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(81), 소스 영역 및 드레인 영역을 가지고 있다. 즉, 리셋 트랜지스터(RST)는 반도체 기판(21)의 표면과 교차하는 면 내에 채널 영역(81), 소스 영역 및 드레인 영역을 가지고 있다. 리셋 트랜지스터(RST)는, 또한, 채널 영역(81)에 접하는 게이트 절연막(83)을 가지고 있고, 이 게이트 절연막(83)을 통하여 채널 영역(81)과 대향하는 게이트 전극(82)을 가지고 있다.

- [0104] 게이트 전극(82)은 채널 영역(81)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣음과 함께, 반도체 기판(21)의 표면과 교차하는 방향에서 게이트 절연막(83)을 통하여 채널 영역(81)과 대향하는 트라이 게이트 구조로 되어 있어도 좋다. 게이트 전극(82)은 채널 영역(81)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣는 제1 부분 전극(82A) 및 제2 부분 전극(82B)과, 이들 제1 부분 전극(82A) 및 제2 부분 전극(82B)과 전기적으로 접속됨과 함께 게이트 절연막(83)을 통하여 채널 영역(81)과 대향하는 제3 부분 전극(82C)에 의해 구성되어 있다. 이 경우에는, 채널 폭이 2배 이상으로 늘릴 수 있고 더욱 온 저항을 내릴 수 있다. 더한층의 노이즈 저감 효과도 기대할 수 있다.
- [0105] 선택 트랜지스터(SEL)는, 예를 들면, 도 15에 도시한 바와 같이, 반도체 기판(21)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(91), 소스 영역 및 드레인 영역을 가지고 있다. 즉, 선택 트랜지스터(SEL)는 반도체 기판(21)의 표면과 교차하는 면 내에 채널 영역(91), 소스 영역 및 드레인 영역을 가지고 있다. 선택 트랜지스터(SEL)는, 또한, 채널 영역(91)에 접하는 게이트 절연막(93)을 가지고 있고, 이 게이트 절연막(93)을 통하여 채널 영역(91)과 대향하는 게이트 전극(92)을 가지고 있다.
- [0106] 게이트 전극(92)은 채널 영역(91)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣음과 함께, 반도체 기판(21)의 표면과 교차하는 방향에서 게이트 절연막(93)을 통하여 채널 영역(91)과 대향하는 트라이 게이트 구조로 되어 있어도 좋다. 게이트 전극(92)은 채널 영역(91)을 반도체 기판(21)의 표면과 평행한 방향으로부터 끼워 넣는 제1 부분 전극(92A) 및 제2 부분 전극(92B)과, 이들 제1 부분 전극(92A) 및 제2 부분 전극(92B)과 전기적으로 접속됨과 함께 게이트 절연막(93)을 통하여 채널 영역(81)과 대향하는 제3 부분 전극(92C)에 의해 구성되어 있다. 이 경우에는, 채널 폭이 2배 이상으로 늘릴 수 있고 더욱 온 저항을 내릴 수 있다. 더한층의 노이즈 저감 효과도 기대할 수 있다.
- [0107] 이와 같이, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)도, 증폭 트랜지스터(AMP)와 같은 구조로 되어 있는 경우에는, 제조 과정에서, 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)를 공통의 프로세스로 형성할 수 있고, 제조 프로세스를 간소화할 수 있다. 또한, 이 경우에는, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)의 게이트 전극을 다른 배선(예를 들면, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)를 구동하기 위한 배선)과 직접 접속하는 것이 가능해진다.
- [0108] [변형례 E]
- [0109] 상기 실시의 형태 및 변형례 A~D에서, 활상 소자(1)는, 예를 들면, 도 16에 도시한 바와 같이, FD 전송 트랜지스터(FDG)를 가지고 있어도 좋다. 이 경우, FD 전송 트랜지스터(FDG)는, 예를 들면, 리셋 트랜지스터(RST)의 소스와 증폭 트랜지스터(AMP)의 게이트 사이에 마련되어 있다.
- [0110] FD 전송 트랜지스터(FDG)는 변환 효율을 전환할 때에 이용된다. 일반적으로, 어두운 장소에서의 촬영 시에는 화소 신호가 작다. $Q=CV$ 에 의거하여, 전하 전압 변환을 행할 때에, 플로팅 디퓨전(FD)의 용량(FD 용량(C))이 크면, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 작아지고 만다. 한편, 밝은 장소에서는, 화소 신호가 커지기 때문에, FD 용량(C)이 크지 않으면, 플로팅 디퓨전(FD)에서, 포토 다이오드(PD)의 전하를 완전히 받을 수 없다. 또한, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 너무 커지지 않도록(환언하면, 작아지도록), FD 용량(C)이 커져 있을 필요가 있다. 이들에 입각하면, FD 전송 트랜지스터(FDG)를 온으로 했을 때에는, FD 전송 트랜지스터(FDG)분의 게이트 용량이 늘어나기 때문에, 전체의 FD 용량(C)이 커진다. 한편, FD 전송 트랜지스터(FDG)를 오프로 했을 때에는, 전체의 FD 용량(C)이 작아진다. 이와 같이, FD 전송 트랜지스터(FDG)를 온 오프 전환함으로써, FD 용량(C)을 가변으로 하고, 변환 효율을 전환할 수 있다.
- [0111] 상기 실시의 형태에서, FD 전송 트랜지스터(FDG)는, 예를 들면, 도 17에 도시한 바와 같이, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)와 공통의 구성(플레이너형)으로 되어 있다. 또한, 상기 변형례 A에서, FD 전송 트랜지스터(FDG)는, 예를 들면, 도 18에 도시한 바와 같이, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)와 공통의 구성(플레이너형)으로 되어 있다. 또한, 상기 변형례 B, C에서, FD 전송 트랜지스터(FDG)는, 예를 들면, 도 19에 도시한 바와 같이, 리셋 트랜지스터(RST)나 선택 트랜지스터(SEL)와 공통의 구성(플레이너형)으로 되어 있다. 또한, 상기 변형례 D에서, FD 전송 트랜지스터(FDG)는, 예를 들면, 도 20, 도 21에 도시한 바와 같이, 증폭 트랜지스터(AMP)와 공통의 구성(수직 게이트형)으로 되어 있다.
- [0112] [변형례 F]
- [0113] 상기 실시의 형태 및 변형례 A~E에서, 증폭 트랜지스터(AMP)는, 예를 들면, 도 22, 도 23에 도시한 바와 같이, 소자 분리부(43)와 대향하는 위치에 형성되어 있어도 좋다. 이 경우, 증폭 트랜지스터(AMP)가 상술한 더블 게이

트 구조 또는 트라이 게이트 구조로 되어 있는 때에는, 제1 부분 전극(74A) 및 제2 부분 전극(74B)의 각각을 1 또는 복수의 접속부(54)에 접속할 수 있고, 1 또는 복수의 접속부(54)를 통하여 1 또는 복수의 플로팅 디퓨전(FD)에 전기적으로 접속할 수 있다. 즉, 4개의 플로팅 디퓨전(FD)이 제1 부분 전극(74A) 또는 제2 부분 전극(74B)의 하단과, 접속부(54)를 통하여 연결됨에 의해, 대응하는 증폭 트랜지스터(AMP)와 전기적으로 접속되어 있다. 또한, 플로팅 디퓨전(FD)이 제1 부분 전극(74A) 또는 제2 부분 전극(74B)의 하단에 직접 연결됨에 의해, 대응하는 증폭 트랜지스터(AMP)와 전기적으로 접속되어도 좋다. 그 결과, 복수의 플로팅 디퓨전(FD)의 전기적인 접속을 증폭 트랜지스터(AMP)의 게이트 전극(74)에 의해 행할 수 있고, 별도로, 배선을 마련할 필요가 없다. 따라서, 기생 용량을 저감할 수 있다. 그 결과, 효율 변환의 저하를 억제할 수 있다.

[0114] 또한, 본 변형례에서, 복수의 플로팅 디퓨전(FD)은, 제1 부분 전극(74A) 및 제2 부분 전극(74B)의 어느 일방과 접함에 의해, 대응하는 증폭 트랜지스터(AMP)와 전기적으로 접속되어 있다. 이에 의해, 복수의 플로팅 디퓨전(FD)의 전기적인 접속을 증폭 트랜지스터(AMP)의 게이트 전극(74)에 의해 행할 수 있고, 별도로, 배선을 마련할 필요가 없다. 따라서, 기생 용량을 저감할 수 있다. 그 결과, 효율 변환의 저하를 억제할 수 있다.

[0115] 또한, 본 변형례에서는, 증폭 트랜지스터(AMP)를 소자 분리부(43)와 비대향의 위치에 형성한 경우와 비교하여, 반도체 기판(21)에서의, 소자 분리부(43)와 비대향의 위치에, 증폭 트랜지스터(AMP) 이외의 소자를 형성할 수 있다. 그 결과, 반도체 기판(21)에서의 집적도를 높일 수 있기 때문에, 활상 소자(1)를 소형화할 수 있다.

[0116] [변형례 G]

[0117] 상기 실시의 형태 및 변형례 A-F에서, 관독 회로(22)는, 예를 들면, 도 24, 도 25, 도 26, 도 27, 도 28에 도시한 바와 같이, 서로 병렬로 접속된 복수의 증폭 트랜지스터(AMP)를 가지고 있어도 좋다. 「서로 병렬로 접속된 복수의 증폭 트랜지스터(AMP)」는 소정의 방향으로 나란히 배치된 복수조의 채널 영역(71), 소스 영역(72) 및 드레인 영역(73)과, 게이트 절연막(76)을 통하여 각 채널 영역(71)과 대향 배치된 게이트 전극(74)을 갖는 1개의 증폭 트랜지스터라고도 말할 수 있다. 도 26에는, 더블 게이트형의 2개의 증폭 트랜지스터(AMP)가 서로 병렬로 접속되어 있는 예가 도시되어 있고, 도 27에는, 트라이 게이트형의 2개의 증폭 트랜지스터(AMP)가 서로 병렬로 접속되어 있는 예가 도시되어 있다. 도 28에는, 도 26, 도 27에 기재된, 서로 병렬로 접속된 2개의 증폭 트랜지스터(AMP)의 평면 구성례가 도시되어 있다. 서로 병렬로 접속된 2개의 증폭 트랜지스터(AMP)에서, 일방의 증폭 트랜지스터(AMP)와, 타방의 증폭 트랜지스터(AMP)는, 예를 들면, 도 28에 도시한 바와 같이, 제1 부분 전극(74A)을 공유하고 있다.

[0118] 이 경우, 관독 회로(22)는 상술한 그룹마다 1개씩 할당된 복수의 접속 패드(77)를 가지고 있어도 좋다. 이 경우, 또한, 각 상술한 그룹에서, 복수의 플로팅 디퓨전(FD)은, 접속 패드(77)를 통하여, 대응하는 증폭 트랜지스터(AMP)와 전기적으로 접속되어 있어도 좋다. 이에 의해, 접속부(59)를 플로팅 디퓨전(FD)에 접속하는 경우와 비교하여, 플로팅 디퓨전(FD)을 작게 할 수 있다. 그 결과, 활상 소자(1)를 소형화할 수 있다.

[0119] 본 변형례에 관한 관독 회로(22)에서, 서로 병렬로 접속된 복수의 증폭 트랜지스터(AMP)로 이루어지는 복수조의 증폭 트랜지스터군이, 예를 들면, 도 29, 도 30, 도 31, 도 32에 도시한 바와 같이, 접속 배선(55)에 의해 서로 병렬로 접속되어 있어도 좋다. 도 29에는, 더블 게이트형의 2조의 증폭 트랜지스터군이 서로 병렬로 접속되어 있는 예가 도시되어 있고, 도 30에는, 트라이 게이트형의 2조의 증폭 트랜지스터군이 서로 병렬로 접속되어 있는 예가 도시되어 있다. 도 31에는, 도 29, 도 30에 기재된 증폭 트랜지스터 군과, 선택 트랜지스터(SEL)의 평면 구성례가 도시되어 있다. 도 32에는, 도 31의 평면 구성의 한 변형례가 도시되어 있다. 도 32에는, 도 31의 플레이어형의 선택 트랜지스터(SEL) 대신에, 수직 게이트형의 선택 트랜지스터(SEL)가 마련되어 있는 경우의 평면 구성례가 도시되어 있다. 도 31, 도 32에 도시한 바와 같이, 2개의 증폭 트랜지스터군 및 선택 트랜지스터(SEL)는, 서로 별개의 블록(21A)에 형성되어 있다.

[0120] 이와 같이 한 경우에는, 상술한 그룹에 속하는 센서 화소(12)(플로팅 디퓨전(FD))의 수를 용이하게 늘릴 수 있다. 상기 실시의 형태 및 변형례 A-F에 관한 관독 회로(22)에서, 2×2화소 공유로 되어 있던 것을, 예를 들면, 2×4화소 공유로 할 수 있다.

[0121] [변형례 H]

[0122] 상기 실시의 형태 및 변형례 A-G에 관한 관독 회로(22)에서, 소자 분리부(43)가, 예를 들면, 도 33, 도 34, 도 35, 도 36, 도 37, 도 38에 도시한 바와 같이, 반도체 기판(11)을 관통하지 않고, 반도체 기판(11)의 수광면(이면)으로부터 반도체 기판(11)의 상면(플로팅 디퓨전(FD) 등을 형성하는 면)에 도달하지 않는 깊이까지 형성되어 있어도 좋다. 도 33에는, 더블 게이트형의 2조의 증폭 트랜지스터군이 서로 병렬로 접속되어 있는 예가 도시

되어 있고, 도 34에는, 트라이 게이트형의 2조의 증폭 트랜지스터군이 서로 병렬로 접속되어 있는 예가 도시되어 있다. 도 35에는, 더블 게이트형의 증폭 트랜지스터(AMP)의 제1 부분 전극(74A) 및 제2 부분 전극(74B)의 쌍방이 플로팅 디퓨전(FD)에 접하고 있는 경우가 예시되어 있고, 도 36에는, 트라이 게이트형의 증폭 트랜지스터(AMP)의 제1 부분 전극(74A) 및 제2 부분 전극(74B)의 쌍방이 플로팅 디퓨전(FD)에 접하고 있는 경우가 예시되어 있다. 도 37에는, 더블 게이트형의 2조의 증폭 트랜지스터군이 서로 병렬로 접속되어 있는 예가 도시되어 있고, 도 38에는, 트라이 게이트형의 2조의 증폭 트랜지스터군이 서로 병렬로 접속되어 있는 예가 도시되어 있다.

[0123] 이와 같이 한 경우에는, 복수의 포토 다이오드(PD) 중 서로 인접하는 복수의 포토 다이오드(PD)는 플로팅 디퓨전(FD)을 공유하는 것이 가능해진다. 이때, 복수의 증폭 트랜지스터(AMP)는 복수의 포토 다이오드(PD)에 의해 공유된 플로팅 디퓨전(FD)마다 등분되어 있고, 복수의 포토 다이오드(PD)에 의해 공유된 플로팅 디퓨전(FD)마다 1개씩 할당되어 있다. 또한, 게이트 전극(74)은 복수의 포토 다이오드(PD)에 의해 공유된 플로팅 디퓨전(FD)과 전기적으로 접속된다. 이에 의해, 플로팅 디퓨전(FD)이 공유되지 않는 경우와 비교하여, 반도체 기관(11)에서의 집적도를 높일 수 있기 때문에, 활상 소자(1)를 소형화할 수 있다.

[0124] [변형례 I]

[0125] 상기 실시의 형태 및 변형례 A~H에 관한 관독 회로(22)에서, 증폭 트랜지스터(AMP)의 게이트 전극(74)이, 예를 들면, 도 39, 도 40, 도 41, 도 42에 도시한 바와 같이, 직접 플로팅 디퓨전(FD)에 접하고 있어도 좋다. 이때, 증폭 트랜지스터(AMP)의 게이트 전극(74)은 적층 방향으로 연재되어 있고, 증폭 트랜지스터(AMP)의 게이트 전극(74)의 하단이 직접 플로팅 디퓨전(FD)에 접하고 있다. 또한, 도 39에는, 도 22에 기재된 단면 구성의 한 변형례가 기재되어 있다. 도 40에는, 도 23에 기재된 단면 구성의 한 변형례가 기재되어 있다. 도 41에는, 도 33에 기재된 단면 구성의 한 변형례가 기재되어 있다. 도 42에는, 도 34에 기재된 단면 구성의 한 변형례가 기재되어 있다. 이와 같이 한 경우에는, 증폭 트랜지스터(AMP)의 게이트 전극(74)과, 플로팅 디퓨전(FD)을 접속하는 접속부(54)를 생략할 수 있기 때문에, 접속부(54)를 생략한 만큼, 제조 공정을 삭감할 수 있다. 또한, 플로팅 디퓨전(FD)으로부터 증폭 트랜지스터(AMP)의 게이트 전극(74)에의 진동 전달 거리가 짧아지기 때문에, 신호 전송이 빨라지고, 노이즈를 저감할 수 있다.

[0126] [변형례 J]

[0127] 상기 실시의 형태 및 변형례 A~I에 관한 관독 회로(22)에서, 관독 회로(22)가, 예를 들면, 도 43에 도시한 바와 같이, 센서 화소(12)마다 1개씩 마련되어 있어도 좋다. 이 경우에, 증폭 트랜지스터(AMP)의 게이트 전극(74)이, 예를 들면, 도 44에 도시한 바와 같이, 직접 플로팅 디퓨전(FD)에 접하고 있어도 좋다. 이때, 증폭 트랜지스터(AMP)의 게이트 전극(74)은 적층 방향으로 연재되어 있고, 증폭 트랜지스터(AMP)의 게이트 전극(74)의 하단이 직접 플로팅 디퓨전(FD)에 접하고 있다. 이와 같이 한 경우에는, 증폭 트랜지스터(AMP)의 게이트 전극(74)과, 플로팅 디퓨전(FD)을 접속하는 접속부(54)를 생략할 수 있기 때문에, 접속부(54)를 생략한 만큼, 제조 공정을 삭감할 수 있다. 또한, 플로팅 디퓨전(FD)으로부터 증폭 트랜지스터(AMP)의 게이트 전극(74)에의 진동 전달 거리가 짧아지기 때문에, 신호 전송이 빨라지고, 노이즈를 저감할 수 있다.

[0128] [변형례 K]

[0129] 상기 실시의 형태 및 변형례 A~J에 관한 제2 기관(20)에서는, 관독 회로(22)를 구성할 수 있는 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL)는 같은 반도체 기관(21)에 형성되어 있다. 그러나, 예를 들면, 상기 실시의 형태 및 변형례 A~J에 관한 제2 기관(20)에서, 관독 회로(22)에 포함되는 적어도 1개의 트랜지스터를 반도체 기관(21)에 형성하고, 나머지 트랜지스터를 반도체 기관(11 및 21)과는 다른 반도체 기관(21A)에 형성해도 좋다. 이때, 제2 기관(20)은, 도시하지 않지만, 예를 들면, 반도체 기관(21)상에, 절연층(52, 57), 접속부(59), 접속 배선(55)을 형성하고, 또한 반도체 기관(21A)을 적층함에 의해 형성되어도 좋다. 반도체 기관(21A)은, 층간 절연막(51)과의 위치 관계에서, 반도체 기관(11)측과는 반대측의 영역 내에 적층되고, 소망하는 트랜지스터를 형성할 수 있다. 한 예로서, 반도체 기관(21)에 증폭 트랜지스터(AMP)를 형성하고, 리셋 트랜지스터(RST) 및/또는 선택 트랜지스터(SEL)를 반도체 기관(21A)에 형성할 수 있다.

[0130] 또한, 상기 실시의 형태 및 변형례 A~J에 관한 제2 기관(20)에 대해, 새로운 반도체 기관을 복수 마련하고, 각각에, 관독 회로(22)에 포함되는 소망하는 트랜지스터를 마련해도 좋다. 한 예로서, 반도체 기관(21)에 증폭 트랜지스터(AMP)를 형성할 수 있다. 또한, 반도체 기관(21)상에 절연층, 접속부, 접속 배선을 적층하고, 그 위에 반도체 기관(21A)을 적층하고, 반도체 기관(21A)에 리셋 트랜지스터(RST)를 형성할 수 있다. 반도체 기관(21A)상에 절연층, 접속부, 접속 배선을 적층하고, 그 위에 반도체 기관(21B)을 적층하고, 반도체 기관(21B)에 선택

트랜지스터(SEL)를 형성할 수 있다. 반도체 기관(21, 21A, 21B)에 형성하는 트랜지스터는, 판독 회로(22)를 구성하는 어느 하나의 트랜지스터라도 좋다.

[0131] 이와 같이, 제2 기관(20)에 복수의 반도체 기관을 마련함에 의해, 1개의 판독 회로(22)가 차지하는 반도체 기관(21)의 면적을 작게 할 수 있다. 각 판독 회로(22)의 면적을 작게 하거나, 각 트랜지스터를 미세화하거나 하는 것이 가능하면, 칩의 면적을 작게 하는 것도 가능해진다. 또한, 판독 회로(22)를 구성할 수 있는 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL) 중, 소망하는 트랜지스터의 면적을 확대할 수 있다. 특히, 증폭 트랜지스터(AMP)의 면적을 확대함으로써, 노이즈 저감 효과도 기대할 수 있다.

[0132] <3. 적용례>

[0133] 도 45는 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1)를 구비한 촬상 시스템(2)의 개략 구성의 한 예를 도시한 것이다.

[0134] 촬상 시스템(2)은, 예를 들면, 디지털 스틸 카메라나 비디오 카메라 등의 촬상 장치나, 스마트폰이나 태블릿형 단말 등의 휴대 단말 장치 등의 전자 기기이다. 촬상 시스템(2)은, 예를 들면, 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1), 광학계(141), 셔터 장치(142), 제어 회로(143), DSP 회로(144), 프레임 메모리(145), 표시부(146), 기억부(147), 조작부(148) 및 전원부(149)를 구비하고 있다. 촬상 시스템(2)에서, 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1), DSP 회로(144), 프레임 메모리(145), 표시부(146), 기억부(147), 조작부(148) 및 전원부(149)는 버스 라인(150)을 통하여 상호 접속되어 있다.

[0135] 광학계(141)는 1장 또는 복수장의 렌즈를 가지고 구성되고, 피사체로부터의 광(입사광)을 촬상 소자(1)에 유도하고, 촬상 소자(1)의 수광면에 결상시킨다. 셔터 장치(142)는 광학계(141) 및 촬상 소자(1) 사이에 배치되고, 제어 회로(143)의 제어에 따라, 촬상 소자(1)에의 광조사 기간 및 차광 기간을 제어한다. 촬상 소자(1)는, 광학계(141) 및 셔터 장치(142)를 통하여 수광면에 결상되는 광에 응하여, 일정 기간 신호 전하를 축적한다. 촬상 소자(1)에 축적된 신호 전하는, 화소 신호(화상 데이터)로서, 제어 회로(143)로부터 공급되는 구동 신호(타이밍 신호)에 따라 DSP 회로(144)에 전송된다. 즉, 촬상 소자(1)는 광학계(141) 및 셔터 장치(142)를 통하여 입사된 상광(입사광)을 수광하여, 수광한 상광(입사광)에 응한 화소 신호를 DSP 회로(144)에 출력한다. 제어 회로(143)는 촬상 소자(1)의 전송 동작 및 셔터 장치(142)의 셔터 동작을 제어하는 구동 신호를 출력하여, 촬상 소자(1) 및 셔터 장치(142)를 구동한다.

[0136] DSP 회로(144)는 촬상 소자(1)로부터 출력되는 화소 신호(화상 데이터)를 처리하는 신호 처리 회로이다. 프레임 메모리(145)는 DSP 회로(144)에 의해 처리된 화상 데이터를 프레임 단위로 일시적으로 유지한다. 표시부(146)는, 예를 들면, 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시 장치로 이루어지고, 촬상 소자(1)로 촬상된 동화 또는 정지화를 표시한다. 기억부(147)는 촬상 소자(1)로 촬상된 동화 또는 정지화의 화상 데이터를 반도체 메모리나 하드 디스크 등의 기록 매체에 기록한다. 조작부(148)는, 유저에 의한 조작에 따라, 촬상 시스템(2)가 가지는 각종의 기능에 관한 조작 지령을 발한다. 전원부(149)는 촬상 소자(1), DSP 회로(144), 프레임 메모리(145), 표시부(146), 기억부(147) 및 조작부(148)의 동작 전원이 되는 각종의 전원을 이들 공급 대상에 대해 적절히 공급한다.

[0137] 다음으로, 촬상 시스템(2)에서의 촬상 순서에 관해 설명한다.

[0138] 도 46은 촬상 시스템(2)에서의 촬상 동작의 플로우차트의 한 예를 도시한다. 유저는 조작부(148)를 조작함에 의해 촬상 시작을 지시한다(스텝 S101). 그러면, 조작부(148)는 촬상 지령을 제어 회로(143)에 송신한다(스텝 S102). 제어 회로(143)는 촬상 지령을 수신하면, 셔터 장치(142) 및 촬상 소자(1)의 제어를 시작한다. 촬상 소자(1)(구체적으로는 시스템 제어 회로(32d))는, 제어 회로(143)에 의한 제어에 의해, 소정의 촬상 방식에서의 촬상을 실행한다(스텝 S103). 셔터 장치(142)는, 제어 회로(143)에 의한 제어에 의해, 촬상 소자(1)에의 광조사 기간 및 차광 기간을 제어한다.

[0139] 촬상 소자(1)는 촬상에 의해 얻어진 화상 데이터를 DSP 회로(144)에 출력한다. 여기서, 화상 데이터란, 플로팅 디퓨전(FD)에 일시적으로 유지된 전하에 의거하여 생성된 화소 신호의 전 화소분의 데이터이다. DSP 회로(144)는, 촬상 소자(1)로부터 입력된 화상 데이터에 의거하여 소정의 신호 처리(예를 들어 노이즈 저감 처리 등)를 행한다(스텝 S104). DSP 회로(144)는 소정의 신호 처리가 이루어진 화상 데이터를 프레임 메모리(145)에 유지시키고, 프레임 메모리(145)는 화상 데이터를 기억부(147)에 기억시킨다(스텝 S105). 이와 같이 하여, 촬상 시스템(2)에서의 촬상이 행해진다.

[0140] 본 적용례에서는, 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1)가 촬상 시스템(2)에 적용된다. 이에 의

해, 활상 소자(1)를 소형화 또는 고정밀화할 수 있기 때문에, 소형 또는 고정밀 활상 시스템(2)을 제공할 수 있다.

[0141] <4. 응용례>

[0142] [응용례 1]

[0143] 본 개시에 관한 기술(본 기술)은 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시에 관한 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 한 종류의 이동체에 탑재되는 장치로서 실현되어도 좋다.

[0144] 도 47은 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예인 차량 제어 시스템의 개략적인 구성례를 도시하는 블록도이다.

[0145] 차량 제어 시스템(12000)은 통신 네트워크(12001)를 통하여 접속된 복수의 전자 제어 유닛을 구비한다. 도 47에 도시한 예에서는, 차량 제어 시스템(12000)은 구동계 제어 유닛(12010), 바디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040) 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로 컴퓨터(12051), 음성 화상 출력부(12052), 및 차량 탑재 네트워크 I/F(interface)(12053)가 도시되어 있다.

[0146] 구동계 제어 유닛(12010)은 각종 프로그램에 따라 차량의 구동계에 관련되는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.

[0147] 바디계 제어 유닛(12020)은 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 바디계 제어 유닛(12020)은 키레스 엔트리 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는, 헤드 램프, 백 램프, 브레이크 램프, 워커 또는 포그램프 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 바디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발생되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 바디계 제어 유닛(12020)은 이들 전파 또는 신호의 입력을 접수하고, 차량의 도어 로크 장치, 파워 윈도우 장치, 램프 등을 제어한다.

[0148] 차외 정보 검출 유닛(12030)은, 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는, 활상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 활상부(12031)에 차외의 화상을 촬상시킴과 함께, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 의거하여, 사람, 차, 장애물, 표지 또는 노면상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 좋다.

[0149] 활상부(12031)는 광을 수광하고, 그 광의 수광량에 응한 전기 신호를 출력하는 광센서이다. 활상부(12031)는 전기 신호를 화상으로서 출력할 수도 있고, 거리 측정의 정보로서 출력할 수도 있다. 또한, 활상부(12031)가 수광하는 광은 가시광이라도 좋고, 적외선 등의 비가시광이라도 좋다.

[0150] 차내 정보 검출 유닛(12040)은 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는 예를 들어 운전자를 촬상하는 카메라를 포함하고, 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 의거하여, 운전자의 피로 정도 또는 집중 정도를 산출해도 좋고, 운전자가 앉아서 졸고 있지 않는지를 판별해도 좋다.

[0151] 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 의거하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표치를 연산하고, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차량의 충돌 회피 또는 충격 완화, 차간 거리에 의거하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 이탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.

[0152] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량의 주위의 정보에 의거하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함에 의해, 운전자의 조작에 근거하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

- [0153] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 의거하여, 바디계 제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차외 정보 검출 유닛(12030)에서 검지한 선행차 또는 대향차의 위치에 응하여 헤드 램프를 제어하고, 하이 빔을 로우 빔으로 전환하는 등의 눈부심 방지를 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.
- [0154] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치에 음성 및 화상 중의 적어도 일방의 출력 신호를 송신한다. 도 47의 예에서는, 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이의 적어도 1개를 포함하고 있어도 좋다.
- [0155] 도 48은 촬상부(12031)의 설치 위치의 예를 도시하는 도면이다.
- [0156] 도 48에서는, 차량(12100)은, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104, 12105)를 가진다.
- [0157] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노우즈, 사이드 미러, 리어 범퍼, 백 도어 및 차실내의 프런트글라스의 상부 등의 위치에 마련된다. 프런트 노우즈에 구비되는 촬상부(12101) 및 차실내의 프런트글라스의 상부에 구비되는 촬상부(12105)는 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)은 주로 차량(12100)의 측방의 화상을 취득한다. 리어 범퍼 또는 백 도어에 구비되는 촬상부(12104)는 주로 차량(12100)의 후방의 화상을 취득한다. 촬상부(12101 및 12105)에서 취득되는 전방의 화상은 주로 선행 차량 또는, 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.
- [0158] 또한, 도 48에는, 촬상부(12101 내지 12104)의 촬영 범위의 한 예가 도시되어 있다. 촬상 범위(12111)는 프런트 노우즈에 마련된 촬상부(12101)의 촬상 범위를 나타내고, 촬상 범위(12112, 12113)는 각각 사이드 미러에 마련된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는 리어 범퍼 또는 백 도어에 마련된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)에서 촬상된 화상 데이터가 맞겹쳐짐에 의해, 차량(12100)을 상방에서 본 부감(俯瞰) 화상을 얻을 수 있다.
- [0159] 촬상부(12101 내지 12104)의 적어도 1개는, 거리 정보를 취득하는 기능을 가지고 있어도 좋다. 예를 들면, 촬상부(12101 내지 12104)의 적어도 1개는 복수의 촬상 소자로 이루어지는 스테레오 카메라라도 좋고, 위상차 검출용의 화소를 갖는 촬상 소자라도 좋다.
- [0160] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함에 의해, 특히 차량(12100)의 진행로상에 있는 가장 가까운 입체물로, 차량(12100)과 개략 같은 방향에 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로 컴퓨터(12051)는 선행차와 내 차 사이에 미리 확보해야 할 차간 거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함한다)나 자동 가속 제어(추종 발진 제어도 포함한다) 등을 행할 수 있다. 이와 같이 운전자의 조작에 근거하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0161] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 입체물에 관한 입체물 데이터를 이륜차, 보통 차량, 대형 차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차량(12100)의 주변의 장애물을 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로 컴퓨터(12051)는 각 장애물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하고, 충돌 리스크가 설정치 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통하여 드라이버에 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통하여 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.
- [0162] 촬상부(12101 내지 12104)의 적어도 1개는 적외선을 검출하는 적외선 카메라라도 좋다. 예를 들면, 마이크로 컴퓨터(12051)는 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지의 여부를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은 예를 들어 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에서의 특징점을 추출하는 순서와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지의 여부를 판별하는 순서에 의해 행해진다. 마이크로 컴퓨터(12051)가 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하고, 보행자를 인식하면, 음성 화상 출력부(12052)는 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부

(12052)는 보행자를 나타내는 아이콘 등을 소망하는 위치에 표시하도록 표시부(12062)를 제어해도 좋다.

- [0163] 이상, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은 이상 설명한 구성 중, 촬상부(12031)에 적용될 수 있다. 구체적으로는, 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1)는 촬상부(12031)에 적용할 수 있다. 촬상부(12031)에 본 개시에 관한 기술을 적용함에 의해, 촬상부(12031)의 효율 변환의 저하를 억제할 수 있기 때문에, 고화질의 이동체 제어 시스템을 제공할 수 있다.
- [0164] [응용례 2]
- [0165] 도 49는 본 개시에 관한 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면이다.
- [0166] 도 49에서는, 수술자(의사)(11131)가 내시경 수술 시스템(11000)을 이용하여, 환자 베드(11133)상의 환자(11132)에게 수술을 행하고 있는 양상이 도시되어 있다. 도시하는 바와 같이, 내시경 수술 시스템(11000)은 내시경(11100)과, 기복 튜브(11111)나 에너지 처치구(11112) 등의, 그 외의 수술구(11110)와, 내시경(11100)을 지지하는 지지 암 장치(11120)와, 내시경하(內視鏡下) 수술을 위한 각종의 장치가 탑재된 카트(11200)로 구성된다.
- [0167] 내시경(11100)은 선단으로부터 소정의 길이의 영역이 환자(11132)의 체강 내에 삽입되는 경통(11101)과, 경통(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는, 경성(硬性)의 경통(11101)을 갖는 이른바 경성경(硬性鏡)으로서 구성되는 내시경(11100)을 도시하고 있는데, 내시경(11100)은 연성(軟性)의 경통을 갖는 이른바 연성경(軟性鏡)으로서 구성되어도 좋다.
- [0168] 경통(11101)의 선단에는, 대물 렌즈가 감입된 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고, 당해 광원 장치(11203)에 의해 생성된 광이 경통(11101)의 내부에 연설(延設)되는 라이트 가이드에 의해 당해 경통의 선단까지 도광되고, 대물 렌즈를 통하여 환자(11132)의 체강 내의 관찰 대상을 향하여 조사된다. 또한, 내시경(11100)은 직시경(直視鏡)이라도 좋고, 사시경(斜視鏡) 또는 측시경(側視鏡)이라도 좋다.
- [0169] 카메라 헤드(11102)의 내부에는 광학계 및 촬상 소자가 마련되어 있고, 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 촬상 소자에 집광된다. 당해 촬상 소자에 의해 관찰광이 광전 변환되고, 관찰광에 대응하는 전기 신호, 즉 관찰상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는 RAW 데이터로서 카메라 컨트롤 유닛(CCU: Camera Control Unit)(11201)에 송신된다.
- [0170] CCU(11201)는 CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등에 의해 구성되고, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한, CCU(11201)는 카메라 헤드(11102)로부터 화상 신호를 수취하고, 그 화상 신호에 대해, 예를 들어 현상 처리(디모자이크 처리) 등의, 당해 화상 신호에 의거하는 화상을 표시하기 위한 각종의 화상 처리를 시행한다.
- [0171] 표시 장치(11202)는, CCU(11201)로부터의 제어에 의해, 당해 CCU(11201)에 의해 화상 처리가 시행된 화상 신호에 의거하는 화상을 표시한다.
- [0172] 광원 장치(11203)는 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되고, 수술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.
- [0173] 입력 장치(11204)는 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는, 입력 장치(11204)를 통하여, 내시경 수술 시스템(11000)에 대해 각종의 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들면, 유저는 내시경(11100)에 의한 촬상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경하는 취지의 지시 등을 입력한다.
- [0174] 처치구 제어 장치(11205)는 조직의 소작(燒灼), 절개 또는 혈관의 봉지 등을 위한 에너지 처치구(11112)의 구동을 제어한다. 기복 장치(11206)는, 내시경(11100)에 의한 시야의 확보 및 수술자의 작업 공간의 확보의 목적으로, 환자(11132)의 체강을 팽창시키기 위해, 기복 튜브(11111)를 통하여 당해 체강 내에 가스를 보낸다. 레코더(11207)는 수술에 관한 각종의 정보를 기록 가능한 장치이다. 프린터(11208)는 수술에 관한 각종의 정보를 텍스트, 화상 또는 그래프 등 각종의 형식으로 인쇄 가능한 장치이다.
- [0175] 또한, 내시경(11100)에 수술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는, 예를 들어 LED, 레이저광

원 또는 이들 조합에 의해 구성되는 백색 광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는, 각 색(각 파장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에, 광원 장치(11203)에서 촬상 화상의 화이트 밸런스의 조정을 행할 수 있다. 또한, 이 경우에는, RGB 레이저광원 각각으로부터의 레이저광을 시분할로 관찰 대상에 조사하고, 그 조사 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어함에 의해, RGB 각각에 대응한 화상을 시분할로 촬상하는 것도 가능하다. 당해 방법에 의하면, 당해 촬상 소자에 컬러 필터를 마련하지 않아도, 컬러 화상을 얻을 수 있다.

[0176] 또한, 광원 장치(11203)는 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 좋다. 그 광의 강도의 변경의 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어하여 시분할로 화상을 취득하고, 그 화상을 합성함에 의해, 이른바 흑바렘(underexposed blocked up shadow) 및 백바렘(overexposed highlight)이 없는 고다이내믹 레인지의 화상을 생성할 수 있다.

[0177] 또한, 광원 장치(11203)는 특수광 관찰에 대응한 소정의 파장 대역의 광을 공급 가능하게 구성되어도 좋다. 특수광 관찰에서는, 예를 들면, 체조직에서의 광의 흡수의 파장 의존성을 이용하여, 통상의 관찰시에서의 조사광(즉, 백색광)에 비해 협대역의 광을 조사함에 의해, 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는, 이른바 협대역 광관찰(Narrow Band Imaging)이 행해진다. 또는, 특수광 관찰에서는, 여기광을 조사함에 의해 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 좋다. 형광 관찰에서는, 체조직에 여기광을 조사하고 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도시아닌그린(ICG) 등의 시약을 체조직에 국주(局注)함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하고 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는 이와 같은 특수광 관찰에 대응한 협대역광 및/또는 여기광을 공급 가능하게 구성될 수 있다.

[0178] 도 50은 도 49에 도시하는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 한 예를 도시하는 블록도이다.

[0179] 카메라 헤드(11102)는 렌즈 유닛(11401)와, 촬상부(11402)와, 구동부(11403)과, 통신부(11404)와, 카메라 헤드 제어부(11405)를 가진다. CCU(11201)는 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 가진다. 카메라 헤드(11102)와 CCU(11201)는 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.

[0180] 렌즈 유닛(11401)은 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 취입된 관찰 광은 카메라 헤드(11102)까지 도광되고, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은 줌렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어 구성된다.

[0181] 촬상부(11402)는 촬상 소자로 구성된다. 촬상부(11402)를 구성하는 촬상 소자는 1개(이른바 단판식)라도 좋고, 복수(이른바 다판식)라도 좋다. 촬상부(11402)가 다판식으로 구성되는 경우에는, 예를 들어 각 촬상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그것들이 합성됨에 의해 컬러 화상을 얻을 수 있어도 좋다. 또는, 촬상부(11402)는, 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용의 화상 신호를 각각 취득하기 위한 쌍의 촬상 소자를 갖도록 구성되어도 좋다. 3D 표시가 행해짐에 의해, 수술자(11131)는 수술부에서의 생체 조직의 깊이를 보다 정확하게 파악하는 것이 가능해진다. 또한, 촬상부(11402)가 다판식으로 구성되는 경우에는, 각 촬상 소자에 대응하여, 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.

[0182] 또한, 촬상부(11402)는 반드시 카메라 헤드(11102)에 마련되지 않아도 좋다. 예를 들면, 촬상부(11402)는 경통(11101)의 내부에 대물 렌즈의 직후에 마련되어도 좋다.

[0183] 구동부(11403)는 액추에이터에 의해 구성되고, 카메라 헤드 제어부(11405)로부터의 제어에 의해, 렌즈 유닛(11401)의 줌렌즈 및 포커스 렌즈를 광축을 따라 소정의 거리만큼 이동시킨다. 이에 의해, 촬상부(11402)에 의한 촬상 화상의 배율 및 초점이 적절히 조정될 수 있다.

[0184] 통신부(11404)는 CCU(11201)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는 촬상부(11402)로부터 얻은 화상 신호를 RAW 데이터로서 전송 케이블(11400)을 통하여 CCU(11201)에 송신한다.

[0185] 또한, 통신부(11404)는, CCU(11201)로부터, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하고, 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는, 예를 들면, 촬상 화상의 프레임 레이트를 지정하는 취지의 정보, 촬상 시의 노출치를 지정하는 취지의 정보 및/또는 촬상 화상의 배율 및 초점을 지정하는 취지의 정보 등 촬상 조건에 관한 정보가 포함된다.

[0186] 또한, 상기 프레임 레이트나 노출치, 배율, 초점 등의 촬상 조건은 유저에 의해 적절히 지정되어도 좋고, 취득

된 화상 신호에 의거하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 좋다. 후자의 경우에는, 이른바 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경(11100)에 탑재되어 있는 것으로 된다.

- [0187] 카메라 헤드 제어부(11405)는, 통신부(11404)를 통하여 수신한 CCU(11201)로부터의 제어 신호에 의거하여, 카메라 헤드(11102)의 구동을 제어한다.
- [0188] 통신부(11411)는 카메라 헤드(11102)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는 카메라 헤드(11102)로부터 전송 케이블(11400)을 통하여 송신되는 화상 신호를 수신한다.
- [0189] 또한, 통신부(11411)는, 카메라 헤드(11102)에 대해, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는 전기 통신이나 광통신 등에 의해 송신할 수 있다.
- [0190] 화상 처리부(11412)는 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대해 각종의 화상 처리를 시행한다.
- [0191] 제어부(11413)는 내시경(11100)에 의한 수술부 등의 촬상 및 수술부 등의 촬상에 의해 얻어지는 촬상 화상의 표시에 관한 각종의 제어를 행한다. 예를 들면, 제어부(11413)는 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.
- [0192] 또한, 제어부(11413)는, 화상 처리부(11412)에 의해 화상 처리가 행해진 화상 신호에 의거하여, 수술부 등이 찍힌 촬상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는 각종의 화상 인식 기술을 이용하여 촬상 화상 내에서의 각종의 물체를 인식해도 좋다. 예를 들면, 제어부(11413)는, 촬상 화상에 포함되는 물체의 에지의 형상이나 색 등을 검출함에 의해, 겸자(鉗子) 등의 수술구, 특정한 생체 부위, 출혈, 에너지 처치구(11112)의 사용 시의 미스트 등을 인식할 수 있다. 제어부(11413)는, 표시 장치(11202)에 촬상 화상을 표시시킬 때에, 그 인식 결과를 이용하여, 각종의 수술 지원 정보를 당해 수술부의 화상에 중첩 표시시켜도 좋다. 수술 지원 정보가 중첩 표시되고, 수술자(11131)에 제시됨에 의해, 수술자(11131)의 부담을 경감하는 것이나, 수술자(11131)가 확실하게 수술을 진행하는 것이 가능해진다.
- [0193] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광파이버, 또는 이들 복합 케이블이다.
- [0194] 여기서, 도시하는 예에서는, 전송 케이블(11400)을 이용하여 유선으로 통신이 행해지고 있었는데, 카메라 헤드(11102)와 CCU(11201) 사이의 통신은 무선으로 행해져도 좋다.
- [0195] 이상, 본 개시에 관한 기술이 적용될 수 있는 내시경 수술 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은 이상 설명한 구성 중 내시경(11100)의 카메라 헤드(11102)에 마련된 촬상부(11402)에 알맞게 적용될 수 있다. 촬상부(11402)에 본 개시에 관한 기술을 적용함에 의해, 촬상부(11402)의 효율 변환의 저하를 억제할 수 있기 때문에, 고화질의 내시경(11100)을 제공할 수 있다.
- [0196] 이상, 실시의 형태 및 그 변형례, 적용례 및 응용례를 들어 본 개시를 설명했는데, 본 개시는 상기 실시의 형태 등으로 한정되는 것이 아니고, 여러 가지 변형이 가능하다. 또한, 본 명세서 중에 기재된 효과는 어디까지나 예시이다. 본 개시의 효과는 본 명세서 중에 기재된 효과로 한정되는 것은 아니다. 본 개시가 본 명세서 중에 기재된 효과 이외의 효과를 가지고 있어도 좋다.
- [0197] <5. 그 외의 적용례>
- [0198] 본 개시는, 예를 들면, 촬상 소자로 한정되는 것이 아니고, 예를 들면, 반도체 소자에도 적용 가능하다. 예를 들면, 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1)의 구성 요소를 반도체 소자에 적용하는 것이 가능하다.
- [0199] 예를 들면, 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1)의 구성 요소를, 예를 들면, 도 51에 도시한 바와 같은 반도체 소자(3)에도 적용하는 것이 가능하다.
- [0200] 반도체 소자(3)는 반도체 기관(310), 절연층(330), 반도체 기관(320) 및 절연층(340)을 이 순서로 적층한 적층체이다. 반도체 기관(310, 320)은, 예를 들면, 실리콘 기관이다. 절연층(330, 340)은, 예를 들면, SiO₂나, SiN 등의 무기 절연 재료에 의해 구성되어 있다. 반도체 기관(320)은, 반도체 기관(320)과 동일한 층 내에, 반도체 기관(320)을 관통하는 절연층(350)을 가지고 있다. 절연층(350)은, 예를 들면, SiO₂나, SiN 등의 무기 절연 재

료에 의해 구성되어 있다.

- [0201] 반도체 기관(310)은, 예를 들면, 트랜지스터(311)를 가지고 있다. 트랜지스터(311)는 본 개시의 「제1 트랜지스터」의 한 구체례에 상당한다. 반도체 기관(320)은 절연층(330)을 통하여 반도체 기관(310)에 적층되고, 예를 들면, 상기 실시의 형태 등에 기재된 증폭 트랜지스터(AMP)와 공통의 구성을 갖는 트랜지스터(321)와, 트랜지스터(322)를 가지고 있다. 트랜지스터(321)는 본 개시의 「제2 트랜지스터」의 한 구체례에 상당한다. 트랜지스터(321)의 게이트 전극(321B)과, 트랜지스터(322)의 소스 또는 드레인, 예를 들면, 절연층(340) 내에 마련된 접속부(341, 342)나, 절연층(340)상에 마련된 배선(343) 등에 의해 전기적으로 접속되어 있다. 게이트 전극(321B)은 불순물이 도프된 폴리실리콘, 실리사이드화된 실리콘, 또는 일 함수를 제어하는 금속 재료에 의해 형성되어 있다.
- [0202] 트랜지스터(321)는, 예를 들면, 반도체 기관(320)에 대한 선택 에칭에 의해 형성된 개구의 내측면 내에 채널 영역(321A), 소스 영역 및 드레인 영역을 가지고 있다. 즉, 트랜지스터(321)는 반도체 기관(320)의 표면과 교차하는 면 내에 채널 영역(321A), 소스 영역 및 드레인 영역을 가지고 있다. 트랜지스터(321)는, 또한, 채널 영역(321A)에 접하는 게이트 절연막(321D)을 가지고 있고, 이 게이트 절연막(321D)을 통하여 채널 영역(321A)과 대향하는 게이트 전극(321B)을 가지고 있다.
- [0203] 게이트 전극(321B)은 채널 영역(321A), 소스 영역 및 드레인 영역이 형성되어 있는 면과 평행한 방향(즉, 반도체 기관(320)의 두께 방향)으로 연장되어 있다. 게이트 전극(321B)은, 또한, 절연층(330) 내에까지 연장되어 있다. 게이트 전극(321B)의 하단은 접속부(331)에 접하고 있고, 접속부(331)를 통하여 트랜지스터(311)의 소스 또는 드레인과 전기적으로 접속되어 있다. 즉, 게이트 전극(321B)과, 트랜지스터(311)의 소스 또는 드레인을 전기적으로 접속하는 배선이, 절연층(340) 내를 통하지 않고, 게이트 전극(321B)과, 트랜지스터(311)의 소스 또는 드레인의 최단 거리로 형성되어 있다.
- [0204] 또한, 게이트 전극(321B)은, 예를 들면, 도 7에 기재된 게이트 전극(74)과 마찬가지로, 채널 영역을 반도체 기관(320)의 표면과 평행한 방향으로부터 끼워 넣는 더블 게이트 구조로 되어 있어도 좋다. 이때, 트랜지스터(321)는, 예를 들면, 채널 영역(321A), 소스 영역 및 드레인 영역이 동일한 극성을 갖는 정션레스 트랜지스터라도 좋다. 또한, 게이트 전극(321B)은, 예를 들면, 도 10에 기재된 게이트 전극(74)과 마찬가지로, 채널 영역(321A)을 반도체 기관(320)의 표면과 평행한 방향으로부터 끼워 넣음과 함께, 반도체 기관(320)의 표면과 교차하는 방향에서 게이트 절연막(321D)을 통하여 채널 영역(321A)과 대향하는 트라이 게이트 구조로 되어 있어도 좋다. 이때, 트랜지스터(321)는, 예를 들면, 채널 영역(321A), 소스 영역 및 드레인 영역이 동일한 극성을 갖는 정션레스 트랜지스터라도 좋다.
- [0205] 또한, 게이트 전극(321B)에서 채널 영역(321A)과 대향하는 부분과, 접속부(331)가 일괄로 형성되어 있어도 좋고, 제조 과정에서 제각기 형성되어 있어도 좋다. 게이트 전극(321B)에서 채널 영역(321A)과 대향하는 부분과, 접속부(331)가 제조 과정에서 제각기 형성되는 경우, 게이트 전극(321B)에서 채널 영역(321A)과 대향하는 부분과, 접속부(331)가 서로 동일한 재료로 형성되어 있어도 좋고, 서로 다른 재료로 형성되어 있어도 좋다.
- [0206] 또한, 반도체 기관(320)이, 예를 들면, 도 26, 도 27, 도 29, 도 30에 기재된 증폭 트랜지스터(AMP)와 마찬가지로, 서로 병렬로 접속된 복수의 트랜지스터(321)를 가지고 있어도 좋다. 「서로 병렬로 접속된 복수의 트랜지스터(321)」는 소정의 방향으로 나란히 배치된 복수조의 채널 영역(321A), 소스 영역 및 드레인 영역과, 게이트 절연막(321D)을 통하여 각 채널 영역(321A)과 대향 배치된 게이트 전극(321B)을 갖는 1개의 트랜지스터라고도 말할 수 있다.
- [0207] 또한, 예를 들면, 상기 실시의 형태 및 그 변형례에 관한 촬상 소자(1)의 구성 요소를, 예를 들면, 도 52에 도시한 바와 같은 반도체 소자(4)에도 적용하는 것이 가능하다. 반도체 소자(4)는 반도체 소자(3)에서 트랜지스터(311) 대신에 포토 다이오드(312)가 마련된 구성으로 되어 있다. 포토 다이오드(312)는 접속부(331)와 전기적으로 접속되어 있다.
- [0208] 또한, 본 개시는 이하와 같은 구성을 취하는 것도 가능하다.
- [0209] (1)
- [0210] 광전 변환부와, 상기 광전 변환부로부터 전송된 전하를 유지하는 전하 유지부를 갖는 제1 반도체 기관과,
- [0211] 절연층을 통하여 상기 제1 반도체 기관에 적층되고, 상기 전하 유지부에 유지된 전하의 레벨에 응한 전압의 신호를 생성하는 증폭 트랜지스터를 갖는 제2 반도체 기관을 구비하고,

- [0212] 상기 증폭 트랜지스터는 상기 제2 반도체 기관의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 상기 채널 영역과 대향함과 함께 상기 전하 유지부와 전기적으로 접속된 게이트 전극을 갖는 활상 소자.
- [0213] (2)
- [0214] 상기 게이트 전극은 상기 채널 영역을, 상기 제2 반도체 기관의 표면과 평행한 제1 방향으로부터 끼워 넣는 더블 게이트 구조로 되어 있는 (1)에 기재된 활상 소자.
- [0215] (3)
- [0216] 상기 게이트 전극은 상기 채널 영역을 상기 제2 반도체 기관의 표면과 평행한 제1 방향으로부터 끼워 넣음과 함께, 상기 제2 반도체 기관의 표면과 교차하는 제2 방향에서 상기 게이트 절연막을 통하여 상기 채널 영역과 대향하는 트라이 게이트 구조로 되어 있는 (1)에 기재된 활상 소자.
- [0217] (4)
- [0218] 상기 증폭 트랜지스터는 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역이 동일한 극성을 갖는 정선레스 트랜지스터인 (1) 내지 (3)의 어느 하나에 기재된 활상 소자.
- [0219] (5)
- [0220] 상기 증폭 트랜지스터는 상기 제1 방향으로 나란히 배치된 복수조의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역을 가지고,
- [0221] 상기 증폭 트랜지스터에서, 상기 게이트 전극은 상기 게이트 절연막을 통하여 각 상기 채널 영역과 대향 배치되어 있는 (1) 내지 (4)의 어느 하나에 기재된 활상 소자.
- [0222] (6)
- [0223] 상기 게이트 전극은 불순물이 도프된 폴리실리콘, 실리사이드화된 실리콘, 또는 일 함수를 제어하는 금속 재료에 의해 형성되어 있는 (1) 내지 (5)의 어느 하나에 기재된 활상 소자.
- [0224] (7)
- [0225] 상기 제1 반도체 기관은 상기 복수의 광전 변환부를 상기 광전 변환부마다 분리하는 소자 분리부를 가지고,
- [0226] 상기 증폭 트랜지스터는 상기 소자 분리부와 대향하는 위치에 형성되어 있는 (2)에 기재된 활상 소자.
- [0227] (8)
- [0228] 상기 복수의 전하 유지부는 복수의 그룹으로 등분되어 있고,
- [0229] 상기 복수의 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,
- [0230] 상기 게이트 전극은 상기 채널 영역을 상기 제1 방향으로부터 끼워 넣는 제1 부분 전극 및 제2 부분 전극을 포함하고,
- [0231] 각 상기 그룹에서, 상기 복수의 전하 유지부는, 상기 제1 부분 전극 및 상기 제2 부분 전극의 어느 일방의 하단과 직접 또는 접속부를 통하여 연결됨에 의해, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되어 있는 (7)에 기재된 활상 소자.
- [0232] (9)
- [0233] 상기 복수의 전하 유지부는 복수의 그룹으로 등분되어 있고,
- [0234] 상기 복수의 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,
- [0235] 당해 활상 소자는 상기 그룹마다 할당된 복수의 접속 패드를 또한 구비하고,
- [0236] 각 상기 그룹에서, 상기 복수의 전하 유지부는, 상기 접속 패드를 통하여, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되어 있는 (7)에 기재된 활상 소자.
- [0237] (10)

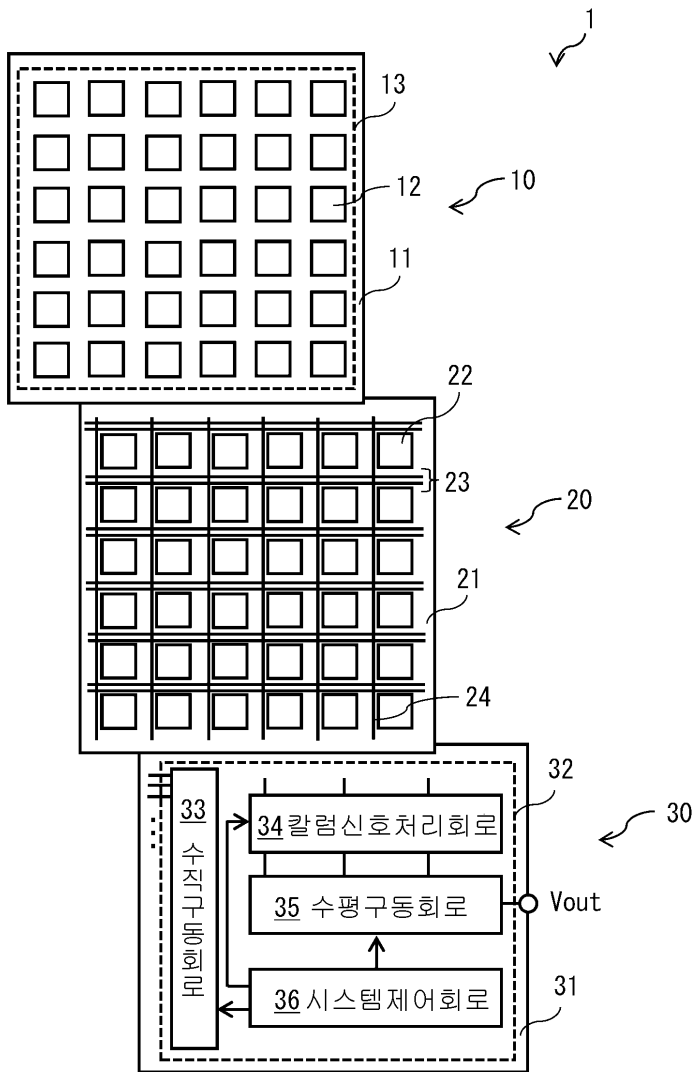
- [0238] 상기 복수의 광전 변환부 중 서로 인접하는 복수의 상기 광전 변환부는 상기 전하 유지부를 공유하고 있고,
- [0239] 상기 복수의 증폭 트랜지스터는 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부마다 등분되어 있고,
- [0240] 상기 게이트 전극은 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부와 전기적으로 접속되어 있는 (7)에 기재된 촬상 소자.
- [0241] (11)
- [0242] 상기 제1 반도체 기판은 상기 복수의 광전 변환부를 상기 광전 변환부마다 분리하는 소자 분리부를 가지고,
- [0243] 상기 증폭 트랜지스터는 상기 소자 분리부와 대향하는 위치에 형성되어 있는 (3)에 기재된 촬상 소자.
- [0244] (12)
- [0245] 상기 복수의 전하 유지부는 복수의 그룹으로 등분되어 있고,
- [0246] 상기 복수의 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,
- [0247] 상기 게이트 전극은 상기 채널 영역을 상기 제1 방향으로부터 끼워 넣는 제1 부분 전극 및 제2 부분 전극과, 상기 제2 방향에서 상기 게이트 절연막을 통하여 상기 채널 영역과 대향함과 함께 상기 제1 부분 전극 및 상기 제2 부분 전극에 접하는 제3 부분 전극을 포함하고,
- [0248] 각 상기 그룹에서, 상기 복수의 전하 유지부는, 상기 제1 부분 전극 및 상기 제2 부분 전극의 어느 일방의 하단과 직접 또는 접속부를 통하여 연결됨에 의해, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되어 있는 (11)에 기재된 촬상 소자.
- [0249] (13)
- [0250] 상기 복수의 전하 유지부는 복수의 그룹으로 등분되어 있고,
- [0251] 상기 복수의 증폭 트랜지스터는 상기 그룹마다 등분되어 있고,
- [0252] 당해 촬상 소자는 상기 그룹마다 할당된 복수의 접속 패드를 또한 구비하고,
- [0253] 각 상기 그룹에서, 상기 복수의 전하 유지부는, 상기 접속 패드를 통하여, 대응하는 상기 증폭 트랜지스터와 전기적으로 접속되어 있는 (11)에 기재된 촬상 소자.
- [0254] (14)
- [0255] 상기 복수의 광전 변환부 중 서로 인접하는 복수의 상기 광전 변환부는 상기 전하 유지부를 공유하고 있고,
- [0256] 상기 복수의 증폭 트랜지스터는 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부마다 등분되어 있고,
- [0257] 상기 게이트 전극은 복수의 상기 광전 변환부에 의해 공유된 상기 전하 유지부와 전기적으로 접속되어 있는 (11)에 기재된 촬상 소자.
- [0258] (15)
- [0259] 제1 트랜지스터 또는 광전 변환부를 갖는 제1 반도체 기판과,
- [0260] 절연층을 통하여 상기 제1 반도체 기판에 적층되고, 제2 트랜지스터를 갖는 제2 반도체 기판을 구비하고
- [0261] 상기 제2 트랜지스터는 상기 제2 반도체 기판의 표면과 교차하는 면 내에 채널 영역, 소스 영역 및 드레인 영역을 가지고, 또한, 게이트 절연막을 통하여 상기 채널 영역과 대향함과 함께 상기 제1 반도체 기판과 전기적으로 접속된 게이트 전극을 갖는 반도체 소자.
- [0262] (16)
- [0263] 상기 게이트 전극은 상기 채널 영역을, 상기 제2 반도체 기판의 표면과 평행한 제1 방향으로부터 끼워 넣는 더블 게이트 구조로 되어 있는 (15)에 기재된 반도체 소자.
- [0264] (17)
- [0265] 상기 게이트 전극은 상기 채널 영역을 상기 제2 반도체 기판의 표면과 평행한 제1 방향으로부터 끼워 넣음과 함께, 상기 제2 반도체 기판의 표면과 교차하는 제2 방향에서 상기 게이트 절연막을 통하여 상기 채널 영역과 대

향하는 트라이 게이트 구조로 되어 있는 (15)에 기재된 반도체 소자.

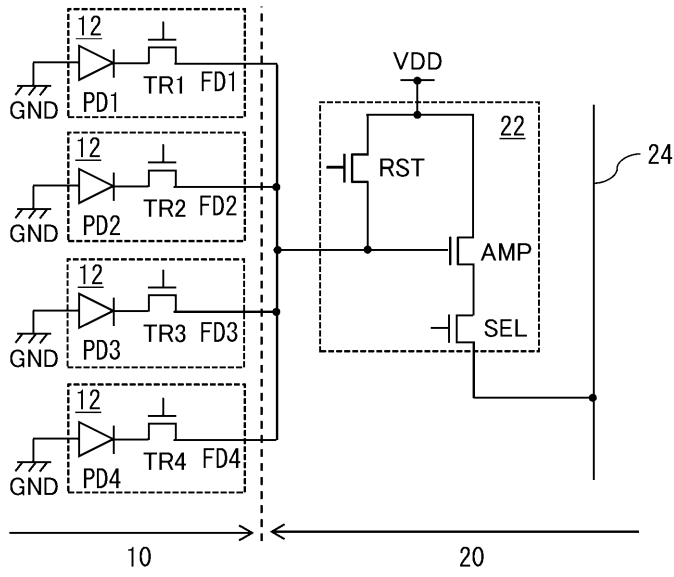
- [0266] (18)
- [0267] 상기 제2 트랜지스터는 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역이 동일한 극성을 갖는 정선레스 트랜지스터인 (15)에 기재된 반도체 소자.
- [0268] (19)
- [0269] 상기 제2 트랜지스터는 상기 제1 방향으로 나란히 배치된 복수조의 상기 채널 영역, 상기 소스 영역 및 상기 드레인 영역을 가지고,
- [0270] 상기 제2 트랜지스터에서, 상기 게이트 전극은 상기 게이트 절연막을 통하여 각 상기 채널 영역과 대향 배치되어 있는 (15)에 기재된 반도체 소자.
- [0271] (20)
- [0272] 상기 게이트 전극은 불순물이 도핑된 폴리실리콘, 실리사이드화된 실리콘, 또는 일 함수를 제어하는 금속 재료에 의해 형성되어 있는 (15)에 기재된 반도체 소자.
- [0273] 본 개시의 한 실시의 형태에 관한 활상 소자에 의하면, 증폭 트랜지스터와 전하 유지부를 접속하는 배선 길이를 단축할 수 있고, 기생 용량을 저감할 수 있도록 했기 때문에, 효율 변환의 저하를 억제할 수 있다.
- [0274] 본 개시의 한 실시의 형태에 관한 반도체 소자에 의하면, 제2 트랜지스터와 제1 반도체 기판을 접속하는 배선 길이를 단축할 수 있고, 기생 용량을 저감할 수 있도록 했기 때문에, 효율 변환의 저하를 억제할 수 있다.
- [0275] 또한, 본 기술의 효과는 여기에 기재된 효과로 반드시 한정되지 않고, 본 명세서 중에 기재된 어느 하나의 효과라도 좋다.
- [0276] 본 출원은 일본 특허청에서 2019년 3월 15일에 출원된 일본 특허출원 번호 제2019-048551호를 기초로 하여 우선권을 주장하는 것이고, 이 출원의 모든 내용을 참조에 의해 본 출원에 원용한다.
- [0277] 당업자라면, 설계상의 요건이나 다른 요인에 응하여, 여러 가지 수정, 콤비네이션, 서브 콤비네이션 및 변경을 상도할 수 있는데, 그것들은 첨부 청구의 범위나 그 균등물의 범위에 포함되는 것이 이해된다.

도면

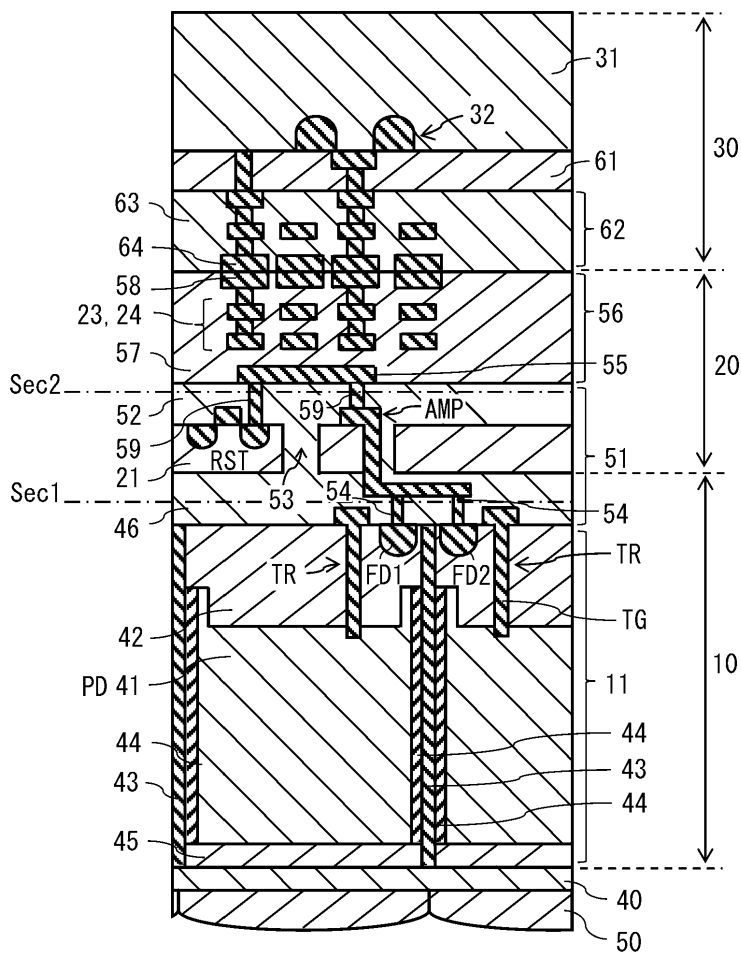
도면1



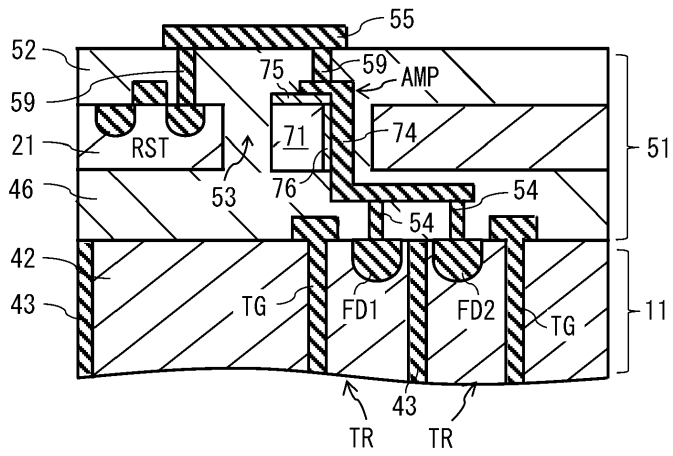
도면2



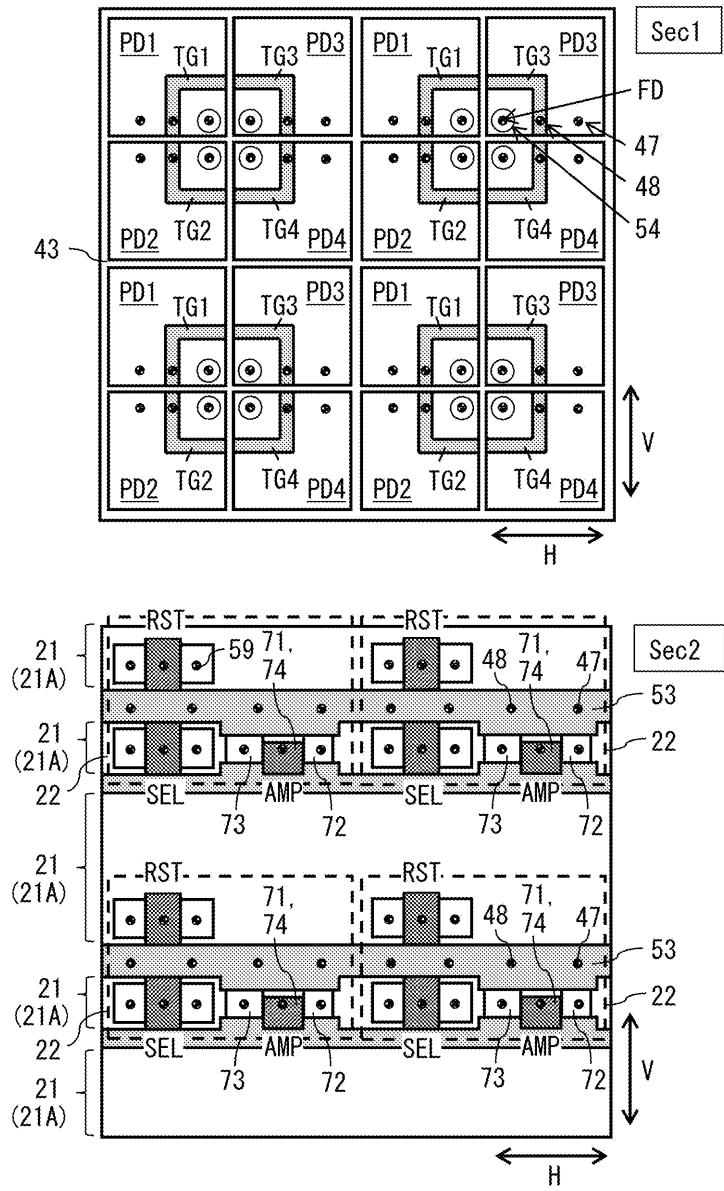
도면3



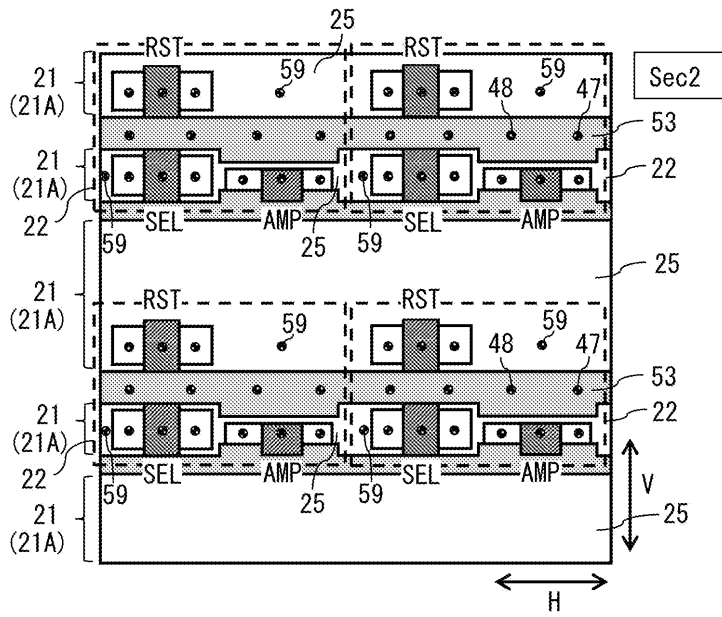
도면4



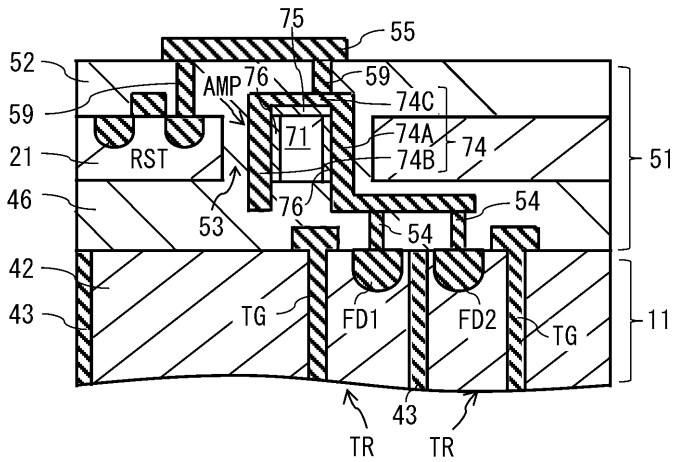
도면5



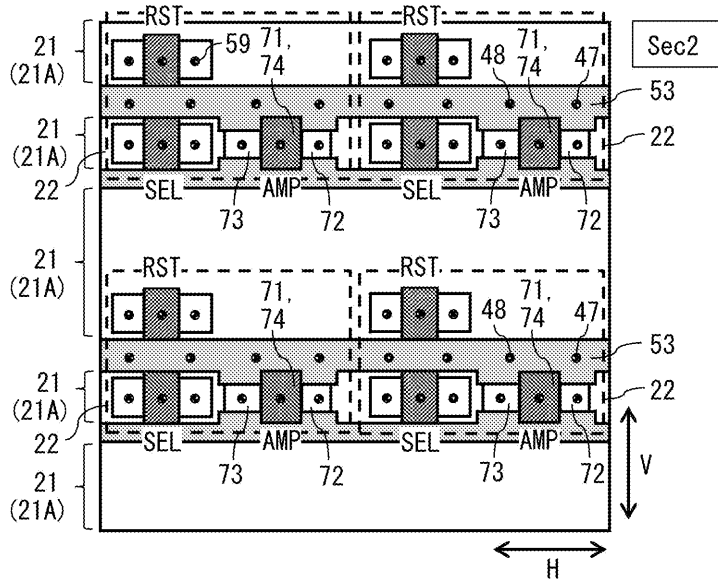
도면6



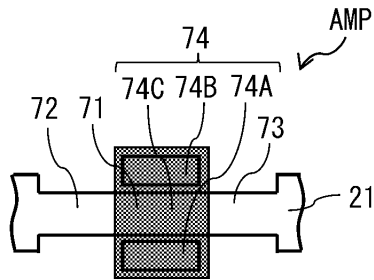
도면7



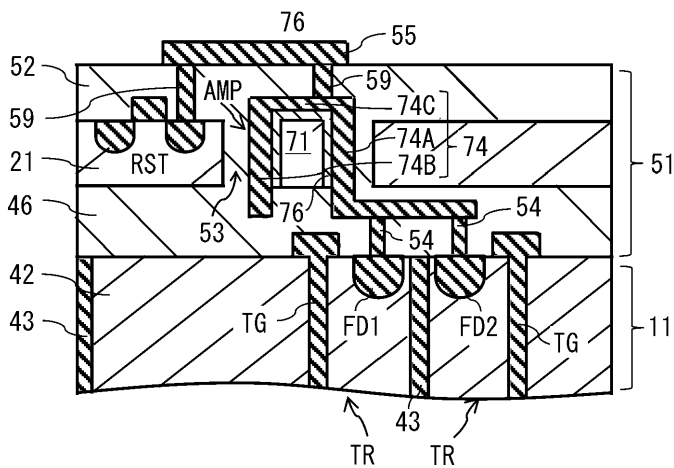
도면8



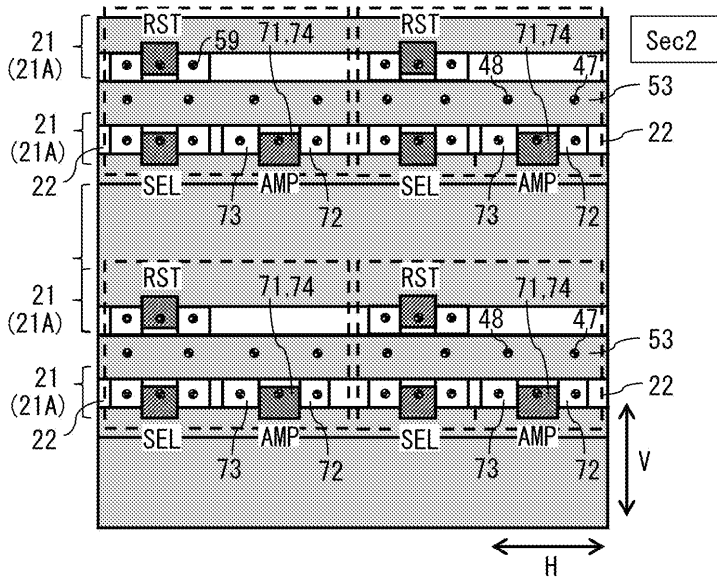
도면9



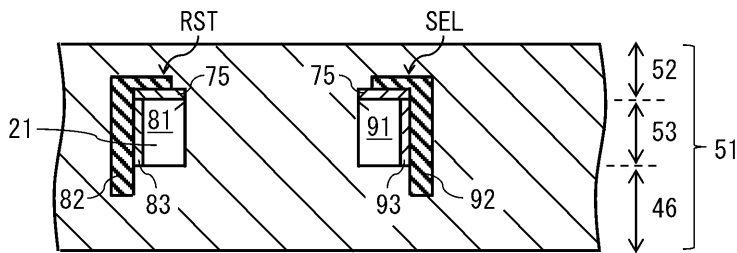
도면10



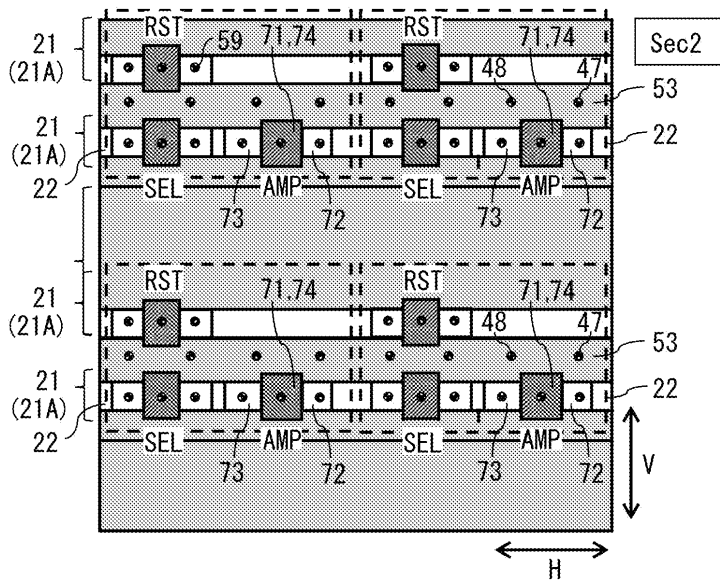
도면11



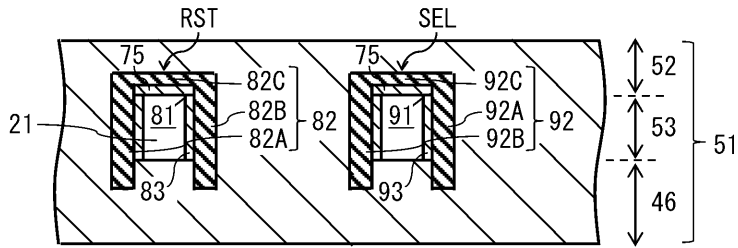
도면12



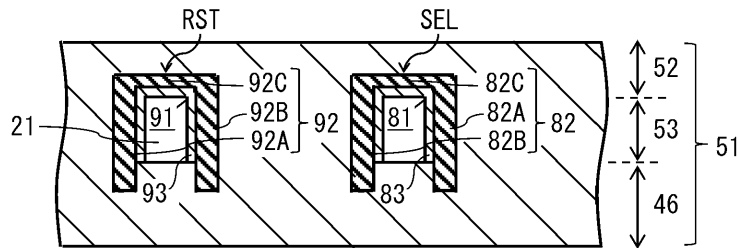
도면13



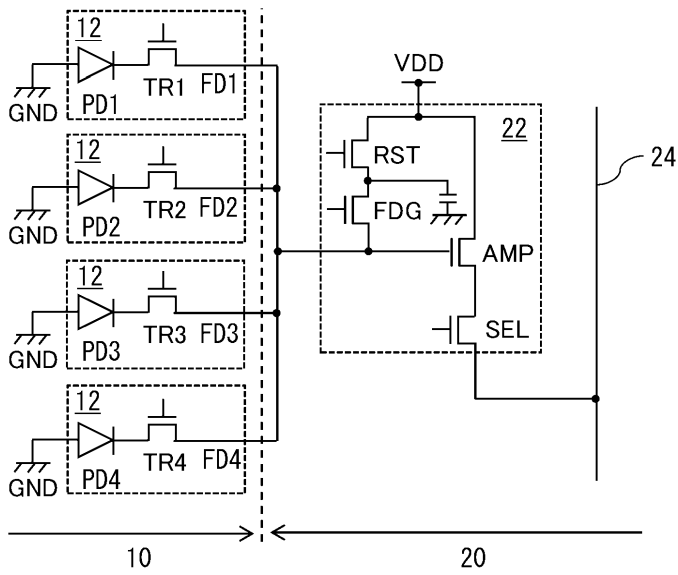
도면14



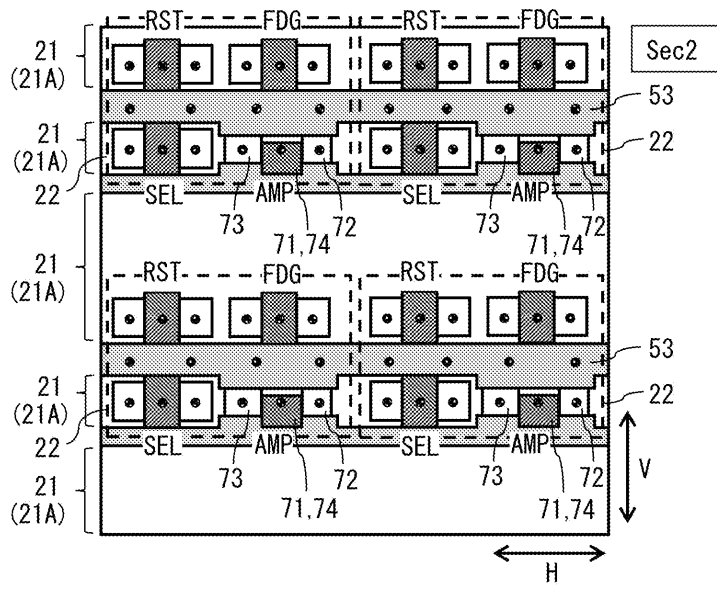
도면15



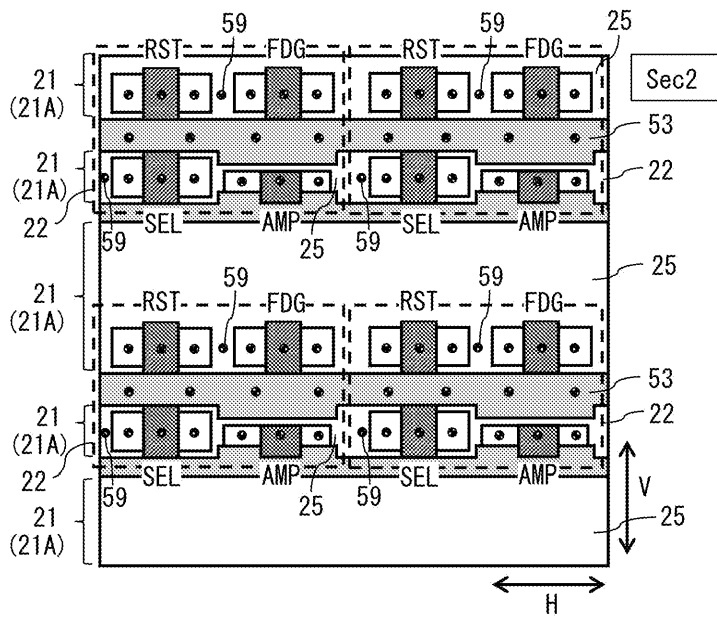
도면16



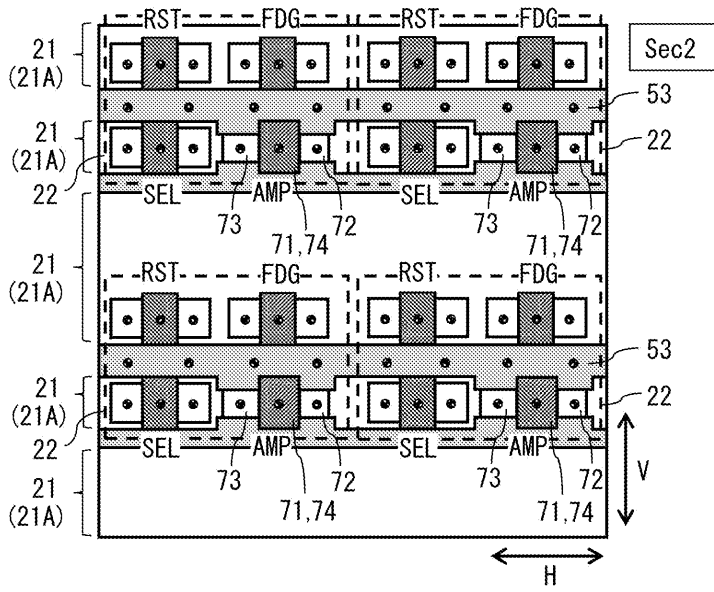
도면17



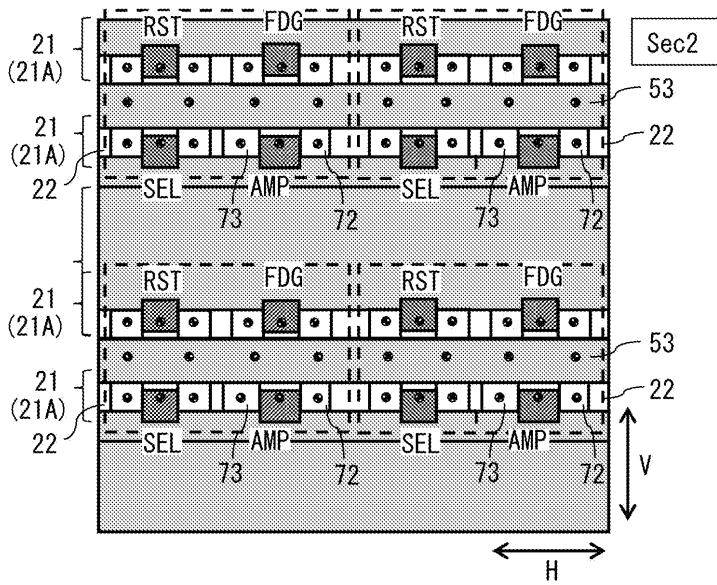
도면18



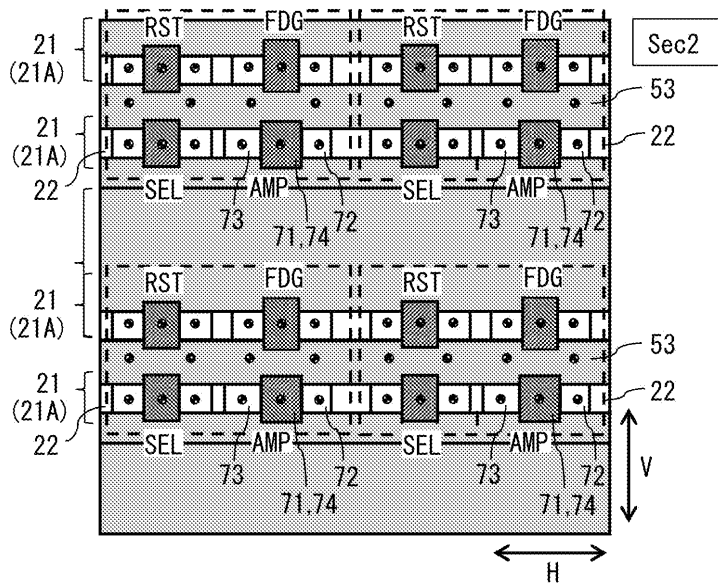
도면19



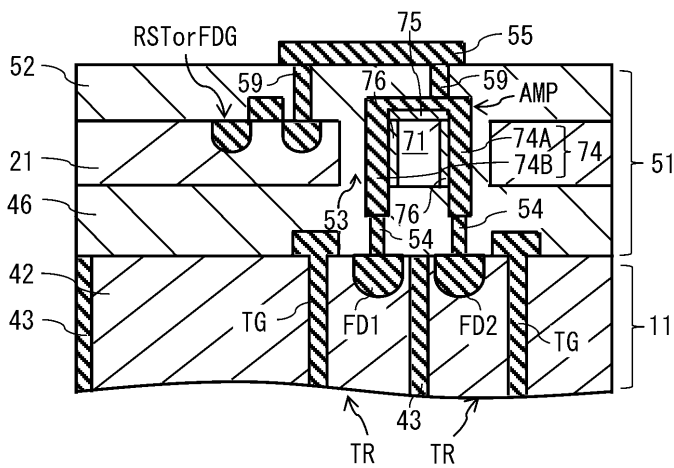
도면20



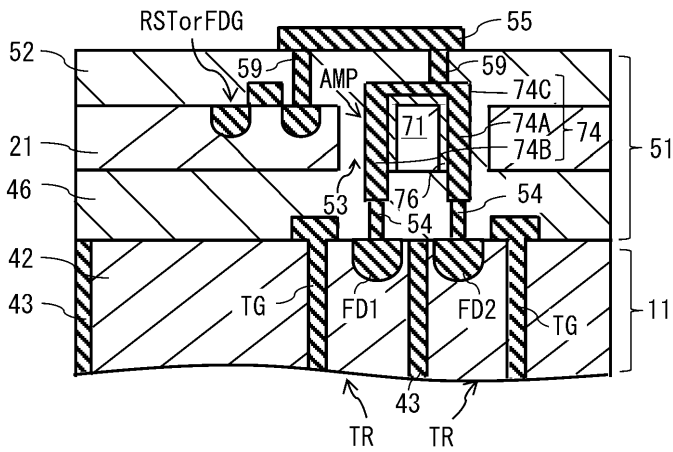
도면21



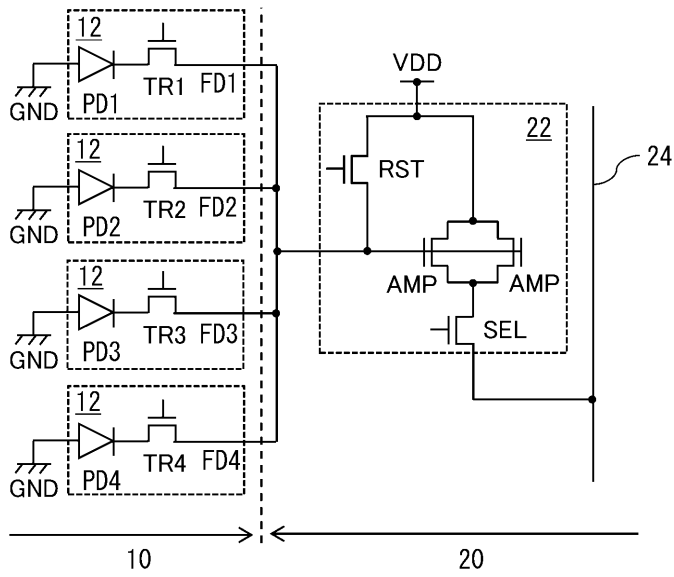
도면22



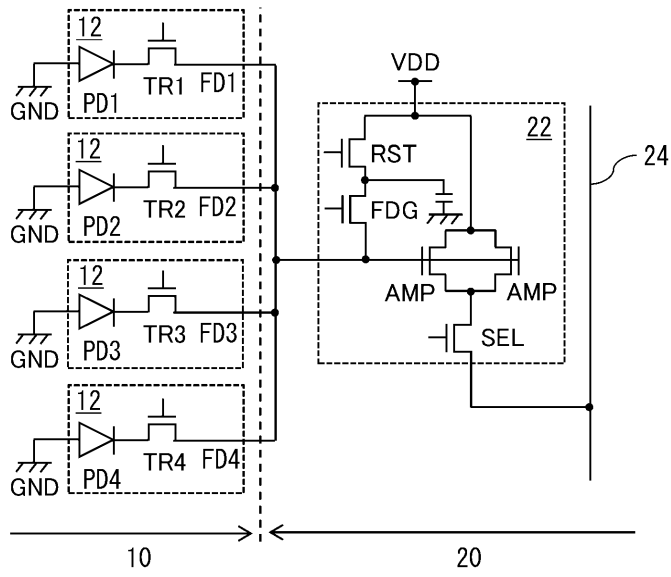
도면23



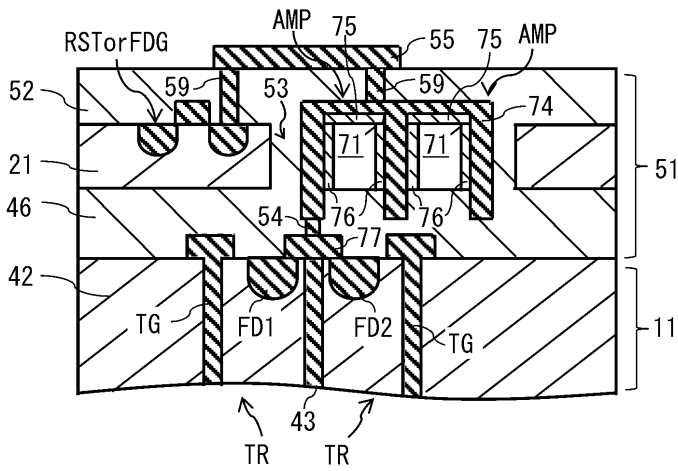
도면24



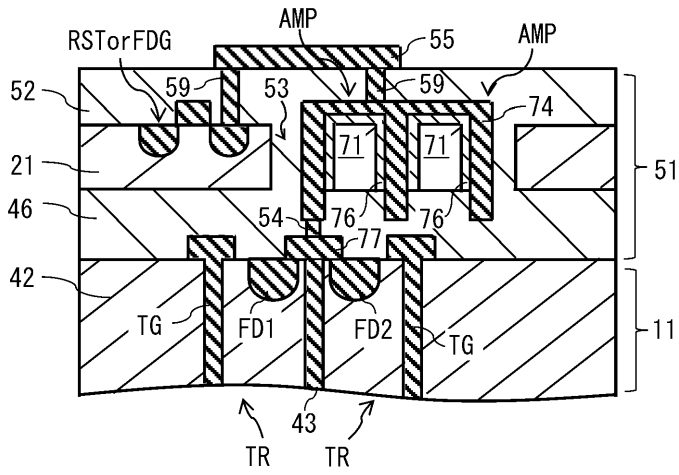
도면25



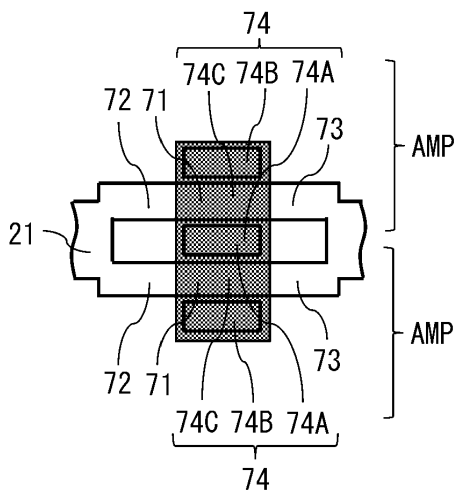
도면26



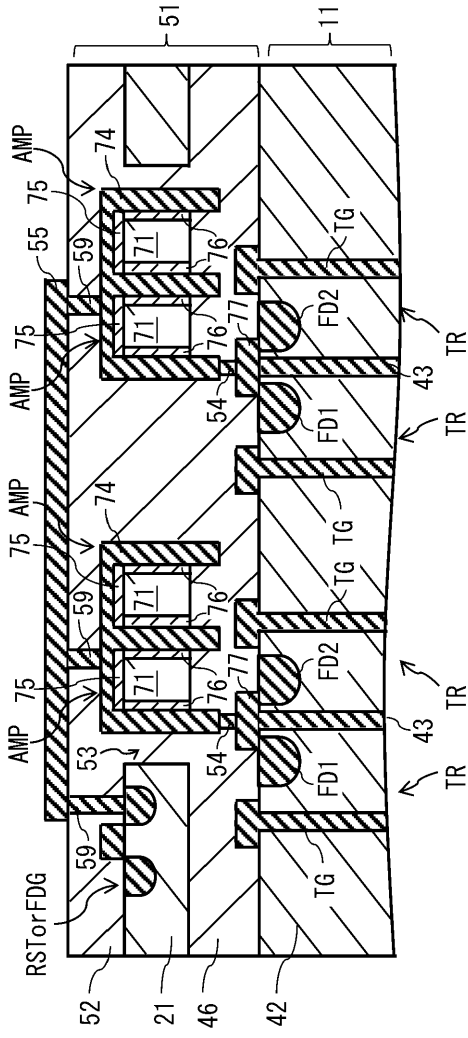
도면27



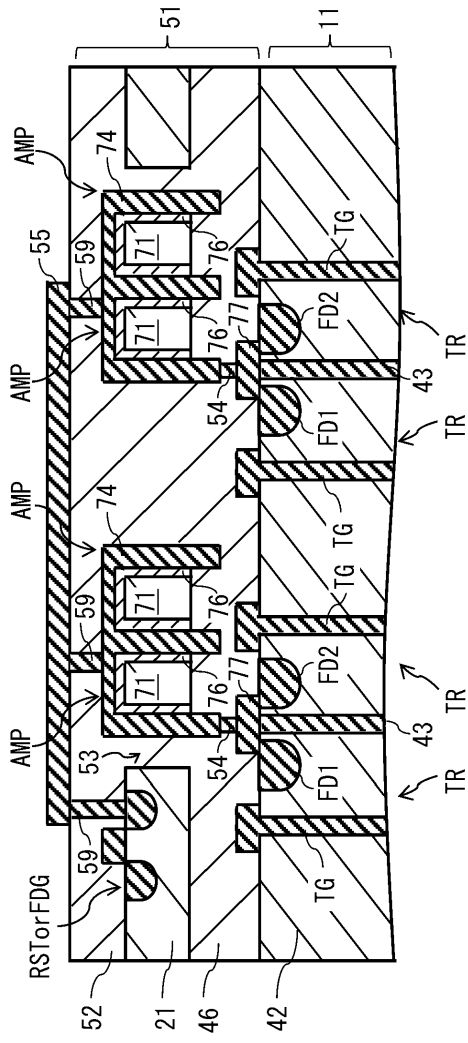
도면28



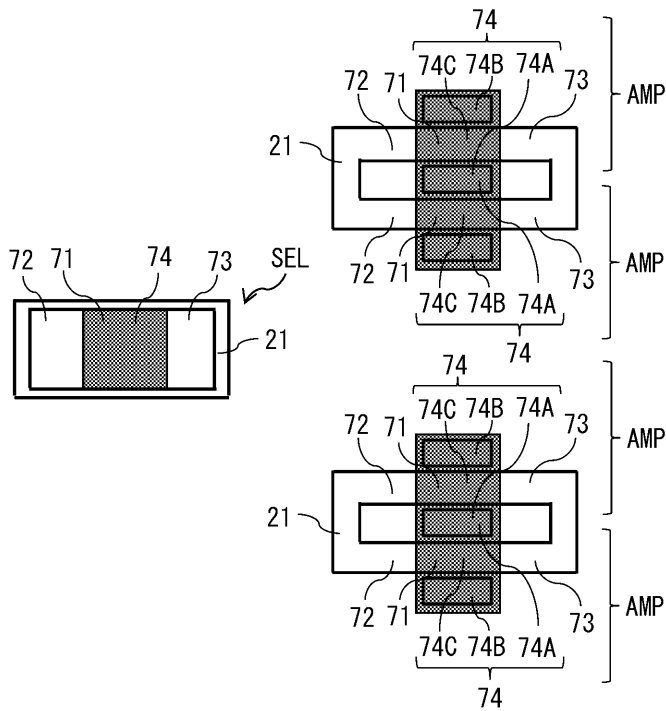
도면29



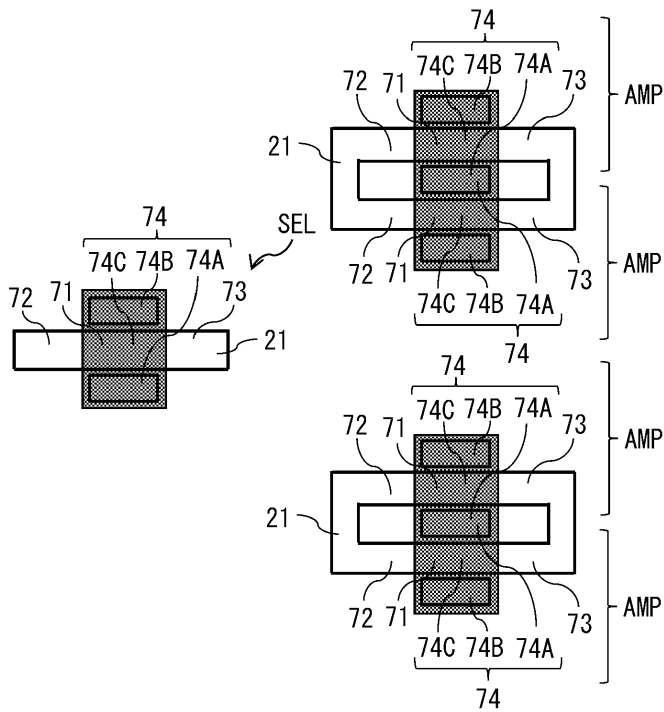
도면30



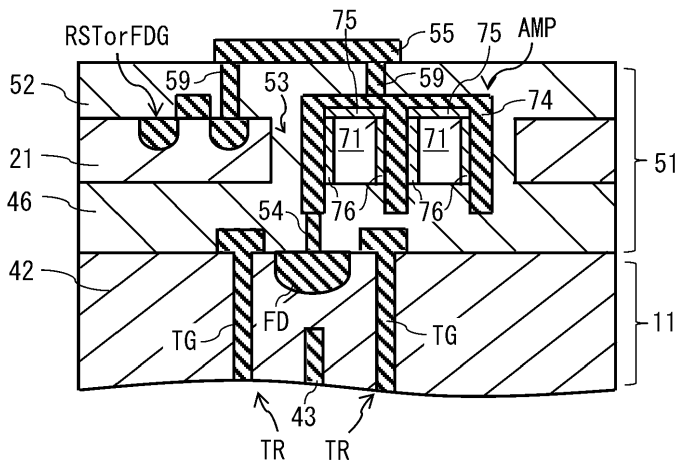
도면31



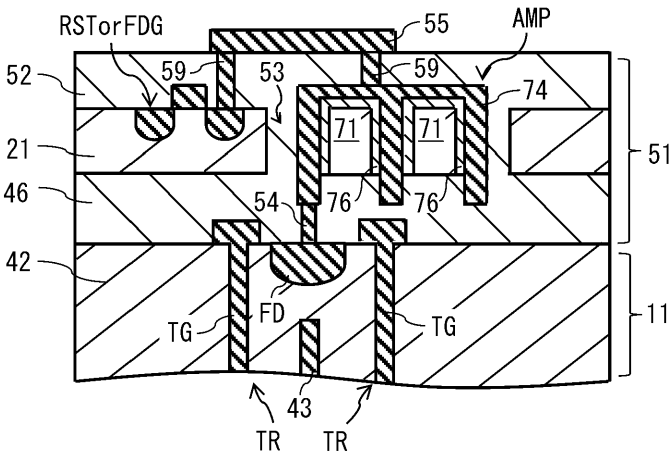
도면32



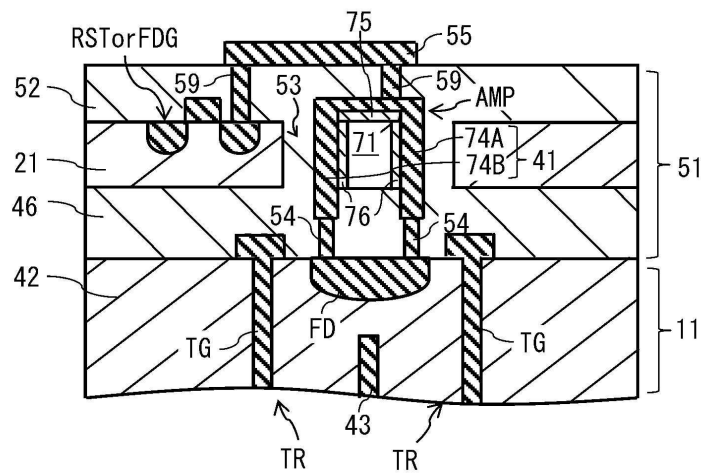
도면33



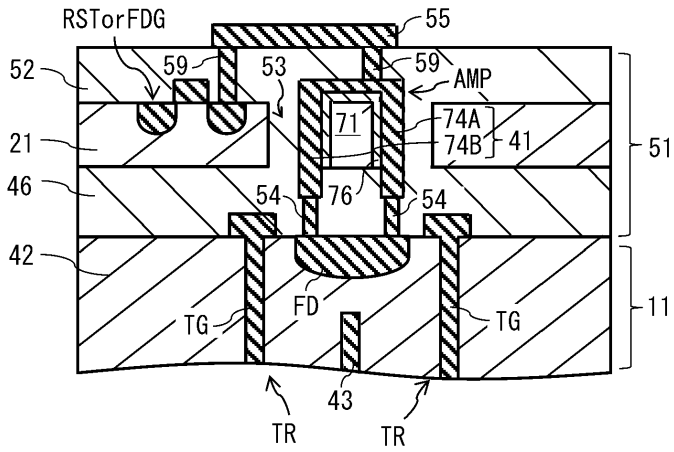
도면34



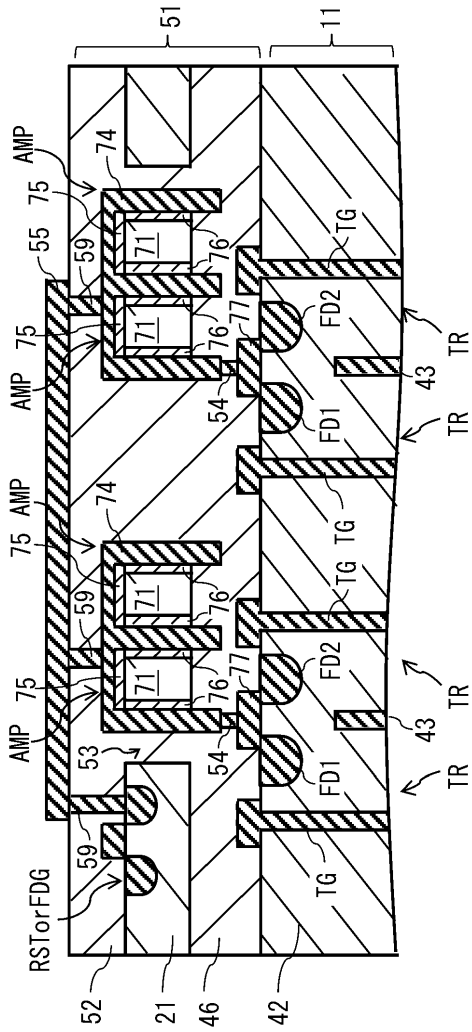
도면35



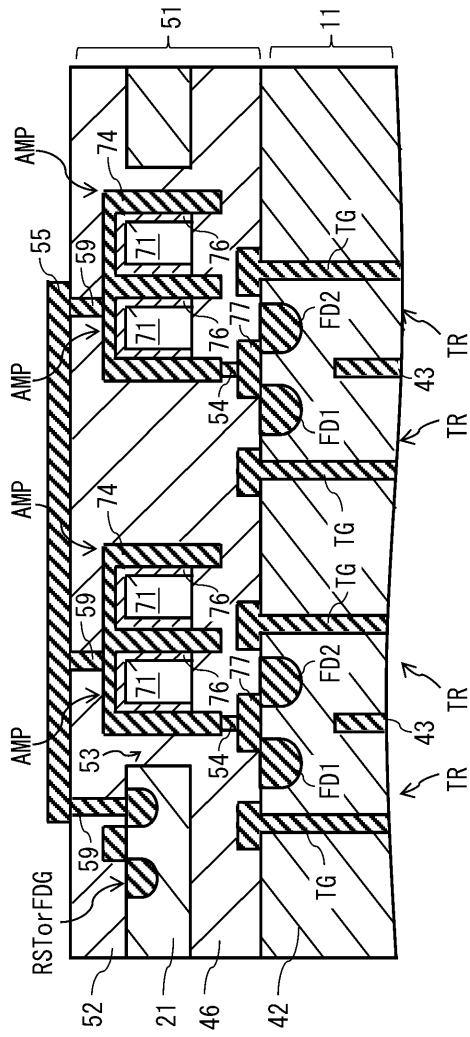
도면36



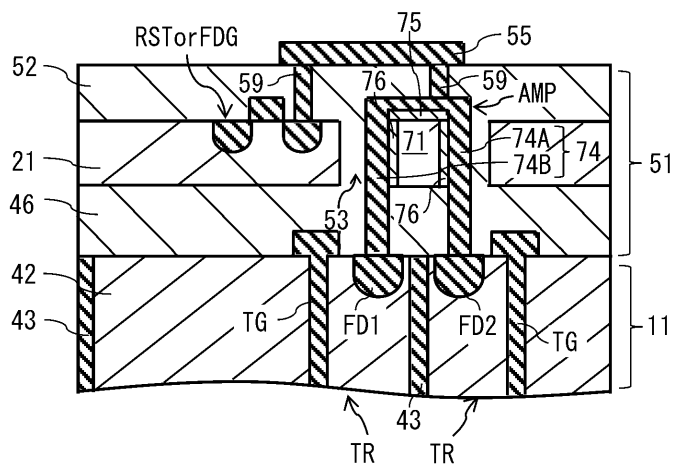
도면37



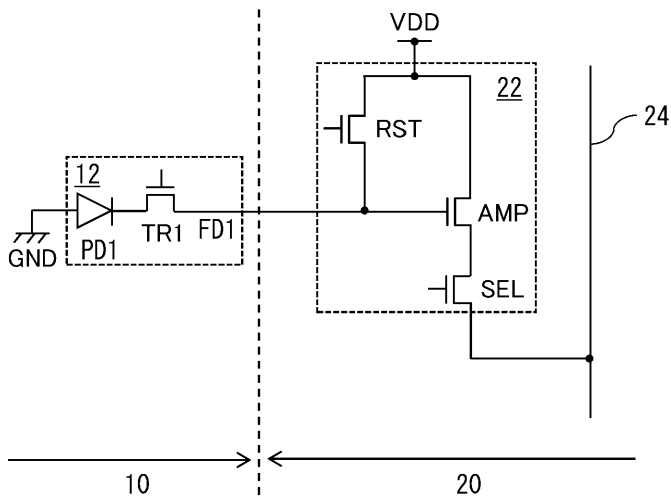
도면38



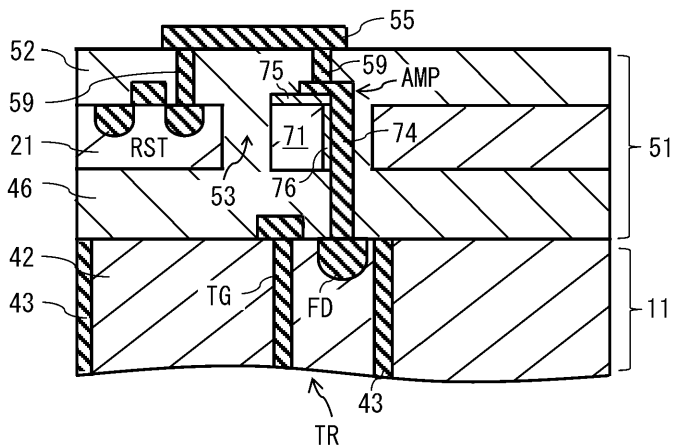
도면39



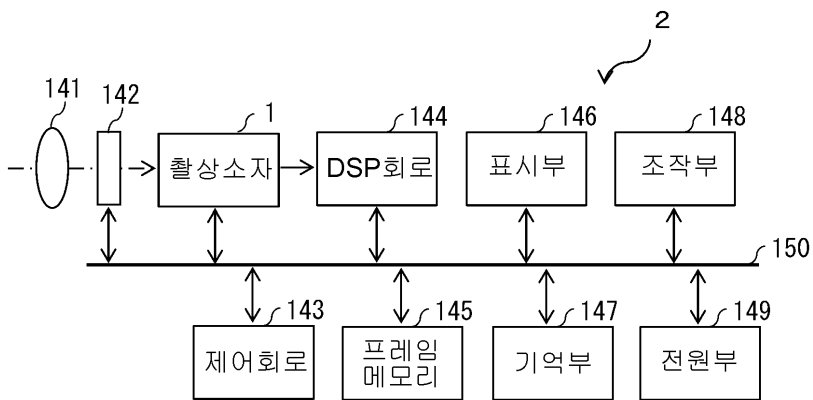
도면43



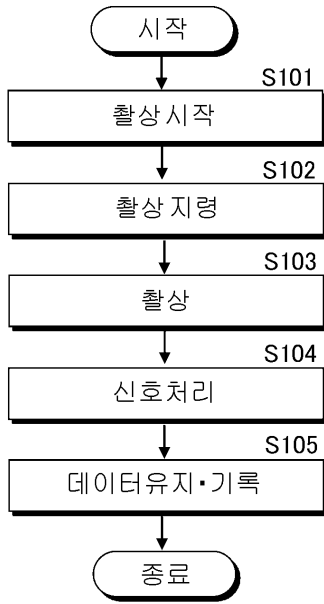
도면44



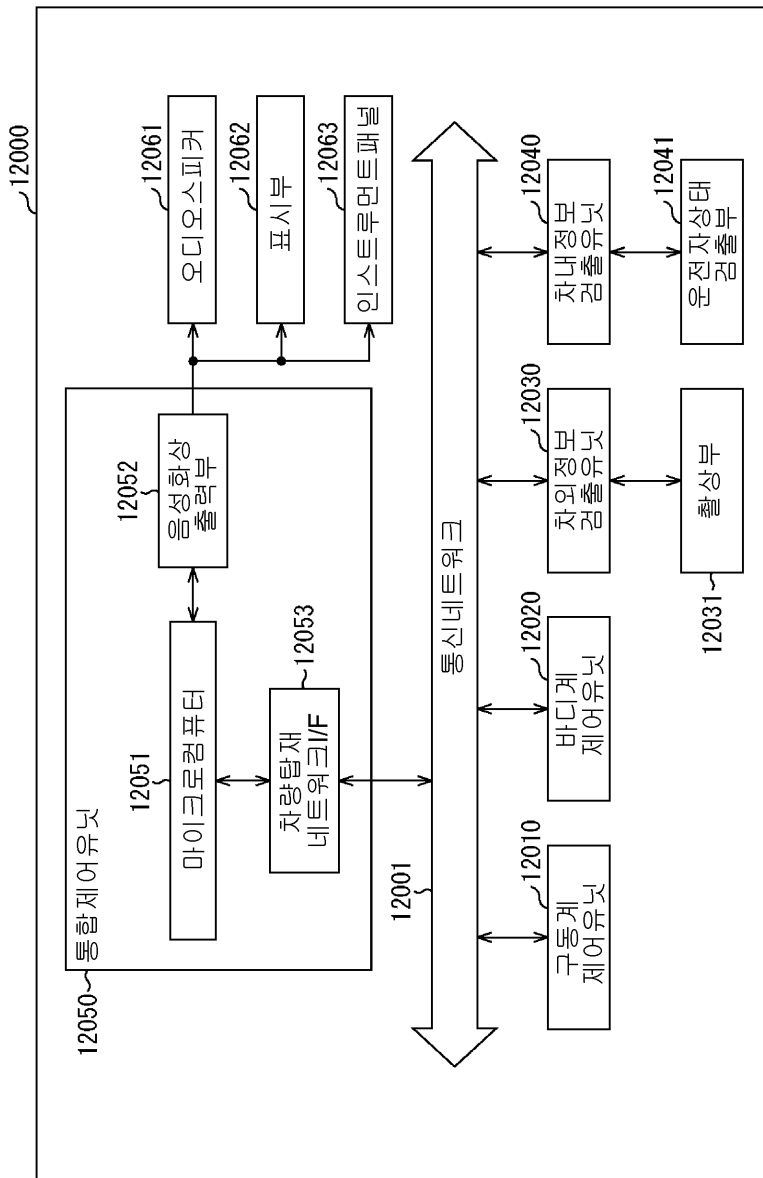
도면45



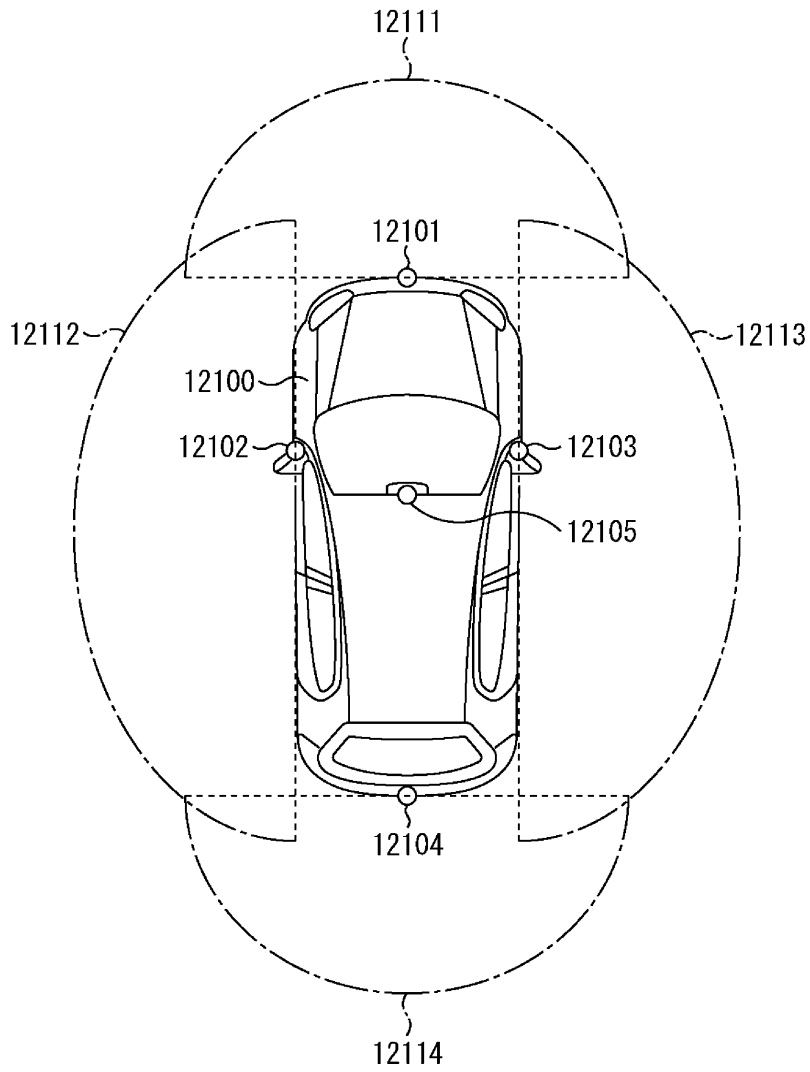
도면46



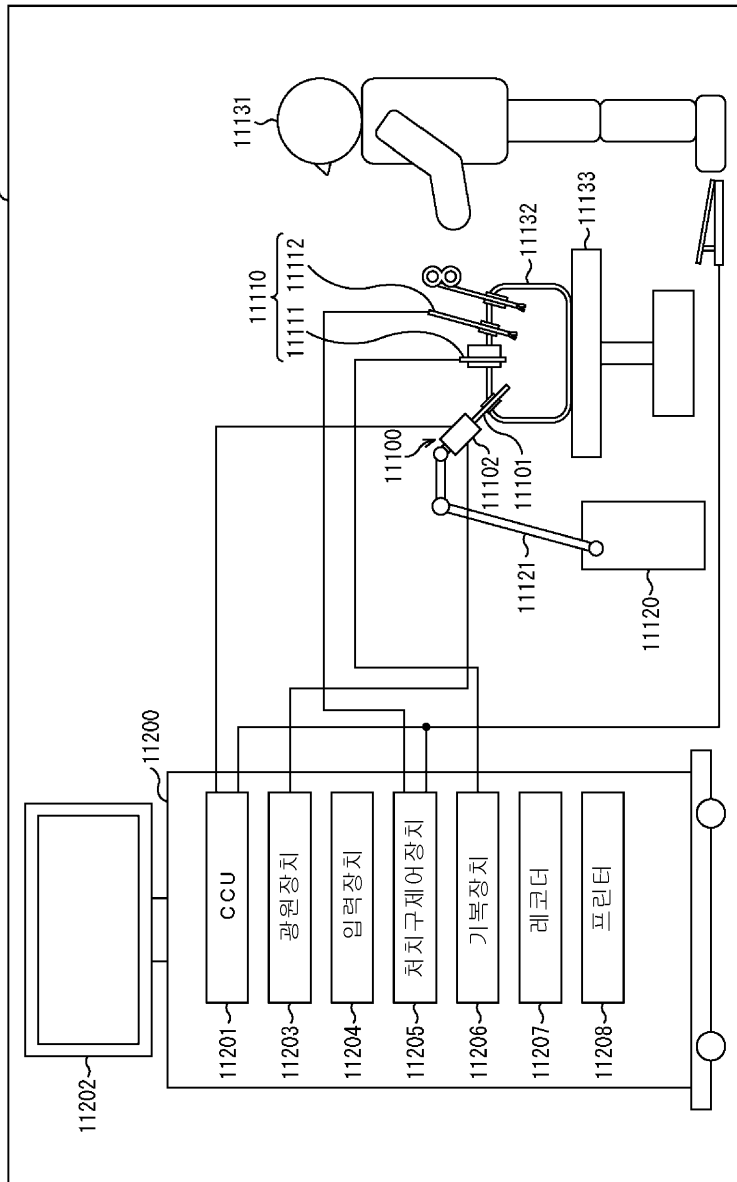
도면47



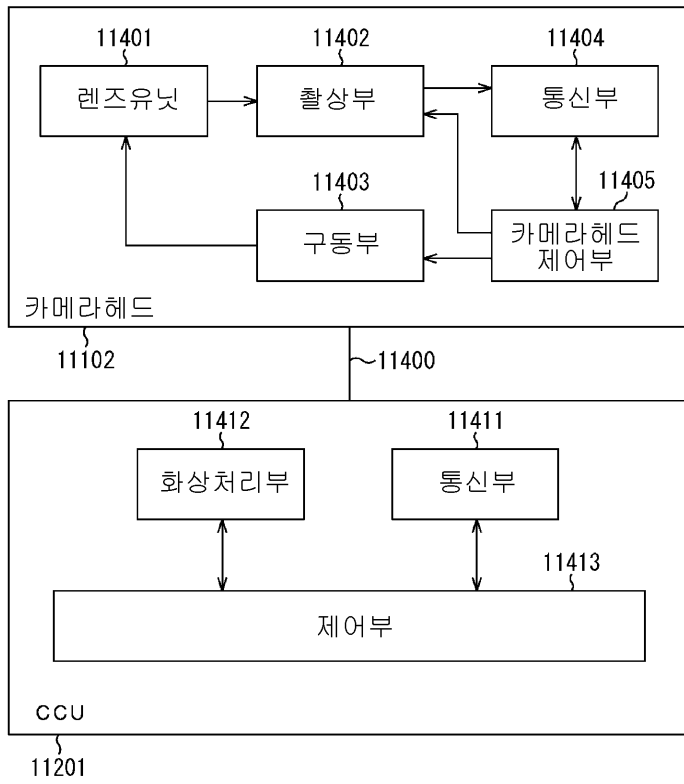
도면48



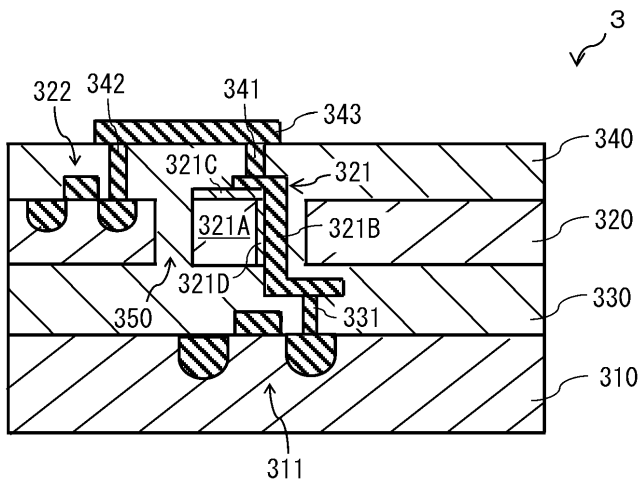
도면49



도면50



도면51



도면52

