

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/265

(45) 공고일자 1995년01월09일
(11) 공고번호 특1995-0000092

(21) 출원번호	특1990-0014209	(65) 공개번호	특1991-0007081
(22) 출원일자	1990년09월08일	(43) 공개일자	1991년04월30일
(30) 우선권주장	평1-231710 1989년09월08일 일본(JP) 평2-158779 1990년06월19일 일본(JP)		
(71) 출원인	후지쓰 가부시끼가이샤 세끼사와 요시 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015번지		
(72) 발명자	가세 마사다까 일본국 가나가와켄 가와사끼시 나카하라구 나카마루교 702 기무라 마디 일본국 가나가와켄 요코하마시 쓰루미구 기시아 1-26-3 쓰루미 하이호우 무 505 기구찌 요시오 일본국 사이따마켄 야시오시 쓰루가소네 803-13		
(74) 대리인	문병암		

심사관 : 김승조 (책자공보 제3841호)

(54) 반도체장치 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체장치 제조방법

[도면의 간단한 설명]

제 1 도는 Ge⁺이온으로 주입된 실리콘 기판의 RBS측정으로 얻은 데이터를 도시한 그래프.

제 2 도는 고온 어닐링후 붕소의 재분배를 도시한 그래프.

제 3a, 3b, 3c 도는 게이트 제어형 P⁺n다이오드를 도시한 도식적인 평면도(a), 게이트 전압과 공핍층 사이의 관계를 도시한 단면도(b), 게이트 전압과 누설전류 사이의 관계를 도시한 그래프(c)를 도시한 도.

제 4a 도와 제 4b 도는 비결정질이 효과적이지 않은 경우(a)와 결정질이 효과적인 경우(b)에 대한 게이트 제어형 P⁺n다이오드의 게이트 전압과 누설전류 사이의 관계를 도시한 그래프.

제 5a, 5b, 5c, 5e 도는 투과형 전자 현미경 사진이고, 여기서 제 5a 도는 Ge⁺의 높은 에너지 주입에 의해 비결정화된 실리콘 기판에서 게이트 끝의 손상을 도시하였고, 제 5b 도는 600℃에서 어닐링할때 동일영역을 도시하였고, 제 5c 도는 800℃에서 어닐링할때 동일영역을 도시하였고, 제 5e 도는 비결정질이 아닌 다른 실리콘 기판에서의 게이트 끝의 손상을 도시하였고, 제 5d 도는 세가지 방향에서 재결정을 도시한 도.

제 6a 도와 제 6b 도는 Ge⁺이온주입이 본 발명에 따라 실행되는 경우(a)와 Ge⁺이온주입이 실행되지 않은 경우(b)에 대한 게이트 제어형 P⁺n다이오드의 게이트 전압과 누설전류 사이의 관계를 도시한 그래프.

제 7 도는 Ge⁺이온주입이 실행될때 붕소분배(SIMS측정)과 BF₂⁺이온이 주입된 경우를 도시한 그래프.

제 8 도는 Ge^+ 또는 Si^+ 이온이 이미 주입 경우의 이온을 미리 주입한 조건의 기능으로서 게이트 제어형 다이오드의 누설전류의 변동을 도시한 그래프.

제 9 도는 Si^+ 이온이 미리 주입될 때 얻은 붕소 분배(SIMS측정)과 BF_2^+ 이온이 주입된 경우의 그래프.

제 10 도는 이온 주입 에너지의 기능으로서 실리콘에 다양한 정지 원자력을 도시한 그래프.

제 11 도는 Ge^+ 이온이 미리 주입될 때 800°C에서 어닐링하는 동안 붕소의 정상적인 확산을 도시한 그래프.

제 12 도는 Ge^+ 이온이 미리 주입될 때 붕소 분배의 어닐링 온도 의존상태를 도시한 그래프.

제 13 도는 Ge^+ 이온이 BF_2^+ 이온주입보다 먼저 주입될 때 플루오르의 국부 분리를 도시한 그래프.

제 14 도는 사전주입이 효과적이고 사전주입이 비효과적인 경우에 그 깊이를 따라 주입된 붕소 분배를 도시한 그래프.

제 15 도는 이온 사전 주입선량이 다양하게 어닐링한후 붕소 분배를 도시한 그래프.

제 16 도는 이온 사전 주입이 다양한 선량을 효과적인 실리콘 결정의 무질서한 영역의 깊이를 도시한 그래프.

제 17 도는 이온 사전 주입선량이 다양한 어닐링후 깊이를 따라 플루오르 분배를 도시한 그래프.

[발명의 상세한 설명]

본 발명은 반도체장치 제조방법에 관한 것이고, 특히 쉘로우(shallow)접합이 이온주입으로 형성된 방법에 관한 것이다.

MOS구조 Si반도체장치의 집적이 넓이로 공정되므로 MOS트랜지스터 게이트는 1마이크론 이하의 깊이를 갖는다. 따라서, 트랜지스터의 소오스와 드레인에 대한 불순물 확산층은 0.2 μ m(200nm)보다 적은 깊이를 갖는다. 거기에는 또한 고집적화, 고속 바이폴라 Si반도체장치에 대한 증가된 수요가 있고, 실현되도록 고속 바이폴라 장치와 같이 효과적으로 인에이블된 쉘로우 베이스 확산층의 사용을 제안해 왔다.

이온주입은 일반적인 사용에 대한 그 고속 제어능력과 응용력이 탁월하고 언급한 불순물 확산층의 형성 단계 공정으로 유용함이 발견되므로 불순물 주입법으로 널리 사용된다. 즉, 이온주입 공정은 쉘로우 확산층의 형성에 중요하다.

이온주입에 대한 쉘로우 확산층의 종래 형성은 다음의 두가지 방법중 하나로 실행된다.

(a) 불순물 이온주입에 대한 에너지 사용이 감소

(b) 불순물 이온의 주입보다 우선인 반도체기판의 표면층이 후에 주입된 불순물 이온의 미세한 통로를 억제시키도록 Si^+ , Ge^+ 등의 주입으로 비결정화 또는 비정질로 구성

(a) 방법에서 주입에너지의 감소는 이온 빔 양의 감소를 필연적으로 수반한다. 특히, 주입에너지가 10KeV이하고 감소될 때 특히 요구된 빔 전류는 얻을 수 없다. 그러므로, (a) 방법은 응용성이 제한된다.

(b) 방법(비정질 이후에 "이온 사전주입"으로 칭함) 비정질은 불순물 이온을 주입하기 위하여 사용된 에너지의 감소없이 쉘로우 불순물 확산층을 제공할 수 있다. 원소 주기율표에서 그룹 III, IV, V로부터 원소의 실행이온과 원리의 필수적인 다른 이온일 경우의 비정질에 대해 사전주입된 이온들은 실리콘 기판이 결정격자와 결합의 관점에서 이 목적에 대해 아주 적당하다. 이들 소자중에서, 그룹 IV소자는 그것들이 그룹 III 또는 V의 소자의 경우에 대해 열처리하는 동안 전기적으로 활성화되지 않는 문제점과 그것들이 후에 주입될 불순물 소자와 좋은 결합을 갖는 장점이 야기된다. Si와 Ge는 어떤 비율로 Si기판에 고체용해를 형성하기 때문에 비정질에 대한 이온으로 아주 적당하다. 많은 분량을 갖는 Si, Ge와 비교하여 비정질을 효과적으로 하기 위하여 작은 선량이 요구되도록 고려된다.

많은 연구들은 이 목적에 대해 비정질로 실행하여 왔다. 비결정층이 많은 선량으로 Si^+ 주입으로 형성되고, BF_2^+ 또는 B $^+$ 가 주입되는 상태가 M.Y.Tsai와 B.G.Streerman의 "Recrystallization of

implanted amorphous silicon layer. I. Electrical properties of silicon implanted with BF_2^+ or Si^+ ." J.Appl.Phys.50(1) 183(1979)에 나타나 있다. 이 비정질은 550°C에서 활성화되도록 붕소를 인에이블시킨다.

Ge^+ 이 실리콘 기판을 비정질화되도록 주입되고, 그다음 B $^+$ 가 주입될 때 B의 채널링 테일(tail)이 제거되고 비결정/결정의 결함이 비록 그와같은 결점이 Si^+ 주입의 경우에 감소되더라도 감소되지 않는 상태가 A.C.Ajmer과 G.A.Rozgonyi의 "Elimination of end-of-range and mask edge lateral damage in Ge^+ preamorphized, B $^+$ implanted Si." Appl.Phys.Lett.49(19) 1269(1986)에 나타나 있다. 비록 이것이 10초 동안 1050°C에서 RTA(rapid thermal annealing)에 의해 결함의 회복이 제안될지라도 RTA후 Ge^+ 이온주입없이 그리고 Ge^+ 이온주입으로 붕소분배의 비교를 포함하지 않는다.

M.Horiuchi, M.Tamura와 S.Aoki의 "Three-dimensional solid-phase-epitaxial regrowth from As $^+$

implanted Si." J.Appl.Phys.65(6) 2238(1989)는 As⁺ 주입으로 형성된 비결정층의 성장하는 동안 감소된 결정 결함을 설명하였다. 결정 결함의 성장은 결정방위가 관계되는 메카니즘에 의해 정확하게 설명되지만 증착된 필름으로 인하여 스트레스에 좌우되는 메카니즘에 의해 정확하게 설명되지 않는다.

E.Landi와 S.Solmi이 "Electrical Characteristics of P⁺/n shallow junctions obtained by boron implantation into preamorphized silicon.", Solid-state Electronics 29(11) 1181(1986)은 Si⁺ 이온주입에 의해 효과적인 비정질을 사용함으로써 형성된 P⁺/n다이오드의 누설전류를 평가한다. 누설전류는 공핍층이 비결정/결정 인터페이스의 결함으로써 발생된 전위 루프(loop)를 포함하지 않을때 관찰할 수 없다. 확산은 적은 누설전류를 얻기 위한 조건을 결정하기 위하여 어닐링 온도에 의해 제어된다.

D-S.Wen, S.H.Goodwin-Johansson과 C.M.Osburn의 "Tunneling Leakage in Preamorphized Shallow Junctions." IEEE Trans. On Electron Devices 38(7) 1107(1988)은 Ge⁺ 주입된 층이 Ge⁺ 비정질에 의해 만들어진 게이트 제어형 다이오드를 사용함으로써 평가되는 것을 나타내었다. 이 평가는 다이오드 영역에서의 불순물(B,As)의 농도가 높기 때문에 좋은 결과는 아니다. 그러므로, 높은 전계로 인한 터널링 전류는 결정 결함으로 인한 누설전류보다 크다.

T.O.Sedgwich, A.E.Michel, V.R.Deline, S.A.Cohen과 J.B.Lasky의 "Transient boron diffusion in ion-implanted crystalline and amorphous silicon." J.Appl.Phys. 63(5) 1452(1988)은 붕소 확산상의 비정질의 영향을 설명 비정질 붕소가 비결정/결정 인터페이스보다 더 얇은 깊이로 분배될때 붕소 확산을 억제하고, 붕소는 비정질이 효과적이지 않을때 높은 확산비를 갖는다.

M.C.Ozturk, J.J.Wortman과 R.B.Fair의 "Very shallow p⁺-junction formation by low-energy BF₂⁺ ion implantation into crystalline and germanium preamorphized silicon." Appl.Phys.Lett. 52(12) 963(1988) 약 100nm의 셀로우 접합이 950°C-1250°C의 온도에서 RTA에 의해 수행된 Ge⁺ 재비정질과 BF₂⁺ 이온주입에 의해 형성되는 상태를 나타내었다. 결정 결함의 위치와 플루오르와 관계된 위치 사이의 관계가 또한 설명되었다.

그러나, 이온 사전주입이 반도체 표면의 비정질에 대해 요구된 선량으로 요구될때 그 문제는 남아 있고 실리콘 결정이 어닐링후에 제거되지 않으나 그대로 남아 있는 결함이 야기된다. 따라서, 좋은 반도체 특성을 얻을 수 없다.

본 발명의 목적은 이온 사전주입에 의해 야기된 결정결함의 보유가 방지되고, 불순물 소자의 마이크로 채널링 억제되어서 형성되는 셀로우 접합을 인에이블하는 반도체장치 제조방법을 제공하는 것이다.

본 발명의 목적은 이온 사전주입에 의해 야기된 결정결함의 보유가 방지되고, 불순물 소자의 마이크로 채널링 억제되어서 형성되는 셀로우 접합을 인에이블하는 반도체장치 제조방법을 제공하는 것이다.

그러므로, 본 발명에 따라 반도체 기판에 소정의 전도성 이온이 주입되는 반도체장치 제조방법에 있어서, 상기 방법이 소정의 전도성 이온의 주입 이전에, 후에 주입된 전도성 이온의 마이크로 채널링이 사실상 발생하지 않고 무질서영역이 부분적으로 결정화되도록 무질서도를 갖는 무질서한 영역을 형성하기 위하여 결정구조를 갖는 반도체 기판에 상기 전도성 이온과 다른 이온을 주입하고, 상기 무질서한 영역에 상기 소정의 전도성 이온을 주입하는 단계로 구성되는 반도체장치의 제조방법이 제공된다.

또한, 소정의 불순물 이온주입 이전에, 후에 주입된 불순물의 마이크로 채널링이 실제로 발생하지 않고 무질서한 영역이 부분적으로 결정화되는 농도로 결정구조의 규칙적인 격자 위치에 없는 반도체의 구성소자를 포함하는 무질서 영역을 결정구조를 갖는 반도체 기판에 형성하고, 상기 무질서 영역에 상기 불순물 이온 주입하는 단계로 구성되는 반도체장치 제조방법이 제공된다.

더 바람직하게는, 무질서 영역은 소정의 전도성 이온 또는 불순물이 주입되는 길이보다 더 깊게 형성된다.

무질서도는 무질서 영역에 17%이상과 100%이하, 가장 바람직하게는 30 내지 50%의 농도로 결정구조의 규칙적인 격자 위치에 없는 반도체의 구성소자를 포함하도록 하는 것이 바람직하다.

실리콘 반도체 기판이 본 발명에 다른 반도체 기판으로서 사용될때, 전도성 이온 또는 불순물 이온은 인 이온, 비소 이온, 붕소 이온, 안티몬 이온, 및 이들 원소를 포함하는 이온으로 구성된 그룹으로부터 선택되고, 붕소이온 또는 붕소이온을 포함하는 이온이 가장 일반적이다.

전도성 이온의 주입 이전에 이온주입은 무질서 영역을 형성하도록, 실리콘 기판에 $2 \times 10^{13} \text{ cm}^{-2}$ 이상의 선량으로 Ge⁺ 이온의 주입이 성공적으로 실행된다.

전도성 이온의 주입 이전에 이온주입은 무질서 영역을 형성하도록, 실리콘 기판에 $5 \times 10^{13} \text{ cm}^{-2}$ 이상의 선량으로 Si⁺ 이온의 주입으로 성공적으로 실행된다.

게르마늄 이온 또는 실리콘 이온의 주입이 완료된후, BF₂⁺ 이온의 주입은 15KeV이하의 에너지로 실행되거나 붕소이온의 주입은 3KeV이하의 에너지로 실행된다.

전도성 이온의 주입이 완료된후, 반도체 기판은 800°C보다 낮은 온도에서 열처리되나 바람직하게는 600°C보다 더 높다.

열처리는 10분에서 2시간 정도로 일반적으로 실행된다.

본 발명은 기판에 주입된 전도성 이온의 마이크로 채널링을 야기시키지 않고 낮은 연속성을 갖고, 무질서 영역의 재결정화에 대한 핵으로서 효과적으로 작용하는 보유된 결정조각을 포함하는 무질서한 영역을 포함한다.

본 발명에 따라서, 반도체 표면은 종래의 공정에서처럼 완전히 비정질화되지 않고, 무질서화되므로 반도체의 구성소자(Si반도체의 경우 Si)의 일부는 심각한 결정 격자 결함의 형성없이 마이크로 채널링 현상을 억제하도록 규칙적인 결정 격자 위치에 있다.

"무질서"란 용어는 반도체의 구성원자가 규칙적인 격자 위치에 없는 것을 의미한다.

반도체 결정의 영역에 대하여, 규칙적인 격자 위치에 없는 원자의 농도는 영역에 대한 "무질서도"로 칭한다. 이러한, "오프-사이트(off-site)"의 농도는 후에 설명될 바와같이 X값(%)으로 표현될 수 있다. 완전한 비정질 조건에 대해, 무질서도 또는 X값은 100%이다.

완전 비정질을 사용하는 종래의 공정에서, 약 $2 \times 10^{14} \text{ cm}^{-2}$ 의 Ge^+ 이온 선량이 사용되고 거기를 통해 얻은 무질서는 러더퍼드(Rutherford) 후방산란 분광기, RBS에 의해 주로 결정된다. RBS에서, 2MeV의 높은 에너지로 가속된 He^+ 또는 알파입자 등의 경량의(light-weight) 이온이 고체물체로 주입되고 고체의 구성 원자의 핵으로부터 넓은 각도로 산란되는 He^+ 또는 알파입자의 에너지는 결정 결함의 분배와 고체로 얻은 불순물들의 격자 위치상에 정보를 얻도록 분석된다.

이와같은 측정으로 얻은 예는 제 1 도에 도시되었고, 참조번호 1.1과 1.2는 이온 주입전에 실리콘 결정에 대해 각각 채널(channeling)측정과 랜덤(random) 측정의 결과를 나타내고, 참조번호 1.3 내지 1.6은 Ge^+ 이온이 다음의 선량 조건하에서 40KeV에너지로 주입될때 얻은 결과를 나타낸다.

이온 주입 조건

1.1 실리콘 결정(이온주입 안됨)의 채널링 측정

1.2 실리콘 결정(이온주입 안됨)의 랜덤 측정

1.3 $2 \times 10^{14} \text{ cm}^{-2}$ 선량으로 40KeV에서 주입된 Ge^+ 이온에 대한 실리콘 샘플의 채널링 측정

1.4 $5 \times 10^{13} \text{ cm}^{-2}$ 선량으로 40KeV에서 주입된 Ge^+ 이온에 대한 실리콘 샘플의 채널링 측정

1.5 $2 \times 10^{13} \text{ cm}^{-2}$ 선량으로 40KeV에서 주입된 Ge^+ 이온에 대한 실리콘 샘플의 채널링 측정

1.6 $1 \times 10^{13} \text{ cm}^{-2}$ 선량으로 40KeV에서 주입된 Ge^+ 이온에 대한 실리콘 샘플의 채널링 측정

상기 실험에서 이온주입은 모든 샘플에 대해 실온에서 실행된다. 일반적으로 공지된 바와같이 높은 주입온도에서 실리콘 격자의 작은 무질서가 야기되고, 반대로 액체 상태의 질소온도에서 마이크로 채널링은 작은 선량으로 방지된다.

2.275MeV 헬륨 이온은 투사이온으로서 사용되는 산란된 이온의 에너지는 투사법으로 105°에서 경사진 위치에서 측정된다. 샘플 1.3의 표면층이 Ge^+ 이온주입에 의해 전체적으로 무질서하기 때문에 헬륨이온들이 채널링 방향으로 도입될때 표면층에서 규칙적인 격자 위치가 아닌 실리콘 원자에 대해 주입된 헬륨 이온이 랜덤방향으로 도입될때 측정된다. 고속 헬륨은 샘플로 단 하나의 산란된 핵을 갖는 이들 이온을 측정하는 RBS로 단면을 스캐터링하는 작은 핵을 갖는다. X값은 랜덤 측정으로부터 신호 높이로 분할된 표면에 대한 신호 높이의 몫으로서 제한된다. 종래의 비정질은 값 X가 100%인 조건하에서 실행된다. 표 1은 샘플 1.1 내지 1.6에 대한 X값을 요약한다.

[표 1]

샘플	X(%)
1.1	1.9
1.2	100
1.3	100
1.4	45.2
1.5	17.0
1.6	8.4

X값은 완전 비정질이 성취될때 선량값에 대체로 비례함을 알 수 있다. 완전 비정질에 대한 선량값이 대략 1.2×10^{14} 이다. 샘플 깊이를 따른 X값의 분배는 더 상세한 논의로 고려한다. X값은 주입 에너지가 로우일때 로우이고, 주입에너지가 증가될때 증가한다.

본 발명은 Si반도체를 사용하는 실시예에 의하여 더 상세히 설명한다.

[실시예 1]

먼저, 어닐링의 영향을 논한다. 이온주입이 완성된후, 주입된 불순물들은 어닐링으로 활성화된다. 어닐링은 결정 결함을 회복하도록 하기 위하여 절대 필요하며 양호한 반도체 특성을 보장하기 위하여 절대 필요하나, 과도한 어닐링, 즉 어닐링은 과도하게 높은 온도 또는 장시간 동안 실행되고, 불순물의 확산을 증진시키며 샬로우 접합을 형성하도록 하는 것이 불가능하게 된다. 제 2 도는 Ge⁺ 이온주입과 BF₂⁺ 이온주입(M.C.Ozturk, J.J.Worttman and R.B.Fair, Appl.Phys.Lett., 52(12) 963(1988))후 어닐링으로 야기된 붕소분배를 도시하였고, 광대한 확산은 10초 동안 950℃에서 어닐링할때 야기된다. 그러므로, 어닐링은 확산을 방지하기 위하여 저온에서 실행되어야만 한다.

그러나, 저온 어닐링은 이온주입에 의해 야기된 결정 결함이 어닐링후 보유되는 심각한 문제와 관련된다. 이 방법은 F⁺ 등의 빠른 확산 이온이 주입되고 이온의 분리된 양이 어닐링후 측정되는 그 양과 위치를 포함하는 결정 결함과 같은 평가를 제안해왔다. 보유된 빠른 확산 소자의 다량은 결정 결함의 다량이 보유됨을 나타내고, 빠른 확산 소자가 확실한 깊이에서만 나타날때 결정 결함은 그 깊이에서 국부적으로 집중된다. 결정 결함의 위치가 BF⁺ 이온주입(M.C.Ozturk, J.J.Worttman and R.B.Fair, Appl.Phys.Lett., 52(12) 963(1988))에 의해 도입된 F의 분배의 SIMS평가로 결정됨을 알 수 있다.

비정질 기술에서, 어닐링후 결정화는 절대적으로 발행되고, 야기된 결정 결함과 p-n접합 사이의 위치관계는 또한 중요하다. 이온주입에 의해 손상된 층과 p-n접합의 분리도 리드되는 어닐링에 대한 열처리시 불순물 이온들이 확산되기 때문에 이온주입은 증가된 누설전류등의 문제를 야기시키지 않는다. 그렇지만, 비정질은 비정질 이온주입에 의해 손상된 층이 p-n접합에 근접하기 때문에 누설전류의 증가를 야기시킬 것이다. 비정질 층의 포스트-어닐링(post-annealing) 결정화는 단순한 타원도는 직사각형으로 된 pn다이오드의 역전류를 측정함으로써 평가되어 왔고, 그와같은 평가는 누설전류를 최소화하기 위하여 비정질에 대한 Ge⁺ 이온주입의 최대 선량으로 2 내지 3×10¹⁴cm⁻²의 값으로 제공된다.

n⁺p 다이오드등의 단순 pn 다이오드의 경우에서, n⁺ 층이 고농도를 갖기 때문에 공핍층은 비정질 이온주입으로 야기된 손상된 층에 형성되지 않는다. 이것은 비정질 이온주입에 의해 야기된 손상된 층의 결정화의 부적당한 평가를 야기시킨다.

본 발명에서, 상기 결점을 제거하기 위하여 게이트 제어형 p⁺n 다이오드는 비정질 층을 평가하기 위하여 사용된다. 제 3a 도는 이 목적에 대해 사용된 다이오드의 배열을 도식적으로 도시하였다. 게이트 전압 V_F가 변하고 대응 역전류가 제 3c(c1) 내지 3c(c3)에 대응하는 제 3b(b1) 내지 3b(b3)로 도시된 바와같이 측정되고, 공핍층은 제 3b(b1) 와 3c(c1)에 도시한 축적층상의 확산층에 도입되므로 제 3c 도에 점선으로 도시한 누설전류의 증가는 확산층에서 결정 결함의 증가를 나타내고, 다음에는 나머지 결함의 증가는 이온 주입으로 야기된다. 따라서, 측정된 누설전류의 게이트 전압은 비정질이 비효과적일때(제 4a 도) 보존되는 약 3배의 누설전류로 2×10¹⁴cm⁻²(제 4b 도)의 선량과 40KeV에서 종래의 완전 비정질을 보인 제 4a 도와 제 4b 도에 도시한 그들 사이에 관계된다.

TEM(transmission electron microscope)에 의한 부분적인 분석은 결정구조의 결정화를 평가하는 효과적인 수단이다.

제 5a 도는 2×10¹⁴cm⁻² 선량과 40KeV에서 Ge⁺로 주입된 실리콘 기판의 게이트 끝 손상을 도시한 단면 TEM포토그래프(XTEM)이다. 명대조 부분은 비정질 영역이다. 결정체 성은 Ge⁺의 높은 에너지 주입으로 인한 기판 표면에서 보유된다.

제 5b 도는 30분 동안 800℃에서 어닐링한후 동일 샘플을 도시한 XTEM이다. 결정 결함은 제 5b 도에 도시한 같은 형태로 보유된다. 즉, 그레인 바운더리(grain-boundary)와 같은 결함은 800℃의 어닐링 온도를 상승시켜도 제거될 수 없다. 다른 결정 결함은 이 결함이 비결정/결정 인터페이스 결함을 나타내는 비결정/결정 인터페이스의 깊이에 대응하는 약 120nm의 깊이에서 형성된다. 이 그레인 바운더리 같은 결함 형성의 메카니즘은 다음과 같다. 이온 주입으로 형성된 비결정 층에서, 결정 성장비는 <100> 방향에서 더 높다. 그러므로, 게이트 끝에 형성된 비결정층의 경우에, 고상(固相)결정 성장비는 제 5d 도에 도식적으로 도시한 다음의 같은 세방향 ; 기판 결정으로부터의 상위방향, 게이트 끝으로부터의 측면방향에서 최고로 높다. 이 세가지 형태의 고상 결정성장 침범위치에서 격자 갭 또는 변위는 쉽게 형성되고, 불순물의 침전이 또한 쉽게 야기되고, 이 현상의 조합이 큰 결정 결함의 형성을 야기시킨다.

제 5c 도의 경우에서, 결정화 성은 높은 선량, 또는 이중주입, Ge⁺ 이온 주입 에너지등을 감소시킴으로써 피할 수 있는 약 50nm깊이에서 그레인 바운더리 같은 결함의 형성을 야기시키는 고상 결정 성장에 대한 시드(seed)로서 작용하는 실리콘 기판의 표면에서 보유된다. 그럼에도 불구하고 비정질만큼 길게 피할 수 없는 게이트 끝에서 형성된 결함이 실행된다.

제 5e 도는 Ge⁺이온들이 비정질을 피하도록 5×10¹³cm⁻² 선량과 40KeV로 주입되는 게이트 끝을 도시한 XTEM이고, 어닐링은 30분간 600℃에서 실행된다. 비록 측정이 Ge⁺의 중간 사출영역(R_p)에 대응하는 약 30 내지 50nm깊이에서 산란된다. 이것은 비정질이 비효과적이기 때문이다.

완전 비정질이 실행되지 않을때, 수십에서 수백개 원자로 구성된 비결정 영역은 미시적인 또는 원자

(주석^{*1} : 불순물의 이온주입 이전에 이온주입)

제 9 도는 SIMS측정으로 얻은 깊이를 따른 붕소 분포를 도시하였다. 세로축은 붕소 농도에 대한 붕소 신호 강도를, 가로축은 Si기판으로부터의 깊이에 대응하는 산란시간을 나타낸다. 제 9 도에 도시한 바와 같이, 샘플 9.1은 마이크로 채널링에 의한 붕소의 깊이분포를 갖는다. 실리콘 선량이 적은 샘플 9.2에서 마이크로 채널링은 충분히 방지되지 않았다. 그럼에도 불구하고, 샘플 9.3에서 마이크로 채널링은 실제 높은 선량에서 실리콘으로 주입된 샘플 9.4 내지 9.6과 동일한 정도로

억제되었다. 즉, 마이크로 채널링 방지효과가 완전 비정질(X=100%)로 얻은 40KeV와 $2 \times 10^{14} \text{cm}^{-2}$ 에서 실행된 적은 Si⁺이온 선량으로 얻을 수 있음을 증명한다.

RBS는 비정질에 대해 충분한 선량을 결정하기 위하여 사용되어왔고, 실리콘 격자 위치 형성은 완전 비정질이 완전한지 아닌지를 결정하기 위하여 높은 에너지 헬륨 주입의 채널링 동작으로부터 얻어진다. 제 1 도에 도시한 샘플 1.3의 앞의 결과는 높은 에너지 헬륨 이온이 채널링 방향으로 도입될 때 핵 산란이 야기되는 위치에 원자의 많은 양이 위치함을 나타낸다. 그러므로, 샘플 1.4에서 실리콘 원자의 45.2%는 헬륨 이온의 핵 산란으로 분배되도록 고려한다. 이 조건하에서, 즉 Ge⁺이온이 40KeV와 $5 \times 10^{13} \text{cm}^{-2}$ 에서 실행될 때, 주입된 붕소이온(B⁺)의 마이크로 채널링이 야기되지 않음이 제 7 도로부터 뚜렷하다. 이것은 저에너지 B⁺이온(이 경우에 약 3KeV)이 헬륨 이온의 채널링을 방지하기 위해 요구되는 비정질과 다른 마이크로 채널링 방지에 대한 필요한 결정 격자의 무질서를 의미한다. 이것은 이온질량, 이온에너지, 타겟형태 등의 다양한 파라미터에 따라 변하는 원자에 의한 이온의 산란 가능성에 기인하는 것이다. 제 10 도는 헬륨, 붕소, 인, 비소이온의 정지원자력, 즉, 이온이 단위거리 위로 실리콘 대상을 통하여 이동할 때 핵 산란으로 인하여 상실된 에너지를 도시하였다. RBS에 사용된 MeV 등급 헬륨 이온은 BF₂⁺이온주입에 사용된 수십 KeV B⁺이온과 매우 다른 핵정지전력을 갖고, 후자는 전자보다 큰 격자를 갖는다. 고 에너지 헬륨 이온들은 채널링이 완전한 큰 각도에서 산란하기가 어렵다. 그러므로 규칙적인 결정 격자 위치사이 아닌 실리콘 원자는 저 에너지 B⁺이온의 채널링을 억제하도록 요구되는 것보다 헬륨 이온의 채널링을 억제하도록 요구된다.

불규칙적인 위치에서의 실리콘 원자는 이온 사전 주입에 의해 형성된다. 본 발명자는 종래에 요구된 100%를 필요로 하지 않고, RBS로 측정된 X값으로 제한되는 BF₂⁺이온주입의 경우에 붕소 마이크로 채널링을 방지하도록 요구되는 불규칙적인 위치에서 실리콘 원자량을 발견하였다. 이것은 또한 붕소질량보다 더 무거운 질량을 갖는 이온에 응용된다.

표 2는 실리콘 이온 선량과 대응하는 X값을 도시하였다. 40KeV, $2 \times 10^{14} \text{cm}^{-2}$ 주입에 의한 실리콘 선량은 제 9 도에 도시한 바와같이 붕소 채널링을 대체로 방지한다. 이 경우에, X값은 32.3%이고, 이온선주입은 X값이 종래의 비정질에서와 같이 100%정도로 실행되는 것이 요구되지 않는다.

[표 2]

샘플	X (%)
실행되지 않는 Si ⁺ 이온주입(채널링 측정)	1.9
Si ⁺ 40KeV $2 \times 10^{13} \text{cm}^{-2}$	100
Si ⁺ 40KeV $4 \times 10^{14} \text{cm}^{-2}$	99
Si ⁺ 40KeV $2 \times 10^{14} \text{cm}^{-2}$	32.3
Si ⁺ 40KeV $5 \times 10^{13} \text{cm}^{-2}$	7.0

마이크로 채널링은 RBS측정으로 결정될 때 비정질에 대해 약 30%만큼 낮은 선량에서 적은 누설전류를 갖는 pn접합이 형성될 수 있도록 억제된다.

어닐링으로 인한 붕소 확산은 또한 SIMS로 또한 언급된다. 제 11 도는 어닐링 전후의 붕소 분포를 도시하였고, 여기서 $2 \times 10^{14} \text{cm}^{-2}$ 와 40KeV에서의 Ge⁺ 이온선주입이 실행되지 않았고 BF₂⁺ 이온주입은 10KeV와 $3 \times 10^{13} \text{cm}^{-2}$ 에서 실행되었다. 실선은 As주입 분포를 나타내고 Ge⁺ 이온선주입의 경우에 대한 가는 실선은 실행되지 않았고, Ge⁺ 이온선주입에 대한 경우의 두꺼운 실선은 실행되었다. 주입된 상태에서 마이크로 채널링은 억제되고, 붕소의 얇은 분포는 Ge⁺ 이온선주입이 실행될 때 얻어진다. 점선은 30분 동안 800°C에서 어닐링한 후 붕소 분포를 나타내고, Ge⁺ 이온선주입의 경우에 가는선은 실행되지 않았고, Ge⁺ 이온선주입의 경우에 두꺼운 선은 실행되었다. Ge⁺ 이온선주입이 실행될 때 비록 그것이 주입조건에서 얇더라도 붕소 분포는 어닐링 후 깊게 된다. 이것은 Ge⁺ 이온주입에 의해 감소된 비결정층의 영향에 의해 야기되는 비정상 확산으로 고려된다.

제 11 도에 도시한 바와같이 800°C 열처리로 인한 이러한 비정상 확산에 대한 연구를 하였다.

제 12 도는 Ge⁺ 이온선주입이 10KeV와 $1 \times 10^{15} \text{cm}^{-2}$ 에서 BF₂⁺ 이온주입에 의해서 이루어진 결과의 40KeV

와 $5 \times 10^{13} \text{ cm}^{-2}$ 에서 실행되고, 어닐링이 800, 700, 600°C의 다양한 온도에서 실행되는 경우의 붕소 분포의 SIMS측정을 도시하였다. 어닐링이 800°C에서 실행될때, 불규칙 확산은 약 10^{18} cm^{-3} 이하의 붕소 농도에서 관찰되나, 어닐링이 700°C 또는 600°C에서 실행될때 불규칙 확산은 야기되지 않는다. 이것은 800°C 열처리로 인한 불규칙 확산이 어닐링 온도를 낮추므로써 억제될 수 있는 것을 의미한다.

제 13 도는 Ge^+ 이온선주입이 4KeV와 $3 \times 10^{15} \text{ cm}^{-2}$ 에서 BF_2^+ 이온주입에 의한 결과의 40KeV와 $5 \times 10^{13} \text{ cm}^{-2}$ 에서 실행되고, 그다음 어닐링이 800, 700, 600°C의 다양한 온도에서 실행되는 경우의 플루오르 분포의 SIMS측정을 도시하였다. 앞에서 언급한 바와같이, 플루오르는 결정 결함이 나타나 있는 그 영역에서 국부적으로 집중되어 있다. 제 13 도에 도시한 바와같이, 어닐링이 600°C에서 실행될때 플루오르는 확산층에 나타나 있는 결정 결함의 많은 양을 나타내는 확산층의 넓은 영역으로 분포되나, 어닐링이 700°C에서 실행될때, 비록 플루오르가 표면의 부근에서 보유될지라도 플루오르는 접합이 형성되는 10nm깊이에서 보유되지 않는다. 즉, 결정체는 누설전류에 기여하는 pn접합 주유와 그 영역으로 회복된다. 어닐링이 800°C에서 실행될때 플루오르는 가장 뚜렷하게 외부로 확산되고 국부적으로 집중되지 않으므로 좋은 결정체가 얻어진다. 그럼에도 불구하고, 800°C 어닐링은 이미 언급한 바와 같이 얇은 접합의 형성으로 어렵게 되는 불규칙 확산을 야기시킨다.

그다음, Ge^+ 이온이 완전 비정질에 대한 선량보다 적은 선량에서 주입될때 800°C보다 낮고 600°C보다 높은 온도에서의 어닐링은 붕소의 불규칙한 확산을 방지하고 좋은 결정체를 제공한다.

상기 실험에서 어닐링에 대한 열처리는 30분 동안 실행된다. 일반적으로, 확산거리는 1/2전원 기능의 형성에서 주로 어닐링 타입에 좌우되는 거리의 $2(Dt)(1/2)$ 로 표현될 수 있고, 시간에 의한 현저한 영향은 없다. 대조적으로, 그것은 $D=D_0 \exp(-E_0/KT)$ 로 표현되는 지수함수의 형식으로 확산 계수에 영향을 끼치기 때문에 어닐링 온도는 확산 거리에 영향을 끼친다. 여기서 E_0 는 활성화에너지이다. 제 12 도에서 어닐링 온도가 700°C 내지 800°C로부터 상승할때 확산거리는 약 2배층으로 크게 된다. 그러므로, 만약 4배층으로 긴 어닐링 시간이 요구될지라도 낮은 어닐링 온도를 사용하는 것이 유리하다. 어닐링 시간은 사용되어온 어닐링 장치의 온도 제어능력에 따라 약 10분 동안 또한 저하된다.

본 발명의 바람직한 실시예에 따라서, 결정 결함이 없는 얇게 확산된 층은 종래의 Ge^+ 이온선주입으로 요구된 1/4만큼 작은 40KeV와 $5 \times 10^{13} \text{ cm}^{-2}$ 에서 실리콘 반도체로 Ge^+ 이온선주입에 의해 얻어진다. 이것은 이온선주입에 대한 저하된 가격에서 누설전류를 최소화하는 장치의 제조를 가능케 한다.

본 발명의 또다른 바람직한 실시예에 따라서, 결정 결함이 없는 얇게 확산된 층은 종래의 Ge^+ 이온선주입에서 요구된 1/4만큼 작은 40KeV와 $5 \times 10^{13} \text{ cm}^{-2}$ 에서 실리콘 반도체로 Ge^+ 이온선주입에 의해 얻어진다. 이것은 이온선주입에 대한 저하된 가격에서 누설전류를 최소화하는 장치의 제조를 가능케 한다.

본 발명의 또다른 바람직한 실시예에 따라서, 결정 결함이 없는 얇게 확산된 층은 종래의 Si^+ 이온선주입으로 요구된 1/10만큼 작은 40KeV와 $2 \times 10^{14} \text{ cm}^{-2}$ 에서 실리콘 반도체에 Si^+ 이온선주입에 의해 얻어진다. 이것은 또한 이온선주입에 대한 저하된 가격에서 누설전류를 최소화하는 장치의 제조를 가능케 한다.

600°C보다 높고 800°C보다 낮은 온도에서 어닐링은 불규칙확산이 억제되고 좋은 결정체가 보장되는 pn접합을 제공한다.

본 발명에 따른 반도체장치의 제조방법의 실시예에서 PMOS의 소오스/드레인 영역을 형성하기

위하여, 예를들면 Ge^+ 이온선주입은 4KeV와 $2 \times 10^{15} \text{ cm}^{-2}$ 에서 BF_2^+ 이온주입 이전에 40KeV와 $5 \times 10^{13} \text{ cm}^{-2}$ 에서 실행된다. 이것은 쇼트(short) 채널 효과가 이온선주입없이 제조된 MOSFET의 효과와 비교하여 저하되는 우수한 특징을 갖는 MOSFET를 제공한다. 언급한 4KeV와 $2 \times 10^{15} \text{ cm}^{-2}$ 의 BF_2^+ 주입조건은 가끔 변할 수 있으나, 본 발명은 낮은 에너지 범위에서 다른 선량과 에너지에서 다른 이온에 대해 효과적이다.

바이폴라 트랜지스터의 베이스 형성에서 15KeV와 $3 \times 10^{13} \text{ cm}^{-2}$ 에서 BF_2^+ 이온주입 이전에 실행될때 40KeV와 $5 \times 10^{13} \text{ cm}^{-2}$ 에서 Ge^+ 이온선주입은 얇은 접합을 제공하고 특성을 향상시킨다.

[실시예 2]

본 발명의 더욱 바람직한 실시예에 따라서, 무질서한 층은 불순물 이온의 주입에 대한 소정의 깊이보다 더 깊도록 형성된다. 불순물 이온을 보장하는 깊이를 갖는 무질서한 층의 형성은 무질서한 층 내에서만 주입되어서 저온, 장시간 어닐링한 경우에 일어나는 불순물의 증가된 확산을 효과적으로 방지한다.

일반적으로, 이온주입으로 저하된 반도체 결정의 결정 결함은 다음과 같이 세가지 형태로 분류된다.

- (1) 반도체의 표면 영역에서의 결함
- (2) 비결정질 영역과 결정질 영역 사이의 인터페이스에서의 결함
- (3) 재결정질 영역에서의 결함

이들 결함중에서 (2)의 비결정질 영역/결정질 인터페이스(a/c인터페이스)에서의 결함은 아주 중요하다. 보유될때 반도체 인터페이스 영역에서의 결함은 표면으로부터 약 100nm 깊이 위치에서 형성되는

pn접합에 뚜렷하게 영향을 끼치지 않는다. (3)의 재결정화된 영역에서의 결함의 형성은 낮은 선량에서 Si^+ 이온주입 또는 Ge^+ 이온주입을 사용함으로써 피할 수 있다.

불순물 이온주입후 고온 및/또는 장시간 어닐링은 결함량이 저하되나 알게 확산된 층의 형성에 대한 단점으로 불순물의 확산을 야기시킨다.

저온 그리고 장시간 어닐링이 실행될때, 예를들면 간격들의 큰 양은 재결정화 영역에 나타나 있고, 불규칙한 위치에서 실리콘 원자의 형성을 방지하나 재결정화 영역 아래의 영역에서, 불규칙한 위치상의 실리콘 원자의 양은 붕소등의 불순물의 증가된 확산을 저하시키도록 형성된다. 증가된 확산은 알게 확산된 층의 형성에 불리하고 가능한한 방지된다.

증가된 확산을 방지하기 위하여 불순물 이온이 비정질 영역내에 머물도록 하기 위하여 주입되는 것이 종래에 제안되어 왔다. 이 방법에서, 그러나 (2)의 a/c인터페이스에서의 언급한 결함은 누설전류를 야기시키도록 pn접합의 근처에서 필수적으로 보유하고, 좋은 접합층을 필수적으로 형성되지 않는다.

누설전류를 감소시키기 위하여 a/c인터페이스에서 보유되는 결함이 완화되도록 확장으로 선주입의 선량을 감소시키는 것이 효과적이다. 적은 선량으로 저하된 부질서 영역에서 그러나, 불규칙한 위치에서 실리콘 원자는 불순물의 증가된 확산을 야기시키기 위하여 어닐링후 형성된다.

저하된 선량에서도 불규칙한 위치에서의 실리콘 원자는 얇은 접합을 형성하기에 불가능한 증가된 확산을 형성하고 야기시킨다.

불규칙한 위치에서의 실리콘 원자는 선주입에 의해 손상된 영역보다 더 깊은 위치에서 형성되어서 증가된 확산을 야기시킨다.

이것은 이온선주입의 선량의 제어가 무질서 영역/결정질 인터페이스에서 결함을 제거하기에 충분하고 알게 확산된 층이 형성되도록 증가된 확산을 방지하는 것을 의미한다.

저온과 장시간 어닐링의 문제는 이온선주입을 효과적으로 해결하므로 무질서 영역은 불순물 이온주입의 소정의 깊이보다 더 깊은 깊이를 갖는다. 무질서 영역에 대한 불순물 이온 방사가 효과적이므로 불순물 이온은 무질서 영역에 도입되는 것을 보장한다. 깊이를 갖는 무질서 영역을 형성하기 위한 이온선주입 조건은 다음과 같이 연속적인 실험으로 결정된다.

실험 절차

10Ωcm의 n-Si(100) 기판이 사용됨

(i) 샘플 1 이온주입 $Si^+ 40KeV, 4.0 \times 10^{14} cm^{-2}$

샘플 2 이온주입 $Si^+ 40KeV, 3.3 \times 10^{14} cm^{-2}$

샘플 3 이온주입 $Si^+ 40KeV, 3.0 \times 10^{14} cm^{-2}$

샘플 4 이온주입 $Si^+ 40KeV, 2.3 \times 10^{14} cm^{-2}$

(ii) 모든 샘플들 불순물 이온주입 $BF_2^+ 10KeV, 3 \times 10^{13} cm^{-2}$

(iii) 질소 대기에서 30분 동안 800°C에서 어닐링

(iv) 깊이를 따라 붕소 분포의 SIMS측정

제 14 도는 어닐링전의 깊이를 따라 주입 붕소 분포를 도시하였다. 샘플 1 내지 4는 단일곡선 LP로 나타낸 붕소의 동일 분포를 일반적으로 표시하였다. 비교하기 위하여 곡선 L0는 Si^+ 이온의 선주입이 실행되지 않으나 BF_2^+ 이온주입이 단순히 실행될때 얻은 깊이를 따라 주입된 다른 붕소 분포를 도시하였다. 선주입이 실행되지 않고 이전값의 1/2 또는 약 50nm으로 억제될때 주입된 깊이는 100nm에 달하고, 마이크로 채널링이 선주입의 모든 조건에 대해 방지됨을 도시하였다.

제 15 도는 어닐링후 깊이를 따라 붕소 분포를 도시하였다. 곡선 A0는 BF_2^+ 이온주입 이전에 이온선주입을 받는 위에서 언급한 비교 샘플에 대응하고, 곡선 A1 내지 A4는 각각 샘플 1 내지 4에 대응한다. 증가된 확산은 샘플 4($2.3 \times 10^{14} cm^{-2}$)에 사용되는 선주입 선량에 의해 대체로 방지되지 않는다. 증가된 확산은 이온선주입이 샘플 3($3.0 \times 10^{14} cm^{-2}$)에 사용된 것과 대등한 또는 그 이상인 선량으로 실행될때 뚜렷하게 방지된다. 이 선량에서 이온선주입은 형성되는 약 200nm이하의 깊이를 갖는 불순물 확산층을 가능케 한다.

Si^+ 이온선주입에서의 선량과 무질서 영역에서 얻은 깊이는 M.Kase et al., Appl.Phys.Lett., 56(13) 1231(1990)에 기록되어 있는 바와같이 제 16 도에 도시한 관계를 갖는다. 40KeV의 Si^+ 이온주입 에너지에 대한 무질서 영역 깊이는 $2 \times 10^{14} cm^{-2}$ 의 선량(조건 B)에 대한 약 35nm와 $4 \times 10^{14} cm^{-2}$ 의 선량(조건 C)에 대한 약 50nm인 것을 제 16 도에 도시하였다. 대체로 붕소 주입 깊이가 샘플 1, 2, 3의 이온선주입 조건하에서 무질서 영역내에 있는 것을 제 15 도와 제 16 도의 결과를 비교하여 이해할 수 있다.

이온선주입의 조건은 어닐링후 보유되는 결함 정도를 고려하여 결정한다. 보유된 결함은 이미 언급한 바와같이 플루오르 분포로 평가될 수 있다. 제 17 도는 선량의 5레벨이 샘플 1 내지 4에 대한 그

것을 포함하는 것을 커버하고, Si⁺ 이온선주입의 다양한 선량에서 30분동안 800℃에서 어닐링한후 플루오르 분포를 도시하였다.

샘플 1에서 4×10¹⁴cm⁻²의 선량에서 결함의 양을 관찰한다.

선량이 샘플 2(2.3×10¹⁴cm⁻²)의 선량으로 감소될때, 결함의 양은 현저하게 감소하고 결함은 무질서 영역/결정 인터페이스에서 보유된다. 무질서 영역/결정 인터페이스는 접합이 형성되고 누설전류가 없는 좋은 결함이 형성될 수 있는 10nm깊이로부터 멀리 떨어진 약 50nm의 깊이에서 위치한다.

선량이 3.0×10¹⁴cm⁻²로 더 감소하는 샘플 3에서 대체로 결함은 관찰되지 않고 좋은 결정체가 얻어진다. 이것은 어닐링 조건하에서 보유된 결함이 3.0×10¹⁴cm⁻² 이하로 Si⁺ 이온선주입으로 선량을 감소시킴으로써 완전히 제거되는 것을 의미한다. 어닐링 조건에 변화를 줄때 기대되는 가능한 향상을 고려하면, 샘플 2와 3의 선량 또는 이온선주입은 보유된 결점의 견해로 다음과 같이 채택될 수 있다.

엄격한 의미에서, 무질서 영역에서 무질서도는 표면에서 깊이로 증가하고 더 깊은 범위로 감소한다. 언급한 실험에서 얻은 무질서도(X%)는 표 3에 요약되어 있다.

[표 3]

샘플 No.	선주입 조건	X(%)
	선주입 없음(채널링 측정)	1.9
1	Si ⁺ 40KeV, 4.0×10 ¹⁴ cm ⁻²	40-99
2	Si ⁺ 40KeV, 3.3×10 ¹⁴ cm ⁻²	30-50
3	Si ⁺ 40KeV, 3.0×10 ¹⁴ cm ⁻²	30-40
4	Si ⁺ 40KeV, 2.3×10 ¹⁴ cm ⁻²	20-25

샘플 2와 3의 무질서 정도는 30 내지 50% 범위이다. 저온과 장시간 어닐링하는 동안 증가된 확산은 이 범위내에서 대체로 무질서를 갖는 무질서 영역을 달성함으로써 효과적으로 억제된다.

표 3에서, X값은 수치범위로 표현된다. 그 이유는 데이터가 주입에 대한 이온 빔의 어닐링 효과, 주입온도를 포함하는 런-투-런(run-to-run)변동 및 이전에 언급한 깊이를 따른 분포를 불가피하게 포함하였기 때문이다.

이 실시예의 원리는 확산층이 더 얇고 더 효과적인 장점을 갖는다. 즉, 붕소등의 불순물의 더 얇은 주입이 얇게 확산된 층을 형성하도록 실행될때, 불순물 주입은 얇은 깊이를 충분히 커버하는 무질서 영역이 적은 선량에서 이온선주입으로 형성될 수 있으므로 결함은 어닐링후 보유될 수 없다. 그것에 의해서 증가된 확산은 더 쉽게 억제된다.

무질서 영역을 형성하기 위한 이온선주입은 적은 선량으로 이온 방사에 의한 아주 효과적일 수 있다.

본 발명에 따른 선주입에 대한 이온은 실리콘 이온과 게르마늄 이온으로만 제한되지 않고, 플루오르 이온, 탄소 이온등의 반도체 기판에서 전기적으로 활성화되지 않는 다른 이온일 수도 있다.

본 발명의 실시예에 따른 반도체장치 제조방법에서 PMOS의 소오스/드레인 영역을 형성하기 위하여, 예를들면 Ge⁺ 이온선주입은 4KeV와 2×10¹⁵cm⁻²에서 BF₂⁺ 이온주입 이전에 40KeV와 5×10¹³cm⁻²에서 실행된다. 이것은 쇼트 채널 효과가 이온선주입없이 제조된 MOSFET의 효과와 비교하여 감소되는 우수한 특성을 갖는 MOSFET를 제공한다. 언급한 4KeV와 2×10¹⁵cm⁻²의 BF₂⁺ 주입조건이 가끔 변화되나, 본 발명은 서로 다른 선량과 에너지, 특히 저에너지 범위에서 다른 이온에 대해 효과적이다.

언급한 바와같이, 본 발명은 마이크로 채널링을 억제시키고 이온주입에 의해 저하된 결정 결함의 보유를 방지함으로써 얇게 확산층을 갖는 반도체장치 제조방법을 제공하는 것이다.

본 발명의 바람직한 실시예는 불순물의 소정의 주입의 깊이보다 더 깊은 깊이를 갖는 무질서 영역을 형성함으로써 결정 결함의 보유를 유리하게 방지하고, 따라서 저온과 장시간 어닐링하는 동안 증가된 확산을 방지한다.

(57) 청구의 범위

청구항 1

제 1 전도성 도펀트가 반도체기판에 주입되는 반도체장치의 제조방법에 있어서, 상기 제 1 전도성 도펀트의 주입이전에 나중 주입된 제 1 전도성 도펀트의 마이크로 채널링이 실제 발생되지 않고, 무질서 영역이 무질서 영역의 상부 및 하부 경계면 사이에서 실제 평행한 공통 평면에 결정영역으로 산재된 다수의 비정질 영역을 포함하도록 무질서도를 갖는 무질서 영역을 형성하기 위하여 결정구조를 갖는 반도체 기판에 제 2 전도성 도펀트를 주입하고, 상기 무질서 영역에 상기 제 1 전도성 도펀트를 주입하는 단계로 구성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 2 전도성 도펀트가 전기적으로 비활성인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제 1 항에 있어서, 상기 무질서 영역은 상기 제 1 전도성 도펀트가 주입되는 깊이보다 더 깊은 깊이를 갖도록 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제 1 항에 있어서, 상기 무질서도는 상기 무질서 영역이 17%이상, 100%미만의 농도로 결정 구조의 규칙적인 격자위치에 없는 반도체의 구성소자를 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

제 4 항에 있어서, 상기 농도가 30 내지 50%인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

제 1 항에 있어서, 상기 반도체 기판으로 실리콘 반도체 기판이 사용되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7

제 6 항에 있어서, 상기 제 1 전도성 도펀트가 인 이온, 비소 이온, 붕소 이온, 안티몬 이온, 이들 원소중 어떠한 원소를 포함하는 이온으로 이루어진 그룹으로부터 선택되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

제 7 항에 있어서, 상기 제 1 전도성 도펀트가 붕소 이온 또는 붕소를 함유하는 이온인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9

제 1 항에 있어서, 상기 제 1 전도성 도펀트의 주입 이전에 상기 제 2 전도성 도펀트의 주입이 $2 \times 10^{13} \text{ cm}^{-2}$ 이상의 선량으로 게르마늄 이온의 주입에 의해 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10

제 9 항에 있어서, 상기 게르마늄 이온의 주입이 완성된 후, BF_2^+ 이온의 주입이 15KeV이하의 에너지로 실행되거나 붕소 이온의 주입이 3KeV이하의 에너지로 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11

제 1 항에 있어서, 상기 제 1 전도성 도펀트의 주입 이전에 상기 제 2 전도성 도펀트의 주입이 $5 \times 10^{13} \text{ cm}^{-2}$ 이상의 선량으로 실리콘 이온의 주입에 의해 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

제 11 항에 있어서, 상기 실리콘 이온의 주입이 완성된 후, BF_2^+ 이온의 주입이 15KeV이하의 에너지로 실행되거나 붕소 이온의 주입이 3KeV이하의 에너지로 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13

제 1 항에 있어서, 상기 제 1 전도성 도펀트의 주입이 완성된 후, 반도체 기판이 800℃이하의 온도에서 열처리되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14

제 13 항에 있어서, 상기 열처리 온도가 600℃이상인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 15

제 13 항에 있어서, 상기 열처리가 10분에서 2시간 동안 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

반도체장치의 제조방법에 있어서, 소정의 불순물 이온의 주입 이전에 나중에 주입된 불순물의 마이 크로 채널링이 실제 발생되지 않고, 무질서 영역이 무질서 영역의 상부 및 하부 경계면 사이에서 실

제 16 항에 있어서, 평행한 공통 평면에 결정영역으로 산재된 다수의 비정질 영역을 포함하는 농도로 결정구조의 규칙적인 격자위치에 없는 반도체의 구성소자를 포함하는 무질서 영역을 결정구조를 갖는 반도체 기판에 형성하고, 상기 무질서 영역에 상기 불순물 이온을 주입하는 단계로 구성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17

제 16 항에 있어서, 상기 무질서 영역은 상기 불순물 이온이 주입되는 깊이보다 더 깊은 깊이를 갖도록 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 18

제 16 항에 있어서, 결정구조의 규칙적인 격자위치에 없는 반도체의 구성소자의 상기 농도가 17% 이상, 100%미만인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 19

제 18 항에 있어서, 상기 농도가 30 내지 50%인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 20

제 16 항에 있어서, 상기 반도체 기판으로서 실리콘 반도체기판이 사용되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 21

제 16 항에 있어서, 상기 불순물 이온이 인 이온, 비소 이온, 붕소 이온, 안티몬 이온, 이들 원소중 어떠한 원소를 포함하는 이온으로 이루어진 그룹으로부터 선택되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 22

제 21 항에 있어서, 상기 불순물 이온이 붕소이온 또는 붕소를 함유하는 이온인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 23

제 16 항에 있어서, 상기 소정의 불순물 이온의 주입 이전에 상기 이온주입이 $2 \times 10^{13} \text{ cm}^{-2}$ 이상의 선량으로 게르마늄 이온의 주입에 의해 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 24

제 23 항에 있어서, 상기 게르마늄 이온의 주입이 완성된후, BF_2^+ 이온의 주입이 15KeV이하의 에너지로 실행되거나 붕소이온의 주입이 3KeV이하의 에너지로 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 25

제 16 항에 있어서, 상기 소정의 불순물 이온의 주입 이전에 상기 이온주입이 $5 \times 10^{13} \text{ cm}^{-2}$ 이상의 선량으로 실리콘 이온의 주입에 의해 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 26

제 25 항에 있어서, 상기 실리콘 이온의 주입이 완성된후에, BF_2^+ 이온의 주입이 15KeV이하의 에너지로 실행되거나 붕소이온의 주입이 3KeV이하의 에너지로 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 27

제 16 항에 있어서, 상기 불순물 이온의 주입이 완성된후에, 반도체 기판이 800℃이하의 온도에서 열처리되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 28

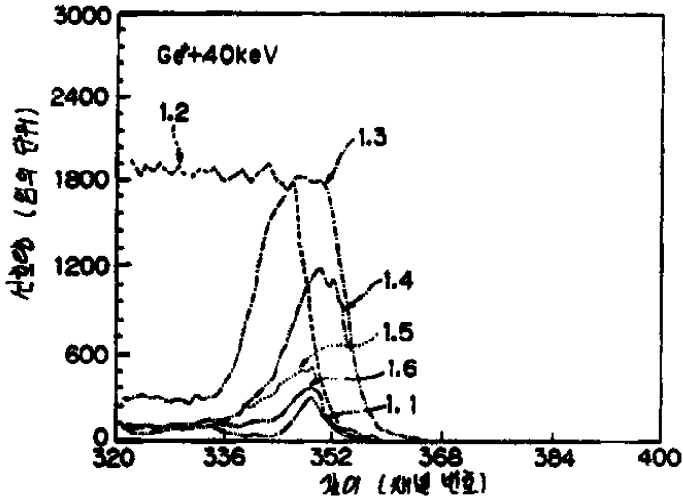
제 27 항에 있어서, 상기 열처리의 온도가 600℃이상인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 29

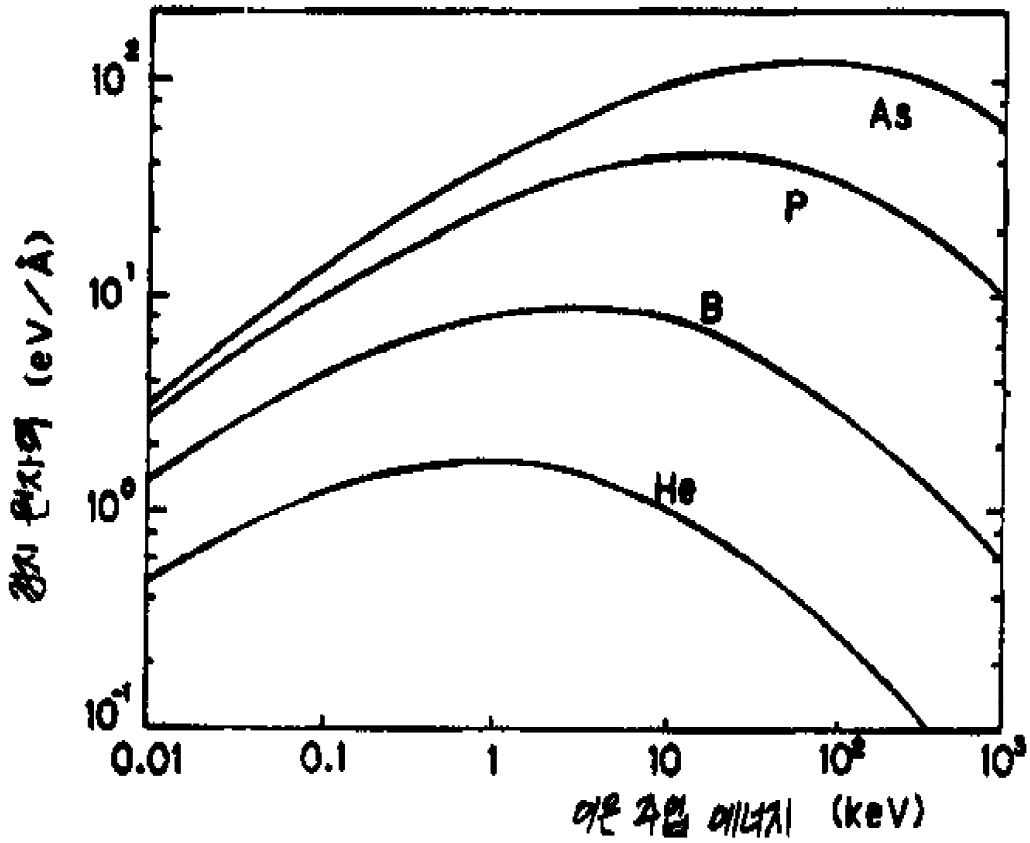
제 27 항에 있어서, 상기 열처리가 10분에서 2시간 동안 실행되는 것을 특징으로 하는 반도체장치의 제조방법.

도면

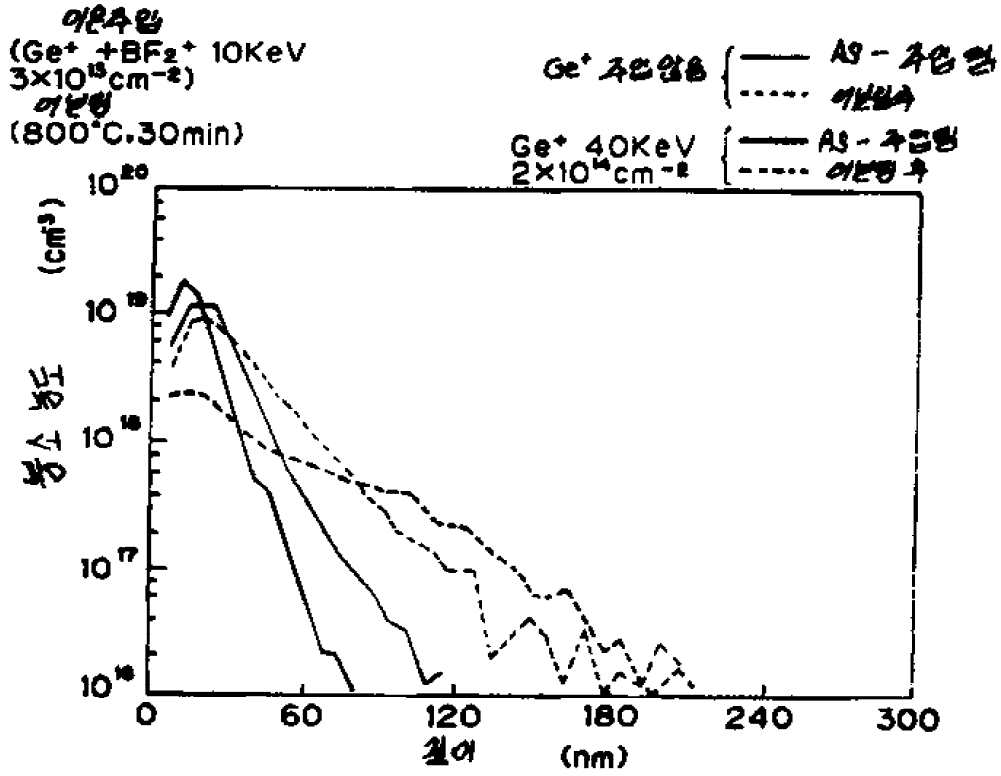
도면1



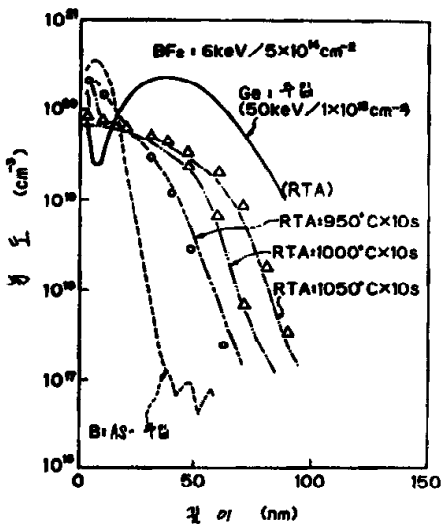
도면3-b3



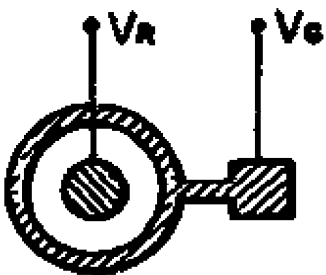
도면3-b2



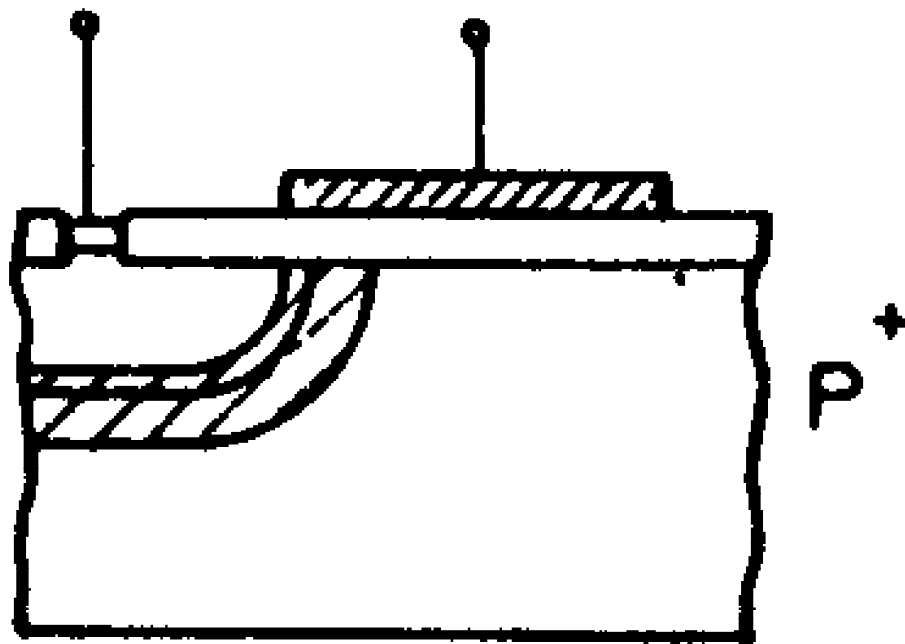
도면2



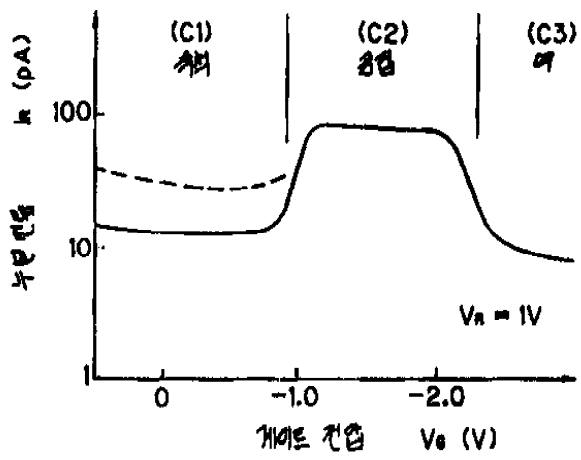
도면3-a



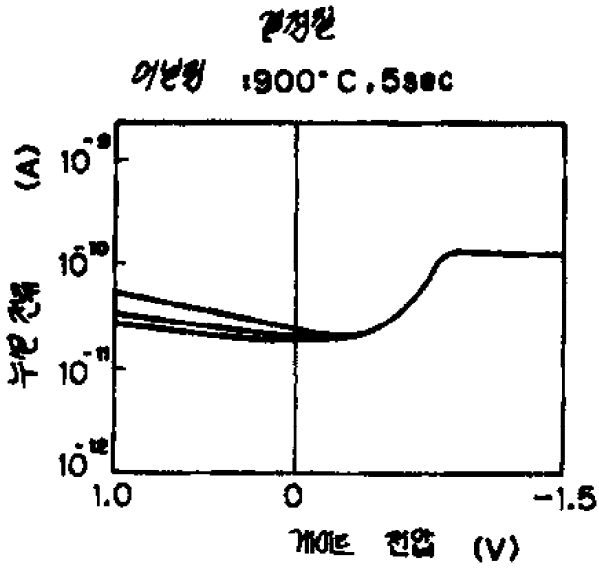
도면3-b1



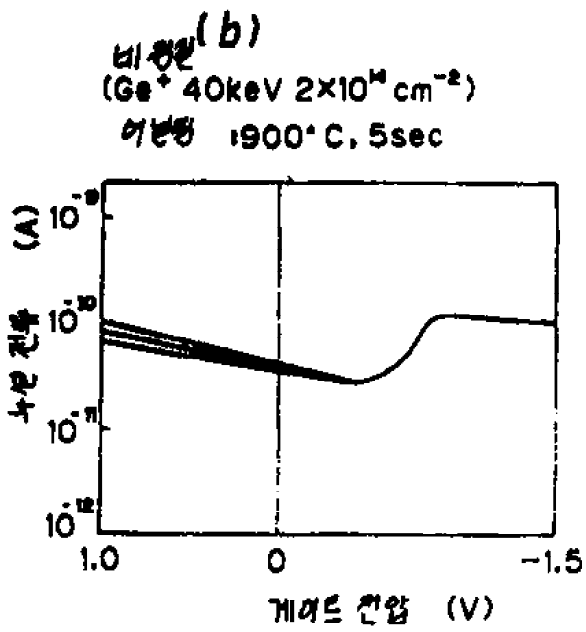
도면3-c



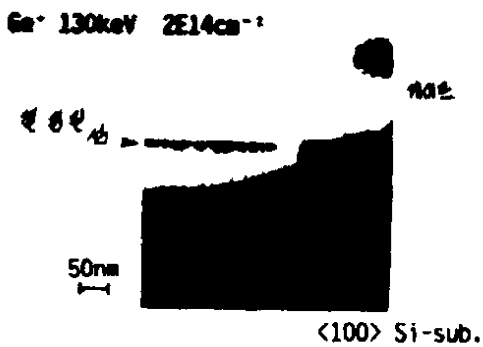
도면4-a



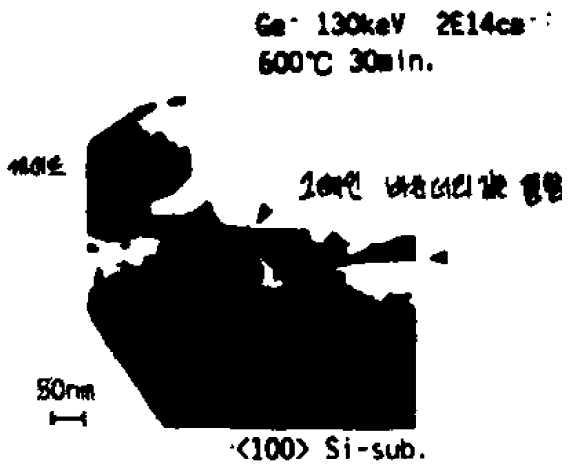
도면4-b



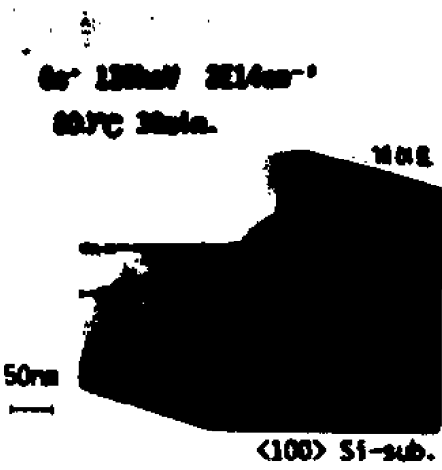
도면5-a



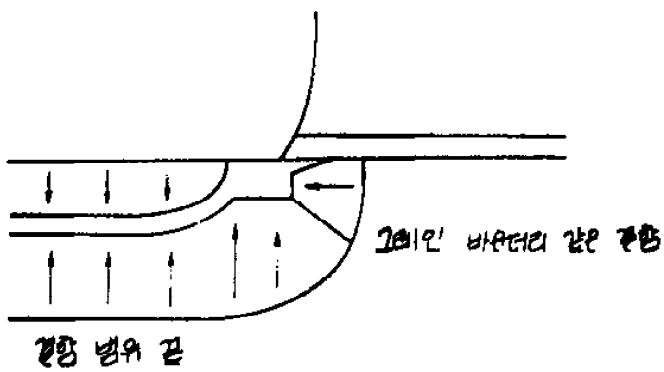
도면5-b



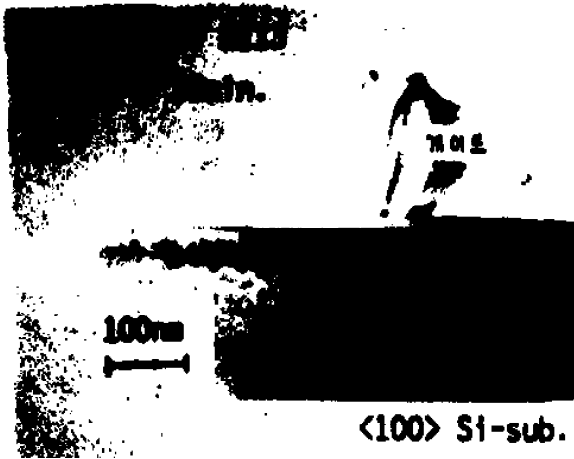
도면5-c



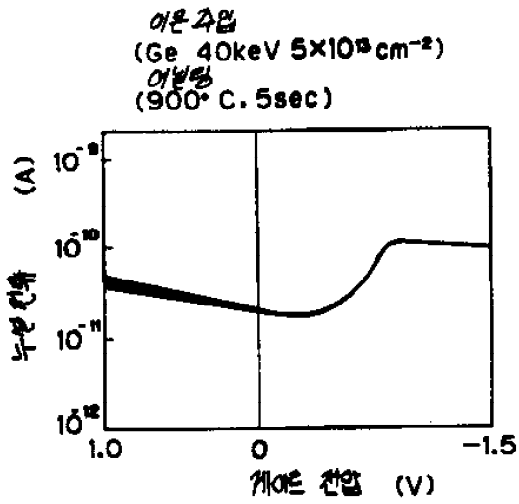
도면5-d



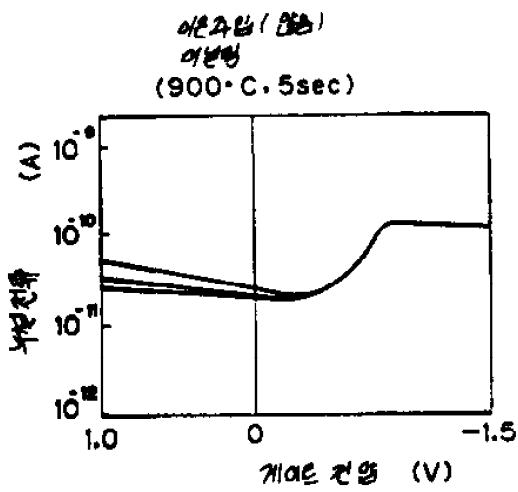
도면5-e



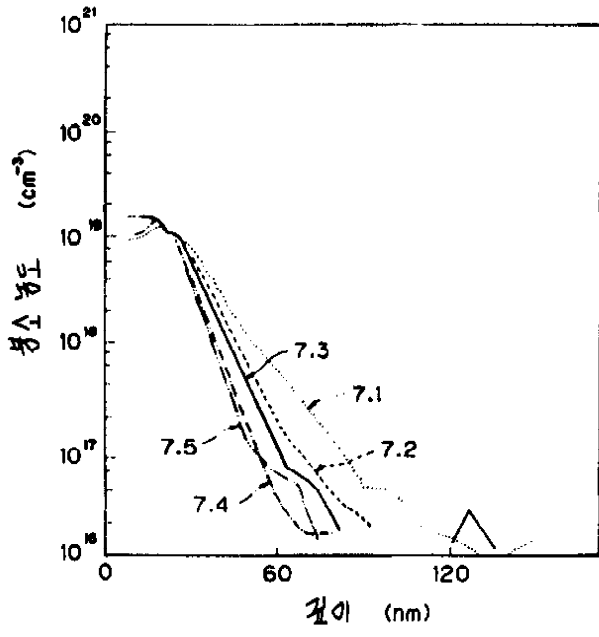
도면6-a



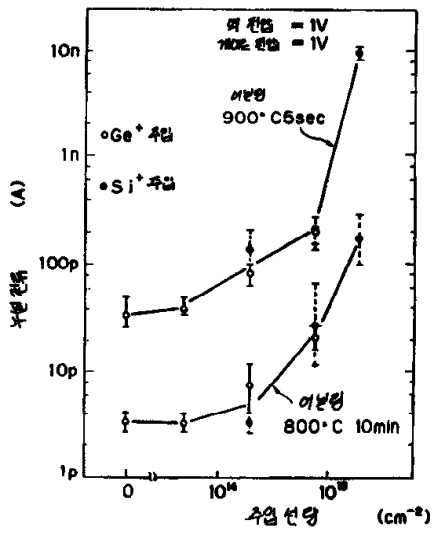
도면6-b



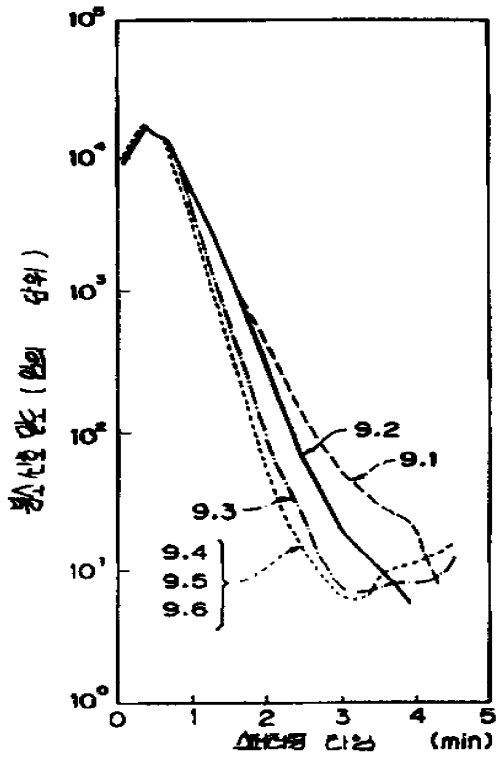
도면7



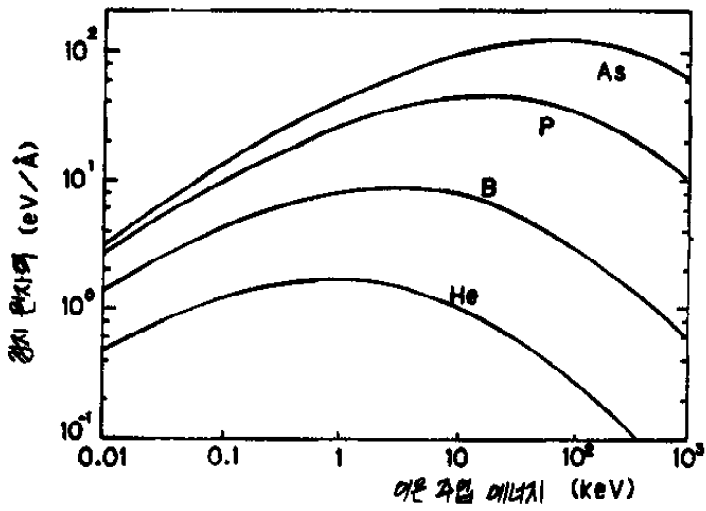
도면8



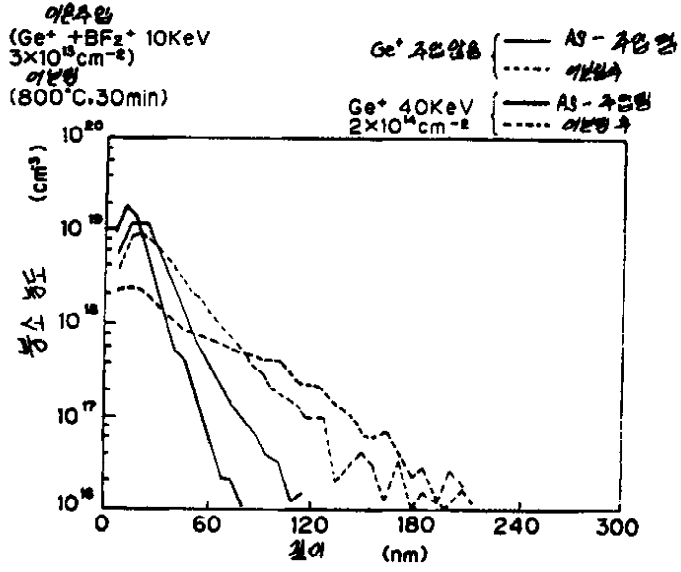
도면9



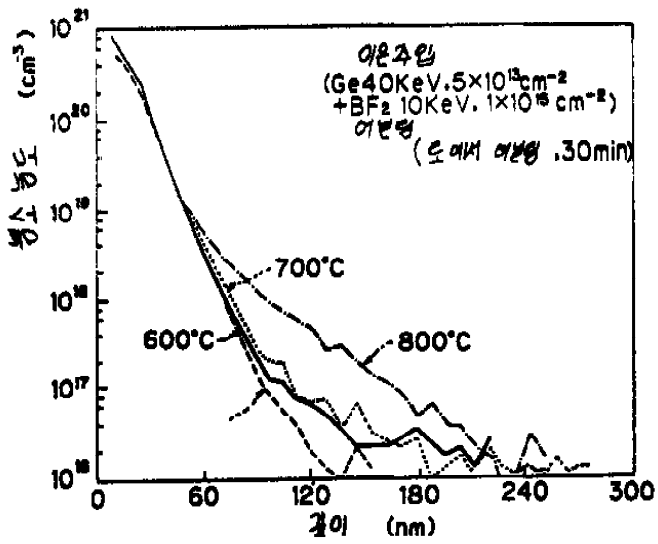
도면10



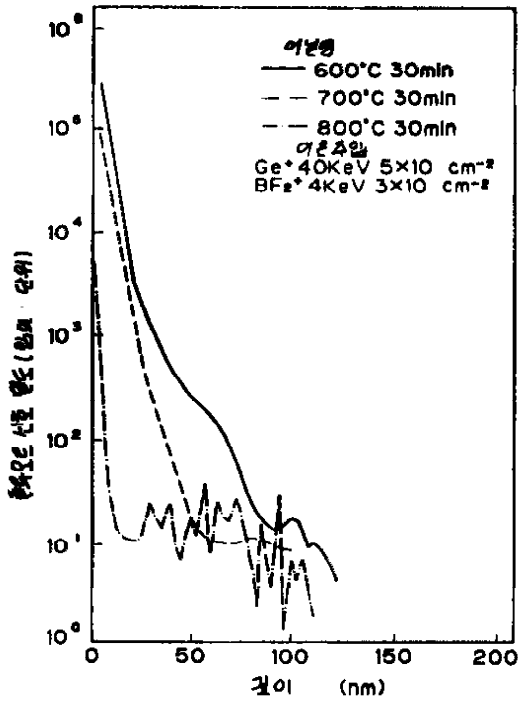
도면11



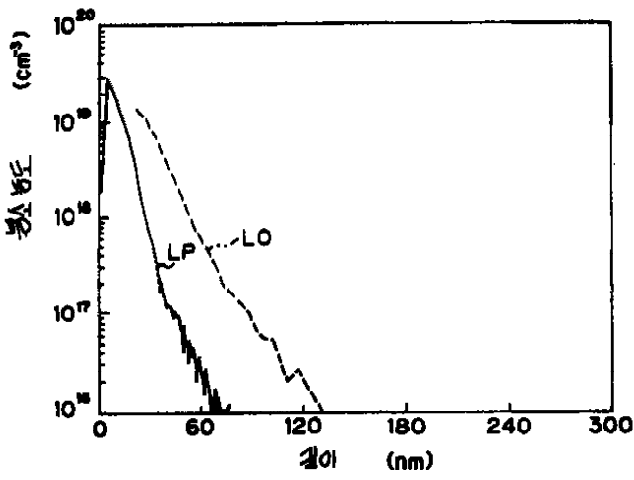
도면12



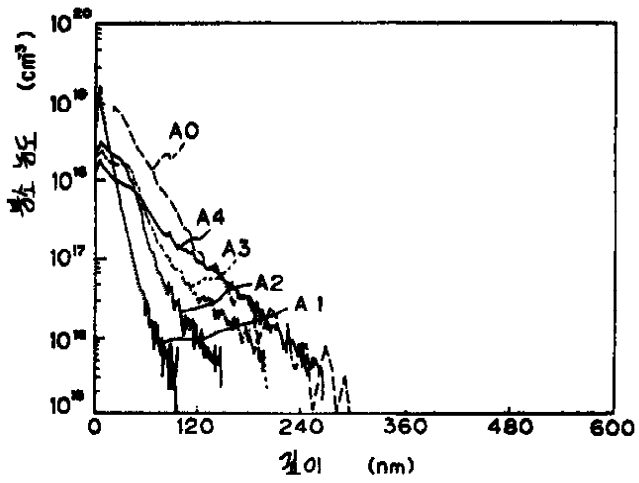
도면 13



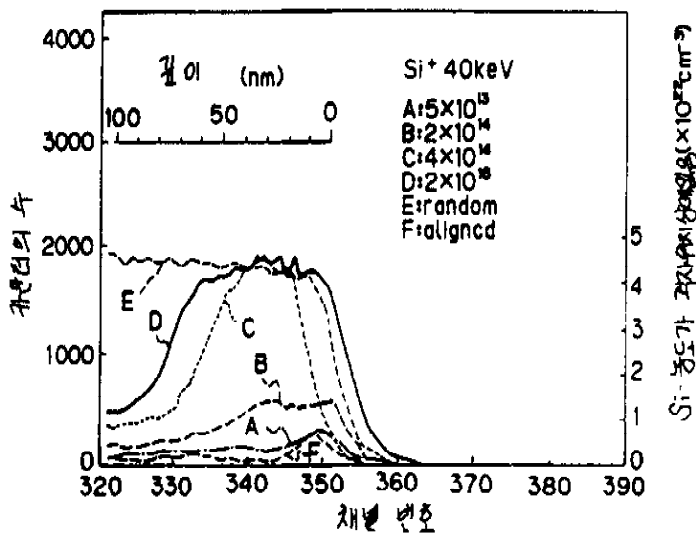
도면 14



도면 15



도면 16



도면 17

