



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월08일
(11) 등록번호 10-0961809
(24) 등록일자 2010년05월28일

(51) Int. Cl.

H01L 21/20 (2006.01) *H01L 21/84* (2006.01)

(21) 출원번호 10-2006-7015900

(22) 출원일자(국제출원일자) 2005년03월22일

심사청구일자 2008년02월28일

(85) 번역문제출일자 2006년08월07일

(65) 공개번호 10-2006-0126550

(43) 공개일자 2006년12월07일

(86) 국제출원번호 PCT/EP2005/051319

(87) 국제공개번호 WO 2005/096372

국제공개일자 2005년10월13일

(30) 우선권주장

10/814,482 2004년03월31일 미국(US)

(56) 선행기술조사문현

US06117711 A1*

US20030111699 A1*

US20040217391 A1*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

인터넷내셔널 비지네스 머신즈 코포레이션

미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

후루카와, 토시하루

미국, 베몬트 05452, 에섹스 정션, 오크우드 레인
9

코버거, 3세, 찰스, 월리엄

미국, 뉴욕 12054-3032, 엘마, 로위랜드 애비뉴
40

스링크맨, 제임스, 알버트

미국, 베몬트 05602, 몬트페리어, 노스 스트리트
882

(74) 대리인

신영무, 이용미

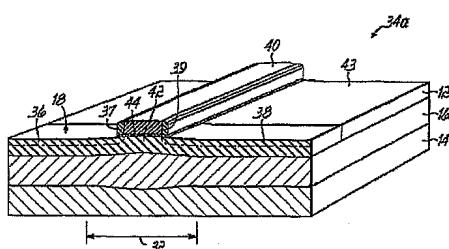
전체 청구항 수 : 총 10 항

심사관 : 심병로

(54) 변형된 실리콘-온-절연체 구조물을 제조하는 방법 및 이에의해 형성된 변형된 실리콘-온-절연체 구조물

(57) 요약

실리콘 활성층을 기판으로부터 분리하는 매립 절연층의 아래 영역의 두께를 증가시켜 형성되는 실리콘 활성층에서의 국부적 변형된 영역을 갖는 실리콘-온-절연체 (SOI) 장치와 구조물. 절연층 아래의 두꺼운 영역으로부터 위에 놓인 변형된 영역으로 전달된 응력은 이를 한정된 활성층의 영역에서의 캐리어 이동성을 증가시킨다. 실리콘 활성층에 형성된 장치는 떨어져 위치한 변형된 영역에서의 캐리어 이동성을 증가의 이득을 얻는다.

대 표 도 - 도5

특허청구의 범위

청구항 1

반도체 구조물에 있어서,

반도체 재료의 아일랜드(island) -상기 아일랜드는 다수의 측벽 및 변형된 영역을 포함함- 와,

핸들 웨이퍼와,

상기 아일랜드와 상기 핸들 웨이퍼 사이에 배치된 절연층을 포함하고,

상기 절연층은 상기 변형된 영역 아래에 놓인 두꺼운 영역을 포함하고, 상기 절연층은 상기 핸들 웨이퍼로부터 상기 반도체 재료의 상기 아일랜드를 전기적으로 격리시키며, 상기 두꺼운 영역은 상기 아일랜드와 상기 절연층 사이의 경계면에서 열적 산화 프로세스로 상기 반도체 재료를 선택적 산화시킴으로써 형성되며, 상기 두꺼운 영역은 인장 응력을 상기 변형된 영역에 전달하는 반도체 구조물.

청구항 2

제1항에 있어서,

상기 아일랜드에 정의된 소스와,

상기 아일랜드에 정의된 드레인과,

상기 소스와 상기 드레인 사이의 상기 아일랜드의 부분에 정의된 채널을 더 포함하고, 상기 채널은 상기 아일랜드의 상기 변형된 영역에 적어도 부분적으로 배치되는, 반도체 구조물.

청구항 3

제1항에 있어서,

상기 아일랜드를 이용해 제조된 반도체 장치를 더 포함하는, 반도체 구조물.

청구항 4

제1항에 있어서,

상기 절연층은 매립 산화물층이고, 상기 아일랜드는 실리콘인, 반도체 구조물.

청구항 5

반도체 재료로 구성된 활성층, 핸들 웨이퍼, 상기 활성층과 상기 핸들 웨이퍼 사이에 위치하는 절연층을 갖는 SOI 기판을 이용하여 변형된 반도체 구조물을 제조하는 방법에 있어서,

상기 절연층의 두꺼운 영역의 두께를 증가시키기 위하여, 상기 활성층과 상기 절연층 사이의 경계면에서 상기 활성층의 변형된 영역의 상기 반도체 재료를 열적 산화 프로세스로 선택적 산화시키는 단계를 포함하며,

상기 절연층의 상기 두꺼운 영역은 상기 활성층의 상기 변형된 영역에 인장 응력을 유도함으로써 상기 활성층의 상기 변형된 영역을 국부적으로 변형시키는, 반도체 구조물 제조방법.

청구항 6

제5항에 있어서,

상기 반도체 재료는 실리콘이고,

상기 반도체 재료를 선택적 산화시키는 상기 단계는,

상기 절연층의 상기 두꺼운 영역을 형성하기 위해, 주변 분위기로부터 상기 절연층을 통해 확산하는 가스 상태의 산화 종과 상기 변형된 영역내의 상기 반도체 재료를 반응시키는 단계를 포함하는, 반도체 구조물 제조방법.

청구항 7

제6항에 있어서,

상기 가스 상태의 산화 종과 상기 반도체 재료를 반응시키는 상기 단계는,

상기 SOI 기판 위에 산화 마스크를 증착하는 단계와,

상기 산화 마스크에서 상기 절연층으로 연장하는 다수의 윈도우를 규정하기 위해 상기 산화 마스크를 패터닝하는 단계와,

상기 다수의 윈도우 외부의 상기 절연층을 통해 상기 가스 상태의 산화 종이 확산되는 것을 상기 산화 마스크로 차단하는 단계를 포함하는, 반도체 구조물 제조방법.

청구항 8

반도체 재료로 구성된 활성층, 핸들 웨이퍼, 상기 활성층과 상기 핸들 웨이퍼 사이에 위치하는 절연층을 갖는 SOI 기판을 이용하여 변형된 반도체 구조물을 제조하는 방법에 있어서,

상기 활성층의 변형된 영역 아래있는 상기 절연층의 두꺼운 영역을 상기 활성층과 상기 절연층 사이의 경계면에서 열적 산화 프로세스로 두껍게 하는 단계를 포함하며, 이로 인해 상기 활성층의 상기 변형된 영역에 인장 응력이 유도되어 상기 활성층의 상기 변형된 영역을 국부적으로 변형시키는, 반도체 구조물 제조방법.

청구항 9

제8항에 있어서,

상기 활성층은 반도체 재료로 구성되며,

상기 절연층의 두꺼운 영역을 두껍게 하는 상기 단계는,

상기 절연층의 상기 두꺼운 영역의 두께가 국부적으로 증가되도록, 상기 활성층의 상기 반도체 재료를 상기 열적 산화 프로세스로 선택적 산화시키는 단계를 더 포함하는, 반도체 구조물 제조방법.

청구항 10

제9항에 있어서,

상기 반도체 재료는 실리콘이며,

상기 절연층의 두꺼운 영역을 두껍게 하는 상기 단계는,

상기 절연층의 상기 두꺼운 영역을 형성하기 위해, 주변 분위기로부터 상기 절연층을 통해 상기 활성층의 상기 변형된 영역으로 확산하는 가스 상태의 산화 종과 상기 변형된 영역내의 상기 반도체 재료를 반응시키는 단계를 포함하는, 반도체 구조물 제조방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

명세서**기술 분야**

[0001]

본 발명은 일반적으로 반도체 구조물 및 장치 및 이의 제조 방법에 관한 것으로, 더욱 특히 캐리어 이동성이 개선된 것에 특징이 있는 제조 방법 및 실리콘-온-절연체 (SOI) 구조물, 장치 및 집적 회로에 관한 것이다.

배경기술

[0002]

실리콘-온-절연체 (SOI) 구조물은 실리콘 이산화물 절연층 (즉, 매립 산화물, 또는 "BOX") 위에 놓이는 얇은 활성 실리콘층으로 구성되고, 이 절연층 자체는 지지용 실리콘 기판 위에 놓인다. 금속-산화물-반도체 전계 효과 트랜지스터 (MOSFET) 기술 및 상보형 금속 산화물 반도체 (CMOS) 집적 회로에 대한 SOI 구조물의 장점들은 문서화가 잘 되어 있다. SOI 구조물의 절연층은 종래의 벌크 실리콘 기술과 비교하여 전기적 분리를 개선하고 전기적 손실을 감소하여 전계 효과 트랜지스터 (FET)가 고속에서 동작할 수 있도록 한다. 그 결과 성능의 증가와 전력 소모의 감소를 가져온다.

[0003]

종래의 MOSFET 및 CMOS 기술에서, SOI 구조물 상에 제조되는 전계 효과 트랜지스터는 활성 실리콘층에 형성된 채널을 포함한다. 캐리어 이동성은 출력 전류에 미치는 직접적인 영향과 전계 효과 트랜지스터의 스위칭 성능으로 인해 중요한 변수가 되고 있다. 따라서, 장치 성능을 증가시키기 위한 한 방법으로는 활성 실리콘층을 이축으로 또는 단축으로 변형시켜 채널 이동성을 증가시키는 것이다. 압축 응력을 실리콘 활성층에 도입하거나 인장 응력을 실리콘 활성층에 도입하는 것으로 순수 변형이 제공될 수 있다. 실리콘층의 면의 결정 격자를 국부적으로 또는 전체적으로 변형시키게 되면 실리콘층의 전자 대역 구조를 변경시키게 된다. 그 결과, 면내 캐리어 이동성은 10 내지 25퍼센트 증가하게 되고, 이는 장치 성능을 개선시키는 결과를 가져온다.

[0004]

이축성 인장 변형은 또한 실리콘 보다 격자 상수가 더 큰 재료로 형성된 개재층을 도입하여 전체 기판에 걸쳐 균일하게 실리콘층에 유발된다. 예를 들어, 이축성 변형된 활성 실리콘층은 매립 산화층과 실리콘 활성층 간에 실리콘 게르마늄 버퍼층과 완화된 실리콘 게르마늄층의 얇은 합성층을 도입하여 SOI 구조물에 형성될 수 있으며, 이는 완화된 실리콘 게르마늄층 상에 에피택셜 적층된다. 인장 변형은 기판의 면에서의 실리콘의 원자 간 간격을 넓히고, 이는 전자 이동성을 증가시킨다. 층 전달법으로는 실리콘 게르마늄층을 제거할 수 있다. 균일한 인장 응력의 존재는 PFET 장치 채널에서의 캐리어 유출 방향에 수직으로 도입된 인장 응력에 대한 n 채널 전계 효과 트랜지스터 (NFET)의 장치 채널에서의 전자 이동성과 p 채널 전계 효과 트랜지스터 (PFET)에서의 흘 이동성을 증진시킨다.

[0005]

단축성 압축 변형은 프로세스 최적화로 실리콘층에 국부적으로 유도될 수 있다. 캐핑층, 스페이서, 및 얇은 트렌치 분리와 같은 기존의 장치 구조물의 특성을 조작하여 적은 양의 응력이 도입될 수 있다. 더 큰 양의 응력은 예를 들어, PFET의 소스와 드레인 영역에만 실리콘 게르마늄층을 적층하는 것으로 가능하다. 실리콘 게르마늄층의 국부적 도입은 PFET 채널에 압축 변형을 부가하는 효과가 있으며, 이는 흘 이동성을 국부적으로 증가시키게 된다.

[0006]

변형된 실리콘을 형성하기 위한 실리콘 게르마늄층의 이용은 일정한 단점을 갖고 있다. 실리콘 게르마늄층은 장치 수율에 영향을 미치는 실리콘의 결함을 유도하는 경향이 있다. 웨이퍼 전체에 적층된 실리콘 게르마늄층은 NFET와 PFET를 개별적으로 최적화하는 데에 적합하지 않다. 실리콘 게르마늄층은 또한 열 전도율이 낮으며 어떤 도편트는 실리콘 게르마늄층을 통해 더욱 신속하게 확산되며, 이는 활성층에 형성된 소스와 드레인 영역의 확산 도핑 프로파일에 영향을 미칠 수 있다. 다른 실재적인 제한점으로는 실리콘 게르마늄층이 활성층의 전체 두께의 증가에 기여한다는 것이며, 이 두께는 현재 장치 디자인에서 하향 축적되고 있다.

[0007] 따라서, 하지부, 완화된 실리콘 게르마늄층 및 SOI 구조물을 이용하지 않고 SOI 구조물의 활성층에 인장 변형을 도입할 수 있는 방법 및 이 방법으로 제조된 변형된 활성층을 갖는 접적 회로가 필요하다.

발명의 상세한 설명

[0008] 본 발명의 원리에 따르면, 변형된 활성층을 갖는 SOI 구조물, 장치 및 접적 회로는 실리콘-온-절연체 기판의 활성층에 인장 변형을 도입하여 형성된다. 인장 변형은 아래 놓이는 실리콘 게르마늄층을 도입하지 않고 제공된다. 이를 위해, 이런 반도체 구조물은 일반적으로, 반도체 재료의 활성층, 기판 및 활성층과 기판 사이에 배치된 절연층을 포함한다. 절연층은 인장 응력을 활성층에 전달하는 두꺼운 영역을 갖는데, 두꺼운 영역 위에 놓인 활성층의 변형 영역에 변형을 유도하는 데에 효율적이다.

[0009] 본 발명의 원리에 따르면, 매립된 절연층의 두께를 국부적으로 증가시키게 되면 인장 응력을 위에 놓인 활성층에 국부적으로 전달하게 된다. 산화 마스크로 정의되는 활성층 영역은 인장 응력에 의해 변형된다. 변형된 활성층은 강화된 캐리어 이동성의 특성을 가지고, 이로 인해 변형된 활성층에 형성된 장치의 성능을 개선할 수 있다. 아래 놓이는 절연층이 장치 구조물에 어떤 부가의 층도 부가하지 않고 변경되기 때문에 복잡한 막 적층 기술에 의존하지 않고 변형을 활성층에 유도할 수 있다. 특히, 실리콘 활성층은 실리콘 게르마늄층의 단점을 피하면서 변형될 수 있다.

실시예

[0020] 도 1을 참조하여, 실리콘-온-절연체 (SOI) 기판(10)은 절연층(16)에 의해 핸들 웨이퍼(14)로부터 수직으로 분리되는 실리콘의 활성층(12) 또는 다른 적합한 반도체 재료를 포함한다. 절연층(16)은 활성층(12)을 핸들 웨이퍼(14)와 전기적으로 분리한다. SOI 기판(10)은 웨이퍼 접합이나 산소 주입에 의한 분리 (SIMOX) 기술 등의 표준 기술로 제조된다. 본 발명의 실시예에서, 활성층(12)을 구성하는 실리콘은 먼저 n형 도편트로 도핑되어 n형이 되고 p형 도편트로 도핑되어 p형이 된다. 핸들 웨이퍼(14)는 이에만 제한하는 것은 아니지만 실리콘 및 다결정 실리콘 (폴리실리콘)을 포함하는 적합한 반도체 재료로 형성될 수 있다. 절연층(16)을 구성하는 유전체 재료는 통상 약 50 나노미터 내지 약 150 나노미터의 범위의 두께를 갖는 실리콘 이산화물이지만, 이에만 제한되지는 않는다. 활성층(12)은 약 10 나노미터 이하로 얇고, 통상 20 나노미터 내지 약 150 나노미터의 범위이다. 핸들 웨이퍼(14)의 두께는 도 1에서 축적되어 나타나 있지 않다.

[0021] 활성층(12)은 패드 질화물과 같은 하드 마스크 재료의 캐핑층(22)으로 캐핑되어, 자기 정렬된 상측 산화물 장벽과 연마 스텁크부를 제공할 수 있다. 이를 위해, 10 내지 150 나노미터의 실리콘 질화물 (Si_3N_4)일 수 있는 하드 마스크 재료의 적합성 블랭킷이 활성층(12) 위에 도포된다. 방사선에 민감한 레지스트층은 적합성 블랭킷층 위에 도포되고, 종래의 포토마스크로 투사된 방사로 노출되어 의도된 아일랜드(18)의 레지스트층 특성에 투사된 잠상 패턴을 부여하고, 잠상 패턴을 최종 화상 패턴으로 변형하도록 현상된다. 이방성 에칭 프로세스 (예를 들어, 반응성 이온 에칭) 등의 에칭 프로세스는 최종 화상 패턴의 언마스크 영역에서 캐핑층(22)의 하드 마스크 재료를 제거한다. 레지스트층은 에칭 프로세스의 완성에 이어 SOI 기판(10)으로부터 벗겨진다.

[0022] 각 아일랜드(18)의 라인 폭은 종래의 디자인 기술에 따라 선택되고, 특정 실시예에서는 약 15nm 내지 약 125nm의 범위이고, 인접 아일랜드(18) 간의 절연층(16) 및 트렌치(20)는 측면의 전기 절연을 제공한다.

[0023] 여기에서 "수직", "수평" 등의 용어는 제한하고자 하는 것이 아니고 예시적인 것으로, 기준 틀을 만든다. 여기에서 이용되는 용어 "수평"은 배향과 상관 없이, 종래의 면에 평행한 면이나 SOI 기판(10)의 면으로 정의된다. 용어 "수직"은 방금 정의한 수평에 수직인 방향을 말한다. "상" "위", "아래", "측면 ("측벽"에서와 같이), "더 높은", "더 낮은" 등은 수평면에 관련하여 정의되는 것이다. 다른 기준 틀이 본 발명의 정신과 영역에서 벗어나지 않고 이용될 수 있다는 것이 이해될 것이다.

[0024] 유사한 참조 부호가 도 1에서의 유사한 특성을 언급하는 후속 제조 단계에서의 도 2 및 도 2A를 참조하여, 산화 마스킹 재료의 스트라이프(26)가 산화가 발생하게 되는 윈도우(28)를 정의하기 위해 제조된다. 하나의 윈도우(28)가 나타나 있는 각 윈도우(28)는 인접한 스트라이프(26)를 분리한다. 스트라이프(26)를 제조하기 위해, 산화 마스킹 재료의 블랭킷 층이 도 1의 구조물 위에 적층되고 표준 리소그래피 및 에칭 프로세스로 패턴화된다. 스트라이프(26)는 아일랜드(18)에 관련하여 윈도우(28)의 경계가 되거나 측면에 접하는 영역에서 캐핑층(22) 및 절연층(16)의 상측면 위에 놓여 괴복한다. 윈도우(28)를 형성하는 방향성 에칭 프로세스는 산화 마스킹 재료의 스페이서(30)가 활성층(12)의 수직 측벽 각각을 괴복한 상태가 되게 한다. 윈도우를 형성하는 방향성 에칭 프로세스는 캐핑층(22)을 부식시키지 않도록 산화 마스킹 재료 아래에 놓이는 얇은 에칭 스텁크 재료 상에서 스텁크하

게 된다.

[0025] 유사한 참조 부호가 도 2에서의 유사한 특성을 언급하는 후속 제조 단계에서의 도 3을 참조하여, 절연층(16)은 SOI 기판(10)의 수평면의 영역 위와 활성층(12)의 국부 영역(32) 아래에서 적당한 프로세스에 의해 두껍게 된다. 절연층(16)의 두꺼운 영역은 활성층(12)의 영역과 수직으로 일치한다. 절연층(16)이 두껍게 되는 것은 절연층(16)과 동일한 공간에 있는 활성층(12)의 평면 하측면(33) 및/또는 핸들 웨이퍼(14)의 평면 상측면(35)으로부터 재료를 충분히 소모하여 크기가 증가된 새로운 조성의 재료를 형성하는 프로세스부터 시작하거나, 또는 절연층(16)의 유효 두께를 확장하거나 증가시킬 수 있는 다른 메카니즘에 의해 시작된다. 영역(32)은 일반적으로 SOI 기판(10)의 면에서 수평으로 원도우(28)와 정렬된 활성층(12)의 면내 영역이다.

[0026] 절연층(16)의 두께 증가분의 정도는 활성층(12)에 형성되는 필요한 반도체 장치의 성능에 따라 그리고 디자인이나 확장에 대한 물리적 한계치에 따라 다르다. 본 발명의 특정 실시예에서, 인접한 스트라이프(26)를 분리하는 거리는 약 1m 정도이다.

[0027] 본 발명의 예시의 실시예에서, 열적 산화 프로세스는 마스크(24)가 산화 마스크로 동작하는 실리콘 절화물 등의 비산화 가능 재료로 형성되어 있는 SOI 기판(12)의 절연층(16)을 국부적으로 두껍게 하는 데에 이용된다. 산화 프로세스는 예를 들어, 산화 노 (furnace) 또는 금속 열 어닐링 챔버에서 SOI 기판(10)을 건식이나 습식의 산소 함유 가열 분위기에 노출시키는 것을 수반한다. 산화 조건은 활성층(12)의 영역(32) 아래 영역에서만 절연층(16)의 선택적 확장을 제공하고 SOI 기판(12)에 걸쳐 절연층(16)을 균일하게 두껍게 하지 않도록 하여 선택된다. 일 특정 실시예에서, 800C 또는 950C에서의 습식 산화는 영역(32) 아래의 영역에 대해 절연층의 두께를 1 나노미터 내지 10 나노미터 증가시키는 데에 충분한 기간 동안 실행된다. 인접한 스트라이프(26)를 분리하는 거리가 약 0.2m인 본 발명의 다른 실시예에서, 약 4.5나노미터인 영역(32) 아래의 산화물 두께 증가는 영역(32)에서 약 0.1 퍼센트의 변형을 제공한다. 절연층(16)의 두께 증가는 두께 증가 영역(32) 아래에서도 비균일하기 때문에 두꺼운 영역에 대한 최대의 두께 증가로 결정되지만, 본 발명은 이에만 제한되지 않는다.

[0028] 활성층(12)의 산화는 절연층(16)을 형성하는 재료에 의한 흡수로 인해 원도우(28)를 통해 가열 분위기에서 가스 상태의 산화 종을 산화 가스의 벌크로부터 전송하는 것으로 시작된다. 아일랜드(18) 위에 놓이는 캐핑층(22) 및 마스크(24)의 스트라이프(26) 및 아일랜드(18)의 수직 측벽을 피복하는 스페이서(30)는 가스 상태의 산화 종, 통상 O₂ 또는 H₂O가 산소 함유 분위기로부터 직접적으로 내측으로 전송되지 않게 활성층(12)을 실드하여 활성층(12)의 측벽과 상측면이 실질적으로 산화 프로세스에 의해 영향을 받지 않게 한다.

[0029] 도 3을 계속해서 참조한 예시의 실시예에 따르면, 가스 상태의 산화 종은 각 원도우(28)로부터 절연층(16)을 통해 확산되어 활성층(12)의 하측면(33)에서 실리콘과 화학적으로 반응하게 된다. 핸들 웨이퍼(14)를 구성하는 재료가 산화되기 쉬운 경우, 확산종은 핸들 웨이퍼(14)의 상측면(35)의 재료와 반응할 가능성이 있다. 활성층(12)의 하측면(33)으로의 산화 종의 확산 경로는 영역(32) 외측과 마스크(24)의 스트라이프(26) 아래의 영역에서 보다 영역(32)에서 활성층(12) 부분에 대해 더 짧다. 부가하여 적용 가능하다면 산화 종의 핸들 웨이퍼(14)의 상측면(35)으로부터의 확산 경로는 영역(32) 외측과 마스크(24)의 스트라이프(26) 아래의 핸들 웨이퍼(14)의 영역에서 보다 영역(32)에서 핸들 웨이퍼(14)의 영역에 대해 더 짧다. 따라서, 활성층(12)의 산화 부분과 동일한 조성 및 가능하게는 핸들 웨이퍼(14)의 산화 부분과 동일한 조성을 갖는 절연층(16)의 유효 두께 증가는 영역(32) 아래 보다 더 크다. 공지된 바와 같이, 형성된 실리콘 이산화물의 두께는 소모된 실리콘의 두께의 약 2.27배이다. 절연층(16)의 국부적 확장은 절연층(16)의 두꺼운 영역 위에 놓인 활성층(12)의 영역(32)을 마스크(24)의 스트라이프(26)로 피복된 인접 영역에 대해 수직으로 상승시킨다.

[0030] 절연층(16)의 확장은 각 아일랜드(18)의 영역(32)에서 활성층(12)의 재료에 응력을 가하고, 이는 순 변형량을 영역(32)에 유발한다. 통상 0.1 내지 0.2 퍼센트 범위인 이 순수 변형량은 활성층(12)의 변형된 영역(32)에서의 캐리어의 전기적 특성을 수정한다. 활성층(12)이 실리콘다면, 변형은 20 퍼센트 이상 영역(32)의 캐리어 이동성을 증가시킨다. 따라서, 이어서 각 아일랜드(18)에 제조된 장치의 성능은 예를 들어, 변형된 영역(32)에 장치 채널이 위치되는 경우 개선되게 된다. 산화양은 변형된 영역(32)에 도입되는 변형의 정도에 영향을 미치도록 조정될 수 있다. 부가하여, 원도우(28)의 폭은 영역(32)에 유발된 변형에 대해 영향을 준다.

[0031] 유사한 참조 부호가 도 3에서의 유사한 특징을 언급하는 후속 제조 단계에서의 도 4를 참조하여, 마스크(24) (도 3)는 활성층(12) 및 절연층(16)의 재료에 선택적인 에칭 프로세스에 의해 SOI 기판(10)으로부터 벗겨진다. 마스크(24) 및 캐핑층(22)이 동일한 재료로 형성되면, 캐핑층(22)의 두께는 마스크(24)의 두께 보다 더 커야 하므로 캐핑층(22)은 스트라이프(26) 사이에서 완전히 제거되지 않는다. 이전에 마스크(24) 아래에 있는 아일랜드(18) 영역은 활성층(12)의 측면을 이루는 영역을 절연층(16)에 부착하여 고정되므로 변형된 영역(32)의 완화

가 방지되거나 제한되게 된다. 그 결과, 변형된 영역(32)은 영역(32) 아래의 적당한 위치에서 절연층(16)의 두께 증가나 확장으로 영구적으로 응력이 가해진다. 어느 정도의 완화가 예기되면, 영역(32)의 초기 변형은 완화를 보상하도록 증가된다.

[0032] 유사한 참조 부호가 도 4에서의 유사한 특징을 언급하는 후속 제조 단계에서의 도 5, 6A 및 6B를 참조하여, 반도체 장치가 변형된 영역(32) 내에 채널 영역을 갖는 아일랜드(18)에 형성되게 되고, 이는 소자 내의 캐리어 이동성을 개선하여 장치의 성능 증가를 나타내게 된다. MOSFET 장치는 당업자가 다른 형태의 반도체 장치 (예를 들어, 메모리 셀, 다른 유형의 트랜지스터 등)는 또한 여기에 기술된 변형된 영역으로 이익을 얻는다는 것을 이해하는 바와 같이 제한적인 것이 아니다.

[0033] 특히 도 5를 참조하여, 일 유형의 반도체 장치(34a)는 각각 소스/드레인 영역(36, 38) 및 이 소스/드레인(36, 38) 사이의 활성층(12)에 정의된 채널(42) 위에 위치된 정전 결합 게이트 전극(40)을 갖는 금속-산화물-반도체 전계 효과 트랜지스터 (MOSFET)일 수 있다. 얇은 게이트 유전체(44)는 게이트 전극(42)을 채널(42)과 전기적으로 분리한다. 게이트 전극(42)을 형성하는 데에 이용되는 재료는 예를 들어, 폴리실리콘, 텅스텐, 또는 그 외 원하는 재료일 수 있고, 소스/드레인 영역(36, 38) 및 이들의 연장부는 적합한 도편트 종의 이온 주입으로 공급될 수 있다. 실리콘 질화물 등의 재료의 측벽 스페이서(37, 39)는 공지된 바와 같이 게이트 전극(42)의 수직 측벽에 부가될 수 있다. 스페이서(37, 39) 및 게이트 전극(42)은 소스/드레인 영역(36, 38) 중 깊게 도핑된 부분의 주입을 위해 자기 정렬 마스크로 작용한다. 분리 영역(43)은 활성층(12)의 인접 아일랜드(18) 사이에 전기적 절연을 제공한다. 분리 영역(43)은 화학 증착법 (CVD)으로 적합하게 적층된 실리콘 이산화물 등의 적당한 유전 재료로 충전되고, 화학 기계적 연마 (CMP) 프로세스나 그 외 적합한 평탄화 기술로 평탄하게 연마 및 평탄화된다. 캐핑층(22)은 평탄화 동작에 대한 연마 스톱부로 작용하며 평탄화 동작 후에 제거된다.

[0034] 채널(42)의 전기적 저항의 변형에 비례하여 채널(42)을 통한 소스/드레인 영역(36, 38) 간에 캐리어가 흐르며, 이는 게이트 전극(40)에 인가되는 전압에 비례하여 변한다. 장치(34a)는 각 채널(42)이 변형된 영역(32) 중 하나와 일치하도록 제조된다. 본 발명의 특정 실시예에서, 장치(34a)는 n 채널 전계 효과 트랜지스터 (NFET)이고 집적 회로에 존재하는 임의의 p 채널 전계 효과 트랜지스터 (PFET)는 변형된 영역(32)이 없는 SOI 기판(10) 영역에 형성된다. 전계 효과 트랜지스터는 당업자에게는 잘 알려진 종래의 제조 프로세스로 형성된다.

[0035] 도 6A 및 도 6B를 참조하여, 다른 유형의 반도체 장치(34b)는 각각 채널(46) 및 채널 영역(46)의 측면에 접하는 두 개별의 게이트 부분(48a, 48b) (도 5C)을 정의하는 게이트 전극(48)을 공급하는 얇은 수직층(핀)을 갖는 자기 정렬된 이중 게이트 핀 전계 효과 트랜지스터 (finFET)일 수 있다. 게이트 전극(48)은 소스/드레인 영역(50, 52) 사이에 위치되며 채널(46) 위에 놓인다. 게이트 전극(48)은 게이트 유전체(47)로 게이트 전극(48)으로부터 전기적으로 분리된다. 게이트 전극(48)의 측면에 접하는 스페이서(54, 56)가 제공된다. 장치(34b)는 채널(46)이 변형된 영역(32)과 일치하도록 제조된다. 본 발명은 캐핑층(22) 모두나 일부가 완성된 장치 구조물에서 활성층(12) 상에 잔존한다고 예상한다. finFET는 당업자에게 익숙한 종래의 제조 프로세스로 형성된다.

[0036] 유사한 참조 부호가 도 2에서의 유사한 부분을 참조하고 있는 도 7을 참조하여, 패드층(58)은 마스크(24)가 도포되어 패턴화되기 전에 캐핑층(22)에 도포된다. 패드층(58)은 마스크(24)를 패턴화하는 에칭 및 마스크(24)를 제거하는 에칭 동안 에칭 스톱부로 동작하는 재료이다. 패드층(58)은 이들 개별의 에칭 프로세스가 스트라이프(26) 간의 캐핑층(22)을 얇게 하는 것을 방지한다. 캐핑층(22)이 두께가 약 2 나노미터 내지 약 10 나노미터인 실리콘 질화물인 경우, 패드층(58)에 적당한 하나의 재료로는 실리콘 이산화물이 있다. 캐핑층(22)을 과도하게 얇게 하면 연마 스톱부 및 산화 마스크로서의 효율성이 떨어지게 된다.

[0037] 본 발명은 여러 실시예의 설명으로 기재되었으며 이를 실시예가 상세히 기재되어 있긴 하지만, 출원인은 첨부한 청구범위의 영역을 제한하거나 한정하고자 하는 것은 아니다. 부가의 장점 및 수정들이 당업자에게는 용이하게 나타날 것이다. 따라서, 더 넓은 형태의 본 발명은 도시 및 기술된 특정 사항, 대표적 장치와 방법 및 설명적 예시에만 제한되는 것은 아니다. 따라서, 출원인의 발명적 개념의 영역에서 벗어나지 않고 이런 상세 사항에서 이탈할 수 있다.

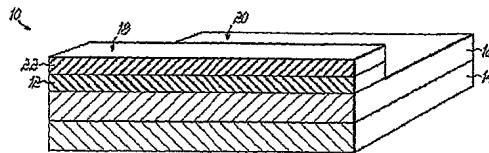
도면의 간단한 설명

[0010] 본 명세서의 일부와 결합되거나 이를 이루는 첨부 도면은 본 발명의 실시예를 설명하며 상술된 본 발명의 일반 설명 및 아래 실시예의 상세 설명과 함께 본 발명의 원리를 설명하고자 하는 것이다.

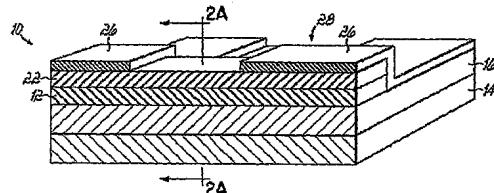
- [0011] 도 1은 기판의 일부의 부분 단면의 개략 사시도이다.
- [0012] 도 2는 도 1과 유사한 후속 제조 단계의 도면이다.
- [0013] 도 2A는 도 2의 선 2A-2A를 따른 단면도이다.
- [0014] 도 3은 도 2와 유사한 후속 제조 단계의 도면이다.
- [0015] 도 4는 도 3과 유사한 후속 제조 단계의 도면이다.
- [0016] 도 5는 도 4와 유사한 일련의 후속 제조 단계에 이은 도면이다.
- [0017] 도 6A는 본 발명의 다른 실시예에 따라서 도 5와 유사한 일련의 후속 제조 단계에 이은 도면이다.
- [0018] 도 6B는 도 6A와 유사한 도면이다.
- [0019] 도 7은 본 발명의 다른 실시예에 따른 도 2와 유사한 도면이다.

도면

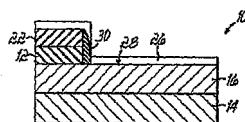
도면1



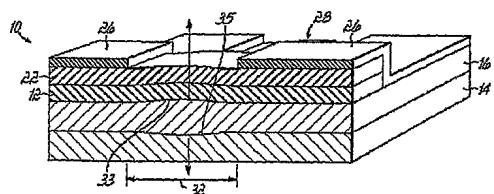
도면2



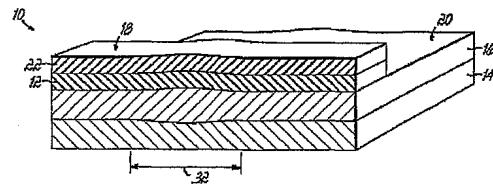
도면2A



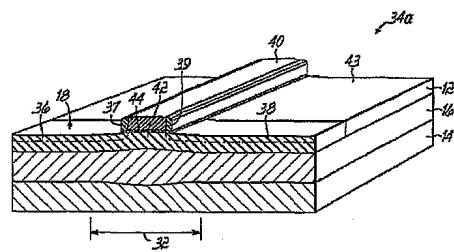
도면3



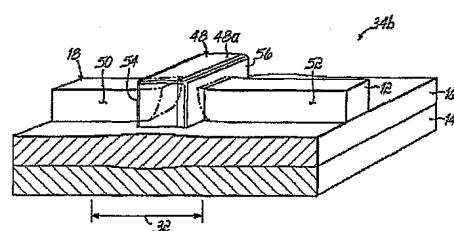
도면4



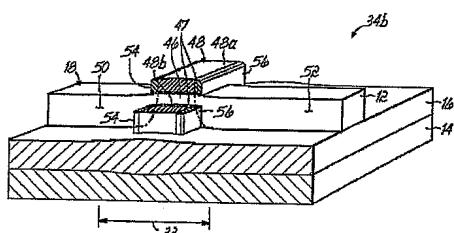
도면5



도면6A



도면6B



도면7

