



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0085721
(43) 공개일자 2013년07월30일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2012-0006730
(22) 출원일자 2012년01월20일
심사청구일자 2012년01월20일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교)
(72) 발명자
장진
서울특별시 동대문구 회기동 경희대학교
말로리 마티브 웬가
서울시 동대문구 회기동 경희대학교
강동한
서울특별시 동대문구 회기동 경희대학교
(74) 대리인
최관락, 송인호, 민영준

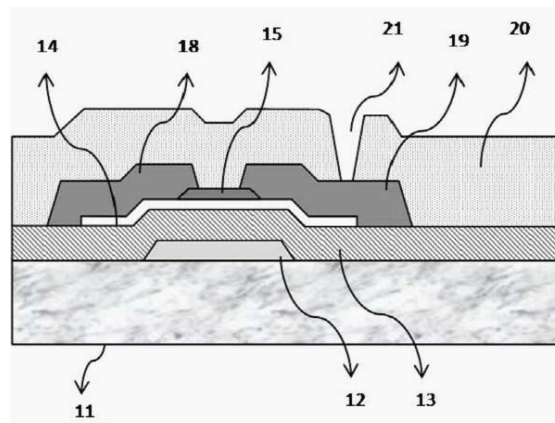
전체 청구항 수 : 총 34 항

(54) 발명의 명칭 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치

(57) 요약

본 발명은 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치에 관한 것으로, 본 발명에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은, 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막, 산화물 반도체와 에치 스톱퍼를 순차적으로 증착하는 제2 단계; 상기 산화물 반도체를 패터닝하는 제3 단계; 상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계; 상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.

대표도 - 도2e



이 발명을 지원한 국가연구개발사업

과제고유번호	10035225
부처명	지식경제부
연구사업명	산업원천기술개발사업
연구과제명	고품위 plastic AMOLED 원천 기술 개발
주관기관	서울대학교 산학협력단
연구기간	2010.03.01 ~ 2015.02.28

특허청구의 범위

청구항 1

기관상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계;

상기 게이트 전극 상에 게이트 절연막, 산화물 반도체와 에치 스톱퍼를 순차적으로 증착 후 상기 에치 스톱퍼를 패터닝하는 제2 단계;

상기 산화물 반도체를 패터닝하는 제3 단계;

상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계;

상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제5 단계;

를 포함하되,

상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 2

제1항에 있어서,

상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 3

제1항에 있어서,

상기 제2 단계는,

상기 산화물 반도체 및 상기 에치 스톱퍼 상에 제2 산화물 반도체를 증착하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 4

제1항에 있어서,

상기 제1 단계 이전에,

상기 기관 상에 실리콘 산화 보호막을 증착하는 단계

를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 5

제1항에 있어서,

상기 산화물 반도체는,

인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 6

제1항에 있어서,

상기 게이트 절연막 및 상기 보호층은,

실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 7

제1항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 8

기판상에 버퍼층, 산화물 반도체, 게이트 절연막 및 게이트 층을 순차적으로 증착하는 제1 단계;
상기 게이트 층을 패터닝하여 게이트 전극을 형성하는 제2 단계;
상기 산화물 반도체를 패터닝하는 제3 단계;
상기 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제4 단계;
상기 콘택 홀 상에 소스 전극 및 드레인 전극을 형성하는 제5 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 9

제8항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 10

제8항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 11

제8항에 있어서,
상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 12

제8항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 13

기판상에 소스 전극 및 드레인 전극을 증착하고 패터닝 하는 제1 단계;

상기 소스 전극 및 상기 드레인 전극 상에 산화물 반도체, 게이트 절연막 및 게이트 층을 증착하는 제2 단계;
 상기 게이트 절연막 및 게이트 층을 패터닝하는 제3 단계;
 상기 산화물 반도체를 패터닝하는 제4 단계;
 상기 패터닝한 게이트 절연막 및 산화물 반도체 상에 보호층을 증착하여 콘택 홀을 형성하는 제5 단계;
 를 포함하되,
 상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 14

제13항에 있어서,
 상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 15

제13항에 있어서,
 상기 제1 단계 이전에,
 상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
 를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 16

제13항에 있어서,
 상기 보호층은,
 실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 17

제13항에 있어서,
 상기 기판은,
 유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,
 상기 소스 전극 및 상기 드레인 전극은,
 몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 18

기판상에 버퍼층 및 산화물 반도체를 증착하고 패터닝 하는 제1 단계;
 상기 산화물 반도체 상에 소스 전극 및 드레인 전극을 증착하여 패터닝 하는 제2 단계;
 상기 소스 전극 및 상기 드레인 전극 상에 게이트 절연막 및 게이트 층을 증착하고 상기 게이트 층을 패터닝하여 게이트 패턴을 형성하는 제3 단계;
 상기 게이트 패턴 상에 보호층을 형성하고 패터닝하는 제4 단계;
 를 포함하되,
 상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 19

제18항에 있어서,
 상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 20

제18항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 21

제18항에 있어서,
상기 보호층은,
실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 22

제18항에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 23

기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계;
상기 게이트 전극 상에 게이트 절연막 및 산화물 반도체를 증착하는 제2 단계;
상기 산화물 반도체를 패터닝하는 제3 단계;
상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계;
상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제5 단계;
를 포함하되,
상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 24

제23항에 있어서,
상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 25

제23항에 있어서,
상기 제1 단계 이전에,
상기 기판 상에 실리콘 산화 보호막을 증착하는 단계
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 26

제23항에 있어서,
상기 보호층은,

실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 27

제23항에 있어서,

상기 기판은,

유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,

상기 소스 전극 및 상기 드레인 전극은,

몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 28

기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계;

상기 게이트 전극 상에 게이트 절연막, 소스 전극 및 드레인 전극을 증착하는 제2 단계;

상기 소스 전극 및 상기 드레인 전극을 패터닝하는 제3 단계;

상기 패터닝된 소스 전극 및 드레인 전극상에 산화물 반도체를 증착하고 패터닝하는 제4 단계;

상기 패터닝된 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제5 단계;

를 포함하되,

상기 산화물 반도체의 두께가 4nm 이하인 것을 특징하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 29

제28항에 있어서,

상기 산화물 반도체의 두께가 3nm 이하인 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 30

제28항에 있어서,

상기 제1 단계 이전에,

상기 기판 상에 실리콘 산화 보호막을 증착하는 단계

를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 31

제28항에 있어서,

상기 보호층은,

실리콘 산화막 또는 실리콘 질화막으로 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 32

제28항에 있어서,

상기 기판은,

유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성되고,

상기 소스 전극 및 상기 드레인 전극은,

몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

청구항 33

청구항 1 내지 32항 중 어느 한 항의 제조방법에 의해서 제조된 산화물 반도체 박막 트랜지터를 포함하는 능동 구동 디스플레이 장치.

청구항 34

청구항 1 내지 32항 중 어느 한 항의 제조방법에 의해서 제조된 산화물 반도체 박막 트랜지터를 포함하는 능동 구동 센서 장치.

명세서

기술분야

[0001] 본 발명은 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서 장치에 관한 것으로, 보다 상세하게는 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상시킨 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치에 관한 것이다.

배경기술

[0002] 최근 산화물 반도체를 활성층으로 사용한 박막 트랜지스터의 연구 개발이 활발하게 진행되고 있다. 이 산화물 반도체 박막 트랜지스터는 높은 전계 이동도와 0V 근방의 낮은 문턱 전압, 낮은 누설 전류 등의 장점을 바탕으로 TFT-LCD, AMOLED 와 같은 평면 디스플레이, 각종 감지 센서 및 구동, logic 회로 등에 적용된다.

[0003] 하지만 산화물 반도체 박막 트랜지스터는 상기의 장점에도 불구하고 전계에 대한 신뢰성 및 광 전계에 대한 신뢰성이 문제가 되고 있다.

[0004] 전계에 대한 신뢰성 향상에 대한 연구는 절연막 또는 보호층의 물질의 개선 및 박막 트랜지스터의 구조적인 개선에 의해 안정화 특성을 확보해 가고 있으나, 전 세계적으로 광 전계의 신뢰성에 관한 연구가 진행 되고 있으나 개선 방안에 대한 대책은 미흡한 상황이다.

[0005] 구체적으로는 음의 전계와 광을 동시에 인가하였을 경우, 산화물 반도체 박막 트랜지스터의 문턱 전압이 시간에 따라 음의 방향으로 크게 이동을 하게 된다.

[0006] 산화물 반도체를 활성층으로 사용한 산화물 반도체 박막 트랜지스터는 $10 \text{ cm}^2/\text{Vs}$ 이상의 높은 전계 이동도와 낮은 누설전류 등의 장점을 보유한 전기적 소자이다. 이는 스위칭 특성을 이용한 디스플레이, 센서 등의 응용 외에도, 구동 및 logic회로 등에도 응용이 될 수 있다.

[0007] 도 1은 종래 기술에 따른 화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내는 그래프이다.

[0008] 도 1은 종래 기술에 따른 산화물 활성층으로 구성되는 박막 트랜지스터에 10,000 lux 의 빛과 함께 -20 V 의 전계를 인가하였을 때 시간에 따른 전이곡선의 변화를 나타내며, 광 전계 스트레스 시에 전이곡선의 문턱전압이 이동하는 불안정성은 개선 할 수 없다는 결과를 보여준다.

[0009] 이와 같은 문턱 전압의 이동에 대한 메커니즘에 대한 연구는 진행되고 있으나 근본적으로 해결이 되지 않고 있는 실정이다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 산화물 반도체 박막 트랜지스터의 산화물 반도체의 두께가 얇게 증착되도록 하여 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시키고자 한다.

[0011] 또한, 본 발명은 산화물 반도체의 두께를 조절하여 공정의 변화 또는 추가 없이 광 전계 신뢰성을 향상시켜, 능동 구동 디스플레이 또는 능동 구동 센서 등에 적용이 가능하도록 하고자 한다.

과제의 해결 수단

- [0012] 전술한 문제를 해결하기 위한 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은, 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막, 산화물 반도체와 에치 스톱퍼를 순차적으로 증착 후 상기 에치 스톱퍼를 패터닝하는 제2 단계; 상기 산화물 반도체를 패터닝하는 제3 단계; 상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계; 상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.
- [0013] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 버퍼층, 산화물 반도체, 게이트 절연막 및 게이트 층을 순차적으로 증착하는 제1 단계; 상기 게이트 층을 패터닝하여 게이트 전극을 형성하는 제2 단계; 상기 산화물 반도체를 패터닝하는 제3 단계; 상기 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제4 단계; 상기 콘택 홀 상에 소스 전극 및 드레인 전극을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.
- [0014] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 소스 전극 및 드레인 전극을 증착하고 패터닝 하는 제1 단계; 상기 소스 전극 및 상기 드레인 전극 상에 산화물 반도체, 게이트 절연막 및 게이트 층을 증착하는 제2 단계; 상기 게이트 절연막 및 게이트 층을 패터닝하는 제3 단계; 상기 산화물 반도체를 패터닝하는 제4 단계; 상기 패터닝한 게이트 절연막 및 산화물 반도체 상에 보호층을 증착하여 콘택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.
- [0015] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 버퍼층 및 산화물 반도체를 증착하고 패터닝 하는 제1 단계; 상기 산화물 반도체 상에 소스 전극 및 드레인 전극을 증착하여 패터닝 하는 제2 단계; 상기 소스 전극 및 상기 드레인 전극 상에 게이트 절연막 및 게이트 층을 증착하고 상기 게이트 층을 패터닝하여 게이트 패턴을 형성하는 제3 단계; 상기 게이트 패턴 상에 보호층을 형성하고 패터닝하는 제4 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.
- [0016] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막 및 산화물 반도체를 증착하는 제2 단계; 상기 산화물 반도체를 패터닝하는 제3 단계; 상기 패터닝된 산화물 반도체 상에 소스 전극 및 드레인 전극을 형성하는 제4 단계; 상기 소스 전극 및 상기 드레인 전극 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.
- [0017] 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법에 따르면, 기판상에 게이트 층을 증착 및 패터닝 하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막, 소스 전극 및 드레인 전극을 증착하는 제2 단계; 상기 소스 전극 및 상기 드레인 전극을 패터닝하는 제3 단계; 상기 패터닝된 소스 전극 및 드레인 전극상에 산화물 반도체를 증착하고 패터닝하는 제4 단계; 상기 패터닝된 산화물 반도체 상에 보호층을 증착하고, 상기 보호층에 콘택 홀을 형성하는 제5 단계;를 포함하되, 상기 산화물 반도체의 두께가 4nm 이하로 형성된다.
- [0018] 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터를 포함하는 능동 구동 디스플레이 장치는 상기과 같은 제조방법에 의해서 제조된다.
- [0019] 또한, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터를 포함하는 능동 구동 센서 장치는 상기과 같은 제조방법에 의해서 제조된다.

발명의 효과

- [0020] 본 발명에 따르면 산화물 반도체 박막 트랜지스터의 산화물 반도체의 두께가 얇게 증착되도록 하여 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상시킬 수 있다.
- [0021] 또한, 본 발명에 따르면 산화물 반도체의 두께를 조절하여 공정의 변화 또는 추가 없이 광 전계 신뢰성을 향상시켜, 능동 구동 디스플레이 또는 능동 구동 센서 등에 적용이 가능하다.

도면의 간단한 설명

- [0022] 도 1은 종래 기술에 따른 화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내는 그래프이다.

도 2a 내지 2e는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 3a 및 도 3b는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 4a 내지 도 4e는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 5 내지 도 8은 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.

도 9a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전류 전압 특성을 나타내는 그래프이다.

도 9b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 출력 특성을 나타내는 그래프이다.

도 10a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V인 경우의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내고 그래프이다.

도 10b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광 전계 스트레스 전, 후의 출력 특성을 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하에서는 첨부한 도면을 참조하여 바람직한 일 실시형태에 따른 조명 부재에 대해서 상세히 설명한다. 다만, 실시형태를 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그에 대한 상세한 설명은 생략한다. 또한, 도면에서의 각 구성요소들의 크기는 설명을 위하여 과장될 수 있으며, 실제로 적용되는 크기를 의미하는 것은 아니다.
- [0024] 도 2a 내지 2e는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.
- [0025] 도 2a 내지 2e를 참조하여 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기로 한다.
- [0026] 도 2a에 도시된 바와 같이 기판(11) 상에 게이트 전극(12)을 증착한 후, 도 2b에 도시된 바와 같이 게이트 전극(12) 상에 게이트 절연막(13)을 형성한다.
- [0027] 이때, 상기 기판(11)은 유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성될 수 있으며, 기판(11) 상에 실리콘 산화 보호막을 증착하도록 구성될 수 있다.
- [0028] 또한, 상기 게이트 절연막(13)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.
- [0029] 이후, 게이트 절연막(13) 상에 산화물 반도체(14)를 형성하며, 상기 산화물 반도체(14) 상에는 에치 스톱퍼(15)를 증착하여 형성하고, 도 2c에서와 같이 산화물 반도체(14)를 패터닝한다.
- [0030] 이때, 상기 산화물 반도체(14)는 4nm 이하의 두께로 형성하는 것이 바람직하다.
- [0031] 이와 같이 본 발명의 일실시예에 따르면 상기 산화물 반도체(14)는 4nm 이하의 두께로 형성하여, 산화물 반도체의 두께가 얇게 증착되도록 함으로써 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상시킬 수 있다.
- [0032] 또한, 본 발명의 일실시예에 따른 산화물 반도체(14)는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO4), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.
- [0033] 이후, 도 2d에 도시된 바와 같이 상기 패터닝된 산화물 반도체 상에 소스 전극(18) 및 드레인 전극(19)을 형성하고, 상기 소스 전극(18) 및 드레인 전극(19) 상에 보호층(20)을 증착하며, 상기 보호층(20)에 콘택 홀(21)을 형성한다.
- [0034] 이때, 상기 소스 전극(18) 및 상기 드레인 전극(19)은 몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성될 수 있으며, 상기 보호층(20)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.

- [0035] 도 3a 및 도 3b는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.
- [0036] 도 3a에 도시된 바와 같이 기판(11) 상에 게이트 전극(12)을 증착한 후, 같이 게이트 전극(12) 상에 게이트 절연막(13)을 형성한다. 이때, 상기 기판(11)은 유리 기판, 플라스틱 기판, 실리콘 기판 또는 상기 유리 기판 상에 폴리머 물질이 형성되어 구성될 수 있고, 기판(11) 상에 실리콘 산화 보호막을 증착하도록 구성될 수 있으며, 상기 게이트 절연막(13)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.
- [0037] 이후, 게이트 절연막(13) 상에 산화물 반도체(14)를 형성하며, 상기 산화물 반도체(14) 상에는 에치 스톱퍼(15)를 증착하여 형성하고, 산화물 반도체(14)를 패터닝하는데, 이때, 상기 산화물 반도체(14)는 산화물 반도체를 구성하는 분자의 2 내지 3층으로의 두께로 상기 산화물 반도체를 증착하며, 산화물 반도체를 4nm 이하의 두께로 형성하는 것이 바람직하다.
- [0038] 도 2a 내지 2e에 도시된 실시예에서와 마찬가지로, 도 3a 및 도 3b에 도시된 실시예에서도 산화물 반도체의 두께가 얇게 증착되도록 하여 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상시킬 수 있다.
- [0039] 또한, 본 발명의 일실시예에 따른 산화물 반도체(14)는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.
- [0040] 이후, 도 3a의 실시예에서는 상기 산화물 반도체(14) 및 상기 에치 스톱퍼(15) 상에 제2 산화물 반도체(16)를 증착한다. 산화물 반도체 박막 트랜지스터의 전류 전압 특성의 향상을 위하여, 오믹 영역의 매우 얇은 산화물 반도체(14) 상에 20nm의 두께로 제2 산화물 반도체(16)를 증착한다.
- [0041] 이후, 도 3b에 도시된 바와 같이 상기 제2 산화물 반도체(16) 상에 소스 전극(18) 및 드레인 전극(19)을 형성하고, 상기 소스 전극(18) 및 드레인 전극(19) 상에 보호층(20)을 증착하며, 상기 보호층(20)에 콘택 홀(21)을 형성한다.
- [0042] 이때, 상기 소스 전극 및 상기 드레인 전극은 몰리브덴(Mo) 또는 인듐 틴 옥사이드(ITO)를 포함하여 구성될 수 있으며, 상기 보호층(20)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.
- [0043] 도 4a 내지 도 4e는 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.
- [0044] 먼저 도 4a에 도시된 바와 같이 기판(11) 상에 버퍼층(22), 산화물 반도체(14), 게이트 절연막(13) 및 게이트 층(12)을 순차적으로 증착한다.
- [0045] 이때, 상기 산화물 반도체(14)는 산화물 반도체를 구성하는 분자의 2 내지 3층으로의 두께로 증착되어 3nm 또는 4nm 이하의 두께로 형성될 수 있으며, 그에 따라 산화물 반도체의 두께가 얇게 증착되어 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상시킬 수 있다.
- [0046] 이후, 도 4b에 도시된 바와 같이 상기 게이트 층을 패터닝하여 게이트 전극(12)을 형성하고, 도 4c에 도시된 바와 같이 상기 산화물 반도체(14)를 패터닝한다.
- [0047] 이후에는 도 4d에 도시된 바와 같이 보호층(20)을 증착하고, 상기 보호층(20)에 콘택 홀(21)을 형성하며, 도 4e에 도시된 바와 같이 상기 보호층(20)의 콘택 홀(21) 상에 소스 전극(16) 및 드레인 전극(17)을 형성한다.
- [0048] 도 5 내지 도 8은 본 발명의 또 다른 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.
- [0049] 보다 상세하게 설명하면, 도 5는 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 탑 게이트(top gate), 바텀 콘택트(bottom contact)로 구성된 경우의 실시예이다.
- [0050] 보다 상세하게 살펴보면, 기판(11)상에 소스 전극(18) 및 드레인 전극(19)을 증착하고 패터닝 하고, 상기 소스 전극(18) 및 상기 드레인 전극(19) 상에 산화물 반도체(14), 게이트 절연막(13) 및 게이트 층을 증착한다. 이후, 상기 게이트 층(12)을 패터닝하고 상기 게이트 절연막(13)을 패터닝한다. 이후, 상기 패터닝한 게이트 절연막(13) 및 산화물 반도체(14) 상에 보호층(20)을 증착하여 콘택 홀(21)을 형성한다.
- [0051] 도 6은 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 탑 게이트(top gate), 탑 콘택트

(top contact)로 구성된 경우의 실시예이다.

- [0052] 보다 상세하게 살펴보면, 기판(11)상에 버퍼층 및 산화물 반도체(14)를 증착하고 패터닝 하고, 상기 산화물 반도체(14) 상에 소스 전극(18) 및 드레인 전극(19)을 증착하여 패터닝한다. 상기 소스 전극(18) 및 상기 드레인 전극(19) 상에 게이트 절연막(13) 및 게이트 층을 증착하고 상기 게이트 층을 패터닝하여 게이트 패턴(12)을 형성한다. 이후, 상기 게이트 패턴(12) 상에 보호층(20)을 형성하고 패터닝한다.
- [0053] 도 7은 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 바텀 게이트(bottom gate), 탑 콘택트(top contact)로 구성된 경우의 실시예이다.
- [0054] 보다 상세하게 살펴보면, 기판(11)상에 게이트 층을 증착 및 패터닝 하여 게이트 전극(12)을 형성하고, 상기 게이트 전극(12) 상에 게이트 절연막(13) 및 산화물 반도체(14)를 증착한다. 이후, 상기 산화물 반도체(14)를 패터닝하고 상기 패터닝된 산화물 반도체(14) 상에 소스 전극(18) 및 드레인 전극(19)을 형성한다. 상기 소스 전극(18) 및 상기 드레인 전극(19) 상에 보호층(20)을 증착하고, 상기 보호층(20)에 콘택 홀(21)을 한다.
- [0055] 도 8은 3nm 두께 이하의 활성을 가지는 산화물 반도체 박막 트랜지스터로서 바텀 게이트(bottom gate), 바텀 콘택트(bottom contact)로 구성된 경우의 실시예이다.
- [0056] 보다 상세하게 살펴보면, 기판(11)상에 게이트 층을 증착 및 패터닝 하여 게이트 전극(12)을 형성하고, 상기 게이트 전극(12) 상에 게이트 절연막(13), 소스 전극(18) 및 드레인 전극(19)을 증착하며 상기 소스 전극(18) 및 상기 드레인 전극을 패터닝한다. 이후, 상기 패터닝된 소스 전극(18) 및 드레인 전극(19)상에 산화물 반도체(14)를 증착하고 패터닝하고, 상기 패터닝된 산화물 반도체(14) 상에 보호층(20)을 증착하고, 상기 보호층(20)에 콘택 홀(21)을 형성한다.
- [0057] 상기와 같은 도 5 내지 도 8의 일실시예에 따른 산화물 반도체 박막 트랜지스터는 일반적인 박막 트랜지스터의 구조를 가지고 있으나, 산화물 반도체(14)가 산화물 반도체를 구성하는 분자의 2 내지 3층으로의 두께로 증착되어, 산화물 반도체가 3nm 또는 4nm 이하의 두께로 형성된다.
- [0058] 따라서, 앞서 설명한 실시예들과 마찬가지로 산화물 반도체의 두께가 얇게 증착되어 광 전계 불안정성을 보완 및 개선하여 신뢰성을 향상 시킬 수 있다.
- [0059] 도 9a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전류 전압 특성을 나타내는 그래프이고, 도 9b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 출력 특성을 나타내는 그래프이다.
- [0060] 보다 상세하게 설명하면, 도 9a는 3 nm 두께의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 전류 전압 특성을 나타내며, 도 9b는 3 nm 두께의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 출력 특성을 나타낸다.
- [0061] 도 9a는 드레인 전압 0.1 V 와 1 V 일때의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 전류 전압 특성을 나타내고 있다. 도 9a 와 9b의 그래프를 통해, 3 nm 의 매우 얇은 산화물 반도체 활성층을 사용하는 경우에도 박막 트랜지스터의 기능을 충분히 구현하고 있음을 알 수 있다.
- [0062] 즉, 3 nm 의 매우 얇은 산화물 반도체 활성층을 사용하는 박막 트랜지스터가 수 μA 이상의 전류를 통하게 하므로 스위칭 소자로서의 특성을 충분히 구현하는 것을 알 수 있다.
- [0063] 도 10a는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V인 경우의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내고 그래프이고, 도 10b는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 광 전계 스트레스 전, 후의 출력 특성을 비교한 그래프이다.
- [0064] 보다 상세하게 설명하면 도 10a는 3 nm 두께의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 광 전계 하에서 드레인 전압 0.1 V의 전이 곡선 특성 및 전계 이동도의 변화량을 나타내고 있으며, 도 10b는 3 nm 두께의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 광 전계 스트레스 전, 후의 출력 특성 비교를 나타낸다.
- [0065] 도 10a 에서 10,000 lux의 빛세기를 가지는 백색광 내에서 -20 V의 전계를 인가하였을 경우의 시간에 따른 전이 곡선의 변화를 나타내고 있다. 일반적인 산화물 반도체 박막 트랜지스터는 상기의 광 전계 조건에서 시간에 따른 문턱전압의 변화는 -5 V 또는 -10 V 이상 이동한다. 반면, 본 발명의 일실시예에 따른 3 nm 의 활성층 두께를 가지는 산화물 반도체 박막 트랜지스터는 문턱 전압의 변화율이 광 전계 스트레스 내에서도 전혀 변하지 않는 특성을 보여준다.
- [0066] 또한, 도 10b 에서는 3 nm의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 광 전계 스트레스 전, 후의 출

력 특성으로, 광 전계 스트레스 이후 문턱 전압의 이동이 없는 것뿐만 아니라 전류의 변화도 없으며, 이는 광 전계 특성에서 매우 안정적인 특성을 가진다는 것을 의미한다.

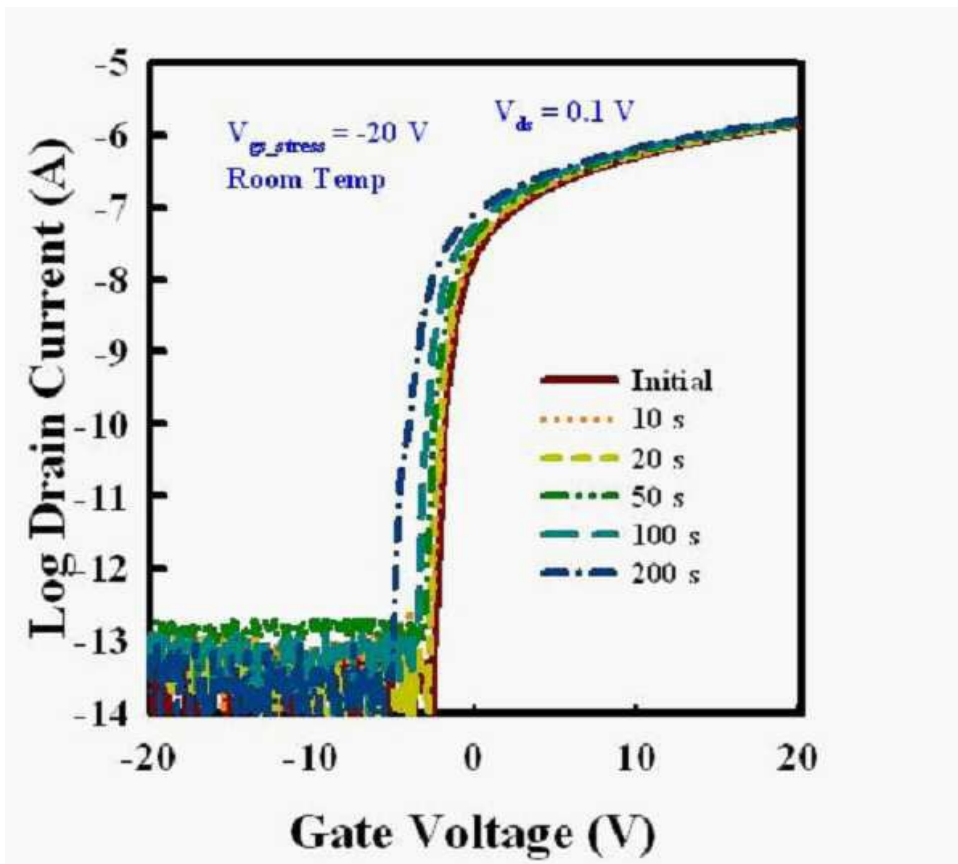
[0067] 전술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 전술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

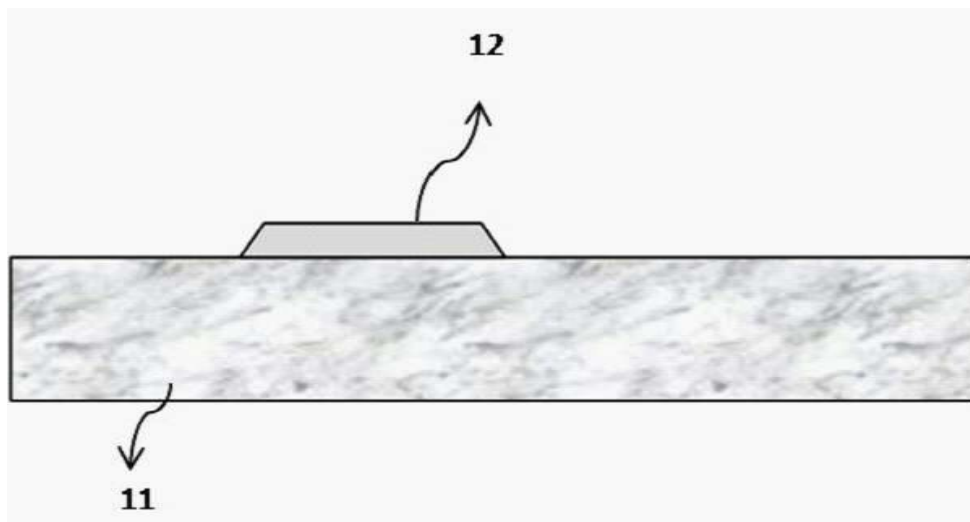
- [0068]
- 11: 기판
 - 12: 게이트 전극
 - 13: 게이트 절연막
 - 14: 산화물 반도체
 - 15: 에치 스톱퍼
 - 16: 제2 산화물 반도체
 - 18: 소스 전극
 - 19: 드레인 전극
 - 20: 보호층
 - 21: 컨택 홀

도면

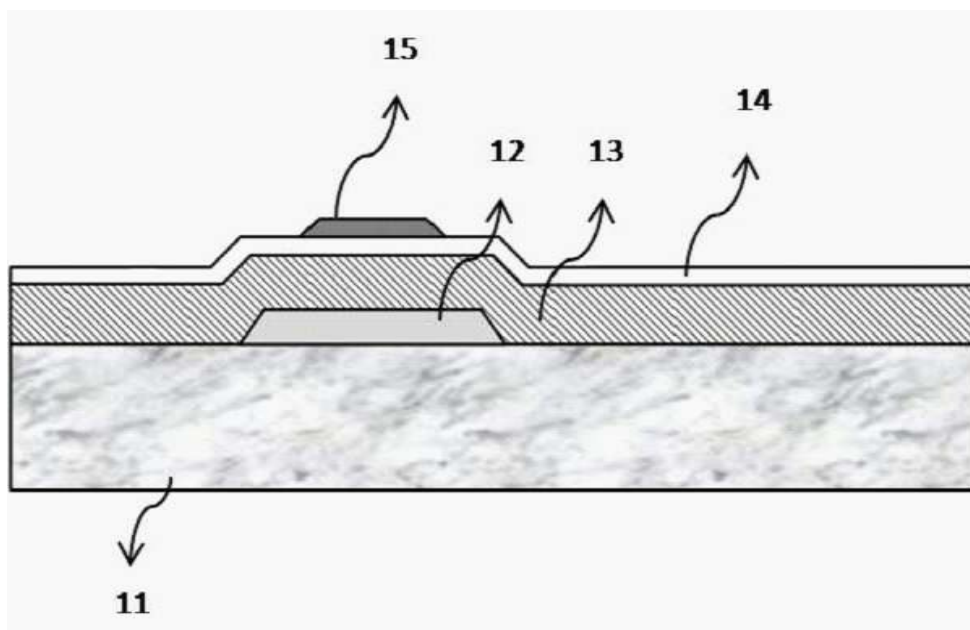
도면1



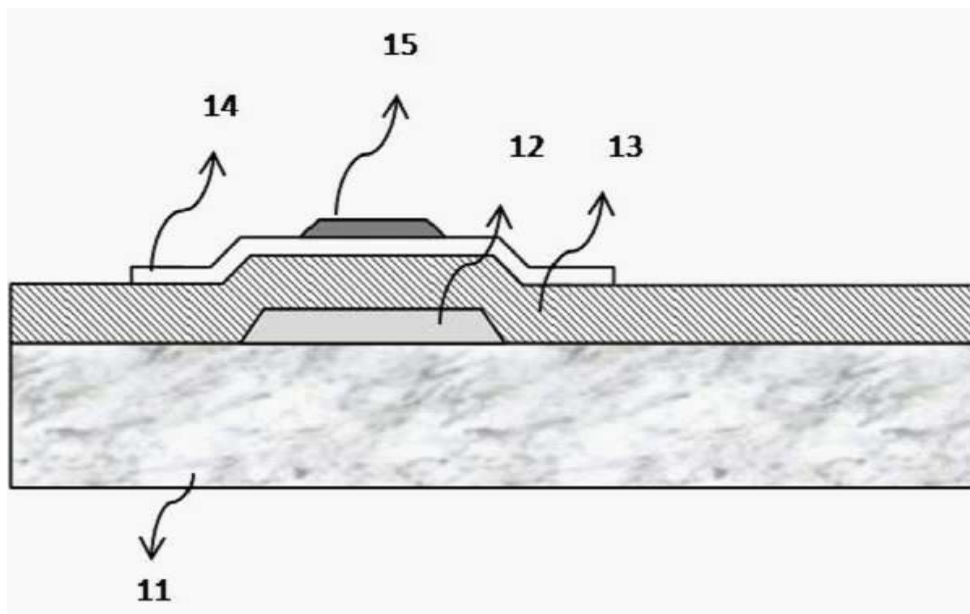
도면2a



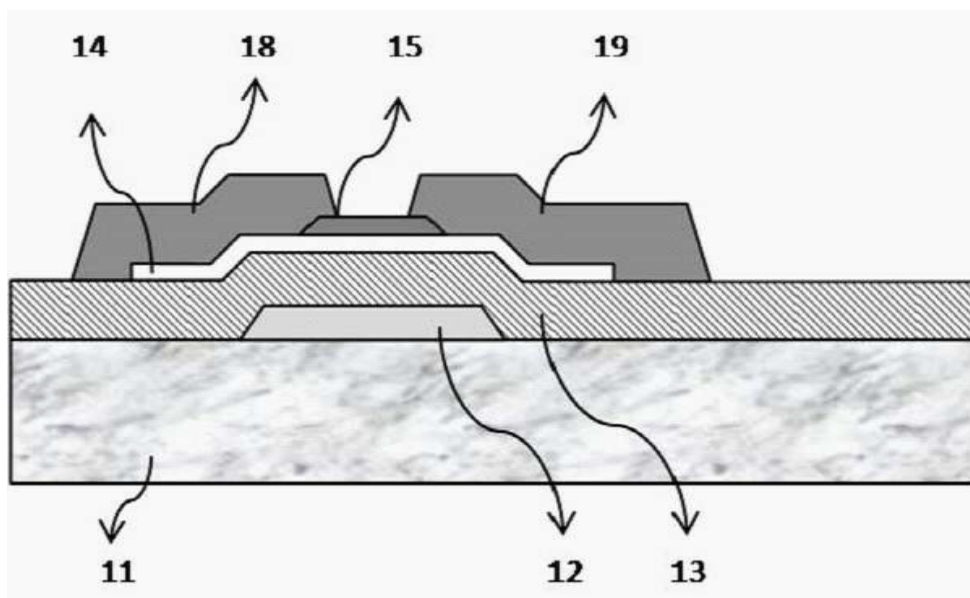
도면2b



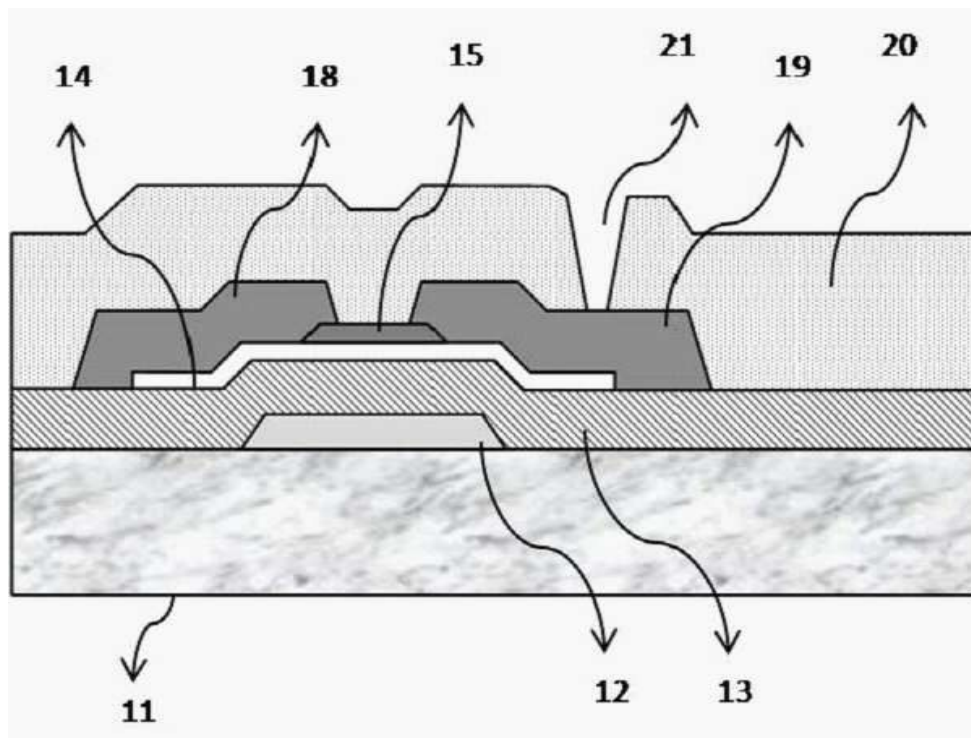
도면2c



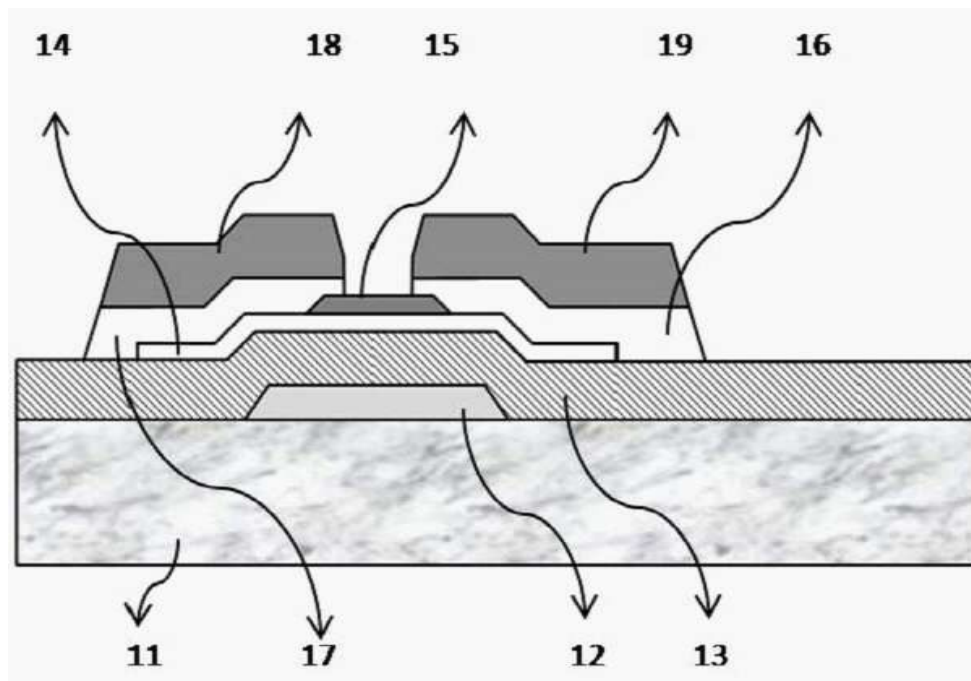
도면2d



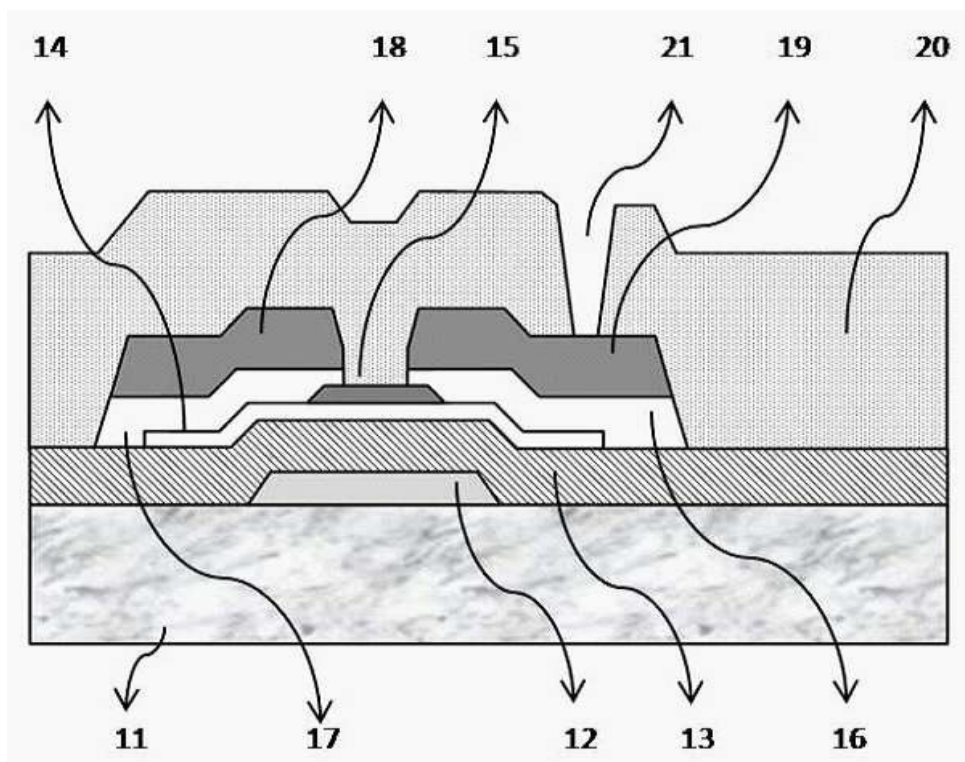
도면2e



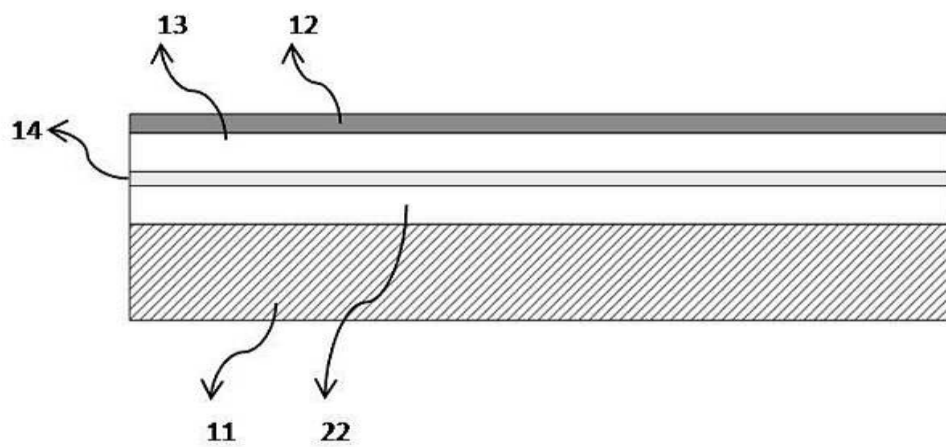
도면3a



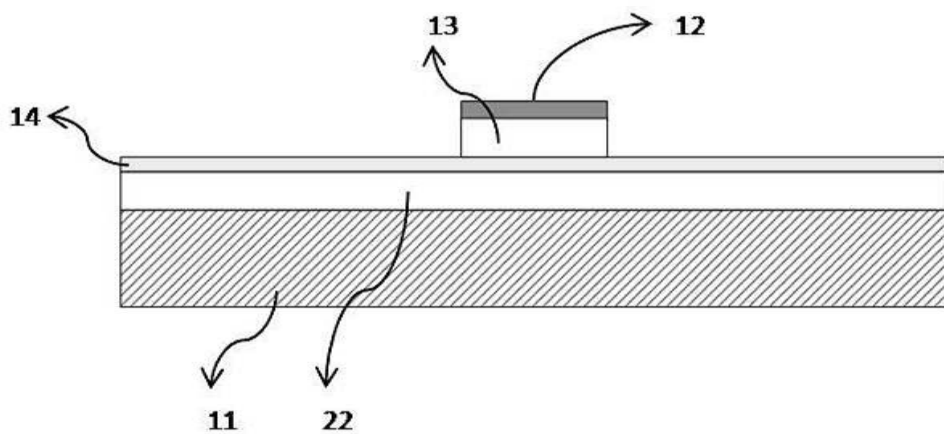
도면3b



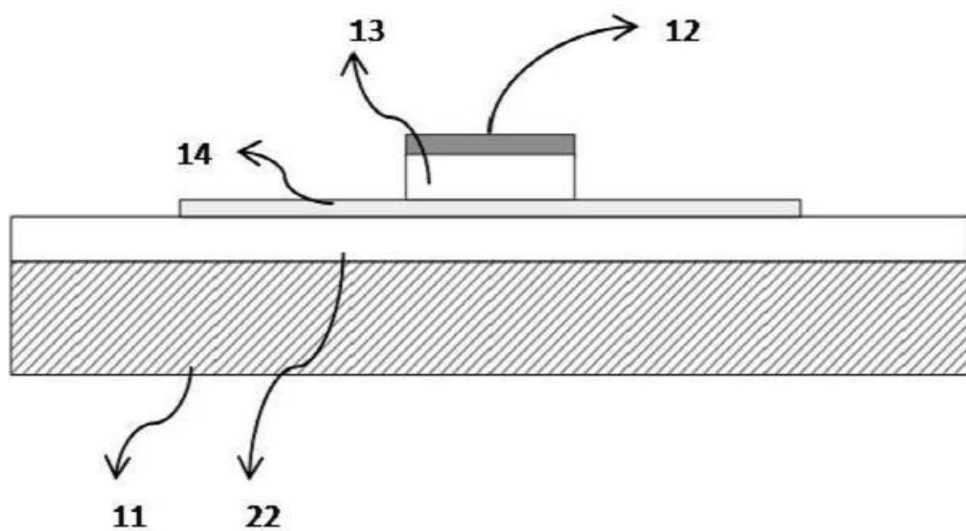
도면4a



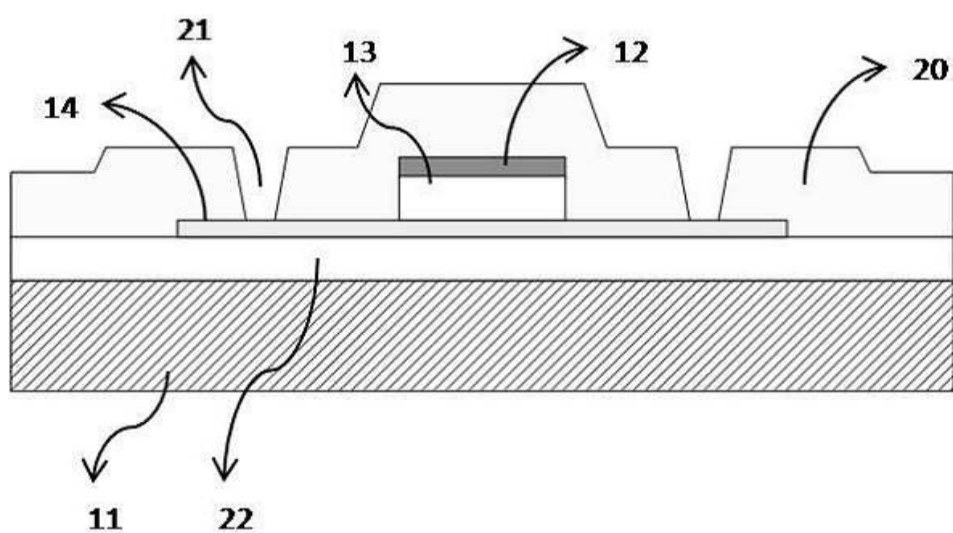
도면4b



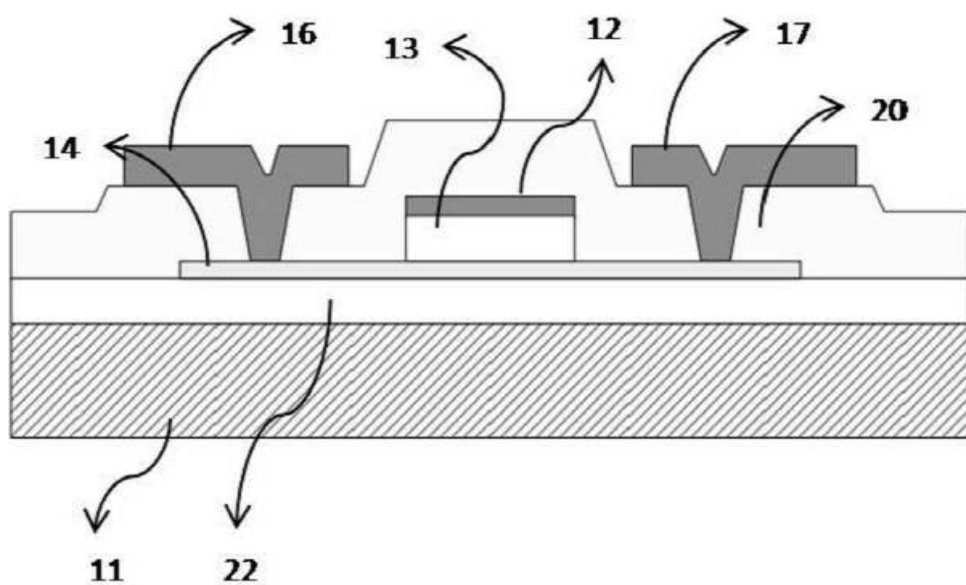
도면4c



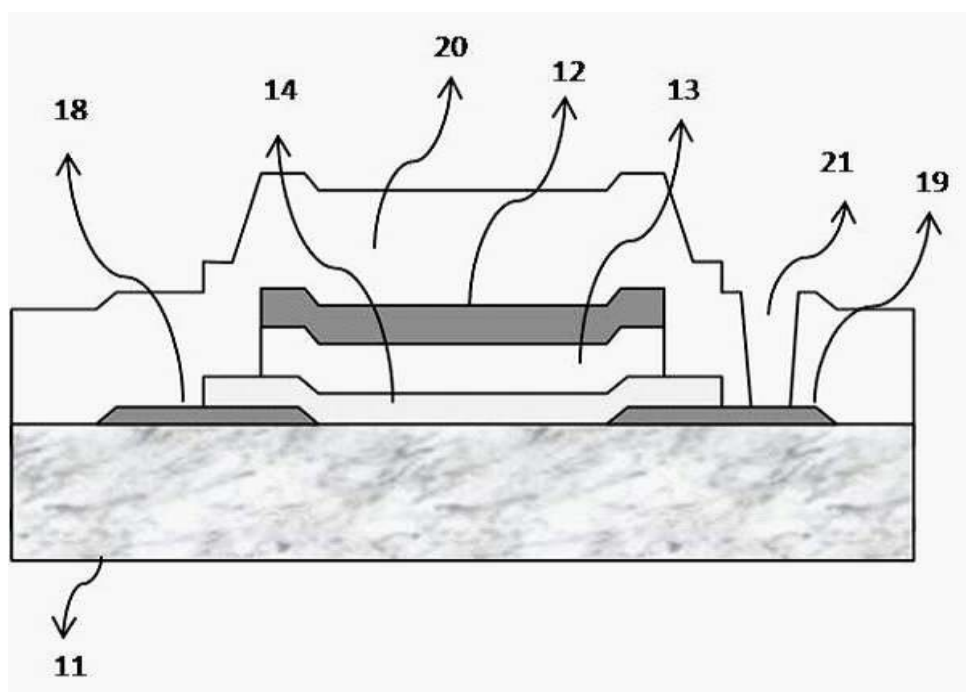
도면4d



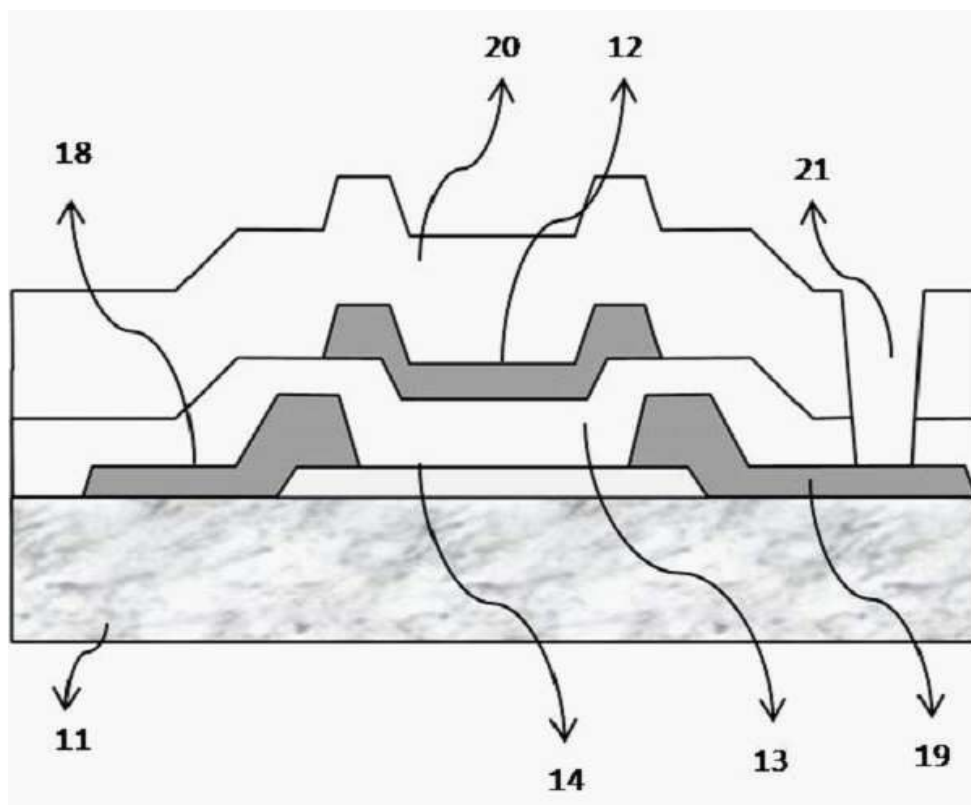
도면4e



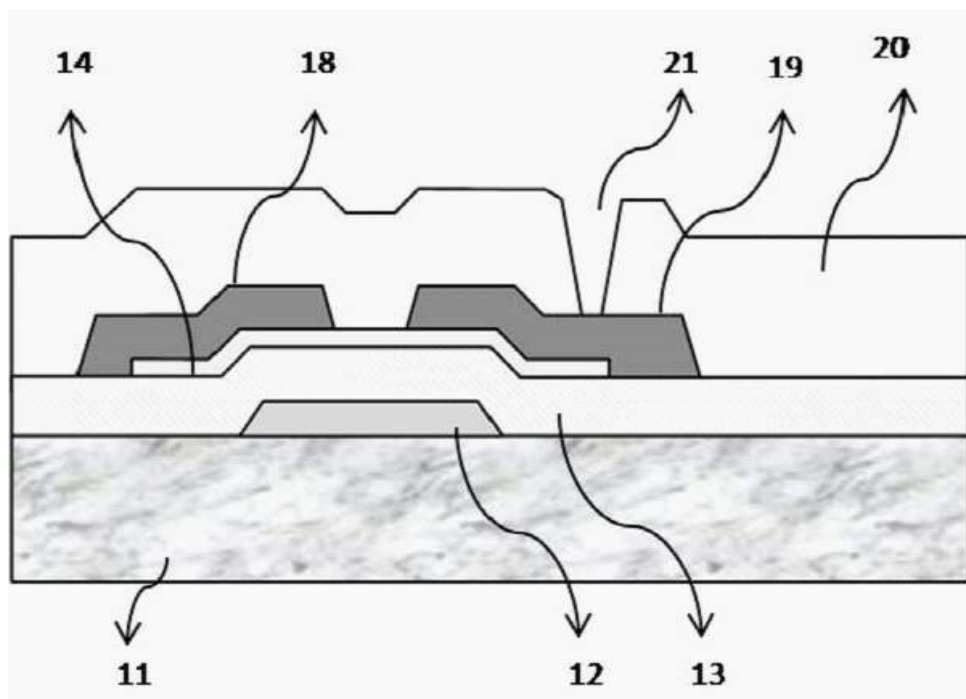
도면5



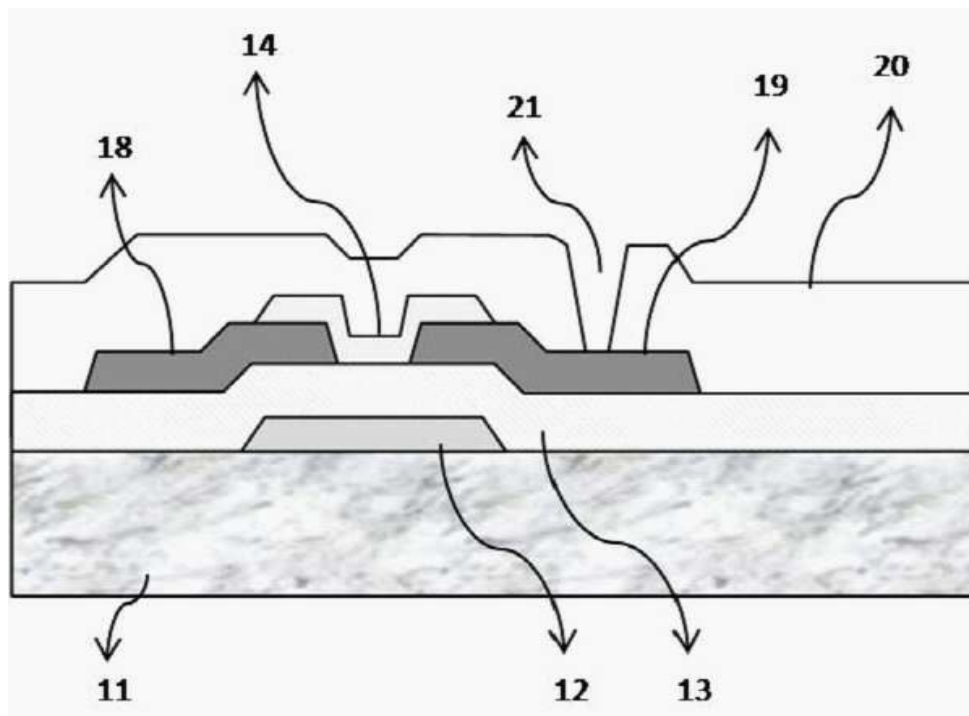
도면6



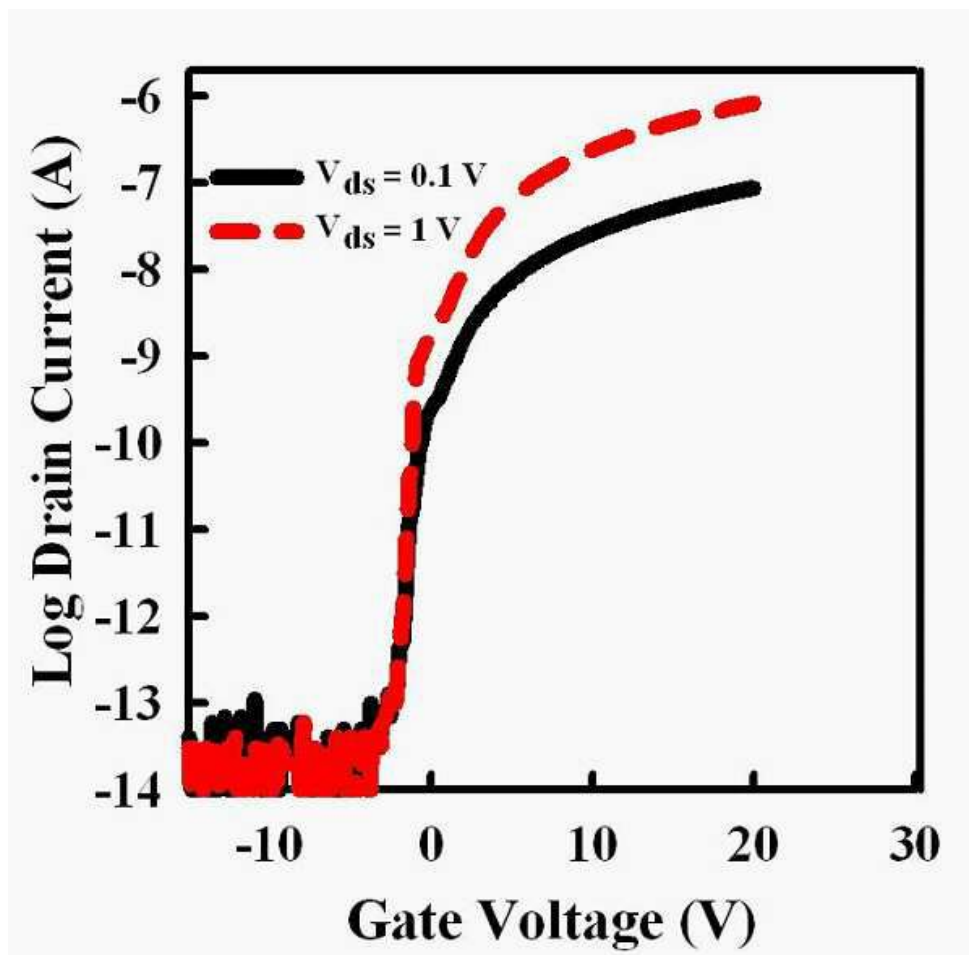
도면7



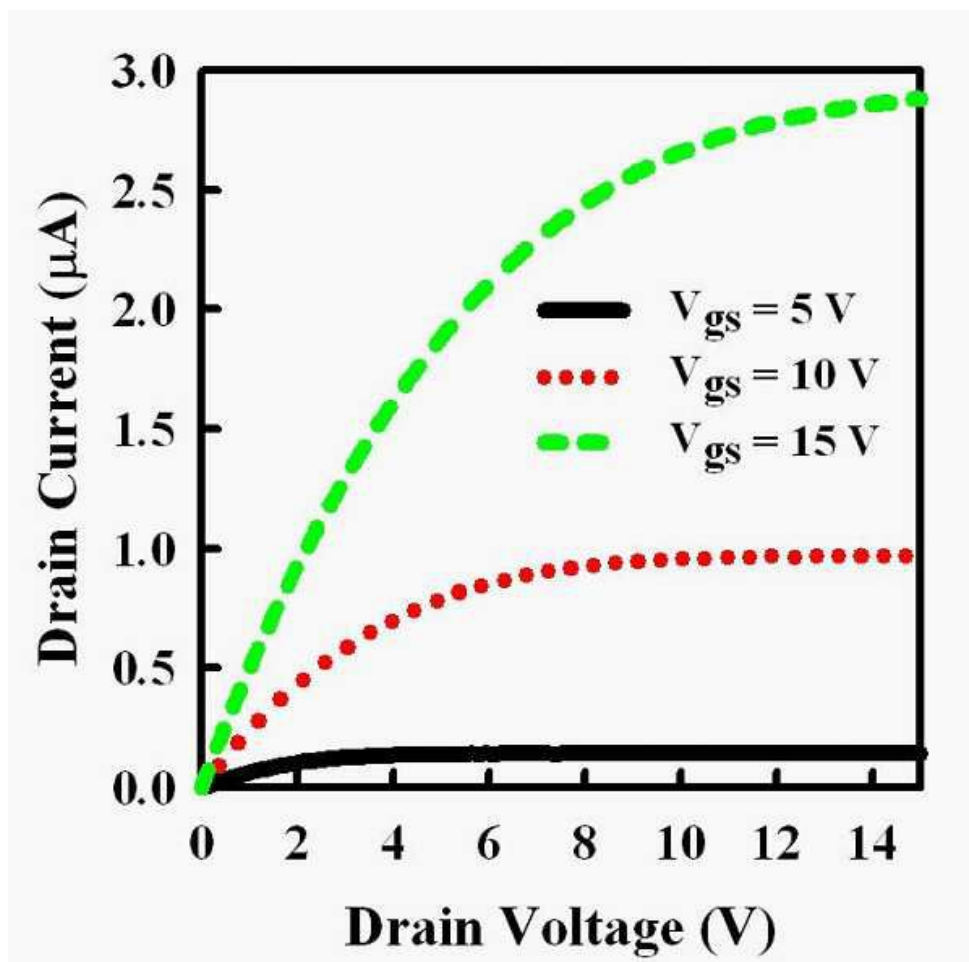
도면8



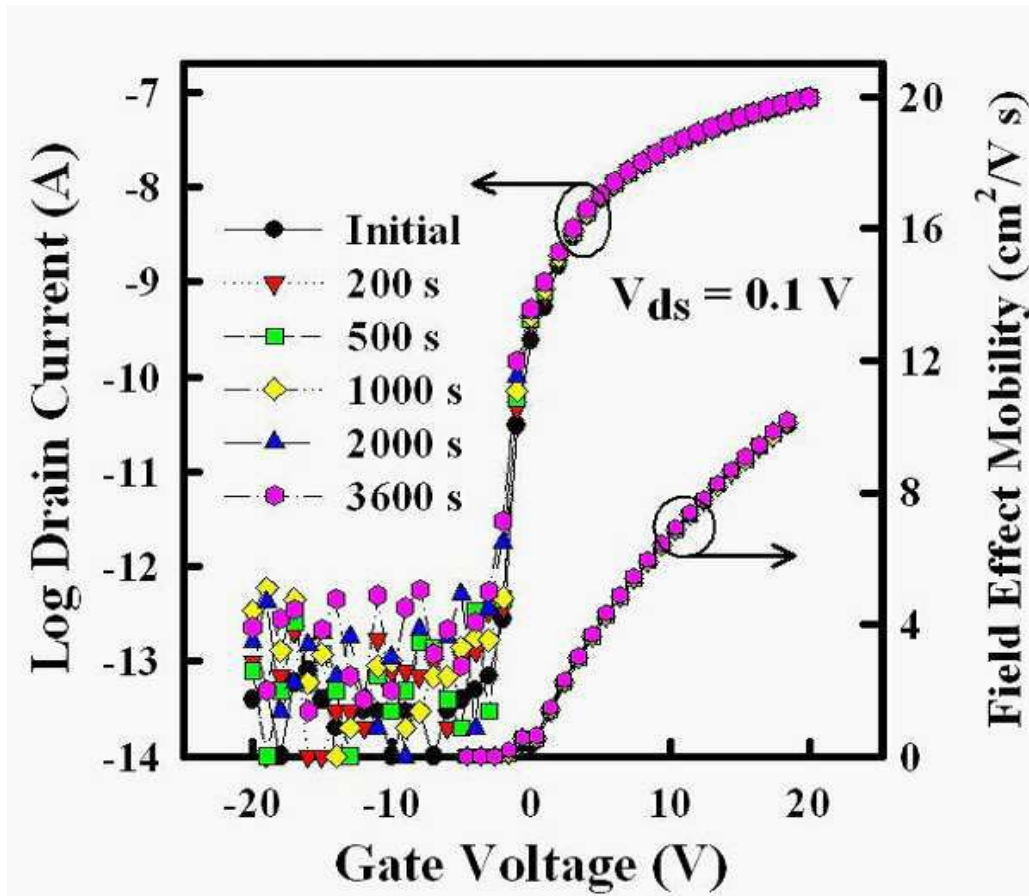
도면9a



도면9b



도면10a



도면10b

