

[19]中华人民共和国专利局

[51]Int.Cl⁶

H02M 7/538

H05B 41/29



[12] 发明专利申请公开说明书

[21] 申请号 96190304.X

[43]公开日 1997年5月14日

[11] 公开号 CN 1149939A

[22]申请日 96.3.7

[30]优先权

[32]95.4.10 [33]US[31]08 / 419,490

[86]国际申请 PCT / IB96 / 00177 96.3.7

[87]国际公布 WO96 / 32772 英 96.10.17

[85]进入国家阶段日期 96.12.6

[71]申请人 飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72]发明人 S · L · 翁

[74]专利代理机构 中国专利代理(香港)有限公司

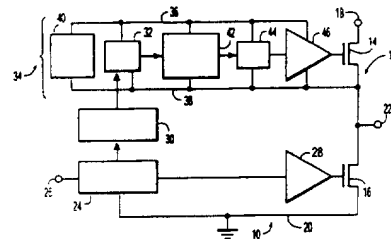
代理人 王 岳 董江雄

权利要求书 2 页 说明书 5 页 附图页数 2 页

[54]发明名称 半桥驱动器电路

[57]摘要

一种用于驱动具有在高压输出端耦合在一起的高端和低端的半桥输出级的半桥驱动器电路，它包括在集成电路中的低压控制电路和浮井，还包括用于控制所述高端功率晶体管启动的定时电路，半桥驱动器电路包括高压接口电路，用于将所述低压控制电路的所述控制输出耦合到所述定时电路。以此方式，可以获得集成的半桥驱动器电路，它由于在控制和定时电路中的功耗较低而可以工作在较高的频率。



(BJ)第 1456 号

权 利 要 求 书

1. 一种用于驱动具有在高压输出端耦合在一起的高端和低端的半桥输出级的半桥驱动器电路，它包括：

5 具有耦合到所述低端功率晶体管的低压输入端和控制输出端的低压控制电路，以及

浮井，所述浮井的浮动接地节点耦合到所述高压输出端；

其特征在于浮井还包括：

定时电路，用于控制所述高端功率晶体管的启动，以及

10 半桥驱动器电路包括高压接口电路，用于将所述低压控制电路的所述控制输出耦合到所述定时电路。

2. 如权利要求 1 的半桥驱动器电路，其特征在于所述定时电路包括 RC 网络，用于参考所述浮动接地节点从所述控制输出提供的信号中产生衰减电压信号。

15 3. 如权利要求 2 的半桥驱动器电路，其特征在于所述浮井还包括参考所述浮动接地节点产生第一和第二参考电压的装置，所述第一参考电压低于所述衰减电压信号的初始值，且所述第二参考电压低于所述第一参考电压，当所述衰减电压信号到达所述第一参考信号的值时，所述高端功率晶体管驱动，当所述衰减电压信号到达所述第二参
20 考电压的值时，所述晶体管停止工作。

4. 如权利要求 3 的半桥驱动器电路，其特征在于所述浮井还包括：第一比较器，用于将所述衰减电压信号与所述第一参考电压比较以控制所述高端功率晶体管的启动；第二比较器，用于将所述衰减电
25 压信号与所述第二参考电压比较以控制所述高端功率晶体管停止工
作。

5. 如权利要求 3 的半桥驱动器电路，其特征在于所述用于产生所述第一和第二参考电压的装置包括第一和第二电容器，所述第一和第二电容器的每个第一端耦合到所述浮动接地节点。

30 6. 如权利要求 5 的半桥驱动器电路，其特征在于在所述低压控制电路中产生第一和第二基本恒定的电压，所述高压接口电路包括第一和第二二极管，用于将所述第一和第二基本恒定的电压分别耦合到所

述第一和第二电容器的第二端，以在所述浮井中产生所述第一和第二参考电压。

5 7. 如权利要求 6 的半桥驱动器电路，其特征在于所述高压接口电路还包括第三二极管，用于将所述控制输出耦合到定时电路中的所述 RC 网络中。

8. 如前述权利要求中的一个或多个权利要求的半桥驱动器电路，其特征在于半桥驱动器的至少一部分是集成电路。

说明书

半桥驱动器电路

5 本发明涉及用于驱动具有在高压输出端耦合在一起的高端和低端的半桥输出级的半桥驱动器电路，它包括：

具有耦合到所述低端功率晶体管的低压输入端和控制输出端的低压控制电路，以及

浮井，所述浮井的浮动接地节点耦合到所述高压输出端。

10 半桥驱动器电路现在被用于驱动高强度放电灯和感应灯的电子镇流器中功率转换器的功率晶体管。尽管当今的电子镇流器电路工作在较低的频率，通常为几百千赫兹，但高强度的放电灯将需要工作在700千赫兹以上，感应灯的电子镇流器则需工作在几兆赫兹。对于这种应用，在电子镇流器的功率转换器中使用现有的半桥驱动器电路是不实际的，因为现在的集成电路在高频时损耗大且过热，因而限制了
15 高压高频工作。

具有代表性的已有技术的集成电路是由 International Rectifier 制造的 IR2110。该高压集成电路使用启动电容器对高端门驱动电路供电，它在 IC 中构成浮井。低压控制电路的定时信息由使高压关断的电平移动级通到浮井中的电路中，并将电流脉冲送到浮井中的锁存器电
20 路。当高端功率晶体管通断时，锁存器电路的状态就确定下来。但是，在向高端开关发定时信息时，使用关断高压的电平移动级则是高频时的主要功耗源，并且使这种电路的工作频率实际限制到约 100 千赫兹。

25 本发明的目的在于提供一种半桥驱动器电路，其中因电平移动电路的耗散所致的功耗最小或没有。此外，本发明的目的还在于提供一种半桥驱动器电路，其工作频率高于现有集成的驱动器电路的最大工作频率。

30 如本发明开头一段提到的半桥驱动器电路的特征在于浮井包括定时电路，用于控制所述高端功率晶体管的启动，本发明的特征还在于半桥驱动器电路包括高压接口电路，用于将所述低压控制电路的所述控制输出耦合到所述定时电路。因此可以知道，根据本发明的半桥

驱动器电路的耗散引起的功率耗散较小，且根据本发明的半桥驱动器电路可以工作在较高的频率。

在根据本发明的半桥驱动器电路中，定时电路包括一个 RC 网络，用于参照浮动接地节点从所述控制输出端提供的信号中产生衰减电压信号。在优选实施例中的定时电路是以简单和可靠的方式实现的。最好，所述的浮井还包括参考所述浮动接地节点产生第一和第二参考电压的装置，所述第一参考电压低于所述衰减电压的初始值，所述第二参考电压低于所述第一参考电压，当所述衰减电压信号到达所述第一参考电压值时，所述高端功率晶体管被启动，当所述衰减电压信号到达所述第二参考电压时，则被停止工作。在所指时刻所述高端功率晶体管的工作与否可以此方式方便和可靠地实现。还可以在下述情况下获得良好结果，即所述浮井还包括用于将所述衰减电压与所述第一参考电压比较以控制所述高端功率晶体管启动的第一比较器，和用于将所述衰减电压信号与所述第二参考电压比较以控制所述高端功率晶体管停止工作的第二比较器。优选的情况下，用于产生所述第一和第二参考电压的所述装置还包括第一和第二电容器，所述第一和第二电容器的每个第一端耦合到所述浮动接地节点。在此情况下，最好在所述低压控制电路中产生基本恒定的第一和第二电压，所述高压接口电路最好包括用于分别将所述第一和第二基本恒定的电压耦合到所述第一和第二电容器的第二端以在所述浮井中产生所述第一和第二参考电压的第一和第二二极管。所述高压接口电路最好还包括用于将所述控制输出耦合到定时电路的所述 RC 网络的第三二极管。

图 1 为根据本发明的集成半桥驱动器电路的方框图；

图 2 为图 1 的半桥驱动器电路的简化示意图；

图 3a, 3b, 3c 为图 2 的电路工作期间产生的选定的电压波形。

图 1 以方框图形式示出集成的半桥驱动器电路 10。该电路用于驱动具有分别在高压端 18 和高压输出端 22 的公共或接地节点 20 之间耦合在一起的高端和低端功率晶体管 14 和 16 的半桥输出级 12。

驱动器电路 10 还包括具有低压输入端 26 和经驱动器 28 耦合到示为 MOS 功率晶体管的低端功率晶体管 16 栅极的控制输出的低压控制电路 24。低压控制电路 24 的控制输出还经高压接口电路 30 耦合到

集成的驱动器电路 10 的浮井 34 中的定时电路 32。应当理解，在此使用的“浮井”一词代表集成电路的一部分，它相对于同一集成电路的其他部分是电“浮动”的，因此其所加电压和公共或接地连线可以相对于集成电路的其余部分的所加电压和接地连线是浮动或可变的，其方式是本领域普通技术人员熟知的。因此，在浮井 34 中的诸如定时电路 32 的电路则耦合在电源电压线 36 和联到高压输出端 22 的浮动接地节点 38 之间。在浮井中的诸如定时电路 32 的电路由图 1 的方框 40 表示的耦合在电源线 36 和接地线 38 之间的浮动电源供电。

定时电路 32 的输出端耦合到电压比较电路 42 上，比较电路 42 的输出端再联到锁存器电路 44。锁存器电路 44 的输出经驱动器 46 联到高端功率晶体管 14 的栅极，以根据定时电路 32 产生的定时信号控制 MOS 晶体管 14 的工作与否。因此，通过使用一同将来自低压控制电路 24 的信号耦合到浮井 34 的高压接口电路 30 和定时电路 32，使图 1 的半桥驱动器电路不再采用已有技术的驱动器电路的电平移动电路，因而不再有与此相关的缺点，并且随后从浮井 34 的信号中产生适当的定时信息。

图 2 简单示出集成的半桥驱动器电路 10 的细节。在图 2 中，为了简化，与图 1 的零件相似或相同的编号代表相似或相同的零件。应当理解，图 2 所示的具体电路结构代表优选的实施例，且在本发明的范围内可以构成图 1 方框图的各种具体电路。

在图 2 中，低压控制电路 24 包括控制电路 48 和驱动器 50，通过使用驱动器电路的其余部分来提供各种控制和参考电压信号。具体讲，控制输出电压 VI 从低压控制电路 24 经驱动器 28 到达低端 MOS 功率晶体管 16 的栅极，并且经驱动器 50 耦合到高压接口电路 30。在图 2 的实施例中，高压接口电路 30 包括二极管 52，54 和 56，尽管诸如 MOS 晶体管的其他高压耦合零件也可以应用。高压接口电路 30 通过耦合二极管 52 耦合到包括电容器 58 和电阻 60 的 RC 网络上，其中，二极管 54 耦合到电容器 62 且二极管 56 耦合到电容器 64 上。电阻 60，电容器 58，62 和 64 全部参考浮动接地节点 38。

浮动电源 40 包括经二极管 68 耦合到低压控制电路 24 的启动电容器 66，当浮动节点为低电压时，来自在低压控制电路 24 中的控制

电路 48 的直流电压经二极管 68 将启动电容器 66 充电到浮动接地节点 38 的电压之上的电压上。按此方式，在启动电容器 66 的两端产生的电压用于向浮井 34 中的电路提供电源电压，当浮井中的电源线 36 上的电压升到相对于驱动电路的公共或接地节点 20 的高压时，二极管 68 变为反偏。在定时电路 32 中，分别从控制电路 48 产生的基本恒定的电压中在电容器 64 和 62 上产生参考电压 V1 和 V2，并分别由二极管 56 和 54 耦合到电容器 64 和 62 上。类似地，控制输出电压 V1 经驱动器 50 和二极管 52 耦合到 RC 网络 58，60 以产生衰减电压信号 V0，电压 V0，V1 和 V2 全都参考浮动接地节点 38。

参考电压 V1 和 V2，以及衰减电压信号 V0 耦合到电压比较电路 42 的比较器 70 和 72 上，这两个比较器的输出端耦合到锁存器电路 44 上。图 2 所示电路的其余部分与图 1 的电路相同，因此不再描述。

参考图 3a, 3b 和 3c 的时序图更易于了解图 2 的电路的工作，其中示出的沿垂直轴的波形 V1, V0 和 Vh 的电压电平是沿水平轴时间的函数，其中标出时间上的 5 个特定点用作参考。

在时间点 1，控制输出电压 V1 变高并且经驱动器 28 耦合到低端功率 MOS 晶体管 16 的栅极使其导通，并使高压输出端 22 变低。同时，由于直接联到输出节点 22，电压 V1 经驱动器 50 和 52 将定时电路 32 中的充电电容器 58 充电到相对此时为低电压的参考浮动接地节点 38 的高初始电压。此时电容器 64 和 62 由来自控制电路 48 的基本恒定的电压分别经二极管 56 和 54 充电到电压电平 V1 和 V2。这些电压的初始值之间的关系如图 3b 所示为 $V0 > V1 > V2$ 。在时间点 2，电压 V1 变低，因为由于经二极管 52 提供的电压 V0 不再保持基本恒定的初始值，电压 V0 随电容器 58 经电阻 60 的放电而衰减。在点 2 和 3 之间期间，提供到电压比较电路 42 的电压 V0 的值大于 V1 和 V2，锁存器电路 44 和驱动器电路 46 因此在高端 MOS 功率晶体管 14 的栅极提供电压 VH 的较低初始电压，在低端 MOS 功率晶体管 16 导通并持续一短时间时，确保该晶体管 14 关断。

当电压 V0 衰减得足够使其值低于参考电压电平 V1 时，如图 3b 的时间点 3 所示，该电压电平的改变将由比较器 70 测出，它将启动锁存器电路 44 和驱动器 46 使电压 VH 变高，从而启动高端晶体管 14。

应当注意，当高端晶体管 14 在时间点 3 前未被启动时，低端功率晶体管 16 早在时间点 2 就停止工作，从而避免了两个功率晶体管启动中的任何交叠，而该交叠可能会在高压端 18 和接地端 20 之间产生不希望的和可能的损坏电流突波。

5 接着，在时间点 4，电压 V_0 进一步衰减并低过参考电压 V_2 的值，由比较器 72 测出电压电平中的这个改变，它将使锁存器电路 44 和驱动器 46 的电压 V_H 返回其低电平，从而使高端功率晶体管 14 关断。最后，在时间点 5， V_L 将再变高，经驱动器 28 启动低端功率晶体管 16，且此循环将重复。值得注意的是，在时间点 4 电压 V_H 回到其低
10 电平，在时间点 5 电压 V_L 变高启动低端功率晶体管 16 之前，使高端功率晶体管 14 停止工作，再次避免涉及两个功率晶体管同时导通的不希望和潜在的损害。

另外，应当明白，在浮动接地节点 38 为低电平时，所有的时间信息是从低压控制电路 24 提供的低压信号 V_0 ， V_1 和 V_2 中产生的，
15 从而避免了象已有技术一样需要由高压电平移动电路将此信息发送到浮井中。此外，由于所有的相关参数(电压 V_0 ， V_1 和 V_2 以及电容器 58 和电阻 60 的值)是由易于控制的低压和易于计算的元件值确定的，通过适当地选择低压电平和元件值，可以容易和精确地确定“死区时间”(时间点 2 和 3，以及时间点 4 和 5)和高端脉冲宽度(时间电 3 和
20 4)。

上述集成的半桥驱动器电路无需相配的已有技术电路所需的关断高压的电平移动电路就能够有效驱动半桥输出级。这大大降低驱动电路中不需要的功率损耗并且使其工作在比已有技术电路的频率更高的频率。

说明书附图

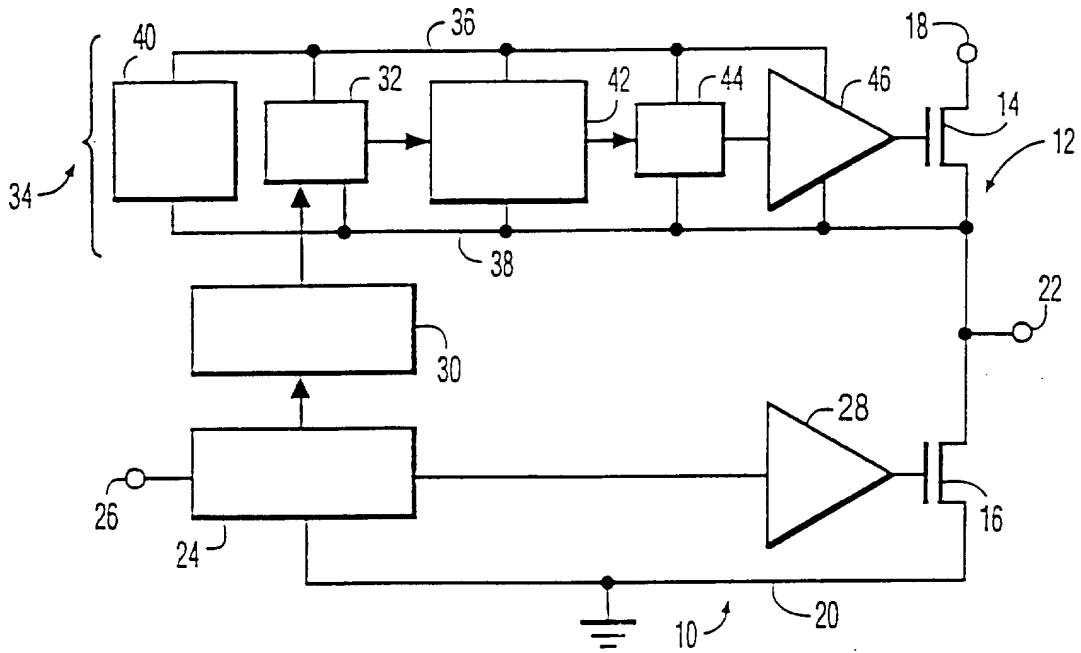


图 1

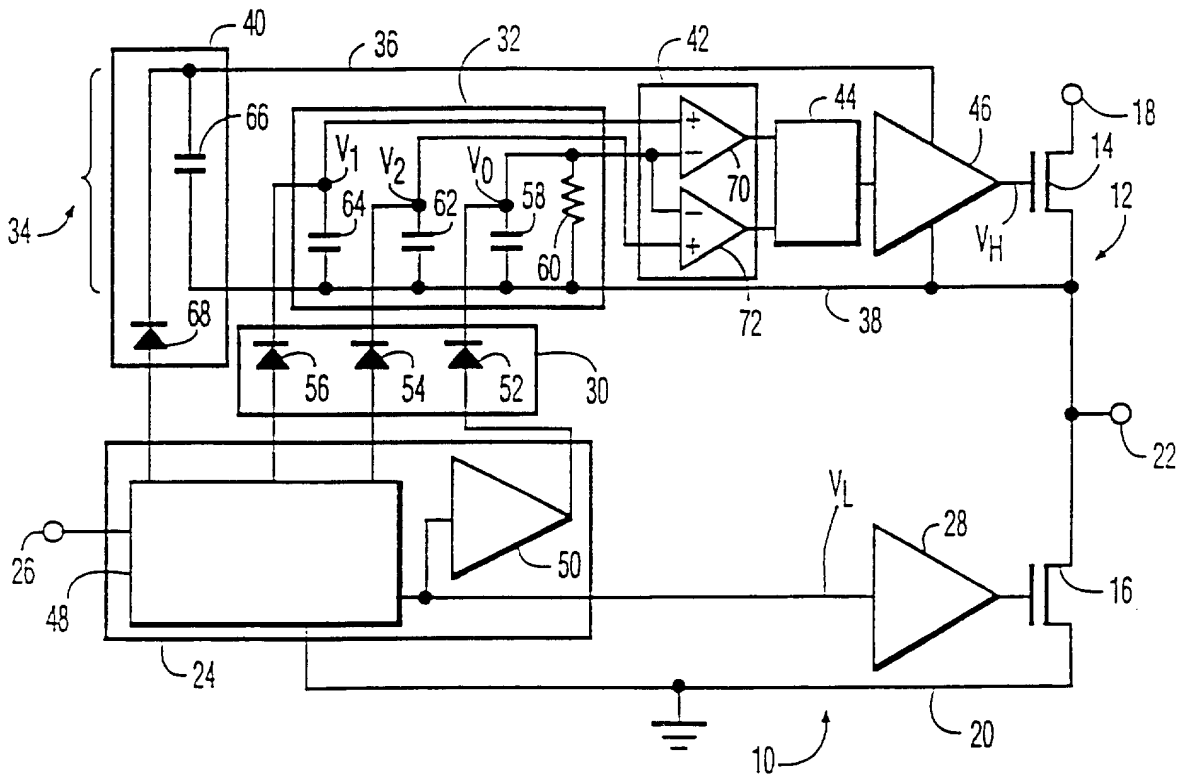


图 2

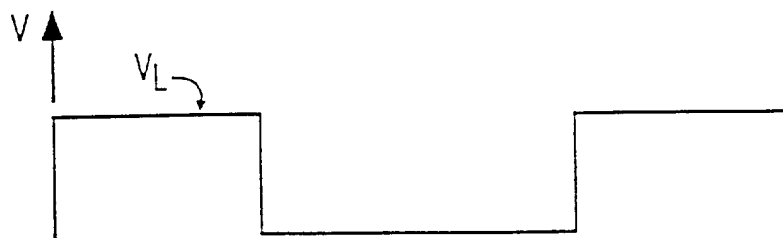


图 3A

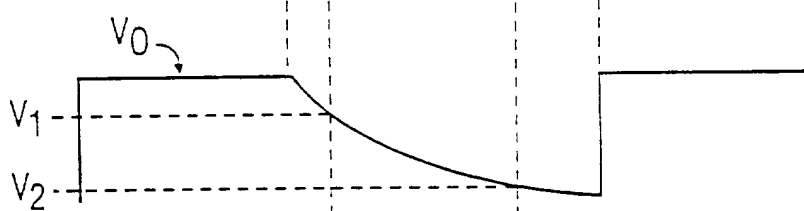


图 3B

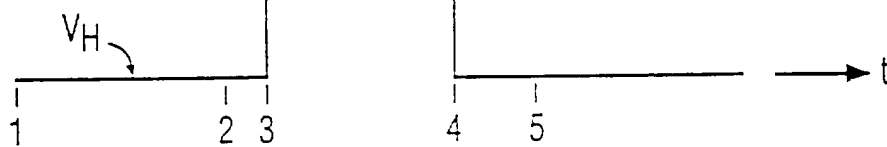


图 3C