

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-520367
(P2009-520367A)

(43) 公表日 平成21年5月21日(2009.5.21)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 K	4 M 1 0 4
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C	5 F 0 3 3
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 7 J	5 F 1 1 0
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 6 1 6 U	5 F 1 4 0
HO 1 L 21/768 (2006.01)	HO 1 L 29/58 G	

審査請求 未請求 予備審査請求 未請求 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-545900 (P2008-545900)
 (86) (22) 出願日 平成18年11月21日 (2006.11.21)
 (85) 翻訳文提出日 平成20年5月30日 (2008.5.30)
 (86) 国際出願番号 PCT/US2006/061128
 (87) 国際公開番号 W02007/120283
 (87) 国際公開日 平成19年10月25日 (2007.10.25)
 (31) 優先権主張番号 11/311,587
 (32) 優先日 平成17年12月16日 (2005.12.16)
 (33) 優先権主張国 米国 (US)

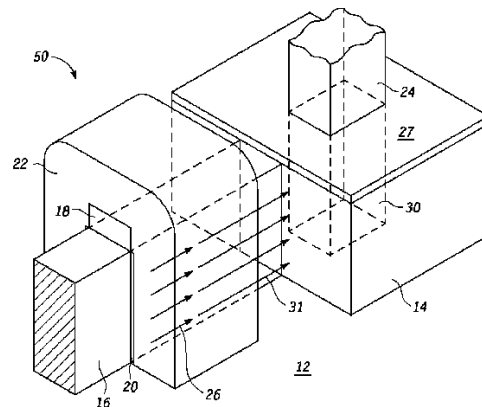
(71) 出願人 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 78735 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6501
 (74) 代理人 100116322
 弁理士 桑垣 衛
 (72) 発明者 オルロフスキ、マリウス カー、
 アメリカ合衆国 78739 テキサス州
 オースティン レッドモンド ロード
 10813

最終頁に続く

(54) 【発明の名称】 埋没接点を有するトランジスタとその形成方法

(57) 【要約】

第1の電流電極領域(32)、第2の電流電極領域(34)、およびチャネル領域(37)を含む半導体構造の形成方法であって、チャネル領域(37)は第1の電流電極領域(32)と第2の電流電極領域(34)との間に配置され、チャネル領域(37)は半導体構造のフィン構造(36)内に配置され、チャネル領域内のキャリア輸送は概して第1の電流電極領域(32)と第2の電流電極領域(34)との間で水平方向に行われる方法。該方法は、第1の接点(66)を形成することを含み、第1の接点(66)を形成することは、半導体構造の第1の部分除去して、第1の電流電極領域(32)に開口部(54)を形成すること、開口部に接点材料(66)を形成することを含む。



【特許請求の範囲】**【請求項 1】**

半導体装置を形成するための方法であって、

半導体装置電極構造を形成すること、

第 1 の接点を形成することを備え、

前記第 1 の接点を形成することは、

前記半導体装置電極構造の第 1 の部分を除去して開口部を形成すること、

前記開口部内に接点材料を形成することを含み、

前記第 1 の接点は前記半導体装置電極構造に電氣的に結合される、方法。

【請求項 2】

前記半導体装置電極構造が第 1 の電流電極領域を含み、前記第 1 の接点が前記第 1 の電流電極領域に電氣的に結合される、請求項 1 に記載の方法。

【請求項 3】

前記第 1 の電流電極領域が半導体構造の一部であり、前記半導体構造が、

第 2 の電流電極領域と、

前記第 1 の電流電極領域と前記第 2 の電流電極領域との間で前記半導体構造内に配置され、前記半導体構造のフィン構造内に位置するチャンネル領域とを含み、前記チャンネル領域でのキャリア輸送が前記第 1 の電流電極領域と前記第 2 の電流電極領域の間で水平方向に行われる、請求項 2 に記載の方法。

【請求項 4】

前記フィン構造が前記半導体構造の前記第 1 の構造と前記半導体構造の前記第 2 の構造との間で水平に延在し、前記第 1 の電流電極領域の少なくとも一部が前記第 1 の構造内に配置され、前記第 2 の電流電極領域の少なくとも一部が前記第 2 の構造内に配置され、除去された第 1 の部分が第 1 の構造の一部である、請求項 3 に記載の方法。

【請求項 5】

第 2 の接点を形成することであって、前記第 2 の電流電極領域の第 2 の部分を除去することを含む、第 2 の接点を形成すること、

接点材料を前記第 2 の開口部に形成することを備え、

前記第 2 の接点が前記第 2 の電流電極領域と電氣的に結合される、請求項 3 に記載の方法。

【請求項 6】

前記半導体装置電極構造がゲート構造を含み、前記第 1 の接点が前記ゲート構造に電氣的に結合される、請求項 1 に記載の方法。

【請求項 7】

前記半導体装置電極構造が絶縁体上に配置され、前記第 1 の部分を除去することが、前記半導体装置電極構造の材料を除去して前記絶縁体を露出させることを含む、請求項 1 に記載の方法。

【請求項 8】

接点材料を前記開口部に形成することが、

バリア層材料を前記開口部に形成すること、

前記バリア層材料が形成された後に第 2 の材料を前記開口部に形成することを含む、請求項 1 に記載の方法。

【請求項 9】

前記第 1 の部分を除去することが、

前記半導体装置電極構造上に誘電体材料の層を形成すること、

前記誘電体材料の層内に開口部をエッチングすること、

前記開口部を通じて前記半導体装置電極構造の前記第 1 の部分をエッチングして前記第 1 の部分を除去することを含む、請求項 1 に記載の方法。

【請求項 10】

前記開口部が前記半導体装置電極構造によって完全に囲まれる、請求項 1 に記載の方法。

10

20

30

40

50

【請求項 1 1】

前記開口部が半導体装置電極構造の側壁によって形成され、方法が更に接点材料を前記開口部に形成する前に前記側壁にシリサイドを形成することを備える、請求項 1 に記載の方法。

【請求項 1 2】

前記半導体装置電極構造が絶縁体上に配置され、前記半導体装置電極構造の材料が、前記第 1 の部分を除去した後に前記絶縁体と前記開口部の底部との間に残留する、請求項 1 に記載の方法。

【請求項 1 3】

半導体装置であって、

10

電極構造と、

前記電極構造内に延在し、かつ前記電極構造に電氣的に結合される第 1 の接点とを備える半導体装置。

【請求項 1 4】

前記電極構造が第 1 の電流電極領域を含み、前記第 1 の接点が前記第 1 の電流電極領域に電氣的に結合される、請求項 1 3 に記載の半導体装置。

【請求項 1 5】

第 1 の電流電極領域が半導体構造の一部であり、前記半導体構造が、

前記第 2 の電流電極領域と、

20

前記第 1 の電流電極領域と前記第 2 の電流電極領域との間で半導体構造内に配置され、前記半導体構造のフィン構造内に位置するチャンネル領域とを含み、前記チャンネル領域でのキャリア輸送が前記第 1 の電流電極領域と前記第 2 の電流電極領域との間で水平方向に行われる、請求項 1 4 に記載の半導体装置。

【請求項 1 6】

前記第 2 の電流電極領域に電氣的に結合され、前記半導体構造の前記第 2 の電流電極領域に延在する第 2 の接点をさらに備える、請求項 1 5 に記載の半導体装置。

【請求項 1 7】

前記第 1 の半導体構造が複数のフィン構造を備え、

前記複数のフィン構造がフィン構造を含み、

30

複数のフィン構造の各々がチャンネル領域を含み、

複数のフィン構造の各々が前記半導体構造の前記第 1 の構造と前記半導体構造の前記第 2 の構造との間に配置され、

前記第 1 の電流電極領域の少なくとも一部が前記第 1 の構造内に配置され、前記第 2 の電流電極領域の少なくとも一部が前記第 2 の構造内に配置され、

前記第 1 の接点が前記第 1 の構造内に延在する、請求項 1 5 に記載の半導体装置。

【請求項 1 8】

前記電極構造が絶縁体上に配置され、前記第 1 の接点が絶縁体にまで延在する、請求項 1 3 に記載の半導体装置。

【請求項 1 9】

前記第 1 の接点がバリア層を含む、請求項 1 3 に記載の半導体装置。

40

【請求項 2 0】

前記第 1 の接点が前記電極構造内の開口部内に延在し、前記開口部が前記電極構造によって完全に囲まれる、請求項 1 3 に記載の半導体装置。

【請求項 2 1】

前記第 1 の接点が前記電極構造内の開口部内に延在し、前記開口部が側壁を有し、前記側壁が、該側壁上に配置されるシリサイドを含み、該シリサイドが前記第 1 の接点と電氣的に接触している、請求項 1 3 に記載の半導体装置。

【請求項 2 2】

前記電極構造がゲート構造を含む、請求項 1 3 に記載の半導体装置。

【請求項 2 3】

50

方法であって、

第1の電流電極領域、第2の電流電極領域、およびチャンネル領域を含む半導体構造を形成することであって、前記チャンネル領域が前記第1の電流電極領域と前記第2の電流電極領域との間に配置され、前記チャンネル領域が前記半導体構造のフィン構造内に配置され、前記チャンネル領域内のキャリア輸送が前記第1の電流電極領域と前記第2の電流電極領域との間で水平方向に行われる、前記半導体構造を形成すること、

第1の接点を形成することであって、半導体構造の第1の部分除去して、第1の電流電極領域に開口部を形成することを含む、第1の接点を形成すること、

開口部に接点材料を形成することを備える方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、概して半導体装置、特に、埋没接点を有するトランジスタに関する。

【背景技術】

【0002】

従来、電流電極をトランジスタに接続するための接点は、ソース領域およびドレイン領域の各表面に形成されてきた。ただし、ソース領域およびドレイン領域の表面に形成される接点は、FinFETトランジスタまたはトリゲートトランジスタなどの3次元装置において電流フローの問題を提起する。具体的には、図1に示されるように、従来のFinFETトランジスタ10を示す。従来のFinFETトランジスタ10は、酸化物層12などの基板層上に形成される。従来のFinFETトランジスタ10は、ソース/ドレイン構造14、フィン16、フィン16上に形成されるフィンキャップ18、およびゲート誘電体20に形成されるゲート22を含む。ソース/ドレイン接点24は、シリサイド層27がソース/ドレイン構造14上に形成された後、ソース/ドレイン構造14上に形成される。図1に示されるように、電流は方向矢印26によって示されるようなフィンの（たとえば、フィン16）側壁に沿って流れる。次に、電流は、方向矢印28によって示されるように、ソース/ドレイン接点24に流れる。ソース/ドレイン接点はソース/ドレイン構造14の表面にのみ形成されるため、フィンの底部に沿って流れる電流は、より高い抵抗を受ける。その理由は、電流がソース/ドレイン接点24に行き着くまでに長い経路をたどるからである。この結果、上記の従来のFinFETトランジスタにとってより高い影響的なソース/ドレイン抵抗が生じる。図1はフィン16の底部からソース/ドレイン接点24に流れる電流を示すが、電流はフィン16の他の側面のソース/ドレイン接点からフィン16の底部にも流れる。この結果、従来のFinFETトランジスタにおいて電流フローに追加の抵抗が生じる。

20

30

【0003】

さらに、従来のMOSFET装置上のゲートは、活性領域の外部のゲート電極材料の上で接触する。ただし、ゲートの厚みが低減されるにつれ、ゲート抵抗が問題となる。特に、多くの例で、ゲート電極はいくつかの材料の積層体である。通常、底層は低抵抗導体で、ゲートの残りはドーパされたポリシリコンまたは金属シリサイドから成る。いずれの場合でも、ゲートの残りを形成する材料は高い抵抗を有する。よって、ゲート接点は低抵抗を有する底層から分離されて、その代わりに高抵抗を有する層の残りとは接触する。

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

よって、低ソース/ドレイン抵抗および低ゲート抵抗を有するトランジスタが必要とされる。

【課題を解決するための手段】

【0005】

一側面では、方法は、半導体構造を形成すること、第1の接点を形成することを含む。第1の接点を形成するステップは半導体装置電極構造の第1の部分除去して開口部を形

50

成すること、開口部に接点材料を形成することを含み、第1の接点は半導体装置電極構造に電氣的に結合される。本明細書で使用されるように、「半導体装置電極構造」という用語は、半導体材料、または金属材料、またはその組み合わせの部品で製造される装置の電極構造を含む。さらに、半導体装置電極構造はゲート構造を含むことができ、第1の接点はゲート構造に電氣的に結合する。本明細書で使用されるように、「ゲート構造」という用語は、半導体材料、または金属材料、またはその組み合わせの部品で製造されるゲート構造を含む。

【0006】

別の側面では、半導体装置は、電極構造と第1の接点とを備え、第1の接点は電極構造内に延在し、電極構造に電氣的に結合される。

さらに別の側面では、該方法は、第1の電流電極領域、第2の電流電極領域、およびチャネル領域を含む半導体構造を形成することを含み、チャネル領域は第1の電流電極領域と第2の電流電極領域との間に配置され、チャネル領域は半導体構造のフィン構造内に配置され、チャネル領域内のキャリア輸送は第1の電流電極領域と第2の電流電極領域との間で水平方向に行われる。該方法はさらに、第1の接点を形成することを含み、第1の接点を形成することは、(1)半導体構造の第1の部分除去して、第1の電流電極領域に開口部を形成すること、(2)開口部に接点材料を形成することを含む。本明細書で使用されるように、「半導体構造」という用語は、半導体材料、または金属材料、またはその組み合わせの部品で製造される構造を含む。

【発明を実施するための最良の形態】

【0007】

本発明は添付の図面によって例示されることに限定されず、図面の同一の参照符号は類似の構成要素を示す。

当業者であれば、図面内の構成要素は簡潔さと明瞭性を得るために図示されており、必ずしも等縮尺されていないことを認識するであろう。たとえば、図面内のいくつかの要素の寸法は、本発明の実施形態の理解を深める助けとして、他の要素に対して誇張されている場合がある。

【0008】

図2は、本発明の一実施形態に係るトランジスタ50の部分透視図である。図2に示されるように、トランジスタ50の一部として、ソース/ドレイン接点24は埋込ソース/ドレイン接点30として形成される。ソース/ドレイン接点が埋め込まれている結果、フィン16の底部を流れる電流は、方向矢印31によって示されるように、ゲートの外部の酸化層20への略並行路に移動し得る。この結果、フィン16の底部を流れる電流は低い抵抗を受け、そのため、トランジスタ50のドレイン抵抗への影響源を低減する。さらに、高ドーピングシリコンの抵抗より接点材料の抵抗が低いため、埋込ソース/ドレイン接点24を流れる電流は、低い抵抗を受ける。図2はソース/ドレイン接点に関して流れる電流を示すが、本発明の他の実施形態に係る他のトランジスタは改善された電流フローから利点を得ることのできる他の種類の接点を有していてもよい。図2は略矩形の埋込ソース/ドレイン接点を示すが、他の形状であってもよい。ソース/ドレイン接点30はたとえば、上部で幅が約120ナノメートル、下部で幅が約90ナノメートルと先細に形成される。追加的および/または代替的に、トランジスタ50は本発明の範囲を逸脱せずに追加の層または構成要素を含んでもよい。

【0009】

図3は、本発明の一実施形態に係る、製造ステップ中の図2のトランジスタの部分断面図である。トランジスタ50を形成する一環として、ソース構造33およびドレイン構造35をフィン36と一緒に酸化層42上に形成する。図3は酸化層42を示すが、トランジスタ50は、たとえば、シリコン-オン-インシュレータやバルクウェハーなどの任意の種類の基板上に形成される。ゲート38はトランジスタ50の一部として形成する。一例として、ゲート38は、ゲート材料の厚みに関して1000オングストロームであってもよい。ゲート材料はポリシリコン、炭化タンタル、窒化チタン、三窒化タンタル、また

はその他の適切なゲート材料であってもよい。ゲート材料は、2つの層から成る積層体であってもよく、第1の層は炭化タンタル、窒化タンタル、または窒化チタンから形成され、第2の層はポリシリコン、あるいはニッケルシリサイド、チタンシリサイド、またはコバルトシリサイドなどのシリサイドから形成されてもよい。一例として、第1の層は約250オングストロームの高さで、第2の層は約600オングストローム以上の高さである。図3はゲート誘電体を示していないが、このステップの一環としてゲート誘電体を形成することもできる。誘電体側壁スペーサ40は、ゲート38に隣接して形成する。誘電体側壁スペーサ40は、シリコン酸化物または窒化ケイ素のスペーサであってもよい。図3に示されるように、トランジスタ50はソース領域32、ドレイン領域34、およびチャネル領域37を有する。電流は、チャネル領域37を介してソース領域32からドレイン領域34に流れる。キャリア輸送(たとえば、p-チャネル素子に関しては孔、n-チャネル素子に関しては電子)は、概して、ソース領域32とドレイン領域34との間で水平方向に行われる。概して、ソース領域32およびドレイン領域34は、電流電極領域と称する。

10

【0010】

図4は、本発明の一実施形態に係る、製造ステップ中の図2のトランジスタの部分断面図である。このステップの一環として、TEOS層52は、トランジスタ50の上に形成される。次に、接点開口部54および56をTEOS層52内に形成する。接点開口部は、トランジスタ50を形成する半導体構造の一部を除去することによって形成される。接点開口部54および56は、トランジスタ50を形成する半導体構造の一部をエッチングで除去することによって形成される。図4は酸化物層42まで一貫して延在する接点開口部54および56を示すが、接点開口部54および56はそこまで遠く延在する必要はない。追加的および/または代替的に接点開口部54および56は、ソース/ドレイン領域を形成する半導体材料によって完全に包まれるか、または囲まれていなくてもよい。図5は、この製造ステップ中の図2のトランジスタの部分上面図である。接点開口部54および56はこのステップの一環として形成されるように記載されているが、フィン36が形成されるときに接点開口部54および56が形成されてもよい。

20

【0011】

図6は、本発明の一実施形態に係る、製造ステップ中の図2のトランジスタの部分断面図である。接点開口部54および56が形成された後、ライナー58を図6に示されるように形成する。一例として、ライナー58は、ニッケル、コバルト、またはその他の適切な材料を用いて形成する。ライナー58は単層として示されているが、複数の層から形成されてもよい。次に、図7に示されるように、シリサイド層60が、接点開口部54および56の側壁に形成される。シリサイド層60は、ニッケルシリサイド層またはコバルトシリサイド層であってもよい。次に、図8に示されるように、バリア層62を形成する。一例として、バリア層62は、チタンおよび窒化チタンを用いて形成する。次に、接点材料64が蒸着され、接点材料64は接点開口部54および56内にも形成される。接点材料64はタングステン、銅、またはその他の適切な接点材料であってもよい。次に、図9に示されるように、接点材料64はたとえば化学-機械的研磨によって平面化される。よって、埋込ソース/ドレイン接点66および68がトランジスタ50内に形成される。

30

40

【0012】

図10は、本発明の一実施形態に係るマルチフィントランジスタの部分上面図である。上記の工程ステップは単フィン構造に関して説明しているが、埋込ソース/ドレイン接点を有するマルチフィントランジスタを形成してもよい。よって、図10に示されるように、トランジスタ70は、フィン78、80、82、84を有するマルチフィン構造74を含み、半導体処理技術を用いて形成される。マルチフィン構造74は、ソース構造72およびドレイン構造76を含む。ゲート88も形成される。埋込ソース/ドレイン接点90、92、94、96、98、および100は、上述の処理ステップを用いて形成される。一例として、各フィンは20ナノメートル幅で、140ナノメートルの距離だけ離間される。さらに、図10はフィン78、80、82、および84からオフセットされた埋込/

50

ドレイン接点 90、92、94、96、98、および 100 を示すが、たとえば図 5 に示されるように、これらのフィンと一直線状に形成されてもよい。

【0013】

図 11 は、埋込ゲート接点を有する平面トランジスタの部分上面図である。平面トランジスタは、シリコンレンチアイソレータ 104 に形成される活性領域 102 を有する。活性領域 102 は、たとえばソース/ドレイン領域およびチャネル領域を含む。ゲート 106 は、活性領域 102 の上に形成される。ゲート接点 108 および 110 は、ゲート材料を接続するように形成する。次に図 12 を参照すると、図示されるように、接点 108 および 110 を埋め込む。すなわち、シリコンレンチアイソレータ 104 まで一貫してゲート接点用に開口部をエッチングした後に、接点 108 および 110 を形成する接点材料が蒸着される。図 12 はシリコンレンチアイソレータ 104 まで一貫して延在するゲート接点材料を示すが、ゲート接点材料はシリコンレンチアイソレータ 104 まで一貫して延在する必要はない。さらに、接点材料をゲート接点開口部内に蒸着する前に、ショットキー接点バリアを低下させるためにニッケルまたはニッケル-プラチナを蒸着させてもよい。また、ゲート接点開口部の側壁は、それぞれ接点材料層を有する。さらに、図示されないが、ゲート 106 はいくつかの層の積層体であってもよい。追加的および/または代替的に、ゲート接点開口部 108 および 110 は、ゲート材料によって完全に包まれるか、または囲まれていなくてもよい。

10

【0014】

図 13 は、埋込ゲート接点を有する図 2 のトランジスタの部分透視図である。具体的には、図示されるように、ゲート接点 112 はゲート 22 に埋め込む。一例として、ゲート接点 112 は全体を埋め込む必要はないが、酸化物 12 にまでは一貫して埋め込む。さらに、接点材料をゲート接点開口部内に蒸着する前に、ショットキー接点バリアを低下させるためにニッケルまたはニッケル-プラチナを蒸着させる。また、ゲート接点開口部の側壁はそれぞれ接点材料層を有する。さらに、図示されないが、ゲート 112 はいくつかの層の積層体であってもよい。

20

【0015】

上述の明細書では、本発明は特定の実施形態に関して説明した。ただし、当業者であれば、請求項に記載されるような本発明の範囲から逸脱せずに様々な修正や変更を行うことができることを認識するであろう。したがって、明細書と図面は限定的ではなく説明的なものとみなすべきであって、上記の修正および変更はすべて本発明の範囲に含まれると意図される。

30

【0016】

恩恵、他の利点、および問題の解決策は特定の実施形態に関して説明した。ただし、恩恵、他の利点、問題の解決策、および恩恵、他の利点、問題の解決策を発生させる、あるいは明白にする要素は、請求項の一部または全部にとって極めて重要な、必要な、または必須な特徴または要素とみなすべきではない。本明細書で使用されるように、「備える」、「備えている」またはその他の変形は、要素のリストを備える工程、方法、物、または装置がそれらの要素のみを含むのではなく、明確に記載されない、あるいは上記工程、方法、物、または装置に固有な他の要素を含むことができるように、非限定的な包括を対象とすることを意図する。

40

【図面の簡単な説明】

【0017】

【図 1】従来のトランジスタの部分透視図である。

【図 2】本発明の一実施形態に係るトランジスタの部分透視図である。

【図 3】本発明の一実施形態に係る、製造ステップ中の図 2 のトランジスタの部分断面図である。

【図 4】本発明の一実施形態に係る、製造ステップ中の図 2 のトランジスタの部分断面図である。

【図 5】本発明の一実施形態に係る、製造ステップ中の図 2 のトランジスタの部分上面図

50

である。

【図6】本発明の一実施形態に係る、製造ステップ中の図2のトランジスタの部分断面図である。

【図7】本発明の一実施形態に係る、製造ステップ中の図2のトランジスタの部分断面図である。

【図8】本発明の一実施形態に係る、製造ステップ中の図2のトランジスタの部分断面図である。

【図9】本発明の一実施形態に係る、製造ステップ中の図2のトランジスタの部分断面図である。

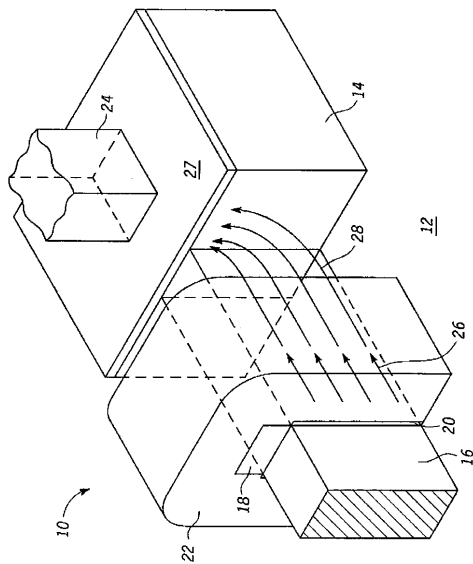
【図10】本発明の一実施形態に係るマルチフィントランジスタの部分上面図である。

【図11】本発明の一実施形態に係る平面トランジスタの部分上面図である。

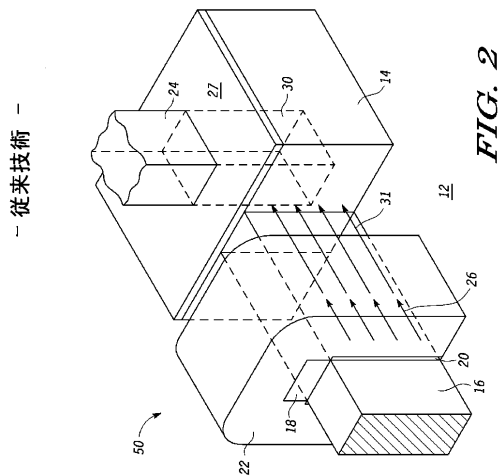
【図12】本発明の一実施形態に係る平面トランジスタの部分断面図である。

【図13】本発明の一実施形態に係るトランジスタの部分透視図である。

【図1】



【図2】



【図3】

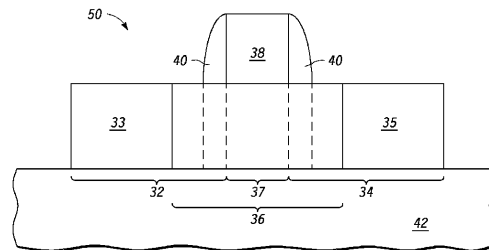


FIG. 3

【 図 4 】

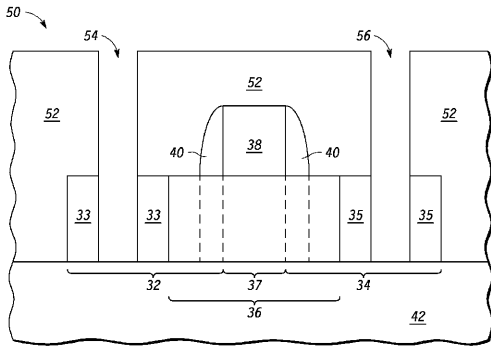


FIG. 4

【 図 6 】

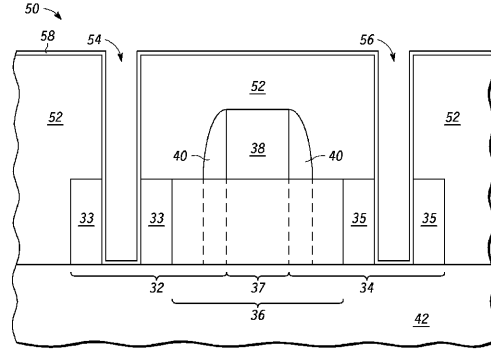


FIG. 6

【 図 5 】

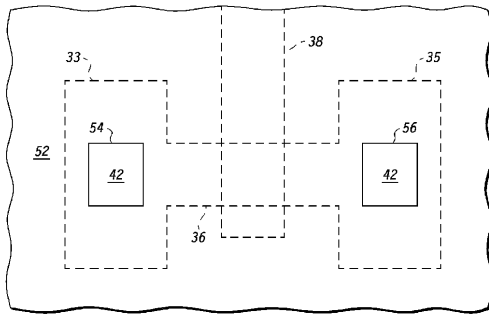


FIG. 5

【 図 7 】

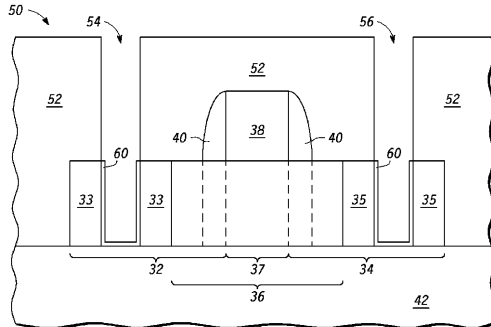


FIG. 7

【 図 8 】

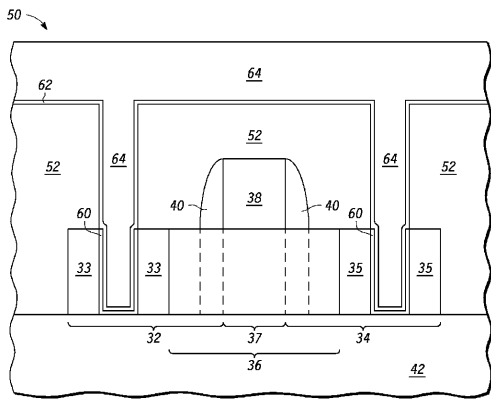


FIG. 8

【 図 10 】

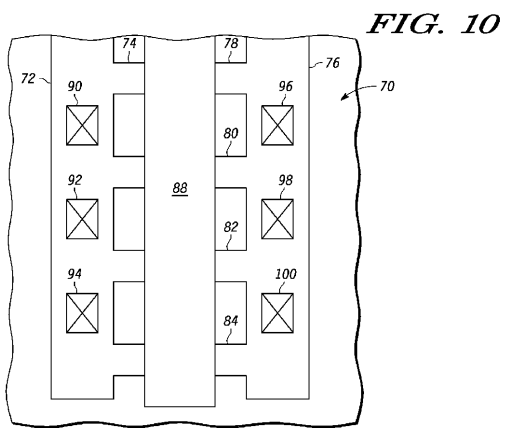


FIG. 10

【 図 9 】

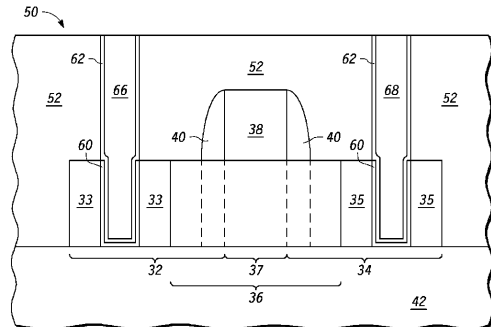


FIG. 9

【 図 11 】

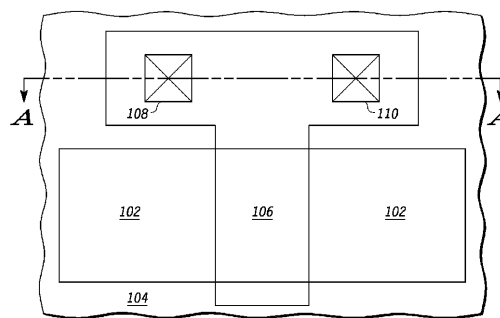


FIG. 11

【 図 1 2 】

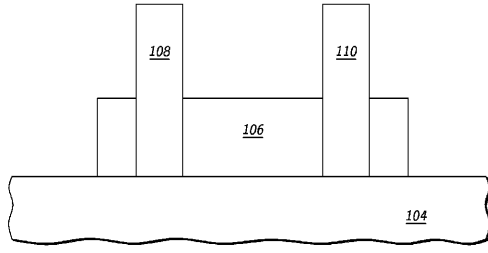


FIG. 12

【 図 1 3 】

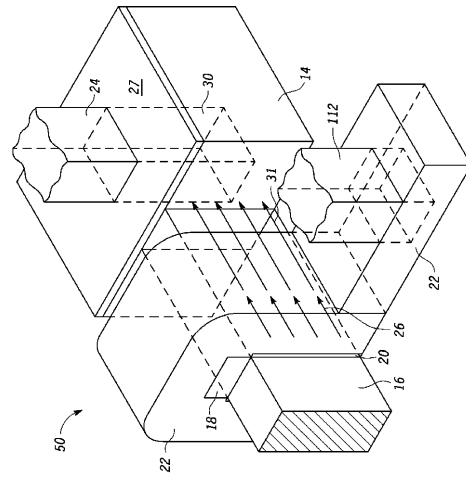


FIG. 13

【国際調査報告】

60800600023



INTERNATIONAL SEARCH REPORT

International application No.
PCT/US 06/61128

A. CLASSIFICATION OF SUBJECT MATTER (PC(8) - H01L 21/336 (2008.04)) USPC - 438/197 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) USPC - 438/197 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched USPC - 438/197; 257/E21.442; E29.117 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PubWEST(USPT,PGPB,EPAB,JPAB); DialogPRO(Engineering); Google Scholar Search Terms: embedded contacts, immersed contacts, transistor, current electrode, recessed contacts, gate contact, forming electrode, forming contacts, buried contact, first current electrode, silicide contact, fin structures		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X — Y	US 2005/0272202 A1 (Parall et al.) 8 December 2005 (08.12.2005), entire document especially para. [0027], [0035]	1, 7, 9, 10, 12, 13, 16, 20, 22 2-6, 8, 11, 14-17, 19, 21, 23
Y	US 5,308,778 A (Fitch et al.) 3 May 1994 (03.05.1994), entire document especially claim 25	2-6, 14-17, 23
Y	US 6,300,683 B1 (Nagasaka et al.) 9 October 2001 (09.10.2001), entire document especially col. 3, ln 1-6; col. 11, ln 45-52.	8, 11, 19, 21
Y	US 2005/268838 A1 (Cho et al.) 1 December 2005 (01.12.2005), entire document especially para. [0023], [0081]	3-5, 17, 23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 August 2008 (11.08.2008)		Date of mailing of the international search report 22 AUG 2008
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-1774 29.10.2008

Form PCT/ISA/210 (second sheet) (April 2007)

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/417 (2006.01)	H 0 1 L 21/90	C
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/50	M
	H 0 1 L 29/78	3 0 1 X
	H 0 1 L 21/90	A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72) 発明者 パーネット、ジェームズ デイ .

アメリカ合衆国 7 8 7 3 1 テキサス州 オースティン ローレル リッジ レーン 3 8 0 4

F ターム(参考) 4M104 AA01 AA09 BB01 BB04 BB14 BB18 BB20 BB21 BB25 BB30
BB32 BB34 BB36 CC01 CC05 DD07 DD16 FF27 GG09 HH15
5F033 HH11 HH19 JJ11 JJ19 KK01 KK04 KK25 KK33 KK36 NN06
NN07 NN13 NN16 NN34 QQ08 QQ09 QQ37 QQ48 VV06 XX09
5F110 AA03 CC10 DD05 DD13 EE01 EE05 EE09 EE14 EE31 EE38
GG02 GG12 GG30 HL01 HL02 HL04 HL05 HL06 HL11 HL12
HL14 HL22 HM17 NN62 NN65
5F140 AA01 AA10 AC36 BB05 BF04 BF10 BF11 BF14 BF18 BF44
BF59 BF60 BG08 BG12 BG14 BG46 BJ08 BJ11 BJ15 BJ17
BJ20 BJ25 BJ27 BJ28 BK26 CC15 CE07