

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

225 501

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 08 06 82
(21) PV 4259 - 82

(51) Int. Cl.³ G 06 F 9/06

(40) Zveřejněno 24 06 83
(45) Vydáno 01 12 84

(75)
Autor vynálezu

JAKL MILAN doc. ing. CSc., PRAHA

(54)

Řídicí jednotka programovatelného logického obvodu

Vynález řeší řídicí jednotku programovatelného logického obvodu.

Sekvenční logické obvody se podle klasické teorie navrhují případ od případu prostřednictvím vývojového diagramu, minimalizace počtu vnitřních stavů a potom sestavením ze základních hradel NOR, NAND a klopných obvodů: D-obvody, JK-obvody, RS-obvody. Takto stanovený sekvenční logický obvod plní funkci zadanou vývojovým diagramem, pro který byl navržen. Nevýhodou těchto obvodů je nutno překonstruování celého obvodu, změní-li se vývojový diagram tohoto obvodu.

Tuto nevýhodu nemají tzv. programovatelné logické obvody, jejichž vlastnosti lze měnit vhodným obsazením paměti programu. Obvodové uspořádání takového obvodu zůstává stejné. Je tedy možné tyto obvody vyrábět sériově a naprogramováním paměti pak určit jejich vlastnosti.

Složitost programovatelného obvodu a jeho jednotlivých bloků závisí na počtu vstupů, výstupů a vnitřních stavů, které mohou být takovým obvodem realizovány. Dále závisí složitost obvodu na konstrukci řídicí jednotky, která by měla být navržena tak, aby bylo možno použít co nejkratšího programového slova a aby instrukce byly voleny s ohledem na jejich jednoduchou realizaci.

Tento problém řeší řídicí jednotka programovatelného logického obvodu podle vynálezu. Jeho podstata spočívá v tom, že sestává z prvního dekodéru, jehož výstupy instrukcí jsou připojeny na vstupy řadiče, opatřeného jednobitovým registrem a srovnávacím registrem s řídicí logikou, a výstup tohoto řadiče je spojen s prvním vstupem druhého dekodéru.

Řídicí jednotka podle vynálezu je součástí programovatelného logického obvodu na základě jednobitového procesoru. Tento obvod nenahrazuje mikropočítač řízený klasickým mikroprocesorem, ale velmi dobře poslouží pro jednodušší úlohy logického řízení. Řídicí jednotka je snadno realizovatelná z dostupných součástek.

Vynález je blíže objasněn na příkladu provedení pomocí přiloženého výkresu, na němž obr. 1 znázorňuje zapojení řídicí jednotky a obr. 2 znázorňuje blokové schéma programovatelného logického obvodu.

Řídicí jednotka programovatelného logického obvodu podle obr. 1 je tvořena prvním dekodérem 1, jehož výstupy instrukcí jsou připojeny na vstupy řadiče 3, jehož součástí je jednobitový registr A a srovnávací registr B s řídicí logikou. Výstup řadiče 3 je spojen s prvním vstupem druhého dekodéru 2.

Programovatelný logický obvod na základě jednobitového procesoru podle obr. 2 je tvořen řídicí jednotkou 4 podle obr. 1, k níž je připojena paměť 5 programu, která je propojena s čítačem 6 instrukcí. Výstup pro signál podmíněného skoku druhého dekodéru 2 řídicí jednotky 4 je napojen řídicí vstup čítače 6 instrukcí. První vstup a první výstup logické proměnné řadiče 3 je spojen s pamětí 7 logických proměnných - RAM, druhý vstup logické proměnné řadiče 3 je propojen se vstupním multiplexorem 8 a druhý výstup logické proměnné je spojen s výstupním dekodérem 9. Jednotlivé bloky programovatelného logického obvodu jsou vzájemně propojeny prostřednictvím adresovacích a řídicích vodičů.

Řídicí jednotka podle vynálezu pracuje s dvanáctibitovým programovým slovem. První čtyři bity jsou využity pro dekódování instrukce a poslední bit rozhoduje, zda bude proveden podmíněný skok nebo některá z ostatních instrukcí. Toto dekódování provede druhý dekodér 2 podle informace z výstupu řadiče 3. Ostatní instrukce jsou dekódovány v prvním dekodéru 1. Dekódované instrukce jsou zavedeny osmi vodiči do řadiče 3. Řadič 3 obsahuje jednobitový registr A a srovnávací registr B s řídicí logikou, která podle zavedené instrukce zpracovává signály ze vstupů logické proměnné řadiče 3 a přivádí výstupní instrukce na výstupy logické proměnné řadiče 3. Jedenáctibitové slovo je určeno k zavedení do čítače 6

instrukcí při realizaci podmíněného skoku a adresaci vstupního multiplexoru 8, výstupního dekodéru 9 a paměti 7 logických proměnných - RAM.

Instrukce, jejich kódování a uspořádání programového slova řídicí jednotky podle vynálezu blíže objasňuje následující tabulka:

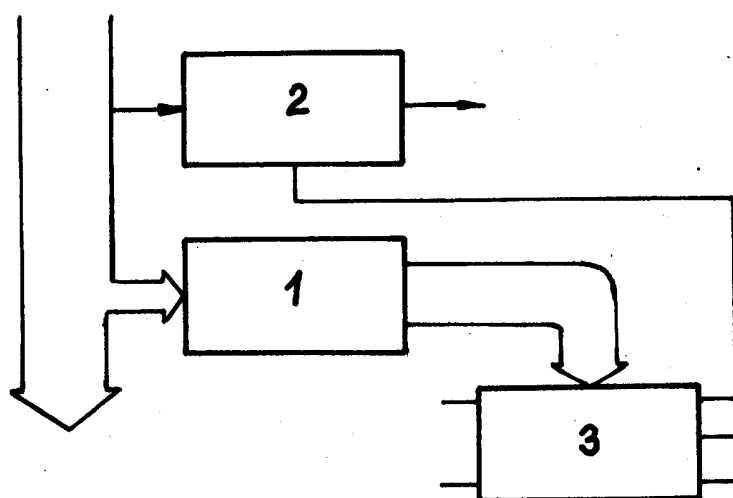
čís. instr.	Programové slovo											Význam instrukce					
	0	1	2	3	4	5	6	7	8	9	10	11	Symbolicky				
1.	Adresa podmíněného skoku											0		Při A=B se provede skok na adresu v bitech 0-10 a nuluje se obsah registru <u>B</u>			
2.	Adresa paměťové buňky v RAM											0	0	0	I	A → RAM	Informace z registru <u>A</u> se přenesou do paměti RAM
3.												I	0	0	I	$\bar{A} \rightarrow \text{RAM}$	Negovaná informace z registru <u>A</u> se přenesou do paměti RAM
4.	Adresa paměťové buňky v RAM											0	0	I	I	RAM → A	Informace z paměti RAM se přenesou do reg. <u>A</u>
5.												I	0	I	I	$\overline{\text{RAM}} \rightarrow A$	Negovaná informace z reg. <u>A</u> se přenesou do reg. <u>A</u>
6.	Adresa vstupního multiplexoru											0	I	I	I	X → A	Informace ze vstupu se přenesou do reg. <u>A</u>
7.												I	I	I	I	$\bar{X} \rightarrow A$	Negovaná inf. ze vstupu se přenesou do registru <u>A</u>
8.	Adresa výstupního dekodéru											0	I	0	I	A → Y	Informace z reg. <u>A</u> se přenesou na výstup
9.												I	I	0	I	$\bar{A} \rightarrow Y$	Negovaná informace z registru <u>A</u> se přenesou na výstup
10.	I	I	I	I	I	I	I	I	0	I	I	I	0 → A	Vynuluje se registr <u>A</u>			
11.	I	I	I	I	I	I	I	I	I	I	I	I	I → A I → B	Do registru <u>A</u> i do srovnávacího registru <u>B</u> se zavede logická 1.			

Řídicí jednotka podle vynálezu může sloužit k realizaci programovatelného sekvenčního logického obvodu majícího max. 255 různých vstupních signálů, max. 256 výstupních signálů, max. 256 vnitřních stavů a max. 2048 instrukcí programu. Uvedený programovatelný obvod je dále použitelný jako logický procesor pro realizaci sekvenčních logických obvodů potřebných zejména k připojování funkčních jednotek měřicích systémů i jako konečný automat pro řízení průmyslových procesů.

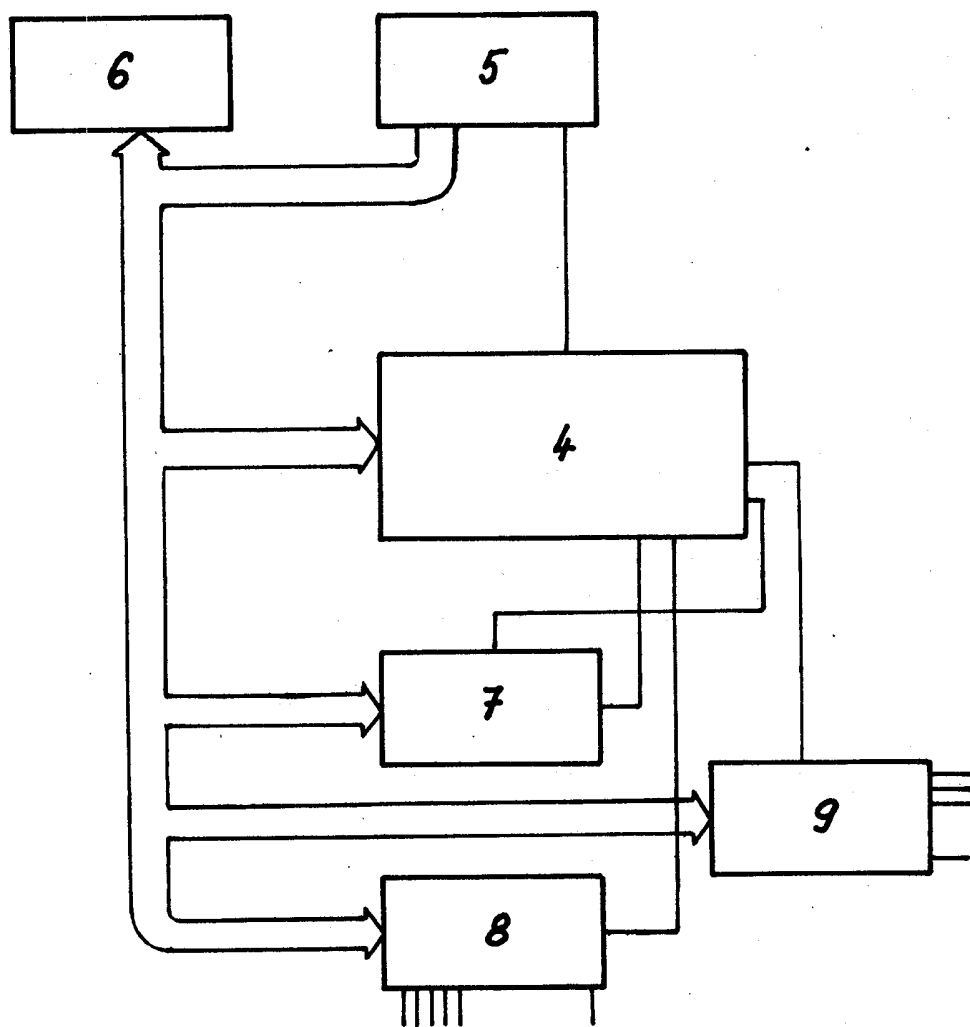
PŘEDMĚT VYNÁLEZU

225 501

Řídicí jednotka programovatelného logického obvodu, vyznačující se tím, že sestává z prvního dekodéru /1/, jehož výstupy instrukcí jsou připojeny na vstupy řadiče /3/, opatřeného jedno-bitovým registrem /A/ a srovnávacím registrem /B/ s řídicí logikou, a výstup tohoto řadiče /3/ je spojen s prvním vstupem druhého dekodéru /2/.



Obr. 1



Obr. 2