



(12) 发明专利

(10) 授权公告号 CN 101305453 B

(45) 授权公告日 2010.10.27

(21) 申请号 200680041548.4

(22) 申请日 2006.10.11

(30) 优先权数据

11/267,975 2005.11.07 US

(85) PCT申请进入国家阶段日

2008.05.07

(86) PCT申请的申请数据

PCT/US2006/040020 2006.10.11

(87) PCT申请的公布数据

W02007/055863 EN 2007.05.18

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 R·J·温泽尔 G·R·雷尔

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 21/44 (2006.01)

(56) 对比文件

US 2005/0079705 A1, 2005.04.14, 全文.

US 2005/0146034 A1, 2005.07.07, 全文.

US 2003/0207561 A1, 2003.11.06, 全文.

alam, et al.. Circuit-level Reliability Requirements for Cu Metallization. IEEE Transaction on Device and Materials Reliability 5 3. 2005, 5(3), 522-531.

审查员 吴海涛

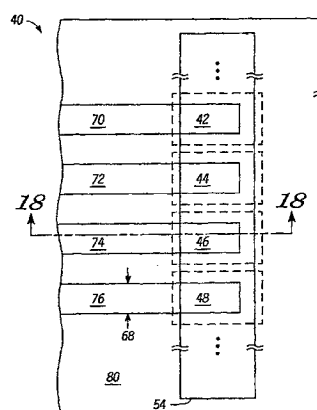
权利要求书 2 页 说明书 7 页 附图 9 页

(54) 发明名称

细间距互连及制造方法

(57) 摘要

本发明提供细间距互连及制造方法。在接触焊盘处不需要定位焊盘的情况下通过使用延伸到触点的走线 (70、72、74、76) 实现细间距接触 (42、44、46、48)。理想地避免了使用定位焊盘, 因为它们的直径大于其所附着的线路。相邻的接触焊盘更适宜地出现在介电层的相同开口中。到接触焊盘 (42、44、46、48) 的走线 (70、72、74、76) 在一条直线上, 使得在线路与接触焊盘接触的位置不需要加宽。线路 (70、72、74、76) 在到达接触焊盘之前可以加宽, 但在接触焊盘处不可以, 它们基本上在线路的最小宽度处。因此, 接触焊盘的间距可以比使用定位焊盘时小得多。



1. 一种用于与集成电路的接触焊盘接触的方法,其包括:

在集成电路和接触焊盘之上提供介电层;

在介电层中形成开口以便产生介电层中的开口并且使接触焊盘暴露,由此除去相邻接触焊盘之间的一部分介电层;

在形成开口之后,在介电层和接触焊盘之上形成种子层;

在种子层之上形成光刻胶层;

将光刻胶层图案化以便在光刻胶层中形成到接触焊盘的走线开口,其中,光刻胶层中的走线开口形成有宽度的线路,其中光刻胶层的剩余部分掩蔽种子层的第一部分并且该线路的最小宽度出现在接触焊盘上方;

在光刻胶层的走线开口中形成金属以便与接触焊盘实现电接触,该金属不覆盖介电层中的开口的整个区域;

除去光刻胶层的剩余部分;和

除去种子层的第一部分。

2. 如权利要求1所述的方法,其中,将光刻胶层图案化的步骤使光刻胶层的走线开口中的种子层暴露并用光刻胶层的剩余部分覆盖种子层的第一部分。

3. 如权利要求1所述的方法,其中,相邻的接触焊盘的间距不大于70微米。

4. 如权利要求1所述的方法,其中,接触焊盘沿着介电层中的开口区域的周线。

5. 如权利要求1所述的方法,其中,种子层包含钛、钨或铜中的至少一种。

6. 如权利要求1所述的方法,其中,光刻胶层的剩余部分覆盖接触焊盘的一部分。

7. 如权利要求1所述的方法,其中,接触焊盘有两个边缘沿着与相邻的集成电路周线平行的两条线路对齐,其中,介电层中开口的长度沿着集成电路的周线,而宽度在所述两条线路之内。

8. 一种形成到集成电路中的多个接触焊盘中的一个接触焊盘的第一导电路径的方法,包括:

在第一层内形成该接触焊盘,并且该接触焊盘被暴露在第一层的表面处;

形成覆在第一层和接触焊盘上面的介电层;

在介电层中形成介电层中的第一开口以便暴露接触焊盘和第一层的部分,介电层中的第一开口具有沿着集成电路的周线的长度并且暴露多个接触焊盘;

在介电层、第一层和接触焊盘之上形成种子层;

在种子层之上形成光刻胶层;

将光刻胶层图案化以便在光刻胶层中形成光刻胶层中的第一开口并留下光刻胶层的剩余部分,其中:

光刻胶层中的第一开口具有在与接触焊盘相邻的区域中的第一走线部分,且光刻胶层中的第一开口具有在第一接触焊盘之上的第一接触部分,

第一接触部分与接触焊盘实现电接触;

第一走线部分的宽度小于光刻胶层中的第一开口;和

第一接触部分的宽度不超过第一走线部分的最小宽度;和

在不到光刻胶层中的第一开口的全部的一个部分中形成导电材料以便与第一接触部分中的第一接触焊盘实现电接触并在第一走线部分中形成第一导电走线,由此形成第一导

电线路。

9. 如权利要求 8 所述的方法,进一步包括:

将介电层中的第一开口形成为也暴露横向邻近该接触焊盘的第二接触焊盘的连续开口;以及

在光刻胶层中形成第二开口以便形成与第二接触焊盘电接触的第二走线部分,其中在第一走线部分与接触焊盘电接触的地方不需要加宽第一走线部分并且在第二走线部分与第二接触焊盘电接触的地方不需要加宽第二走线部分。

10. 如权利要求 8 所述的方法,其中,将光刻胶层图案化的步骤使光刻胶层中的第一开口中的种子层暴露并用光刻胶层的剩余部分覆盖种子层的第一部分,其进一步包括:

除去光刻胶层的剩余部分;和

除去种子层的第一部分。

11. 如权利要求 8 所述的方法,其中,种子层包含钛、钨和铜。

细间距互连及制造方法

技术领域

[0001] 本公开涉及半导体,特别是涉及用于电气连接的半导体互连技术。

背景技术

[0002] 一个集成电路包含多个焊盘。集成电路的一些应用包括将诸如介电层等薄膜放置在集成电路上。薄膜存在时,集成电路的多个焊盘需要在覆盖的层级内的一个位置处互连。这些焊盘经常布置得尽量相互接近。这些互连 (interconnects) 通常被称为过孔 (via)。过孔由被填充或镀有导电体的介电层中的孔构成,以便实现从被称为“焊垫 (land)”的低层级焊盘到被称为过孔定位焊盘 (via capture pad) 的高层级焊盘的接触。因此,焊垫与定位焊盘中心对齐。制造设计规则要求定位焊盘的预定尺寸至少大于过孔的开口。较大的尺寸要求定位焊盘在各个方向延伸超过过孔的开口。因此,定位焊盘尺寸明显大于电介质开口的尺寸。此外,重叠的定位焊盘之间要求有最短的距离,这进一步增大定位焊盘之间的最小间距,并因此增大焊垫之间的最小间距。

[0003] 例如在图 1 中,示出了带有互连的已知集成电路 10。焊盘 12 位于与另一个焊盘 14 相邻的位置。在一种形式中,焊盘 12 与焊盘 14 中的每一个都可以实现为焊垫 (land)。覆盖焊盘 12 和焊盘 14 的是介电层 22。覆盖介电层 22 的是导电走线或起走线作用的金属互连 16 和金属互连 18。金属互连 16 被连接到定位焊盘 17,该定位焊盘 17 通过直径为 d_1 的洞或过孔被进一步连接到焊盘 14。同样,互连 18 通过直径为 d_1 的洞或过孔被连接到焊盘 12,该直径为 d_1 的洞或过孔由直径为 d_2 的过孔定位焊盘 19 定位,直径 d_2 明显大于直径 d_1 。

[0004] 定位焊盘 17 与定位焊盘 19 相隔要求的最小长度,该长度标记为 L_1 。结果,定位焊盘 17 与定位焊盘 19 之间的中心距离为 L_2 。缺点是 L_2 限制沿集成电路 10 侧边的焊盘总数。换句话说,在现有技术中,距离 L_2 是阻止集成电路焊盘间距变得更小的限制因素。

[0005] 图 2 中图解沿图 1 中的线 2-2 截取的定位焊盘 19、单元芯片焊盘 (die pad) 12 和相关过孔的截面图。焊盘 12 位于集成电路 10 的衬底 20 内部。应该了解,除在块体 (bulk) 或主体层 (body layer) 之外,衬底 20 还可以在集成电路 10 内的不同层级实现。介电层 22 覆盖在衬底 20 上并有一个宽度为 d_1 的开口用来限定过孔。覆盖介电层 22 的是金属互连 18,该金属互连 18 贯穿过孔定位焊盘 19 并被电学地连接到焊盘 12。

发明内容

[0006] 本发明提供一种用于与集成电路的接触焊盘接触的方法,其包括:在集成电路和接触焊盘之上提供介电层;在介电层中形成开口以便产生介电层中的开口并且使接触焊盘暴露,由此除去相邻接触焊盘之间的一部分介电层;在形成开口之后,在介电层和接触焊盘之上形成种子层;在种子层之上形成光刻胶层;将光刻胶层图案化以便在光刻胶层中形成到接触焊盘的走线开口,其中,光刻胶层中的走线开口形成有宽度的线路,其中光刻胶层的剩余部分掩蔽种子层的第一部分并且该线路的最小宽度出现在接触焊盘上方;在光刻胶层

的走线开口中形成金属以便与接触焊盘实现电接触,该金属不覆盖介电层中的开口的整个区域;除去光刻胶层的剩余部分;和除去种子层的第一部分。

[0007] 本发明还提供一种形成到集成电路中的多个接触焊盘中的一个接触焊盘的第一导电路径的方法,包括:在第一层内形成该接触焊盘,并且该接触焊盘被暴露在第一层的表面处;形成覆在第一层和接触焊盘上面的介电层;在介电层中形成第一开口以便暴露接触焊盘和第一层的部分,第一开口具有沿着集成电路的周线的长度并且暴露多个接触焊盘;在介电层、第一层和接触焊盘之上形成种子层;在种子层之上形成光刻胶层;将光刻胶层图案化以便在光刻胶层中形成第一开口并留下光刻胶层的剩余部分,其中:光刻胶层中的第一开口具有在与接触焊盘相邻的区域中的第一走线部分,且第一开口具有在第一接触焊盘之上的第一接触部分,第一接触部分与接触焊盘实现电接触;第一走线部分的宽度小于光刻胶层中的第一开口;和第一接触部分的宽度基本上不超过第一走线部分的最小宽度;和在不到光刻胶层中第一开口的全部的一个部分中形成导电材料以便与第一接触部分中的第一接触焊盘实现电接触并在第一走线部分中形成第一导电走线,由此形成第一导电路径。

附图说明

[0008] 本发明在附图中以示例的方式但并非限制性地示出,附图中相同的标号表示相似的组成部分,其中:

[0009] 图 1 以拓扑结构形式图解了带有受限焊盘间距的已知集成电路;

[0010] 图 2 以截面图形式图解了带有重叠互连的图 1 中集成电路的焊盘;

[0011] 图 3-18 以拓扑结构形式或截面图形式图解了根据本发明具有细间距互连的集成电路。

[0012] 熟练的技术人员知道图中图解组成部分,是为简明和清晰起见,没有一定地按比例绘制。例如,图中一些组成部分的尺寸相对于其他组成部分可能被放大,以帮助提高对本发明实施例的理解。

具体实施方式

[0013] 图 3 中图解根据本发明带有互连的集成电路 40。在图解形式中,提供了多个单元芯片焊盘,例如单元芯片焊盘 42、单元芯片焊盘 44、单元芯片焊盘 46 和单元芯片焊盘 48。应该了解,术语“单元芯片焊盘”是接触焊盘的一种形式。此处描述的结构,除了单元芯片(die)以外,还可以容易地在表面上的半导体或电子器件中实现。例如,此处描述的结构可以在覆盖着多个层的一层上实现,所述的多个层覆盖着芯片,或者可以在印刷电路板上实现。单元芯片焊盘 42、44、46 和 48 中的每一个都相互横向平行放置并尽量在物理上相互靠近以便可靠地制造集成电路 10。在一种形式中,单元芯片焊盘 42、44、46 和 48 的间距或间隔距离为 100 微米(microns)或更小。在图解形式中,单元芯片焊盘 42、44、46 和 48 位于与集成电路 40 的边缘相邻的位置。但是,应该了解,可以选择集成电路 40 内的其他位置放置单元芯片焊盘 42、44、46 和 48。

[0014] 覆盖集成电路 40 和单元芯片焊盘 42、44、46 和 48 的一部分的是介电层 50。在图解形式中,单元芯片焊盘 42、44、46 和 48 有两个边缘与平行于相邻的集成电路周线的两条

线路对齐。在图解形式中,单元芯片焊盘 42、44、46 和 48 基本上为长方形。应该了解,接触焊盘的其他几何形状也可以实现,包括圆形、正方形、八边形和其他多边形。

[0015] 图 4 中图解沿直线 4-4 截取的单元芯片焊盘 46 的截面图。单元芯片焊盘 46 在集成电路 40 的衬底 52 内部形成。覆盖单元芯片焊盘 46 的是介电层 50。介电层 50 可以由多种绝缘材料中的任何一种制成,例如氧化物、氮化物、来自三菱气体和化学品公司的双马来酰亚胺三嗪 (BT)、来自陶氏化学公司 (Dow Chemical) 的双苯并环丁烯、罗门哈斯 (Rohm and Haas) 制造的 Intervia 8010、或聚合物基干膜电介质。选用的材料可以是也可以不是可光限定 (photodefinable) 的,可以通过诸如层压或旋涂等多种技术施用。

[0016] 图 5 中图解集成电路 40 的进一步加工。沟槽或开口 54 在介电层 50 中形成。开口 54 的长度沿集成电路周线方向,宽度在单元芯片焊盘 42、44、46 和 48 沿其对齐的两条线路之内。沟槽或开口 54 可以通过例如光限定 (photodefinition) 或激光烧蚀等方法形成。

[0017] 图 6 中图解大体上沿图 5 中的线 6-6 截取的集成电路 40 的截面图。在图解形式中,开口 54 的位置仅与单元芯片焊盘 46 宽度的一部分重叠。虽然开口 54 的侧壁以倾斜的方式图解,但应该了解,形成开口 54 的侧壁时可以使其基本竖直。

[0018] 图 7 中图解集成电路 40 的进一步加工。开口 54 形成之后,种子层 56 (因另一层从该层形成而得名) 覆盖在介电层 50 和单元芯片焊盘 42、44、46 和 48 上形成。种子层 56 又可称为用于电镀的总线层 (bus layer)。在一个实施例中,种子层 56 通过沉积钛、钨、铜、钛铜、钛钨铜或适合用作种子层的其他金属或金属组合中的一种而形成。在另一种形式中,种子层 56 可以通过化学镀铜形成。

[0019] 图 8 中图解大体上沿图 7 中的线 8-8 截取的集成电路 40 的截面图。在图解形式中,种子层 56 相对于介电层 50 的厚度是一层薄膜。种子层 56 是沉积的覆盖层,因此在开口 54 中及介电层 50 上形成。

[0020] 图 9 中图解集成电路 40 的进一步加工。一层光刻胶 58 覆盖在集成电路 40 上形成,并直接形成到种子层 56 上。在一个实施例中,光刻胶 58 通过旋转操作或喷涂形成。在其他形式中,可以形成一光刻胶 58 的片状膜 (laminar film)。

[0021] 图 10 中图解大体上沿图 9 中的线 10-10 截取的集成电路 40 的截面图。光刻胶 58 的膜以基本上充满开口 54 的方式图解。光刻胶 58 中的小坑或凹陷区域可以直接出现在开口 54 上。

[0022] 图 11 中图解集成电路 40 的进一步加工,其中多个走线开口 60、62、64 和 66 通过图案化光刻胶 58 而形成。光刻胶 58 的图案化产生尺寸基本均匀的走线开口 60、62、64 和 66,所述走线开口分别使单元芯片焊盘 42、44、46 和 48 暴露。图案化形成走线开口 60、62、64 和 66,每个走线开口均有走线开口宽度 68。为了使被定义为两相邻走线之间间隔的间距最小化,在一种形式中,开口 60、62、64 和 66 中每个开口的最小宽度发生在单元芯片焊盘上。虽然开口 60、62、64 和 66 中每个开口都以基本相同的尺寸图解,但应该了解,光刻胶 58 可以按预定的图形图案化使得开口 60、62、64 和 66 的尺寸是不同的。开口 60、62、64 和 66 以在由开口 54 形成的沟槽内一点处右侧结束的方式图解。但是,如果需要的话,开口 60、62、64 和 66 可以向右延伸超过开口 54。

[0023] 图 12 中图解沿图 11 中的线 12-12 截取的集成电路 40 的截面图。在图解形式中,开口 64 从图的左侧延伸到开口 54 内的一点。在一种替代形式中,如果需要的话,开口 64

也可以向右延伸超过开口 54,使得一个开口出现在图 12 最右侧部分的介电层 50 和种子层 56 上。但是,如图 12 中所示,右侧的一部分光刻胶 58 保留完好,覆盖着种子层 56,以便继续掩蔽种子层 56。

[0024] 图 13 中图解集成电路 40 的进一步加工,其中,开口 60、62、64 和 66 中的每个开口中形成导电材料以便形成诸如金属走线 70、72、74 和 76 等导电路径。金属走线 70、72、74 和 76 分别与单元芯片焊盘 42、44、46 和 48 直接接触,但仍然通过金属走线 70、72、74 和 76 之间的种子层 56 一起保持电学短路。在一种形式中,该金属为铜,但是应该了解,也可以形成其他金属和其他导电材料。在图解的工艺中,金属是通过用种子层 56 在开口 60、62、64 和 66 中镀金属的电镀法形成的。应该了解,可以使用诸如化学镀等其他金属化工艺。

[0025] 图 14 中图解沿图 13 中的线 14-14 截取的截面图。金属走线 74 覆盖一部分种子层 56 并延伸到开口 54 以便与单元芯片焊盘 46 接触。应注意到的是,金属走线 74 的厚度沿长度方向是基本均匀的。由于种子层 56 和金属走线 74 都可导电,因此形成到单元芯片焊盘 46 的电学连接。请注意,如图 13 所示,种子层 56 继续使金属走线 70、72、74 和 76 电学短路。图解的金属走线 74 延伸到图 14 左侧并可以被进一步图案化以便连接到同一层级中的其他电路(未示出)或连接到集成电路 40 的其他层级(未示出)。在另一种形式中,金属走线 74 可以延伸到开口 54 的右侧以便敷设在图 14 右侧的介电层 50 之上。在这样一种替代形式中,右侧的光刻胶 58 被除去以便允许金属在种子层 56 上形成。

[0026] 图 15 中图解集成电路 40 的进一步加工,其中,剩余的光刻胶 58 和种子层 56 已经被除去。此去除步骤除去金属走线 70、72、74 和 76 之间的种子层 56,将走线隔离并形成各个走线到其各自的单元芯片焊盘的触点。在一种形式中,光刻胶 58 剩余部分用化学剥离工艺剥离,种子层 56 剩余部分用刻蚀法除去。

[0027] 图 16 中图解大体上沿图 15 中的线 16-16 截取的集成电路 40 的截面图。在图解形式中,开口 54 图解与单元芯片焊盘 46 的预定部分进行电接触的金属走线 74。在图解形式中,目前只暴露了单元芯片焊盘 46 的大体上靠左侧的一部分,这是光刻胶 58 之前所在之处。在另一种形式中,暴露了整个单元芯片焊盘 46 以便允许导线延伸出入单元芯片焊盘 46 的相对两侧。

[0028] 图 17 中图解集成电路 40 的进一步加工,其中,形成介电层 80 覆盖并接触所有金属走线 70、72、74 和 76、单元芯片焊盘 42、44、46 和 48 的暴露部分以及介电层 50 的一部分。介电层 80 进一步起隔离金属走线 70、72、74 和 76 的作用。应该了解,在该工艺方法的这一点上,可以添加附加电路层(未示出)以便实现需要的电路功能。请注意,金属走线 70、72、74 和 76 中任何两者之间的间距都是从导电走线中心到相邻导电走线中心的距离。因此,金属走线 70、72、74 和 76 中的任何两者之间的间距都等于两根相邻导电走线之间的间隔距离加上一根导电走线的宽度,假定每根导电走线的宽度基本相同。在图解结构中金属走线 70、72、74 和 76 中任何两者之间的间距基本上小于图 1 所示金属互连 16 和 18 之间的间距。

[0029] 图 18 中图解沿图 17 中的线 18-18 截取的集成电路结构 40 的截面图。在图 18 中,介电层 80 覆盖并接触金属走线 74、单元芯片焊盘 46 的暴露部分及介电层 50 的一部分。从图中可以很容易地看出,介电层 80 可以在开口 54 内轻微凹陷。可以用传统的平整化技术使介电层 80 的暴露表面进一步平整化。

[0030] 在一种形式中,图 3-18 中所图解结构的间距是图 1 中集成电路的间距的三分之

一。这是单元芯片空间中显著的节约,能使电路基本上变得更加小型化。通过使用沟槽式过孔,其中过孔的上半部分中没有焊盘,实现了显著地缩小两个接触焊盘之间的间距。

[0031] 现在应该意识到,已经提供了半导体互连和制造半导体互连的方法。连续的沟槽跨越两个或更多个焊盘在第一方向上形成。在第二方向上,对于每个焊盘,形成一个导电排或金属走线,该导电排或金属走线是连续的并从焊盘之上的一个抬高的层级(即在焊盘平面以外)过渡到一个较低的层级以便与焊盘接触。如果需要的话,此结构也可以以颠倒的形式使用(即上下翻转)。应注意到的是,覆盖电介质开口的那部分导电路径不需要覆盖开口的全部周线或区域。

[0032] 此处讲授的方法对制造与半导体器件的互连非常有用。例如,当互连结构被附着于半导体芯片时,可能有与通过工具执行的对准有关的芯片漂移,所述工具被用来形成到芯片焊盘的导电走线。由于金属走线 70、72、74 和 76 的宽度小于与之相连的单元芯片焊盘的宽度,因此,只要芯片漂移不超过最大漂移值,芯片漂移误差就被自动补偿。此处已经公开一种不需要过孔(亦即使将被接触的下层焊盘暴露的电介质中的开口)具有覆盖或过孔定位焊盘的互连结构。介电层上表面上的导电走线被图案化以便在不使用覆盖焊盘(cover pad)的情况下脱离导电走线所在的平面之外并落入开口内。导电走线互连可以沿集成电路的周线或边缘放置,或者可以放在集成电路内部的任何其他位置。

[0033] 在前述说明书中,已经参照具体实施例对本发明进行了描述。但是,一名本领域的普通技术人员知道,可以做出多种变更和修改而不脱离权利要求中阐述的本发明的范围。例如,虽然金属走线 70、72、74 和 76 是以与沟槽或开口 54 的方向垂直的形式图解的,但金属走线可以与开口 54 成其他角度形成。虽然金属走线 70、72、74 和 76 被描述为通过传统电镀工艺形成,但也可以用其他已知工艺来形成金属走线。单元芯片焊盘 46 在其他应用中可以用作导电焊盘。例如,可以使用集成电路板或其他类型衬底上的焊盘。可以使用各种类型的金属和金属合金。还应该了解,可以使用诸如导电环氧树脂等各种导电材料。因此,说明书和附图应将被视为说明性的而不是限制性的,意在使所有此类修改都包含在本发明范围内。

[0034] 在一种形式中,此处提供了一种用于接触集成电路接触焊盘的方法。集成电路和接触焊盘上提供有介电层。介电层中形成开口以便使接触焊盘暴露,由此除去相邻接触焊盘之间的一部分介电层。开口形成之后,种子层在介电层和接触焊盘上形成。光刻胶层在种子层上形成。光刻胶层被图案化以便在剩余部分的光刻胶层中形成到接触焊盘的开口。这些开口形成有宽度的线路,剩余部分的光刻胶层掩蔽第一部分种子层。剩余部分的光刻胶层及第一部分种子层被除去。

[0035] 在一种形式中,光刻胶层的图案化使开口中的种子层暴露并用剩余部分的光刻胶层覆盖第一部分种子层。剩余部分的光刻胶层被除去以及第一部分种子层被除去。在一种形式中,接触焊盘的间距不大于 70 微米。

[0036] 在一种形式中,接触焊盘沿着集成电路的周线,种子层含有钛、钨或铜中的至少一种。在另一种形式中,这三种金属全部在种子层中使用。

[0037] 在一种形式中,线路的最小宽度发生在接触焊盘上。在另一种形式中,剩余部分的光刻胶层覆盖一部分接触焊盘。在另一种形式中,接触焊盘有两个边缘沿着与相邻的集成电路周线平行的两条线路对齐,介电层中开口的长度是沿着集成电路的周线方向,而宽度

在两条线路之内。

[0038] 在另一种形式中,集成电路结构上提供有互连结构,其中,集成电路结构有多个接触焊盘。有多个线路布在集成电路结构上,这些线路具有在与接触焊盘相邻的区域中的走线部分和在接触焊盘上的接触部分。接触部分与接触焊盘电接触。走线部分在介电层上,接触焊盘在介电层的一个单独开口中。在一种形式中,接触焊盘是相邻的,其间距不大于70微米。在一种形式中,走线部分有一个宽度,接触部分的宽度不超过走线部分的最小宽度。接触焊盘有两个边缘沿着与相邻的集成电路周线平行的两条线路对齐,其中,介电层中开口的长度沿着集成电路的周线方向,而宽度在两条线路之内。

[0039] 在另一种形式中,提供了一种形成到第一接触焊盘的第一导电路径的方法。第一接触焊盘在一部分第一介电层上。种子层在第一介电层和第一接触焊盘上形成。光刻胶层在第一介电层上形成。光刻胶层被图案化以便在光刻胶层中形成第一开口并留下剩余部分的光刻胶层。该开口具有在与第一接触焊盘相邻的区域中的第一走线部分和在第一接触焊盘上的第一接触部分。第一接触部分与第一接触焊盘电接触。第一走线部分有一个宽度,第一接触部分的宽度基本上不超过第一走线部分的最小宽度。导电材料在第一开口中形成以便与第一接触部分中的第一接触焊盘电接触并在第一走线部分中形成第一导电走线,由此形成第一导电路径。在另一种形式中,第二介电层在第一介电层上形成。第二介电层中形成一个开口,其中,第一接触焊盘在第二介电层的开口中。第一走线部分在第二介电层上。

[0040] 在另一种形式中,光刻胶层被图案化以便使开口中的种子层暴露并用剩余部分的光刻胶层覆盖种子层的第一部分。剩余部分的光刻胶层被除去以及种子层的第一部分被除去。在一种形式中,种子层至少为钛、钨或铜中的一种。在另一种形式中,第二导电路径与第二接触焊盘接触,其中,第二接触焊盘在第一介电层的第二部分上。种子层在第二接触焊盘上形成。光刻胶层被图案化以便在光刻胶层中形成第二开口。第二开口具有在与第二接触焊盘相邻的区域中的第二走线部分和在第二接触焊盘上的第二接触部分。第二接触部分与第二接触焊盘电接触。第二走线部分有一个宽度,第二接触焊盘的宽度基本上不超过第二走线部分的最小宽度。在一种形式中,导电材料在第二开口中形成以便与第二接触部分中的第二接触焊盘电接触,第二导电走线在第二走线部分中形成,由此形成第二导电路径。在另一种形式中,第一接触焊盘与第二接触焊盘以不大于70微米的间距被隔开。在又一种形式中,第二介电层在第一介电层上形成。第二介电层中形成一个开口,其中,第一接触焊盘和第二接触焊盘在第二介电层的开口中。直接在第一接触焊盘与第二接触焊盘之间有一个区域。第一走线部分和第二走线部分在第二介电层上,第二介电层中的开口包含直接在第一接触焊盘与第二接触焊盘之间的区域。

[0041] 益处、其他好处和解决方案已经在上文中针对具体实施例进行了描述。但是所述益处、好处、问题解决方案及可能导致任何益处、好处和解决方案发生或变得更明显的任何组成部分均不得解释成任何一项或全部权利要求的决定性的、必需的或本质性的特征或组成部分。如此处所使用的,术语“包含”,“包括”或其任何其他变体旨在包括非排他性的包含,使得包含一个组成部分列表的工艺、方法、物件、或装置不仅包括列表中的那些组成部分,而且可以包括未明确列出或为此类工艺、方法、物件或装置所固有的其他组成部分。如此处所使用的,术语“一个”被定义为一个或多个。如此处所使用的,术语“多个”被定义为两个或两个以上。如此处所使用的,术语“另一个”被定义为至少有第二个或更多。如此处

所使用的,术语“包括”和/或“具有”被定义为“包含”(即开放型语言)。如此处所使用的,术语“耦合”被定义为连接,但不一定是直接连接,也不一定是机械连接。

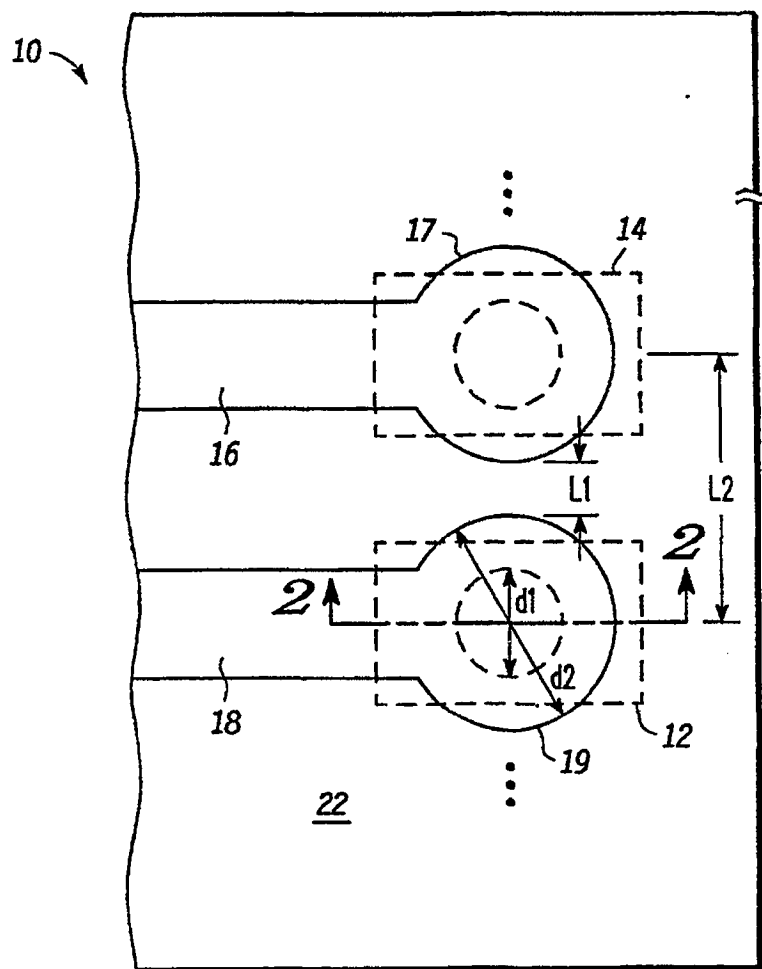


图 1 现有技术

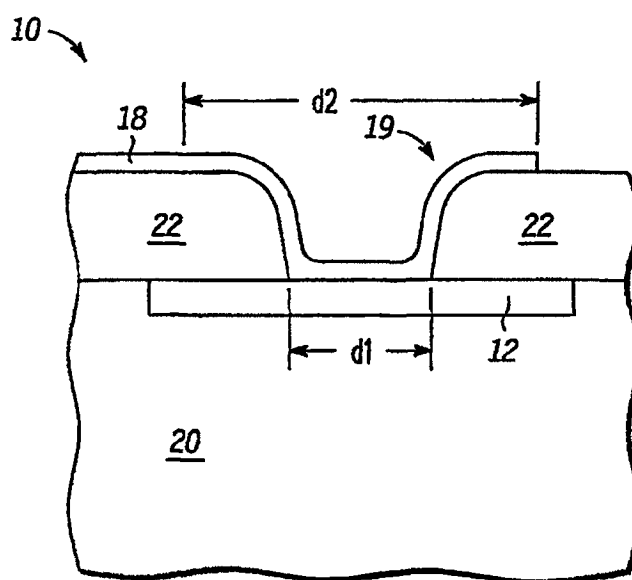


图 2 现有技术

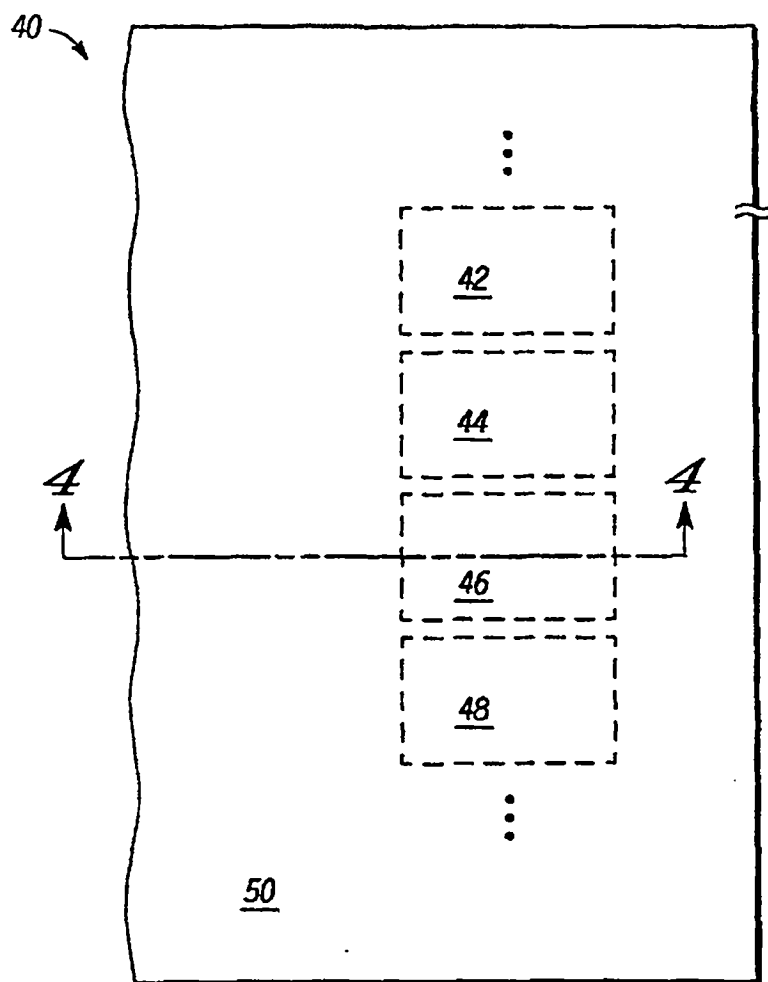


图 3

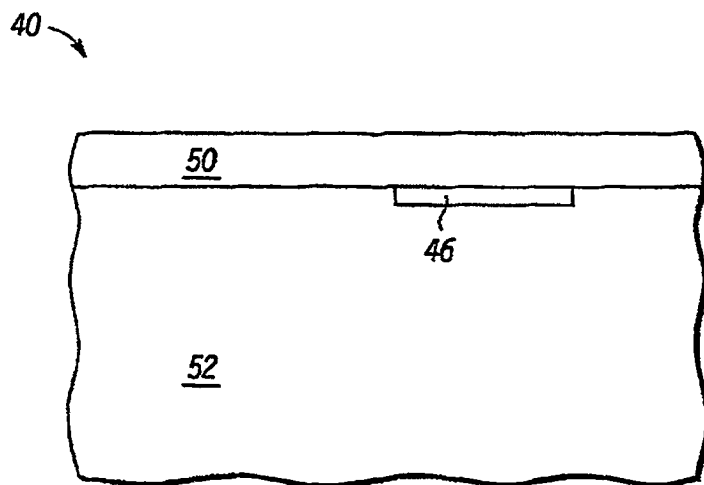


图 4

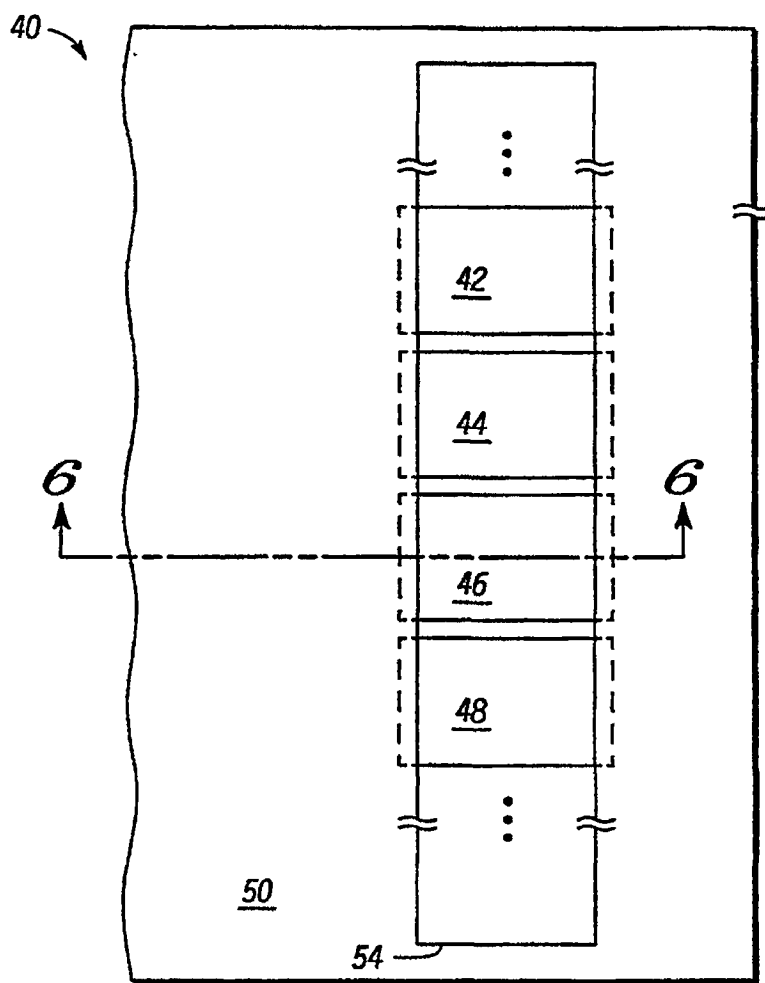


图 5

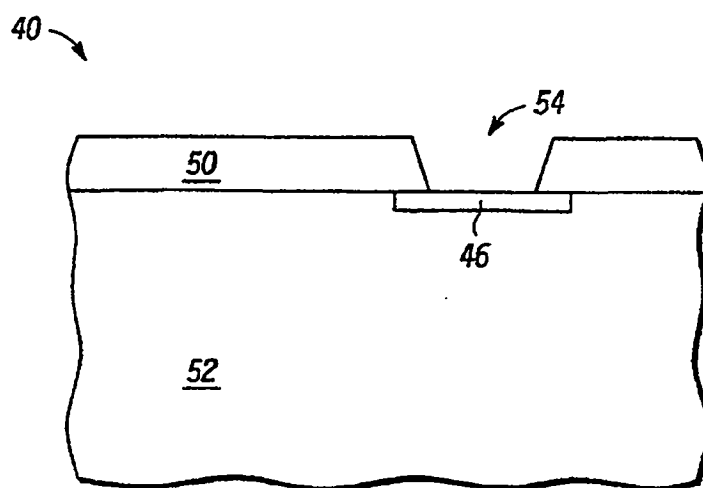


图 6

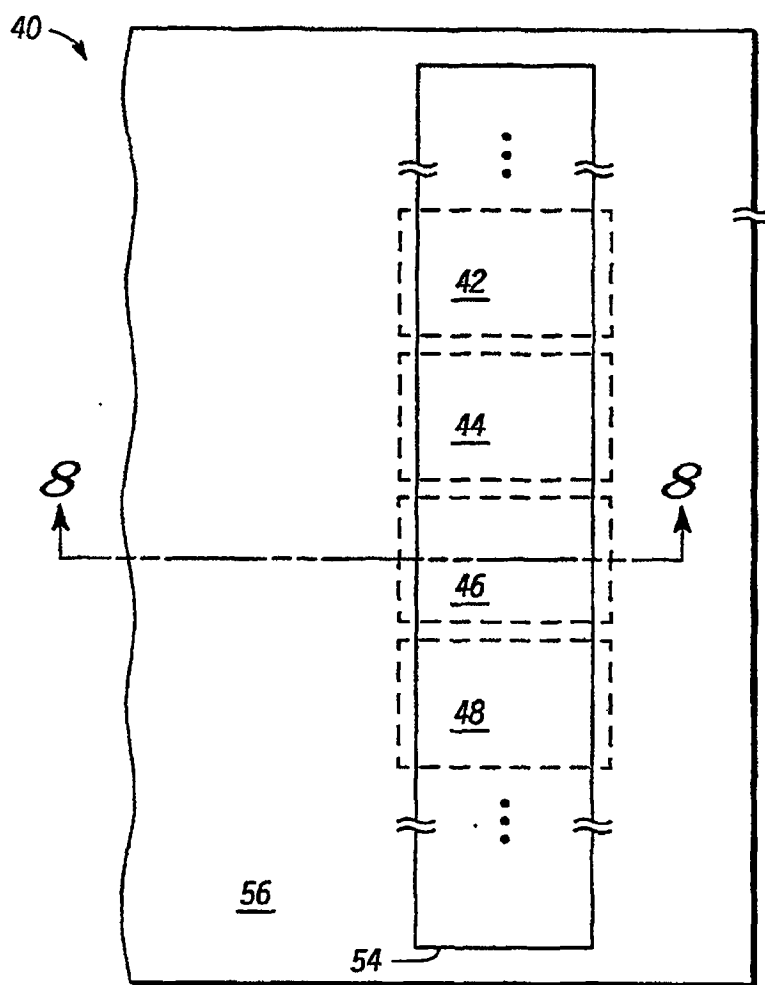


图 7

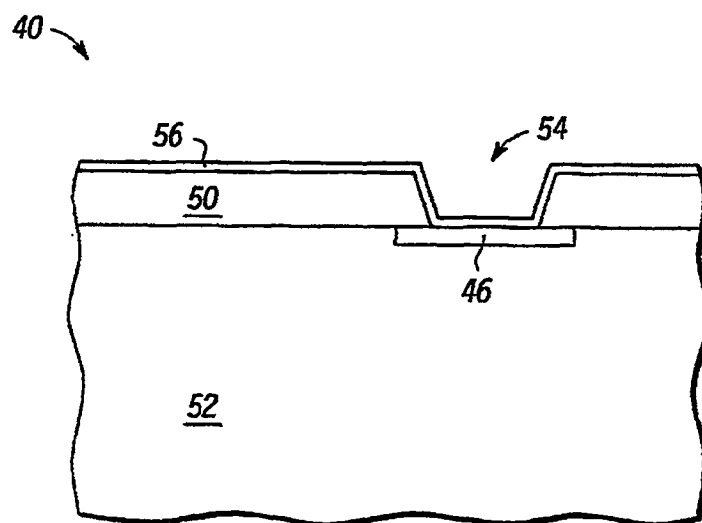


图 8

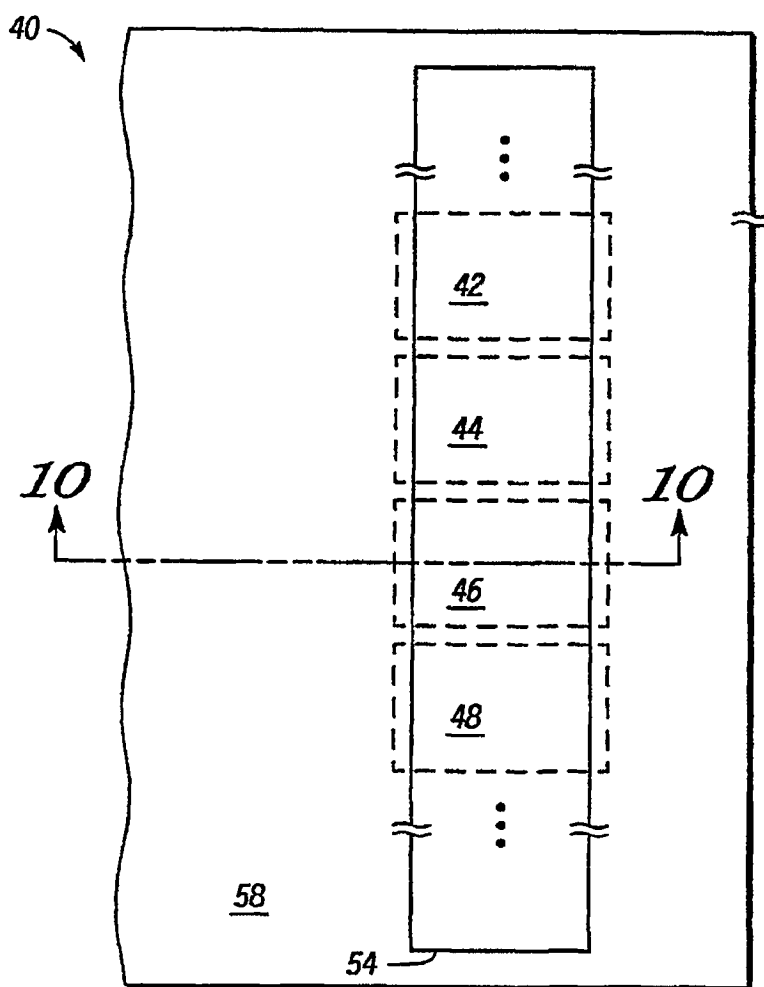


图 9

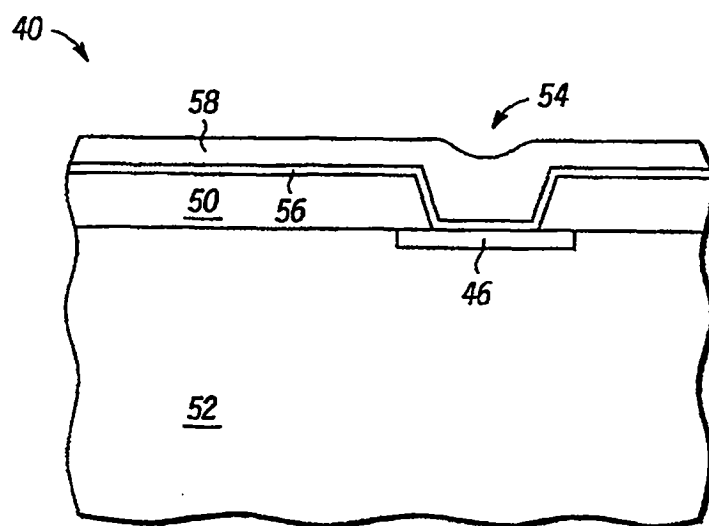


图 10

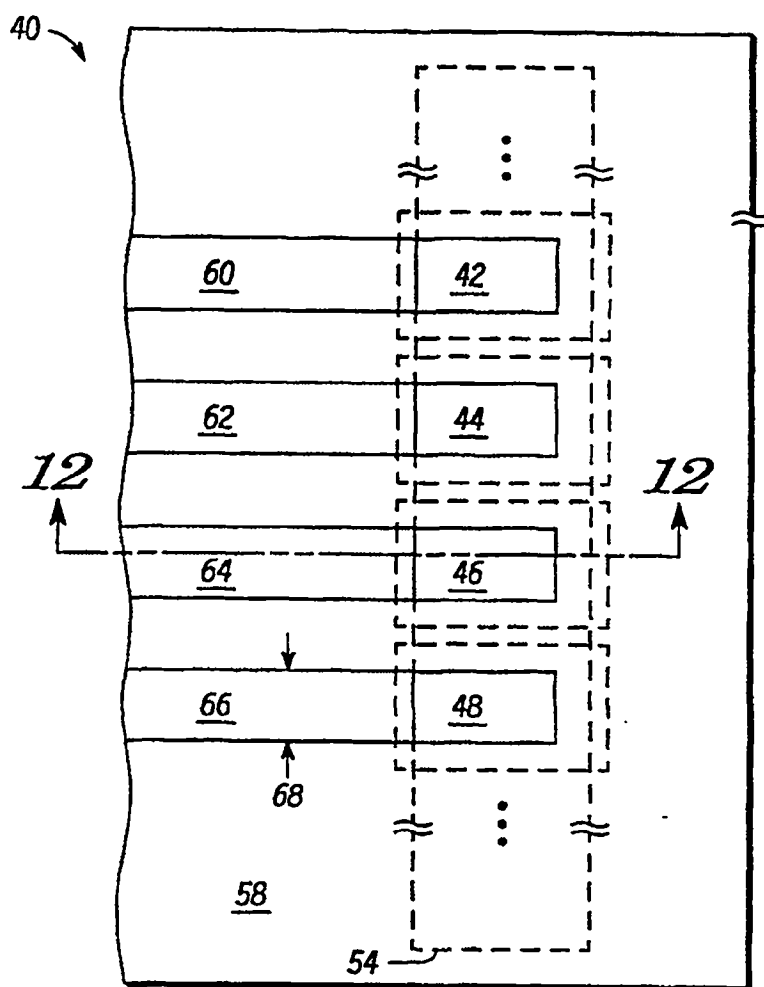


图 11

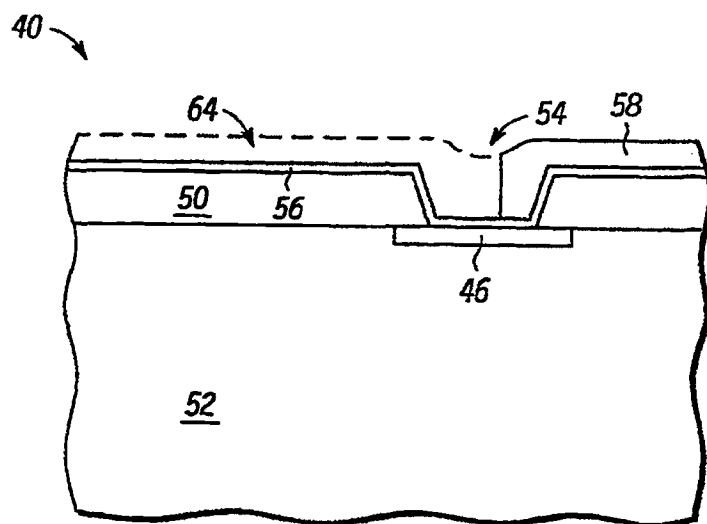


图 12

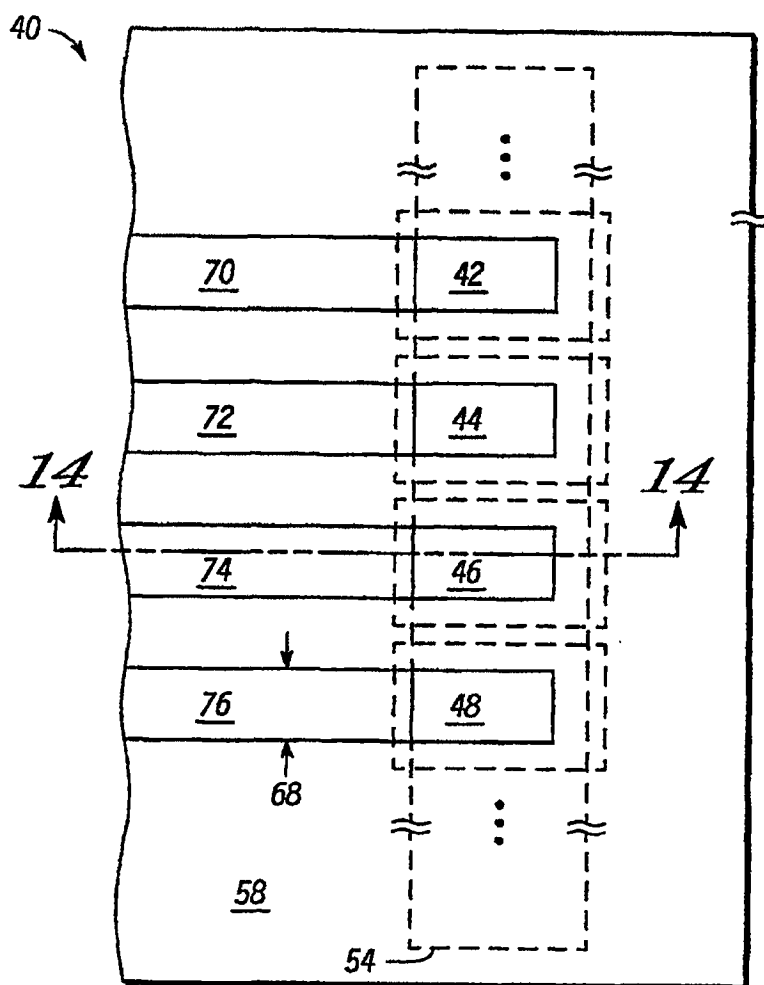


图 13

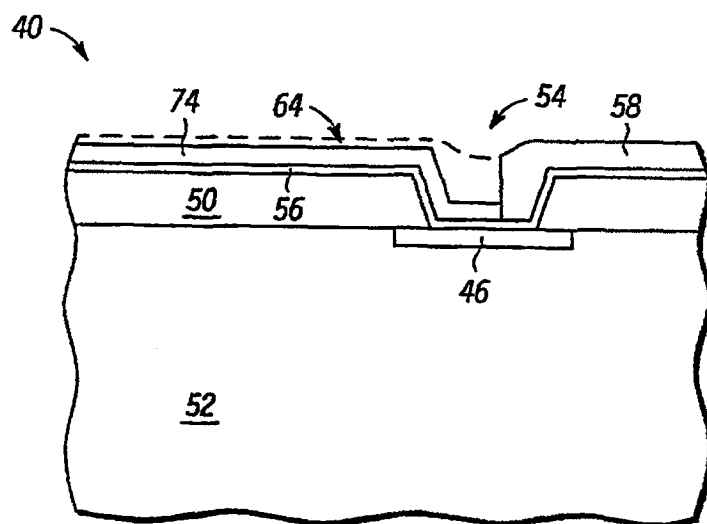


图 14

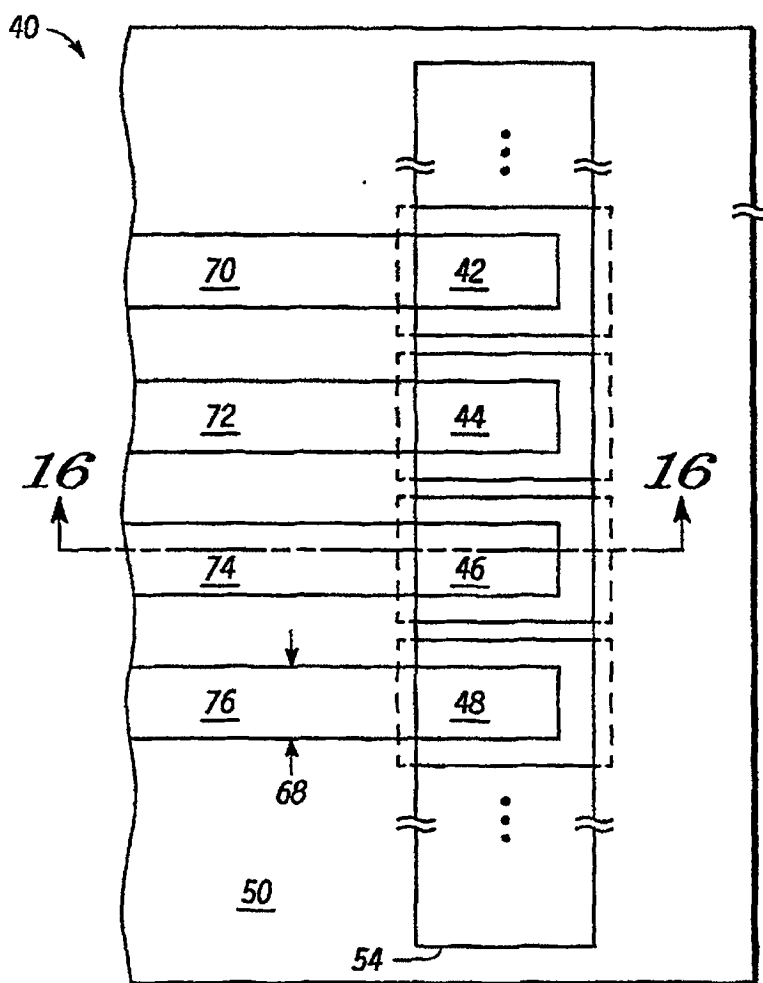


图 15

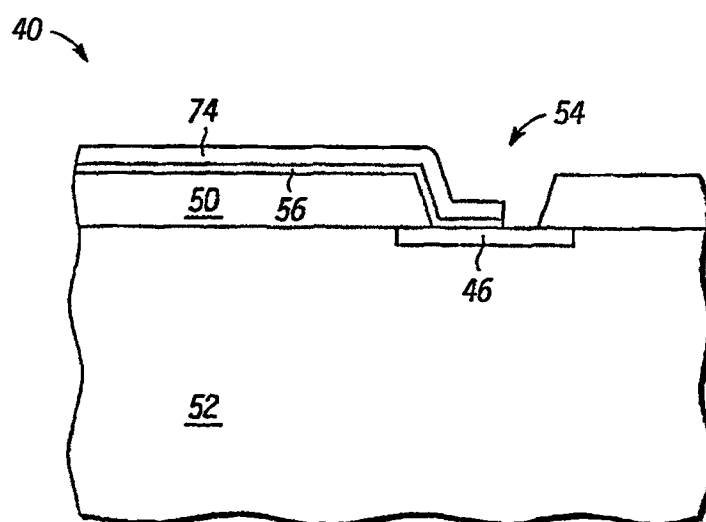


图 16

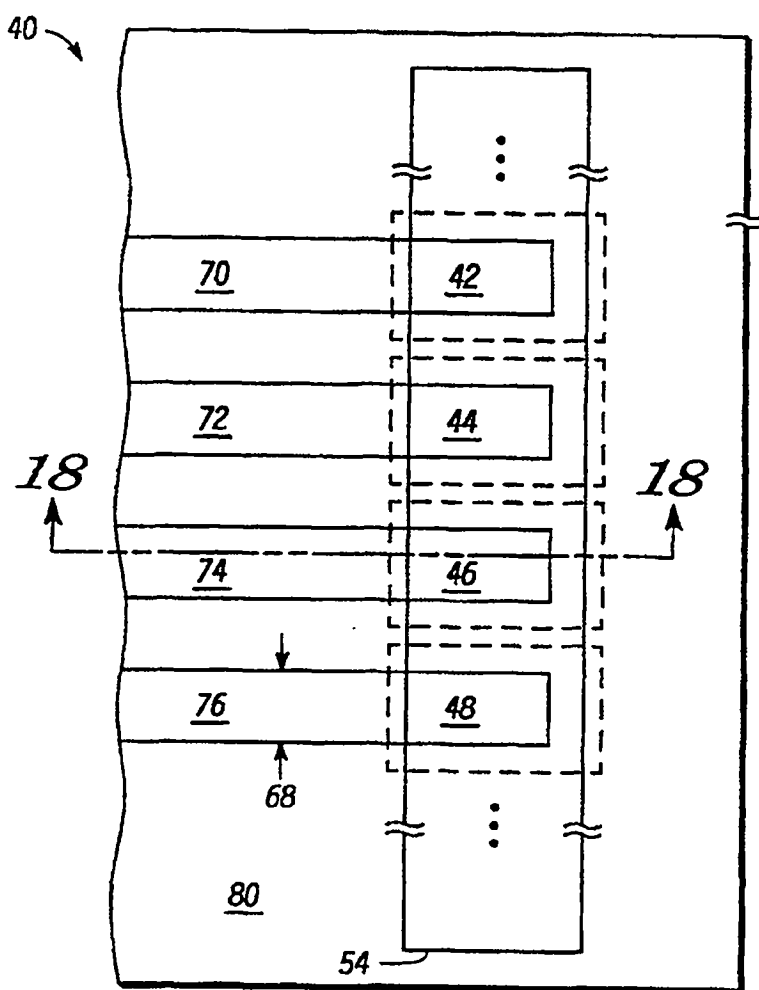


图 17

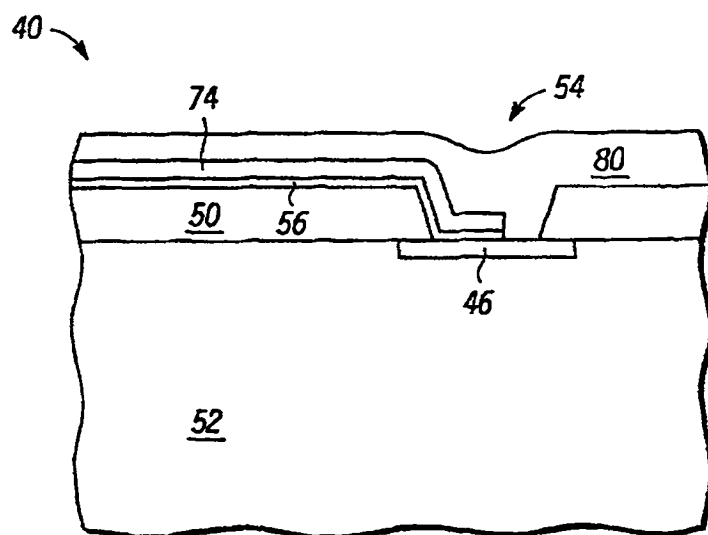


图 18