

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6235003号  
(P6235003)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int. Cl.	F I
H03F 3/217 (2006.01)	H03F 3/217
H03F 3/68 (2006.01)	H03F 3/68 B

請求項の数 17 (全 22 頁)

(21) 出願番号	特願2015-515101 (P2015-515101)	(73) 特許権者	595020643
(86) (22) 出願日	平成25年5月24日 (2013. 5. 24)		クァアルコム・インコーポレイテッド
(65) 公表番号	特表2015-518357 (P2015-518357A)		QUALCOMM INCORPORATED
(43) 公表日	平成27年6月25日 (2015. 6. 25)		アメリカ合衆国、カリフォルニア州 92
(86) 国際出願番号	PCT/US2013/042750		121-1714、サン・ディエゴ、モア
(87) 国際公開番号	W02013/181114		ハウス・ドライブ 5775
(87) 国際公開日	平成25年12月5日 (2013. 12. 5)	(74) 代理人	100108855
審査請求日	平成27年1月9日 (2015. 1. 9)		弁理士 蔵田 昌俊
審査番号	不服2016-17715 (P2016-17715/J1)	(74) 代理人	100109830
審査請求日	平成28年11月28日 (2016. 11. 28)		弁理士 福原 淑弘
(31) 優先権主張番号	13/485, 554	(74) 代理人	100158805
(32) 優先日	平成24年5月31日 (2012. 5. 31)		弁理士 井関 守三
(33) 優先権主張国	米国 (US)	(74) 代理人	100112807
早期審査対象出願			弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 組み込まれた高調波除去フィルタを有するスイッチング増幅器

(57) 【特許請求の範囲】

【請求項 1】

入力信号およびキャリア信号の両方の比較に基づいて複数の異なる遅延に関連した1つのドライブ信号の複数のバージョンを生成するように構成されているジェネレータ回路と、

複数の異なる遅延に関連した前記1つのドライブ信号の前記複数のバージョンの対応する1つを受信するように、および、出力信号を提供するように各々構成されている複数の出力回路と、前記複数の出力回路は、一緒に結合された出力を有し、前記1つのドライブ信号の前記複数のバージョンに基づいて有限インパルス応答フィルタを実施する、ここにおいて、前記出力信号は、前記複数の出力回路と結合された出力フィルタにより受信されてキャリア信号の高調波を減衰する、  
を備える、装置。

【請求項 2】

前記1つのドライブ信号の前記複数のバージョンは、キャリア周波数においてキャリア信号に基づいて生成され、および、前記有限インパルス応答フィルタは、前記キャリア周波数の高調波において複数のゼロを伴う周波数応答を有する、請求項1に記載の装置。

【請求項 3】

前記ジェネレータ回路は、複数の異なる遅延に関連した前記キャリア信号の複数のバージョン、および全ての変調器に適用される前記入力信号を受信するように、および、前記1つのドライブ信号の前記複数のバージョンを提供するように構成されている複数の変調

10

20

器を備える、を備える請求項 1 に記載の装置。

【請求項 4】

前記ジェネレータ回路は、さらに、前記キャリア信号を受信し、前記キャリア信号の前記複数のバージョンのうちの少なくとも 1 つを提供するように構成されている少なくとも 1 つの遅延回路を備える、請求項 3 に記載の装置。

【請求項 5】

前記ジェネレータ回路は、異なる遅延に関連した前記入力信号の複数のバージョンおよび全ての変調器に適用される前記キャリア信号を受信するように、および、前記 1 つのドライブ信号の前記複数のバージョンを提供するように構成されている複数の変調器を備える、請求項 1 に記載の装置。

10

【請求項 6】

前記ジェネレータ回路は、さらに、前記入力信号を受信し、前記入力信号の前記複数のバージョンのうちの少なくとも 1 つを提供するように構成されている少なくとも 1 つの遅延回路を備える、請求項 5 に記載の装置。

【請求項 7】

前記ジェネレータ回路は、  
前記入力信号および前記キャリア信号を受信するように、および、前記ドライブ信号を提供するように構成されている変調器と、  
前記ドライブ信号を受信し、前記 1 つのドライブ信号の前記複数のバージョンのうちの少なくとも 1 つを提供するように構成されている少なくとも 1 つの遅延回路と、  
を備える、請求項 1 に記載の装置。

20

【請求項 8】

前記ドライブ信号は、パルス幅変調信号を備える、請求項 1 に記載の装置。

【請求項 9】

前記複数の出力回路のうちの各出力回路は、  
電源電圧および前記出力回路の出力の間で結合された第 1 のトランジスタと、  
回路グラウンドおよび前記出力回路の出力の間で結合された第 2 のトランジスタを備える、請求項 1 に記載の装置。

【請求項 10】

前記複数の出力回路は、等しい利得を有する、請求項 1 に記載の装置。

30

【請求項 11】

前記複数の出力回路は、少なくとも 2 つの異なる利得を有する、請求項 1 に記載の装置。

【請求項 12】

前記複数の出力回路および前記出力フィルタは、集積回路チップにおいて実施される、請求項 1 に記載の装置。

【請求項 13】

前記複数の出力回路は、オープン・ループ構造で使用され、前記出力信号は、前記 1 つのドライブ信号の前記複数のバージョンを生成するために使用されない、請求項 1 に記載の装置。

40

【請求項 14】

入力信号およびキャリア信号の両方の比較に基づいて複数の異なる遅延に関連した 1 つのドライブ信号の複数のバージョンを生成することと、

出力信号を得るために複数の出力回路に前記 1 つのドライブ信号の前記複数のバージョンの対応する 1 つを入力することと、前記複数の出力回路は、一緒に結合された出力を有し、かつ前記 1 つのドライブ信号の複数のバージョンに基づいて有限インパルス応答フィルタを実施する、ここにおいて、前記出力信号は、前記複数の出力回路と結合された出力フィルタにより受信されてキャリア信号の高調波を減衰する、

を備える、方法。

【請求項 15】

50

前記 1 つのドライブ信号の前記複数のバージョンを前記生成することは、  
複数の異なる遅延に関連した前記入力信号の複数のバージョンまたは前記キャリア信号  
の複数のバージョンを生成することと、  
前記キャリア信号の前記複数のバージョンまたは前記入力信号の前記複数のバージョン  
に基づいて前記 1 つのドライブ信号の前記複数のバージョンを生成すること、  
を備える、請求項 1 4 に記載の方法。

【請求項 1 6】

前記 1 つのドライブ信号の前記複数のバージョンを前記生成することは、  
前記入力信号および前記キャリア信号に基づいて前記ドライブ信号を生成することと、  
異なる量だけ前記ドライブ信号を遅延させることによって前記 1 つのドライブ信号の前  
記複数のバージョンを生成すること、  
を備える、請求項 1 4 に記載の方法。

【請求項 1 7】

コンピュータに請求項 1 4 乃至 1 6 のうちの 1 つの請求項に記載の方法を実行させるた  
めのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本開示は、一般に電子回路に関し、より具体的には、増幅器に関する。

【背景技術】

【0002】

[0002] 増幅器は、共通的に通信、オーディオなどのような様々なアプリケーションに  
おいて使用される。増幅器は、クラス A、クラス B、クラス A B、およびクラス D のよう  
な異なるクラスに分類され得る。クラス A、B、および A B の増幅器は、線形の領域にお  
いて動作する線形増幅器である。クラス D の増幅器は、三極管および遮断領域において動  
作するスイッチング増幅器である。そのため、クラス D の増幅器は、典型的に、線形増幅  
器よりはるかに高い電力効率を得ることができる。

【0003】

[0003] クラス D の増幅器は、一般にパルス幅変調 (P W M : pulse width modulation  
) またはパルス密度変調 (P D M : pulse density modulation) のような変調技術で使用  
される。P W M 変調器は、典型的に、アナログ入力信号およびキャリア信号を受信し、ク  
ラス D の増幅器のスイッチングを制御する P W M ドライブ信号を生成する。P W M ドライ  
ブ信号は、( i ) アナログ入力信号の振幅によって決定される可変のデューティ・サイク  
ル、および ( i i ) キャリア信号の周波数によって決定される固定のスイッチング周波数  
を有する。キャリア信号は、のこぎり形の波形または三角形の波形を有し得る。クラス D  
の増幅器からの出力信号は、典型的に、キャリア信号の強い高調波を含む。出力フィルタ  
は、典型的に、クラス D の増幅器の出力に接続され、キャリア信号の高調波を減衰するた  
めに使用される。しかしながら、出力フィルタは、典型的に、キャリア信号の高調波の十  
分な減衰を提供するために、大きな回路面積を占有する。

【図面の簡単な説明】

【0004】

【図 1】 [0004] 図 1 は、オープン・ループ構造 (open-loop architecture) を有するス  
イッチング増幅器の概略図を示す。

【図 2】 図 2 は、クローズ・ループ構造 (close-loop architecture) を有するスウィ  
ッチング増幅器の概略図を示す。

【図 3 A】 [0005] 図 3 A は、異なるクラスの増幅器に関わる効率を示す。

【図 3 B】 図 3 B は、異なるクラスの増幅器に関わるワット損を示す。

【図 4】 [0006] 図 4 は、組み込まれた高調波除去フィルタのための有限 (finite) イン  
パルス応答 (F I R) を示す。

【図 5】 [0007] 図 5 は、図 4 における F I R フィルタの伝達関数を示す。

10

20

30

40

50

【図 6 A】[0008] 図 6 A は、組み込まれた高調波除去フィルタを有するスイッチング増幅器の 1 つの例示的な設計を示す。

【図 6 B】図 6 B は、組み込まれた高調波除去フィルタを有するスイッチング増幅器の 1 つの例示的な設計を示す。

【図 6 C】図 6 C は、組み込まれた高調波除去フィルタを有するスイッチング増幅器の 1 つの例示的な設計を示す。

【図 7 A】[0009] 図 7 A は、図 6 A におけるスイッチング増幅器に関連した様々な信号を示す。

【図 7 B】図 7 B は、図 6 A におけるスイッチング増幅器に関連した様々な信号を示す。

【図 7 C】図 7 C は、図 6 A におけるスイッチング増幅器に関連した様々な信号を示す。

【図 7 D】図 7 D は、図 6 A におけるスイッチング増幅器に関連した様々な信号を示す。

【図 7 E】図 7 E は、図 6 A におけるスイッチング増幅器に関連した様々な信号を示す。

【図 8】[0010] 図 8 は、カスケードで接続された 2 つのスイッチング増幅器のブロック図を示す。

【図 9】[0011] 図 9 は、図 8 のスイッチング増幅器の周波数応答を示す。

【図 10】[0012] 図 10 は、遅延回路ブロックの概略図を示す。

【図 11】[0013] 図 11 は、出力信号を生成するためのプロセスを示す。

【発明を実施するための形態】

【0005】

[0014] 以下に記載される詳細な説明は、本開示の例示的な設計の説明として意図され、本開示が実施されることができるとは意図されない。「例示的な (exemplary)」という言葉は「実例、事例、または例証としての役割をする」ことを意味するために本明細書で使用される。「例示的な」ものとしてここに説明される任意の設計は、必ずしも、他の設計よりも好ましい、または利点を有するものと解釈されるべきではない。詳細な説明は、本開示の例示的な設計の完全な理解を提供することを目的とした特定の詳細を含む。ここに記載の例示的な設計がこれらの特定の詳細なしで実施され得ることは、当業者には明らかであろう。いくつかの事例では、周知の構造およびデバイスが、ここに示される例示的な設計の新規性を曖昧にすることを避けるために、ブロック図形式で示される。

【0006】

[0015] 組み込まれた高調波除去フィルタを有するスイッチング増幅器が、ここに開示される。スイッチング増幅器は、クラス D の増幅器を実施し得、および、高い効率、しかしさらに、強いキャリア信号高調波を有し得る。組み込まれた高調波除去フィルタは、キャリア信号高調波を減衰し、この結果、比較的簡潔でありかつ小さい出力フィルタが、スイッチング増幅器からの出力信号をフィルタするために使用されることができ得る。スイッチング増幅器は、無線通信、近距離無線通信 (NFC: near field communication)、周波数変調 (FM)、電源管理用集積回路 (PMIC)、オーディオ、電力増幅器などのような様々なアプリケーションのために使用され得る。スイッチング増幅器は、また、オープン・ループ構造およびクローズ・ループ構造を含む様々な構造において使用され得る。

【0007】

[0016] 図 1 は、オープン・ループ構造を有するスイッチング増幅器 100 の例示的な設計の概略図を示す。電力増幅器 100 は、変調器 120 および出力回路 130 を含む。図 1 に示されている例示的な設計では、変調器 120 は、入力信号  $S(t)$  を受信する反転入力、およびキャリア信号  $C(t)$  を受信する非反転入力を含むコンパレータ 122 によって実施される。コンパレータ 122 は、キャリア信号に対して入力信号を比較し、その比較の結果に基づいてドライブ信号  $D(t)$  を生成する。

【0008】

[0017] キャリア信号は、スイッチング周波数とも称される固定の周波数を有する。キャリア信号は、(図 1 に示されているような) のこぎり形波形、三角形波形、四角形波形などを有し得る。ドライブ信号は、(i) キャリア信号の周波数によって決定される固定

10

20

30

40

50

のスイッチング周波数、および ( i i ) 入力信号の振幅によって決定される可変のデューティ・サイクルを有し得る。ドライブ信号は、本来デジタル式であり、ロジック・ハイ (例えば、電源電圧、V d d ) と、ロジック・ロー (例えば、回路グラウンド (circuit ground) ) とを切り替える。

【 0 0 0 9 】

[0018] 図 1 に示されている例示的な設計では、出力回路 1 3 0 は、V d d 電源および回路グラウンド間で、かつ直列に結合された 2 つのスイッチ 1 3 2 および 1 3 4 によって実施される。スイッチ 1 3 2 は、ノード N 1 に結合された 1 つの端末と、V d d 電源に結合された他の端末と、ドライブ信号を受信する制御インプットを有する。スイッチ 1 3 4 は、ノード N 1 に結合された 1 つの端末と、回路グラウンドに結合された他の端末と、ドライブ信号を受信する制御インプットを有する。スイッチ 1 3 2 は、P チャンネル金属酸化膜半導体 ( P M O S ) トランジスタ、および / または、いくつかの他の種類のトランジスタによって実施され得る。スイッチ 1 3 4 は、N チャンネル金属酸化膜半導体 ( N M O S ) トランジスタ、および / または、いくつかの他の種類のトランジスタによって実施され得る。出力回路 1 3 0 は、ノード N 1 において出力信号 Y ( t ) を提供する。

10

【 0 0 1 0 】

[0019] 図 1 に示されている例示的な設計では、出力フィルタ 1 4 0 は、スイッチング増幅器 1 0 0 に結合されており、ローパス・フィルタを形成するコンデンサ 1 4 4 およびインダクタ 1 4 2 によって実施される。インダクタ 1 4 2 は、出力回路 1 3 0 から出力信号を受信する一方の端部、およびノード N 2 に結合された他方の端部を有する。コンデンサ 1 4 4 は、ノード N 2 および回路グラウンド間に結合されている。概して、出力フィルタ 1 4 0 は、任意の数の回路コンポーネントによって実施され得、ローパス・フィルタ、バンドパス・フィルタ、ハイパス・フィルタなどを備え得る。直流 ( D C ) ブロッキング・コンデンサ 1 4 6 が、ノード N 2 およびロード 1 5 0 間に結合されている。

20

【 0 0 1 1 】

[0020] スwitching増幅器 1 0 0 は、以下のように動作する。コンパレータ 1 2 2 が、キャリア信号のサイクルまたは周期の各々において、ドライブ信号でパルス生成する。パルスの幅は、入力信号の振幅によって決定される。ドライブ信号は、キャリア周波数においてパルスのストリームを含み、P W M 信号とも称され得る。入力信号がキャリア信号よりも高いとき、ドライブ信号はロジック・ローであり、スイッチ 1 3 2 が入れられ、スイッチ 1 3 4 が切られ、V d d 電圧が出力回路 1 3 0 からの出力信号に提供される。逆に、入力信号がキャリア信号よりも低いとき、ドライブ信号はロジック・ハイであり、スイッチ 1 3 4 が入れられ、スイッチ 1 3 2 が切られ、回路グラウンドに対応する低電圧が、出力回路 1 3 0 からの出力信号に提供される。出力回路 1 3 0 は、ドライブ信号に基づいて電流を供給する ( source ) か、吸収する ( sink ) 。

30

【 0 0 1 2 】

[0021] 出力回路 1 3 0 からの出力信号は、本来デジタル式であり、キャリア信号の望ましくない高調波および所望の入力信号を含む。キャリア信号高調波は、キャリア / スwitching周波数の整数倍である。出力フィルタ 1 4 0 は、出力信号をフィルタして、所望の入力信号を通し、望ましくないキャリア信号高調波および他の外部からの高周波数コンポーネントを減衰する。Switching周波数は、所望の入力信号の帯域幅よりはるかに高いこともあり得る。この場合、出力フィルタ 1 4 0 は、簡潔な下位のフィルタ ( simple low-order filter ) 、例えば、コンデンサ 1 4 4 およびインダクタ 1 4 2 から成る 2 次 L C フィルタによって実施され得る。

40

【 0 0 1 3 】

[0022] 図 2 は、クローズ・ループ構造を有するSwitching増幅器 1 0 2 の例示的な設計の概略図を示す。電力増幅器 1 0 2 は、図 1 のパワー増幅器 1 0 0 内に変調器 1 2 0 および出力回路 1 3 0 を含む。電力増幅器 1 0 2 は、さらに、フィードバック回路 1 1 0 を含む。

【 0 0 1 4 】

50

[0023] 図2に示されている例示的な設計では、フィードバック回路110は、サマー112およびループ・フィルタ114を含む。サマー112は、出力回路130から出力信号 $Y(t)$ および入力信号 $S(t)$ を受信し、入力信号から出力信号を差し引き、エラー信号を提供する。サマー112は、出力信号を受信する反転入力および入力信号を受信する非反転入力を有する増幅器によって実施され得る。ループ・フィルタ114は、エラー信号をフィルタし、変調器120内のコンパレータ122の反転入力に、フィルタされたエラー信号を提供する。スイッチング増幅器102におけるフィードバックの使用は、出力信号の電力電圧変動除去比(PSSRR: power supply rejection ratio)および全高調波歪(THD: total harmonic distortion)を改良し得る。

【0015】

10

[0024] 図1のスイッチング増幅器100および図2のスイッチング増幅器102は、クラスDの増幅器の2つの例示的な設計である。クラスDの増幅器が他のクラスの増幅器より優れた性能を有することは周知である。

【0016】

[0025] 図3Aは、異なるクラスの増幅器に関わる出力電力対効率のプロットを示す。図3Aにおいて、水平軸は、出力電力を示しており、ワット(W)の単位で与えられている。垂直軸は、効率を示しており、パーセント(%)の単位で与えられている。プロット310は、クラスABの増幅器に関わる出力電力対効率を示す。プロット312は、クラスDの増幅器に関わる出力電力対効率を示す。図3Aは、クラスDの増幅器がクラスABの増幅器よりはるかに高い効率を有することを示す。図3Aは、また、クラスDの増幅器が広範囲の出力電力レベルにわたって高い効率を得ることができることを示す。

20

【0017】

[0026] 図3Bは、異なるクラスの増幅器に関わる出力電力対ワット損のプロットを示す。図3Bでは、水平軸は、出力電力を示しており、ワットの単位で与えられている。垂直軸は、増幅器によるワット損を示しており、ワットの単位で与えられている。プロット320は、クラスABの増幅器に関わる出力電力対ワット損を示す。プロット322は、クラスDの増幅器に関わる出力電力対ワット損を示す。図3Bは、クラスABの増幅器よりはるかに低いワット損を有することを示す。図3Bは、また、クラスDの増幅器のワット損が広範囲の出力電力レベルにわたって穏やかに上昇していることを示す。

【0018】

30

[0027] 図3Aおよび図3Bに示されているように、クラスDの増幅器を実施するスイッチング増幅器は、他のクラスの増幅器より優れた性能を有し得る。しかしながら、スイッチング増幅器からの出力信号は、望ましくないキャリア信号コンポーネントおよび所望の入力信号コンポーネントを含む。図1および図2に示されているように、出力フィルタ140は、望ましくないキャリア信号高調波を減衰するために使用され得る。出力フィルタ140は、キャリア信号高調波の所望量のフィルタリングを提供するために、大きな回路コンポーネント(例えば、1つ以上のインダクタ、および/または1つ以上の大きなコンデンサ)を含み得る。例えば、入力信号は、100メガヘルツ(MHz)の帯域幅を有し得、キャリア信号は、1ギガヘルツ(GHz)の固定の周波数を有し得る。1GHzでキャリア信号の50デシベル(dB)の減衰を得るために、出力フィルタ140は、100ナノヘンリー(nH)の値を有するインダクタ142と、80ピコファラッド(pF)の値を有するコンデンサ144によって実施され得る。そして、出力フィルタ140は、比較的大きいインダクタと比較的大きいコンデンサのために、大きい回路面積を占有するだろう。さらに、出力フィルタ140は、56MHzの比較的小さい帯域幅を有し、それは、入力信号の100MHzの帯域幅より小さい。したがって、入力信号のより高い周波数コンポーネントは、出力フィルタ140のこの比較的小さい帯域幅によって減衰されるだろう。

40

【0019】

[0028] 本開示の態様では、スイッチング増幅器は、キャリア信号の高調波を減衰することができる組み込まれた高調波除去フィルタを含む。高調波除去は、複数の異なる遅延

50

を伴う複数のドライブ信号を生成すること、複数の出力回路にドライブ信号を適用すること、および出力回路の出力を合わせ、合わせられた信号を得ること、によって、達成される。このような合わせられた信号は、高調波周波数においてゼロを有する伝達関数によって乗じられた1つのドライブ信号のスペクトルと等しいスペクトルを有する。キャリア信号高調波は伝達関数によって減衰されるので、スイッチング増幅器に結合された出力フィルタの要件が緩和され得る。かくして、出力フィルタは、緩和された要件のために、より小さい回路コンポーネントによって実施され得、かつより小さい回路面積を占有し得る。

【0020】

[0029] 図4は、組み込まれた高調波除去フィルタのために使用され得るFIRフィルタ400の例示的な設計を示す。FIRフィルタ400は、直列に結合された $N-1$ の遅延要素410a乃至410mを含み、ここにおいて、 $N$ は、1より大きい任意の整数値であり得る。各遅延要素410は、 $T_0/N$ の遅延を提供し、ここにおいて、 $T_0$ は、キャリア信号の1周期である。

10

【0021】

[0030] 入力信号 $S(t)$ は、FIRフィルタ400における第1の遅延要素410aに提供される。各遅延要素410は、異なる遅延を有するそれぞれの遅延した入力信号を提供する。 $N-1$ の遅延要素410a乃至410mからの $N-1$ の遅延した入力信号、および1つの入力信号は、異なる量の遅延に関連した $N$ の遅延信号のセットを形成する。 $N$ の遅延信号のこのセットは、 $S(t)$ 、 $S(t - T_0/N)$ 、 $S(t - 2T_0/N)$ 、 $\dots$ 、 $S(t - (N-1) \cdot T_0/N)$ と示され、サマール420によって合わせられて出力信号 $Y(t)$ を生成し、それは以下のように表され得る。

20

【数1】

$$Y(t) = \sum_{n=0}^{N-1} b_n \cdot S(t - n \cdot T_0/N) \quad \dots \dots \dots \text{数式(1)}$$

【0022】

ここにおいて、 $b_n$ は、 $n$ 次のFIRフィルタ・タップの係数(coefficient for the  $n$ -th FIR filter tap)である。係数 $b_n$ は、図4のFIRフィルタ400に対して1と等しいが、所望のフィルタ応答を得るために他の値と等しいこともあり得る。

30

【0023】

[0031] 周波数領域における出力信号は、以下のように表され得る。

【数2】

$$Y(\omega) = S(\omega) \cdot H(\omega) \quad \dots \dots \dots \text{数式(2)}$$

【数3】

$$H(\omega) = 1 + e^{-j\omega \frac{T_0}{N}} + e^{-j\omega \frac{2T_0}{N}} + \dots + e^{-j\omega \frac{(N-1) \cdot T_0}{N}} \quad \dots \dots \dots \text{数式(3)}$$

$$= \left( \frac{1 - e^{-j2\pi \frac{\omega}{\omega_0}}}{1 - e^{-j \frac{2\pi \omega}{N \omega_0}}} \right)$$

40

【0024】

ここにおいて、 $S(\quad)$ は、周波数領域における入力信号を示し、 $Y(\quad)$ は、周波数領

50

域における出力信号を示し、 $H(\quad)$ は、FIRフィルタ400の伝達関数を示す。ここにおいて、 $\omega = 2\pi \cdot f$ であり、ここで $f$ は周波数を示し、および、 $\omega_0 = 2\pi \cdot f_0$ であり、ここで $f_0$ はキャリア信号の周波数を示す。

【0025】

[0032] 図5は、図4のFIRフィルタ400の伝達関数 $H(\quad)$ のプロット510を示す。水平軸は、周波数を示しており、 $f/f_0$ の単位で与えられている。垂直軸は、振幅を示しており、線形ユニットで与えられている。図5は、 $N=10$ による一例を示す。図5に示されているように、FIRフィルタ400の伝達関数 $H(\quad)$ は、 $\omega = k \cdot \omega_0$ に関してゼロの値を有し、ここにおいて $k=1, 2, \dots, N-1$ である。これは、出力信号 $Y(k \cdot \omega_0)$ がキャリア周波数 $\omega_0$ の全ての高調波においてゼロと等しいことを意味する。

10

【0026】

[0033] スイッチング増幅器は、キャリア信号の高調波を減衰するために、組み込まれたFIRフィルタを含み得、 $\omega_0$ において基本波(fundamental harmonic)を含む。FIRフィルタは、また、折返し雑音(noise folding)を減じ、このことが、性能を向上し得る。スイッチング増幅器は、様々なやり方で実施され得、いくつかの例示的な設計が以下に説明される。

【0027】

[0034] 図6Aは、組み込まれた高調波除去フィルタを有するスイッチング増幅器600の例示的な設計の概略図を示す。スイッチング増幅器600は、異なる量だけキャリア信号を遅延させることによって、高調波除去のためのFIRフィルタを実施する。スイッチング増幅器600は、ジェネレータ回路601、およびNの出力回路630a乃至630nを含む。ジェネレータ回路601は、Nのコンパレータ(Comp)622a乃至622nを備えるNの変調器620、およびN-1の遅延回路610b乃至610nを含む。キャリア信号 $C(t)$ は、N-1の遅延回路610b乃至610nの各々に提供され、それらは、 $T_0/N$ 乃至 $(N-1) \cdot T_0/N$ の異なる遅延をそれぞれ提供する。N次の遅延回路610は、n次の遅延キャリア信号 $C_n(t) = C(t - n \cdot T_0/N)$ を提供し、ここで、 $n=1, 2, \dots, N-1$ である。

20

【0028】

[0035] コンパレータ622aは、一方の入力においてキャリア信号を、他方の入力において入力信号 $S(t)$ を受信し、第1のドライブ信号 $D_0(t)$ を提供する。コンパレータ622bは、一方の入力において遅延回路610bから遅延キャリア信号を、他方の入力において入力信号を受信し、第2のドライブ信号 $D_1(t)$ を提供するのであり、それは、遅延バージョンの第1のドライブ信号、または、 $D_1(t) = D_0(t - T_0/N)$ である。残りのコンパレータ622の各々は、一方の入力において対応する遅延回路610から遅延キャリア信号を、他方の入力において入力信号を受信し、対応するドライブ信号を提供する。n次のコンパレータ622は、n次のドライブ信号 $D_n(t) = D_0(t - n \cdot T_0/N)$ を提供し、ここで、 $n=0, 1, 2, \dots, N-1$ である。

30

【0029】

[0036] 出力回路630a乃至630nは、コンパレータ622a乃至622nからそれぞれドライブ信号を受信する。各出力回路630iは、ここでは $i=a, b, \dots, n$ であり、その出力をVdd電源または回路グラウンドの何れかに結合するように、それぞれのドライブ信号によって制御される。各出力回路630iは、PMOSトランジスタ632およびNMOSトランジスタ634によって実施され得る。PMOSトランジスタ632は、Vdd電源に結合されたソースと、出力回路630iの出力に結合されたドレインを有する。NMOSトランジスタ634は、回路グラウンドに結合されたソースと、出力回路630iの出力に結合されたドレインを有する。PMOSトランジスタ632のゲートのための制御信号およびNMOSトランジスタ634は、出力回路630iのためのドライブ信号に基づいて生成され得る。全てのNの出力回路630a乃至630nの出力は、ノードUにおいて一緒に結合され、合わせられる。

40

50



## 【 0 0 3 0 】

[0037] 1つの例示的な設計では、各出力回路630は、図6Aに示されているように、プッシュプル・トランジスタ(push-pull transistor)によって実施され得る。他の例示的な設計では、出力回路は、デジタル/アナログ変換機(DAC)によって実施され得る。出力回路は、また、他の回路によって実施され得る。

## 【 0 0 3 1 】

[0038] ノードUにおける出力信号 $Y(t)$ は、数式(1)に示されているように表され得る。概して、Nの出力回路630a乃至630nは、同じ利得、または異なる利得を有し得る。図5に示されている周波数応答は、数式(1)において、 $b_n = 1$ 、ここでは $n = 0, 1, 2, \dots, N-1$ 、または、Nの出力回路630a乃至630nに対して同じ利得で得られ得る。所望の周波数応答(例えば、ローパス・フィルタ、バンドパス・フィルタ、またはハイパス・フィルタ)は、Nの出力回路630a乃至630nに対して不均一な利得で得られ得る。異なる出力回路に対する異なる利得は、様々なやり方で得られ得る。1つの例示的な設計では、より高い利得が、並列で結合されたより多くのPMOSトランジスタ、および/または、より多くのNMOSトランジスタを使用することによって、所定の出力回路630に対して得られ得、より多くのカレント・ドライブを提供する。他の例示的な設計では、より高い利得が、より大きなNMOSトランジスタ、および/または、より大きなPMOSトランジスタを使用することによって、所定の出力回路630に対して得られ得る。さらなる他の例示的な設計では、より高い利得が、より高い電源電圧を使用することによって、所定の出力回路630に対して得られ得る。

## 【 0 0 3 2 】

[0039] 図6Aに示されている例示的な設計では、出力フィルタ640は、スイッチング増幅器600に結合されており、ローパス・フィルタを形成するコンデンサ644およびインダクタ642によって実施される。インダクタ642およびコンデンサ644は、図1の出力フィルタ140内のコンデンサ144およびインダクタ142と同様のやり方で結合されている。出力フィルタ640は、スイッチング増幅器600の組み込まれた高調波除去フィルタによるキャリア信号高調波の減衰の結果としての緩和されたフィルタリング要件のために、より小さなコンデンサ、および/または、より小さなインダクタによって実施され得る。100MHzの入力信号帯域幅および1GHzのキャリア周波数によって上記で説明した例では、出力フィルタ640は、5bHの値を有するインダクタ642および1pFの値を有するコンデンサ644によって、50dBのキャリア信号高調波の除去を提供することができる。逆に、組み込まれた高調波除去フィルタがない場合、図1の出力フィルタ140は、さらにより大きい値80pFを有するコンデンサ144およびさらにより大きい値100nHを有するインダクタ142によって、50dBのキャリア信号高調波の除去を提供することができる。かくして、出力フィルタ640は、出力フィルタ140よりさらにより小さい回路面積を占有し得る。

## 【 0 0 3 3 】

[0040] スwitching増幅器600は、図6Aに示されているように、オープン・ループのやり方で動作され得る。スイッチング増幅器600は、また、例えば図2に示されているようなループ・フィルタおよびサマーを有するフィードバック回路を含むことによって、クローズ・ループのやり方で動作され得る。この場合では、入力信号および出力信号は、サマーに提供され得、それは、ループ・フィルタにエラー信号を提供し得る。(入力信号ではなく)フィルタされたエラー信号は、Nのコンパレータ622a乃至622nに、ループ・フィルタによって提供され得る。

## 【 0 0 3 4 】

[0041] 図6Aのスイッチング増幅器600は、いくつかの新規な特徴を有する。第1に、出力回路630および変調器620の複数のステージが、並行に結合され、全ての出力回路630の出力は、加算ノード(summing node)Uにおいて一緒に結合される。第2に、Nの変調器620に提供されたキャリア信号は、徐々に遅延される。第3に、信号出力フィルタ640は、全てのNの出力回路630a乃至630nの加算された出力のため

に使用される。

【 0 0 3 5 】

[0042] 図 7 A 乃至図 7 E は、図 6 A においてスイッチング増幅器に関連したさまざまな信号を示す。図 7 A は、スイッチング増幅器 6 0 0 に提供された入力信号  $S(t)$  のプロット 7 1 0 を示す。この例では、入力信号は、1 0 0 M H z の周波数において、正弦関数を備える。図 7 B は、スイッチング増幅器 6 0 0 に提供されたキャリア信号  $C(t)$  のプロット 7 2 0 を示す。この例では、キャリア信号は、1 G H z の周波数において、のこぎり形信号である。図 7 C は、組み込まれた高調波除去フィルタがない場合のスイッチング増幅器の出力回路によって与えられる出力信号  $Y_{nf}(t)$  のプロット 7 3 0 を示す。この出力信号  $Y_{nf}(t)$  は、図 6 A の出力回路 6 3 0 a からの出力信号  $Y_0(t)$  と等しく、残りの  $N - 1$  の出力回路 6 3 0 b 乃至 6 3 0 n に接続されないことが、想定される。出力信号  $Y_{nf}(t)$  は、入力信号の振幅に依存するデューティ・サイクルおよび 1 G H z の周波数を有する。

10

【 0 0 3 6 】

[0043] 図 7 D は、図 7 C の出力信号  $Y_{nf}(t)$  の周波数応答のプロットを示す。図 7 D に示されているように、出力信号  $Y_{nf}(t)$  は、1 0 0 M H z での所望の入力信号、および、1 G H z での望ましくないキャリア信号、および他の望ましくない信号コンポーネントを含む。図 7 E は、図 6 A の  $N$  の出力回路 6 3 0 a 乃至 6 3 0 n の組み合わされた出力からの、組み込まれた高調波除去フィルタによる、出力信号  $Y(t)$  の周波数応答のプロットを示す。図 7 E に示されているように、出力信号  $Y(t)$  は、1 0 0 M H z の所望の入力信号を含み、望ましくないキャリア信号高調波を、含まないか最小限にのみ含む。図 7 D および図 7 E は、望ましくないキャリア信号高調波を減衰する際の、組み込まれた高調波除去フィルタの有効性を示す。図 7 E は、キャリア信号の全ての高調波を減衰する組み込まれた高調波除去フィルタを示し、それは、1 G H z での基本波を含む。ここに開示される高調波除去技術は、 $\omega_0$  における信号コンポーネントを保存するように試みながらも残りの高調波  $\omega = k \cdot \omega_0$ 、ここでは  $k \geq 2$ 、をフィルタして除去するように試みる、高調波除去ミキサ技術 (harmonic rejection mixer technique) とは異なる。

20

【 0 0 3 7 】

[0044] 図 6 B は、組み込まれた高調波除去フィルタを有するスイッチング増幅器 6 0 2 の例示的な設計の概略図を示す。スイッチング増幅器 6 0 2 は、異なる量だけ入力信号を遅延させることによって高調波除去のための F I R フィルタを実施する。スイッチング増幅器 6 0 2 は、ジェネレータ回路 6 0 3 および  $N$  の出力回路 6 3 0 a 乃至 6 3 0 n を含む。ジェネレータ回路 6 0 3 は、 $N$  のコンパレータ 6 2 2 a 乃至 6 2 2 n を備える  $N$  の変調器 6 2 0 および  $N - 1$  の遅延回路 6 1 0 b 乃至 6 1 0 n を含む。入力信号  $S(t)$  は、 $T_0/N$  乃至  $(N - 1) \cdot T_0/N$  の異なる遅延をそれぞれ提供する  $N - 1$  の遅延回路 6 1 0 b 乃至 6 1 0 n の各々に提供される。 $N$  次の遅延回路 6 1 0 は、 $n$  次の遅延入力信号を提供する。 $N$  のコンパレータ 6 2 2 a 乃至 6 2 2 n は、それぞれ異なる量の遅延に関連した  $N$  の入力信号  $S_0(t)$  乃至  $S_{N-1}(t)$ 、および同じキャリア信号  $C(t)$  を受信する。各コンパレータ 6 2 2 は、遅延した入力信号およびキャリア信号に基づいたそれぞれのドライブ信号を生成する。 $N$  のコンパレータ 6 2 2 a 乃至 6 2 2 n は、 $N$  のドライブ信号  $D_0(t)$  乃至  $D_{N-1}(t)$  をそれぞれ提供する。

30

40

【 0 0 3 8 】

[0045] 図 6 C は、組み込まれた高調波除去フィルタを有するスイッチング増幅器 6 0 4 の例示的な設計の概略図を示す。スイッチング増幅器 6 0 4 は、異なる量だけドライブ信号を遅延することによって高調波除去のための F I R フィルタを実施する。スイッチング増幅器 6 0 4 は、ジェネレータ回路 6 0 5 および  $N$  の出力回路 6 3 0 a 乃至 6 3 0 n を含む。ジェネレータ回路 6 0 5 は、 $N - 1$  の遅延回路 6 1 0 b 乃至 6 1 0 n、および、コンパレータ 6 2 2 x を備える 1 つの変調器 6 2 0 x を含む。コンパレータ 6 2 2 x は、入力信号  $S(t)$  およびキャリア信号  $C(t)$  を受信し、ドライブ信号  $D(t)$  を提供する。ドライブ信号は、出力回路 6 3 0 a に、および、 $N - 1$  の遅延回路 6 1 0 b 乃至 6 1 0

50

$n$  の各々にも、提供される。遅延回路 610b 乃至 610n は、 $T_0/N$  乃至  $(N-1) \cdot T_0/N$  の異なる遅延をそれぞれ提供する。 $n$  次の遅延回路 610 は、 $n$  次の遅延したドライブ信号を提供する。各出力回路 630 は、それぞれのドライブ信号を受信し、そのドライブ信号によって制御される。

【0039】

[0046] 図 6B のスイッチング増幅器 602 および図 6C のスイッチング増幅器 604 は、図 6A のスイッチング増幅器 600 と機能的に同等である。異なる量の遅延に関連した  $N$  のドライブ信号  $D_0(t)$  乃至  $D_{N-1}(t)$  は、(例えば図 6A に示されているような) キャリア信号を遅延すること、または、(例えば図 6B に示されているような) 入力信号を遅延すること、または、(例えば図 6C に示されているような) ドライブ信号を遅延することによって、得られ得る。

10

【0040】

[0047] 図 6A 乃至図 6C は、組み込まれた高調波除去フィルタを有するスイッチング増幅器の 3 つの例示的な設計を示す。他の例示的な設計では、組み込まれた高調波除去フィルタを有するスイッチング増幅器は、図 6C のコンパレータ 622x とは代わって、位相ロック・ループ (PLL: phase locked loop) を備えるジェネレータ回路を含み得る。PLL は、入力信号  $S(t)$  および基準クロック (reference clock) を受信し、ドライブ信号  $D(t)$  を提供し得る。PLL は、ダイレクト FM (direct FM) を実施し得る。組み込まれた高調波除去フィルタを有するスイッチング増幅器は、他のやり方でも実施され得る。

20

【0041】

[0048] 組み込まれた高調波除去フィルタを有するスイッチング増幅器は、例えば図 6A 乃至図 6C に示されているような、シングルエンドの設計 (single-ended design) によって実施され得る。組み込まれた高調波除去フィルタを有するスイッチング増幅器は、異なる設計によっても実施され得る。例えば、図 6A の回路が反復され得る。非反転入力信号  $S(t)$  および非反転キャリア  $C(t)$  は、非反転出力信号  $Y(t)$  を生成するために回路の第 1 のコピーに提供され得る。反転入力信号

【数 4】

$$\bar{S}(t)$$

30

【0042】

および反転キャリア

【数 5】

$$\bar{C}(t)$$

【0043】

は、反転出力信号

40

【数 6】

$$\bar{Y}(t)$$

【0044】

を生成するために、回路の第 2 のコピーに提供され得る。反転および非反転出力信号は、1 つ以上の出力信号に提供され得る。

【0045】

[0049] 例示的な設計では、複数のスイッチング増幅器は、各々が組み込まれた高調波除去フィルタを有しており、望ましくない帯域外信号コンポーネントの減衰を改良するた

50

めに、カスケード／直列で結合され得る。概して、組み込まれた高調波除去フィルタを有する任意の数のスイッチング増幅器は、カスケードで結合され得る。スイッチング増幅器は、同一であり得、また、異なる設計を有し得る。

#### 【 0 0 4 6 】

[0050] 図 8 は、カスケードで結合された 2 つのスイッチング増幅器 8 0 0 a および 8 0 0 b の例示的な設計のブロック図を示し、各スイッチング増幅器 8 0 0 は、組み込まれた高調波除去フィルタを有する。スイッチング増幅器 8 0 0 a は、入力信号  $S(t)$  およびキャリア信号  $C(t)$  を受信し、中間信号  $X(t)$  を提供する。スイッチング増幅器 8 0 0 b は、中間信号  $X(t)$  およびキャリア信号  $C(t)$  を受信し、出力信号  $Y(t)$  を提供する。出力フィルタ（図 8 には示されていない）は、出力信号  $Y(t)$  を受信し、フ

10

#### 【 0 0 4 7 】

[0051] スwitching 増幅器 8 0 0 a および 8 0 0 b は、図 6 A のスイッチング増幅器 6 0 0、図 6 B のスイッチング増幅器 6 0 2、図 6 C のスイッチング増幅器 6 0 4、またはいくつかの他の設計のスイッチング増幅器によって各々実施され得る。スイッチング増幅器 8 0 0 a および 8 0 0 b は、同じ数のステージ／タップまたは異なる数のステージを有し得る。スイッチング増幅器 8 0 0 a および 8 0 0 b は、（例えば、図 8 に示されているような）同じキャリア信号を受信し得、または、異なるキャリア信号を受信し得る。例えば、スイッチング増幅器 8 0 0 a は、第 1 の周波数で第 1 のキャリア信号を受信し得、スイッチング増幅器 8 0 0 b は、第 2 の周波数で第 2 のキャリア信号を受信し得る。第 1

20

#### 【 0 0 4 8 】

[0052] 図 9 は、図 8 のスイッチング増幅器 8 0 0 a および 8 0 0 b の周波数応答のプロットを示す。水平軸は、周波数を示しており、 $f/f_0$  の単位で与えられている。垂直軸は、振幅を示しており、線形ユニットで与えられている。プロット 9 1 0 は、 $N = 6$  の場合における単一のスイッチング増幅器 8 0 0 a または 8 0 0 b の周波数応答を示す。プロット 9 2 0 は、 $N = 6$  の場合におけるスイッチング増幅器 8 0 0 a および 8 0 0 b の両方の全体の周波数応答を示す。図 9 に示されているように、カスケードの複数のスイッチング増幅器（cascading multiple switching amplifiers）は、 $f_0$ 、 $2f_0$ 、 $3f_0$  など

30

#### 【 0 0 4 9 】

[0053] 複数の遅延回路 6 1 0 b 乃至 6 1 0 n は、異なる量の遅延を提供するために使用され得、さまざまなやり方で実施され得る。遅延回路は、アナログ回路、またはデジタル回路、または、これら両方の組み合わせによって実施され得る。

#### 【 0 0 5 0 】

[0054] 図 1 0 は、遅延回路ブロック 1 0 0 0 の例示的な設計の概略図を示しており、それは、図 6 A 乃至 6 C の遅延回路 6 1 0 b 乃至 6 1 0 n を実施するために使用され得る。図 1 0 に示されている例示的な設計では、遅延回路ブロック 1 0 0 0 は、カスケード／直列で結合された  $N - 1$  のバッファ（B u f）1 0 1 0 b 乃至 1 0 1 0 n を含む。各バッファ 1 0 1 0 は、 $T_0/N$  の遅延を提供する。入ってくる信号  $Q(t)$  は、第 1 のバッファ 1 0 1 0 b の入力に提供される。各バッファは、次のバッファの入力に、それぞれ遅延した信号を提供する。 $N - 1$  のバッファ 1 0 1 0 b 乃至 1 0 1 0 n は、 $N - 1$  の遅延した信号  $Q_1(t)$  乃至  $Q_{N-1}(t)$  を提供し、ここで、 $Q_0(t) = Q(t)$  および  $Q_i(t) = Q_{i-1}(t - T_0/N)$  であり、ここで  $i = 1, 2, \dots, N - 1$  である。

40

#### 【 0 0 5 1 】

[0055] 1 つの例示的な設計では、バッファ 1 0 1 0 b 乃至 1 0 1 0 n は、固定の遅延を各々提供し得る。他の例示的な設計では、バッファ 1 0 1 0 b 乃至 1 0 1 0 n は、設定可能な遅延を各々提供し得る。例えば、各バッファ 1 0 1 0 は、並行して結合された複数の MOS トランジスタによって実施され得る。より多くの MOS トランジスタが、より短い遅延を得るために作動され、逆の場合もまた同様である。他の例として、各バッファ 1

50

0 1 0 は、コンデンサのバンクを含み得る。より少ないコンデンサが、より短い遅延を得るために選択され得、逆の場合もまた同様である。何れの場合も、N - 1 のバッファは、所望の量の遅延を提供するために設定され得る。N - 1 のバッファ 1 0 1 0 b 乃至 1 0 1 0 n は、それらが全てのバッファに対して適した遅延を得るために可能な限り近接して一緒に一致するように、（例えば、オンチップで（on chip））実施され得る。

【 0 0 5 2 】

[0056] 他の例示的な設計では、複数の異なる遅延を有する複数の異なるバージョンの所定の信号が、これら異なるバージョンの信号をデジタル的に合成することによって、得られ得る。例えば、異なるバージョンの信号は、当業者には周知の直接デジタル合成（D D S : direct digital synthesis）に基づくルックアップ・テーブルから合成され得る。

10

【 0 0 5 3 】

[0057] 1 つの例示的な設計では、組み込まれた高調波除去フィルタを有するスイッチング増幅器の出力回路およびコンパレータは、適切な回路コンポーネント（例えば、M O S トランジスタ）によって実施され得る。他の例示的な設計では、複数の出力回路に対する複数のドライブ信号が、（キャリア信号を使用するコンパレータによってではなく）デジタル領域で生成され得る。この例示的な設計では、F I R フィルタは、1 ビット幅のインプット信号を受信するデジタル回路に形成され、N ビット幅のサーモメータ符号化出力信号（thermometer-coded output signal）を生成し得る。そして、スイッチング増幅器は、出力フィルタを駆動する D A C およびデジタル回路によって実施され得る。

【 0 0 5 4 】

20

[0058] 組み込まれた高調波除去フィルタを有するスイッチング増幅器は、組み込まれた高調波除去フィルタのない増幅器に勝る様々な有利な点を提供し得る。スイッチング増幅器は、望ましくない信号コンポーネントのフィルタリングを実施するための時間遅延を伴う、並列で結合された出力回路の複数のステージを含む。結果として、はるかに小さいサイズの出力フィルタ（例えば、より小さいインダクタ、および / または、より小さいコンデンサ）は、出力回路の後に所望の信号コンポーネントの所望の減衰を提供することができる。より小さい出力フィルタは、出力回路によって、オンチップで実施され得る。出力回路および出力フィルタの完全な統合は、複雑さおよびコストを減じ、性能を向上させ、および / または他の利益を提供し得る。

【 0 0 5 5 】

30

[0059] 例示的な設計では、装置（例えば、無線デバイス、集積回路（I C）、回路モジュールなど）は、ジェネレータ回路、および複数の出力回路を含み得、組み込まれた高調波除去フィルタを有するスイッチング増幅器を実施し得る。ジェネレータ回路は、入力信号およびキャリア信号を受信し得、複数の異なる遅延に関連した複数のバージョンの 1 つのドライブ信号を生成し得る。複数の出力回路は、複数のバージョンの 1 つのドライブ信号を受信し得、出力信号を提供し得る。複数の出力回路は、一緒に結合された出力を有し得、複数のバージョンの 1 つのドライブ信号に基づいて F I R フィルタを実施し得る。

【 0 0 5 6 】

[0060] 複数のバージョンの 1 つのドライブ信号は、キャリア周波数でキャリア信号に基づいて生成され得る。F I R フィルタは、（例えば、図 5 および図 9 に示されているように）キャリア周波数の高調波で複数のゼロを伴う周波数応答を有し得る。キャリア信号は、（例えば、図 7 B において示されているような）三角形の波形、のこぎり型の波形、四角形の波形、または他の波形を有し得る。ドライブ信号は、P W M 信号またはいくつかの他の変調された信号を備え得る。

40

【 0 0 5 7 】

[0061] 1 つの例示的な設計では、1 つのドライブ信号の複数のバージョンは、例えば図 6 A に示されているように、キャリア信号を遅延させることによって発生され得る。この例示的な設計では、ジェネレータ回路は、少なくとも 1 つの遅延回路および複数の変調器を備え得る。少なくとも 1 つの遅延回路は、キャリア信号を受信し、複数の異なる遅延に関連した キャリア信号の複数のバージョンのうちの少なくとも 1 つを提供し得る。複数の

50

の変調器は、( 全ての変調器に適用される ) 入力信号および 1 つのキャリア信号の複数のバージョンを受信し得、 1 つのドライブ信号の複数のバージョンを提供し得る。

【 0 0 5 8 】

[0062] 他の例示的な設計では、複数のバージョンの 1 つのドライブ信号は、例えば図 6 B に示されているように、入力信号を遅延させることによって生成され得る。この例示的な設計では、ジェネレータ回路は、少なくとも 1 つの遅延回路および複数の変調器を備え得る。少なくとも 1 つの遅延回路は、入力信号を受信し得、複数の異なる遅延に関連した複数のバージョンの入力信号のうちの少なくとも 1 つを提供し得る。複数の変調器は、複数のバージョンの入力信号および ( 全ての変調器に適用される ) キャリア信号を受信し得、複数のバージョンの 1 つのドライブ信号を提供し得る。

10

【 0 0 5 9 】

[0063] さらに他の例示的な設計では、複数のバージョンの 1 つのドライブ信号は、例えば図 6 C に示されているように、ドライブ信号を遅延させることによって、生成され得る。この例示的な設計では、ジェネレータ回路は、少なくとも 1 つの遅延回路および 1 つの変調器を備え得る。変調器は、入力信号およびキャリア信号を受信し得、ドライブ信号を提供し得る。少なくとも 1 つの遅延回路は、ドライブ信号を受信し得、複数のバージョンのドライブ信号のうちの少なくとも 1 つを提供し得る。複数のバージョンの 1 つのドライブ信号は、他のやり方でも生成され得る。ジェネレータ回路は、1 つまたは複数の適切な信号に基づいて複数のバージョンの 1 つのドライブ信号を生成することができるアナログ回路、および / または、デジタル回路を備え得る。

20

【 0 0 6 0 】

[0064] 1 つの例示的な設計では、各出力回路は、例えば図 6 A 乃至図 6 C に示されているように、第 1 および第 2 のトランジスタを含み得る。第 1 のトランジスタ ( 例えば、PMOS トランジスタ 6 3 2 ) は電源電圧および出力回路の出力の間で結合され得る。第 2 のトランジスタ ( 例えば、NMOS トランジスタ 6 3 4 ) は、回路グラウンドおよび出力回路の出力の間で結合され得る。1 つの例示的な設計では、複数の出力回路は等しい利得を有し得、FIR フィルタは、図 5 に示されている周波数応答を有し得る。他の例示的な設計では、複数の出力回路は、少なくとも 2 つの異なる利得を有し得る。FIR フィルタは、各出力回路の利得に基づいて決定された適切な周波数応答を有し得る。

【 0 0 6 1 】

30

[0065] 1 つの例示的な設計では、出力フィルタは、複数の出力回路の組み合された出力に結合され得る。出力フィルタは、任意のフィルタのタイプ ( 例えば、ローパス、バンドパス、またはハイパス ) であり得、任意の次数 ( order ) を有し得る。1 つの例示的な設計では、少なくとも 1 つの変調器、複数の出力回路、および出力フィルタは、同じ IC チップにおいて実施され得る。あるいは、少なくとも 1 つの変調器、および複数の出力回路は、IC チップにおいて実施され得、出力フィルタは、IC チップの外部で実施され得る。

【 0 0 6 2 】

[0066] 1 つの例示的な設計では、複数の出力回路は、例えば図 1 に示されているように、オープン・ループ構造で使用される。この場合では、出力信号は、複数のバージョンの 1 つのドライブ信号を生成するために使用されない。他の例示的な設計では、複数の出力回路は、例えば図 2 に示されているように、クローズ・ループ構造で使用される。この場合では、出力信号は、フィードバックされ、複数のバージョンの 1 つのドライブ信号を生成するために使用され得る。

40

【 0 0 6 3 】

[0067] 図 1 1 は、組み込まれた高調波除去フィルタを有するスイッチング増幅器に基づいて出力信号を生成するためのプロセス 1 1 0 0 の 1 つの例示的な設計を示す。複数の異なる遅延に関連した複数のバージョンの 1 つのドライブ信号は、入力信号およびキャリア信号に基づいて生成され得る ( ブロック 1 1 1 2 )。ドライブ信号は、PWM 信号を備え得る。複数のバージョンの 1 つのドライブ信号は、出力信号を得るために複数の出力回

50

路に適用され得る（ブロック 1 1 1 4）。複数の出力回路は、一緒に結合された出力を有し得、複数のバージョンの 1 つのドライブ信号に基づいて F I R フィルタを実施し得る。

【 0 0 6 4 】

[0068] ブロック 1 1 1 2 の 1 つの例示的な設計では、複数の異なる遅延に関連した複数のバージョンのキャリア信号は、例えば図 6 A に示されているように生成され得る。そして、複数のバージョンの 1 つのドライブ信号は、複数のバージョンのキャリア信号および入力信号に基づいて生成され得る。ブロック 1 1 1 2 の他の例示的な設計では、複数の異なる遅延に関連した複数のバージョンの 1 つの入力信号は、例えば図 6 B に示されているように、生成され得る。複数のバージョンの 1 つのドライブ信号は、複数のバージョンの入力信号およびキャリア信号に基づいて生成され得る。ブロック 1 1 1 2 のさらなる他の例示的な設計では、ドライブ信号は、例えば図 6 C に示されているように入力信号およびキャリア信号に基づいて生成され得る。複数のバージョンの 1 つのドライブ信号は、異なる量だけドライブ信号を遅延させることによって、生成され得る。

【 0 0 6 5 】

[0069] 本書で説明された組み込まれた高調波除去フィルタを有するスイッチング増幅器は、I C、アナログ I C、無線周波数 I C（R F I C）、混合信号（mixed-signal）I C、特定用途向け集積回路（A S I C）、プリント基板（printed circuit board）（P C B）、電磁デバイスなどにおいて実施され得る。スイッチング増幅器は、また、相補型金属酸化膜半導体（C M O S）、N M O S、P M O S、バイポーラ接合トランジスタ（B J T）、バイポーラ C M O S（B i C M O S）、シリコンゲルマニウム（S i G e）、ガリウムヒ素（G a A s : gallium arsenide）などのような、様々な I C プロセス技術によって、製造され得る。

【 0 0 6 6 】

[0070] ここに説明される組み込まれた高調波除去フィルタを有するスイッチング増幅器を実施する装置は、独立型デバイスであり得、または、比較的大きいデバイスの部分であり得る。デバイスは、（i）独立型 I C、（i i）データおよび / または命令を格納するためのメモリー I C を含み得る 1 つ以上の I C のセット、（i i i）R F 送信機 / 受信機（R T R）、または R F 受信機（R F R）のような R F I C、（i v）移動局モデム（M S M）のような A S I C、（v）他のデバイス中に組み込まれ得るモジュール、（v i）受信機、セルラー電話、無線デバイス、送受話器、またはモバイルユニット、（v i i）その他、であり得る。

【 0 0 6 7 】

[0071] 1 つまたは複数の例示的な設計では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれら任意の組み合わせで実施され得る。ソフトウェアにおいて実施される場合、機能は、1 つまたは複数の命令群あるいはコードとして、コンピュータ可読媒体に記憶され得る、またはそれによって送信され得る。コンピュータ可読媒体は、ある場所から別の場所へのコンピュータ・プログラムの伝達を容易にする任意の媒体を含む通信媒体とコンピュータ記憶媒体との両方を含む。記憶媒体は、コンピュータによってアクセスされることができる任意の利用可能な媒体であり得る。限定ではなく例として、このようなコンピュータ可読媒体は、R A M、R O M、E E P R O M、C D - R O M または他の光ディスク記憶装置、磁気ディスク記憶装置またはその他の磁気記憶デバイス、または、データ構造または命令の形式で所望のプログラム・コードを記憶または搬送するために使用可能であり、かつコンピュータによってアクセスされることが可能なその他任意の媒体を備えることができる。また、任意の接続は、コンピュータ可読媒体と厳密には称される。例えば、ソフトウェアが、ウェブサイト、サーバ、または同軸ケーブル、ファイバ光ケーブル、ツイスト・ペア、デジタル加入者線（D S L）、または赤外線、無線、マイクロ波のような無線技術を使用している他の遠隔ソースから送信された場合、同軸ケーブル、ファイバ光ケーブル、ツイスト・ペア、D S L、または赤外線、無線、およびマイクロ波のような無線技術は、媒体の定義に含まれる。ここで使用されるようなディスク（disk）およびディスク（disc）は、コンパクト・ディスク（C D）（disc）、

レーザ・ディスク(disc)(登録商標)、光ディスク(disc)、デジタル多目的ディスク(DVD)(disc)、フロッピー(登録商標)ディスク(disk)およびブルーレイ(登録商標)ディスク(disc)を含み、ここで、ディスク(disk)は、通常データを磁氣的に再生し、これに対してディスク(disc)は、レーザを用いてデータを光学的に再生する。上記したものの組み合わせもまた、コンピュータ可読媒体の範囲内に含まれるべきである。

【0068】

[0072] 本開示の先の説明は、いずれの当業者でも本開示を作り出し、または使用することを可能にさせるために提供される。本開示に対する様々な変更は、当業者に容易に理解され、ここで定義される一般的な原理は、本開示の範囲から逸脱することなく他の変更

10

に適用され得る。かくして、本開示は、ここに説明された例および設計に限定されることを意図されておらず、ここに開示される原理および新規の特徴と一致する最も広い範囲が付与されるべきである。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[1] 複数の異なる遅延に関連した複数のバージョンの1つのドライブ信号を生成するように構成されているジェネレータ回路と、複数の異なる遅延に関連した前記複数のバージョンの前記ドライブ信号を受信するように、および、出力信号を提供するように構成されている複数の出力回路と、前記複数の出力回路は、一緒に結合された出力を有し、前記複数のバージョンの前記ドライブ信号に基づいて有限インパルス応答(FIR)フィルタを実施する、を備える装置。

[2] 前記複数のバージョンの前記ドライブ信号は、キャリア周波数においてキャリア信号に基づいて生成され、および、前記FIRフィルタは、前記キャリア周波数の高調波において複数のゼロを伴う周波数応答を有する、[1]に記載の装置。

20

[3] 前記ジェネレータ回路は、複数の異なる遅延に関連した複数のバージョンの1つのキャリア信号、および全ての変調器に適用される入力信号を受信するように、および、前記複数のバージョンの前記ドライブ信号を提供するように構成されている複数の変調器を備える、を備える請求項1に記載の装置。

[4] 前記ジェネレータ回路は、さらに、前記キャリア信号を受信し、前記複数のバージョンの前記キャリア信号のうちの少なくとも1つを提供するように構成されている少なくとも1つの遅延回路を備える、[3]に記載の装置。

[5] 前記ジェネレータ回路は、異なる遅延に関連した複数のバージョンの1つの入力信号および全ての変調器に適用されるキャリア信号を受信するように、および、前記複数のバージョンの前記ドライブ信号を提供するように構成されている複数の変調器を備える、[1]に記載の装置。

30

[6] 前記ジェネレータ回路は、さらに、前記入力信号を受信し、前記複数のバージョンの前記入力信号のうちの少なくとも1つを提供するように構成されている少なくとも1つの遅延回路を備える、[5]に記載の装置。

[7] 前記ジェネレータ回路は、入力信号およびキャリア信号を受信するように、および、前記ドライブ信号を提供するように構成されている変調器と、前記ドライブ信号を受信し、前記複数のバージョンの前記ドライブ信号のうちの少なくとも1つを提供するように構成されている少なくとも1つの遅延回路と、を備える、[1]に記載の装置。

40

[8] 前記ドライブ信号は、パルス幅変調(PWM)信号を備える、[1]に記載の装置。

[9] 前記複数の出力回路のうちの各出力回路は、電源電圧および前記出力回路の出力の間で結合された第1のトランジスタと、回路グラウンドおよび前記出力回路の出力の間で結合された第2のトランジスタを備える、[1]に記載の装置。

[10] 前記複数の出力回路は、等しい利得を有する、[1]に記載の装置。

[11] 前記複数の出力回路は、少なくとも2つの異なる利得を有する、[1]に記載の装置。

[12] 前記複数の出力回路の前記出力に結合された出力フィルタをさらに備える、[1]に記載の装置。

50



[ 1 3 ] 前記複数の出力回路および前記出力フィルタは、集積回路（ＩＣ）チップにおいて実施される、[ 1 2 ]に記載の装置。

[ 1 4 ] 前記複数の出力回路は、オープン・ループ構造で使用され、前記出力信号は、前記複数のバージョンの前記ドライブ信号を生成するために使用されない、[ 1 ]に記載の装置。

[ 1 5 ] 前記複数の出力回路は、クローズ・ループ構造で使用され、前記出力信号は、フィードバックされ、前記複数のバージョンの前記ドライブ信号を生成するために使用される、[ 1 ]に記載の装置。

[ 1 6 ] 入力信号およびキャリア信号に基づいて複数の異なる遅延に関連した複数のバージョンの１つのドライブ信号を生成することと、出力信号を得るために複数の出力回路に前記複数のバージョンの前記ドライブ信号を適用することと、前記複数の出力回路は、一緒に結合された出力を有し、かつ前記複数のバージョンの前記ドライブ信号に基づいて有限インパルス応答（ＦＩＲ）フィルタを実施する、を備える方法。

10

[ 1 7 ] 前記複数のバージョンの前記ドライブ信号を前記生成することは、複数の異なる遅延に関連した複数のバージョンの前記入力信号または複数のバージョンの前記キャリア信号を生成することと、前記複数のバージョンの前記キャリア信号または前記複数のバージョンの前記入力信号に基づいて前記複数のバージョンの前記ドライブ信号を生成すること、を備える、[ 1 6 ]に記載の方法。

[ 1 8 ] 前記複数のバージョンの前記ドライブ信号を前記生成することは、前記入力信号および前記キャリア信号に基づいて前記ドライブ信号を生成することと、異なる量だけ前記ドライブ信号を遅延させることによって前記複数のバージョンの前記ドライブ信号を生成すること、を備える、[ 1 6 ]に記載の方法。

20

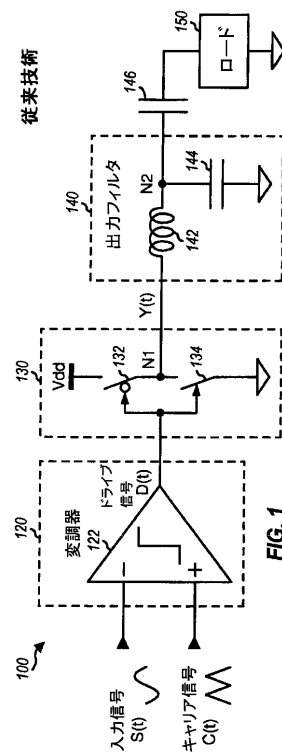
[ 1 9 ] 入力信号およびキャリア信号に基づいて複数の異なる遅延に関連した複数のバージョンの１つのドライブ信号を生成するための手段と、前記複数のバージョンの前記ドライブ信号に基づいて出力信号を生成するための手段と、前記出力信号を生成するための前記手段は、前記複数のバージョンの前記ドライブ信号に基づいて有限インパルス応答（ＦＩＲ）フィルタを実施する、を備える装置。

[ 2 0 ] 前記複数のバージョンの前記ドライブ信号を生成するための前記手段は、異なる遅延に関連した複数のバージョンの前記入力信号または複数のバージョンの前記キャリア信号を生成するための手段と、前記複数のバージョンの前記キャリア信号または前記複数のバージョンの前記入力信号に基づいて前記複数のバージョンの前記ドライブ信号を生成するための手段と、を備える、[ 1 9 ]に記載の装置。

30

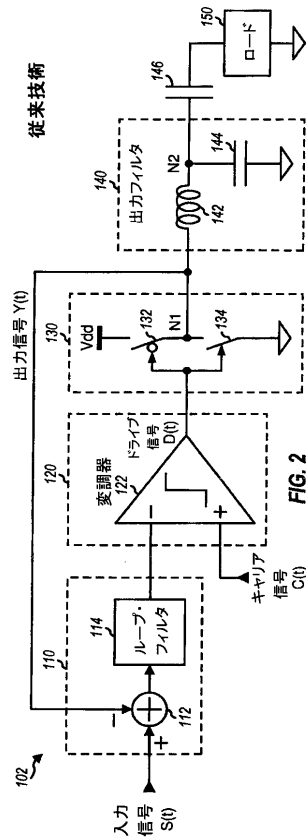
【図 1】

図 1



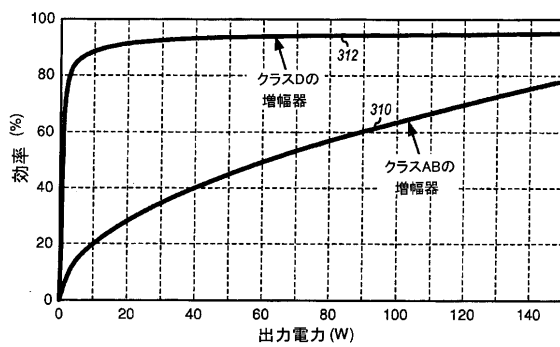
【図 2】

図 2



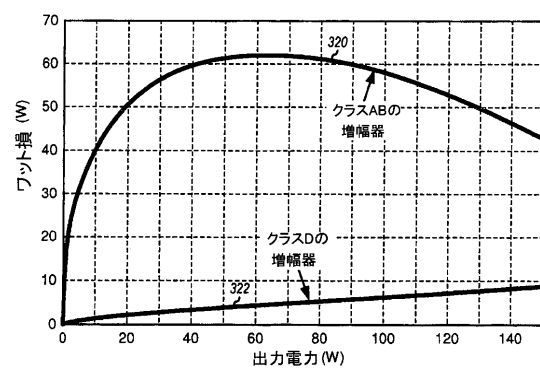
【図 3 A】

図 3A



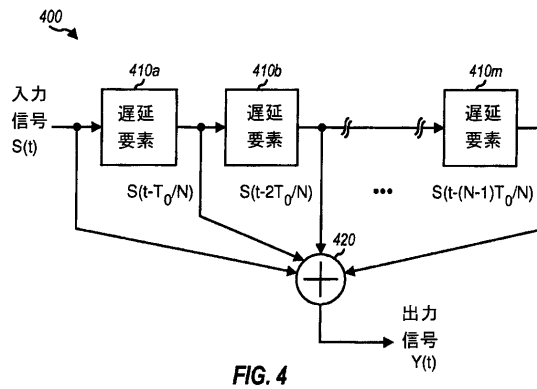
【図 3 B】

図 3B



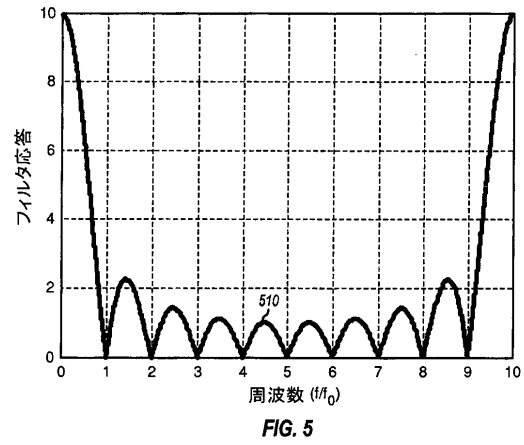
【図 4】

図 4



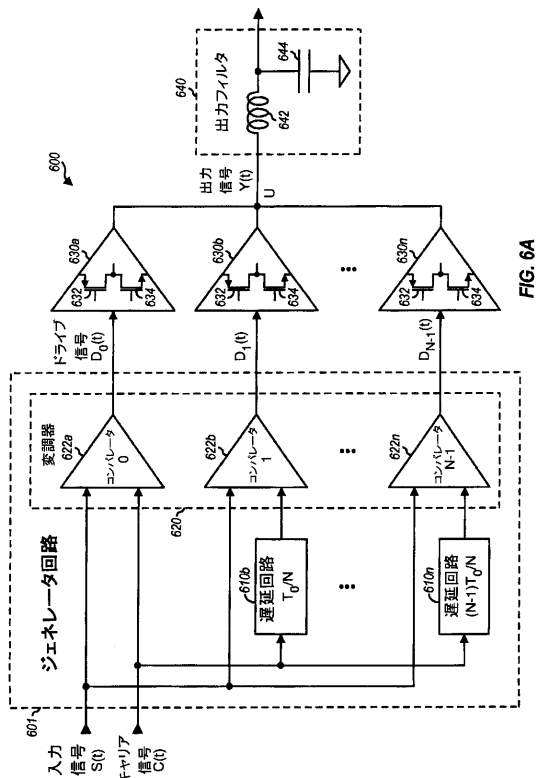
【図 5】

図 5



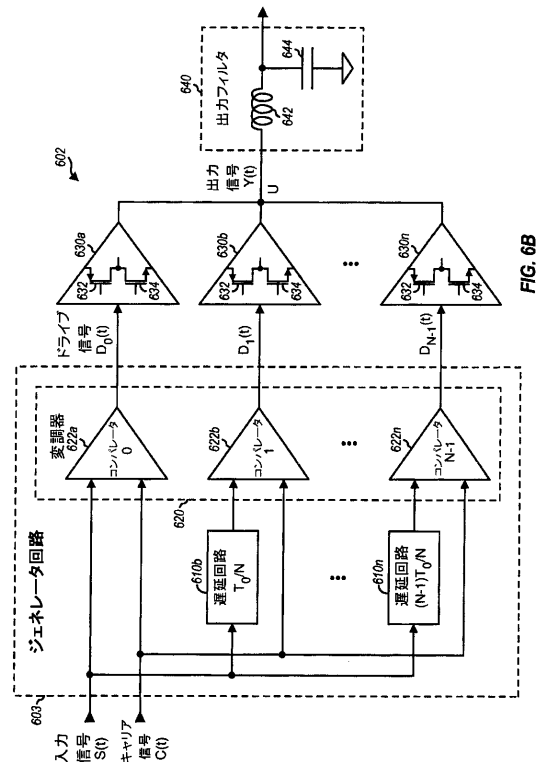
【図 6 A】

図 6A



【図 6 B】

図 6B



【図 6 C】

図 6C

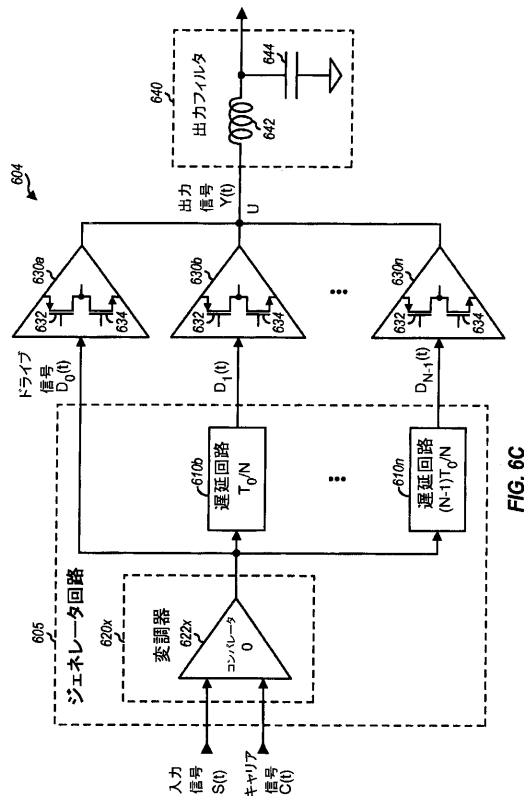


FIG. 6C

【図 7 A】

図 7A

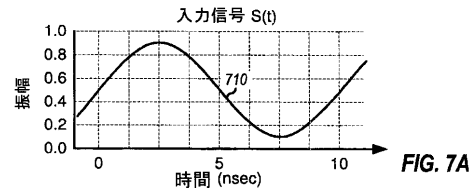


FIG. 7A

【図 7 B】

図 7B

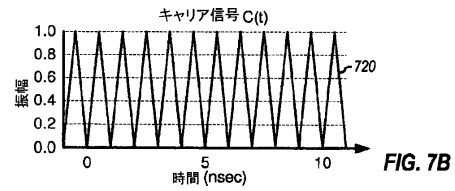


FIG. 7B

【図 7 C】

図 7C

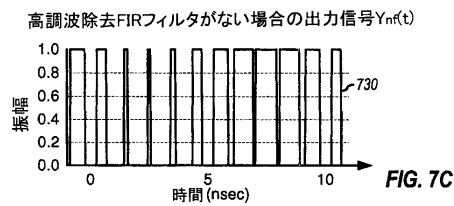


FIG. 7C

【図 7 E】

図 7E

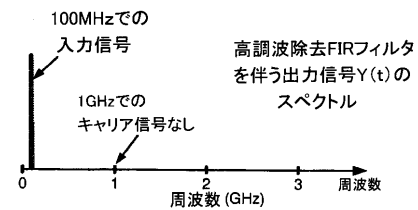


FIG. 7E

【図 7 D】

図 7D

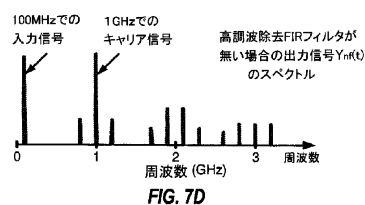


FIG. 7D

【図 8】

図 8

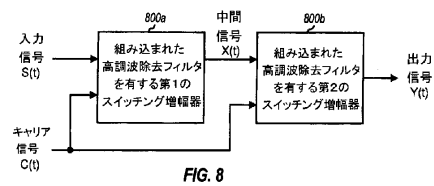


FIG. 8

## 【図 9】

図 9

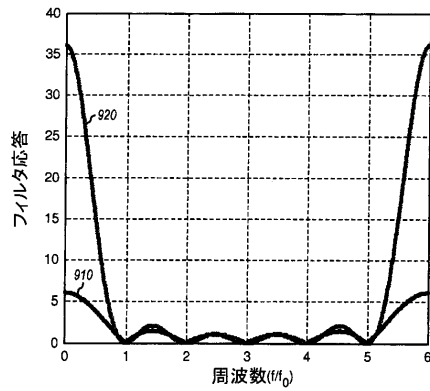


FIG. 9

## 【図 10】

図10

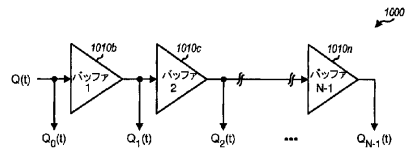


FIG. 10

## 【図 11】

図 11

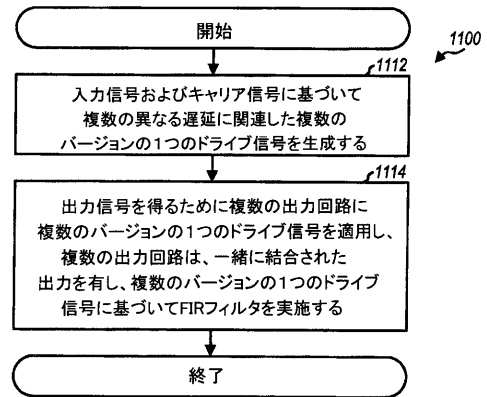


FIG. 11

---

フロントページの続き

(72)発明者 リン、サイファ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57  
75

合議体

審判長 森川 幸俊

審判官 安藤 一道

審判官 國分 直樹

(56)参考文献 特開2001-127562(JP,A)

特表2002-532048(JP,A)

特開2009-60557(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F3/217