

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 30 日 (30.01.2014)



(10) 国际公布号
WO 2014/015636 A1

- (51) 国际专利分类号:
G02F 1/1362 (2006.01) *H01L 23/544* (2006.01)
- (21) 国际申请号: PCT/CN2012/087235
- (22) 国际申请日: 2012 年 12 月 23 日 (23.12.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210265530.X 2012 年 7 月 27 日 (27.07.2012) CN
- (71) 申请人: 北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。
- (72) 发明人: 吴昊 (WU, Hao); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 陈雅娟 (CHEN, Yajuan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 尹岩岩 (YIN, Yanyan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王磊 (WANG, Lei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: ARRAY SUBSTRATE, METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制备方法、显示装置

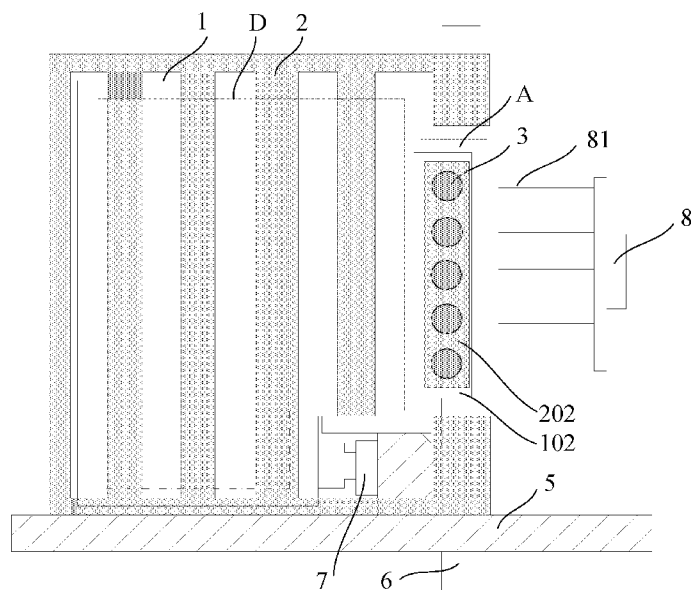


图 4 / FIG. 4

(57) Abstract: An array substrate, a method for manufacturing same, and a display device. The array substrate comprises multiple pixel units. Each pixel unit comprises a first transparent conducting layer and a second transparent conducting layer (2), the first transparent conducting layer is formed with a pixel electrode (1), the second transparent conducting layer is formed with a common electrode (201), the second transparent conducting layer (2) is located on the surface of the pixel units, and an insulated protection layer (131) is arranged between the first transparent conducting layer and the second transparent conducting layer (2). The pixel electrode (1) of each pixel unit extends out of a test portion (102), the second transparent conducting layer (2) is further formed with a test block (202) corresponding to the test portion (102), the test block (202) is laterally insulated from the common electrode (201), a part of the insulated protection layer (131), located between the test block (202) and the test portion (102) is provided with at least one via hole (3), and the test block (202) is electrically connected to the test portion (102) through the via hole (3). The array substrate

can test the pixel electrode (1) of each pixel unit separately and improve the test precision.

(57) 摘要:

[见续页]

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板及其制备方法、显示装置。该阵列基板包括多个像素单元，每个像素单元包括第一透明导电层和第二透明导电层（2），第一透明导电层形成像素电极（1），第二透明导电层（2）形成公共电极（201），且第二透明导电层（2）位于像素单元表面，第一透明导电层与第二透明导电层（2）之间设有绝缘防护层（131）；其中，每一个像素单元的像素电极（1）延伸出测试部（102），第二透明导电层（2）还形成有与测试部（102）对应的测试块（202），测试块（202）与公共电极（201）横向隔离，绝缘防护层（131）位于测试块（202）与测试部（102）之间的部分设有至少一个过孔（3），测试块（202）与测试部（102）通过过孔（3）电连接。该阵列基板能够对每一个像素单元的像素电极（1）进行单独测试并提高测试的精确性。

阵列基板及其制备方法、显示装置

技术领域

- 5 本发明的实施例涉及液晶显示技术领域，特别涉及一种阵列基板及其制备方法、显示装置。

背景技术

- 在液晶显示技术领域中，因高级超维场转换技术（ADvanced Super
10 Dimension Switch，AD-SDS，简称 ADS）型阵列基板具有视角宽等优点，所以得到广泛的使用。ADS 技术主要是通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场，使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转，从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产
15 品的画面品质，具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹（push Mura）等优点。

- 现有技术中，ADS 型阵列基板包括多个像素单元，如图 1 和图 2 所示，每一个像素单元中，在玻璃基板 09 上制作有由栅极材料做出的栅极线 05，在栅极线上方沉积有栅绝缘层 03，栅绝缘层 03 的上方设有具有预定图形的
20 有源层 07，在有源层 07 的上方设置有源漏极金属层用于制作具有预定图形的源极 08 和漏极 010，在上述源漏极金属层上方设有用于制作像素电极 01（即板状电极）的第一透明导电层，在第一透明导电层的上方沉积钝化层 04，而在钝化层 04 上方设有用于制作公共电极 02（即狭缝电极）的第二透明导电层，其中公共电极 02 之间形成有多个狭缝。

- 25 一块液晶面板具有多个像素单元，位于液晶面板成像区域的每一个像素单元显示区域的像素电极 01 被后来制作的多层结构覆盖，因此无法在切割基板前进行 TFT 半导体特性的测试，为此，现有技术中在整个液晶面板的边缘部位（即，非显示区域）设有专门用于测试的检测模块。这些检测模块与显示区域中的各层结构同时制作，但仅仅生产至像素电极层，位于像素电极上
30 方的多层结构并未制作，因此可以用测试装置测量这些检测模块的像素电极；

测试时，对检测模块的像素电极与像素单元的像素电极施加相同的电压以及电流等条件，通过测试检测模块像素电极的半导体特性来推断其它像素单元中像素电极的半导体特性。

但是，由于检测模块与其它各个像素单元之间存在电阻等差异因素，通过测试检测模块的像素电极得出的测试结果与各个像素单元像素电极的实际特性有很大差异，不利于对薄膜晶体管（TFT）的深入分析和研讨，有时候甚至无法确切掌握所设计 TFT 的实际工作情况到底如何，造成很大的不确定隐患。

因此，如何提供一种阵列基板，以提高对每一个单独的像素单元中像素电极测试的精确性，是本领域技术人员需要解决的技术问题。

发明内容

本发明提供了一种阵列基板，该阵列基板能够对每一个像素单元的像素电极进行单独测试，所以能够提高对每一个单独的像素区域中像素电极测试的精确性。

为达到上述目的，本发明的实施例提供以下技术方案：

根据本发明的第一方面，提供一种阵列基板，包括多个像素单元，每一个所述像素单元包括第一透明导电层和第二透明导电层，所述第一透明导电层形成像素电极，所述第二透明导电层形成公共电极，且所述第二透明导电层位于所述像素单元表面，所述第一透明导电层与所述第二透明导电层之间设有绝缘防护层；其中，每一个所述像素单元的像素电极延伸出测试部，所述第二透明导电层还形成有与所述测试部对应的测试块，所述测试块与所述公共电极横向隔离，所述绝缘防护层位于所述测试块与所述测试部之间的部分设有至少一个过孔，所述测试块与所述测试部通过所述过孔电连接。

根据本发明的第二方面，提供一种阵列基板，包括多个像素单元，其中每一个所述像素单元包括：

基板；

形成于基板上的数据线、源极和漏极，所述源极与相邻的数据线电连接；

形成于所述基板上、以及所述源极和所述漏极之间的沟道内的第一绝缘

层；

形成于所述源极和漏极上的具有预定图形结构的有源层;

形成于所述数据线和所述有源层上的第二绝缘层, 所述第二绝缘层具有通孔;

5 形成于所述第二绝缘层上的像素电极, 所述像素电极通过所述第二绝缘层的通孔与所述漏极电连接, 其中所述像素电极延伸出的测试部位于所述数据线的上方;

形成于所述第二绝缘层上的第一绝缘防护层, 所述第一绝缘防护层与所述像素电极同层设置;

形成于所述第一绝缘防护层上的栅极层;

10 形成于所述栅极层以及所述像素电极上的第二绝缘防护层, 所述第二绝缘防护层具有至少一个过孔;

形成于第二绝缘防护层上的公共电极以及所述测试块, 所述测试块与所述测试部通过设置于所述第二绝缘防护层的至少一个过孔电连接。

15 根据本发明的第三方面, 还提供了一种显示装置, 包括以上任一种阵列基板。

根据本发明的第四方面, 还提供了一种阵列基板的制作方法, 包括:

在基板上制作源漏极金属层, 并形成相应图形的源极和漏极, 以及形成相应图形的数据线;

在源漏极金属层上制作第一绝缘层, 并形成相应的图形;

20 在源漏极金属层上制作有源层;

在有源层上制作第二绝缘层;

在所述第二绝缘层与所述漏极对应位置制作过孔;

25 在第二绝缘层上制作第一透明导电层, 并形成相应图形的像素电极, 所述像素电极与所述漏极通过第二绝缘层设置的通孔电连接, 且所述像素电极延伸出测试部;

在第二绝缘层上沉积第一绝缘防护层;

在第一绝缘防护层上制作栅极层, 并形成相应图形的栅线;

在栅极层上沉积第二绝缘防护层;

第二绝缘防护层与数据线对应位置制作至少一个过孔;

30 在第二绝缘防护层上制作第二透明导电层, 并形成相应图形的公共电极,

以及长条状的测试块，所述测试块与所述测试部通过第二绝缘防护层设置的至少一个过孔电连接。

本发明实施例提供的阵列基板中，通过测试部与第二透明导电层的测试块之间的过孔连接将像素电极的测试点引至阵列基板表面，在具体测试过程中，测试装置可以通过测试每一个像素单元中位于测试区域内的测试块便可得到该像素单元中位于显示区域的像素电极的半导体特性。

所以，本发明实施例提供的阵列基板能够对每一个像素单元的像素电极进行单独测试，能够提高对每一个单独的像素区域中像素电极测试的精确性。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为现有技术中 ADS 型阵列基板中一个像素单元的显示区域的截面图；

图 2 为现有技术中阵列基板中的像素单元的平面示意图；

图 3 为本发明实施例的 ADS 型阵列基板中的像素单元的显示区域的截面图；

图 4 为本发明实施例的阵列基板中的像素单元的平面示意图；

图 5 为本发明实施例的阵列基板中的像素单元中测试区域的截面图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、

数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现在“包括”或者“包含”前面的元件或者物件涵盖出现在“包括”或者“包含”后面列举的元件或者物件及其等同，并不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。

“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

根据本发明实施例的阵列基板包括多个像素单元，如图 3、4 所示，每一个像素单元包括第一透明导电层和第二透明导电层，第一透明导电层形成像素电极 1，第二透明导电层 2 形成公共电极 201。第二透明导电层 2 位于像素单元表面，第一透明导电层与第二透明导电层之间设有绝缘防护层 131，以使二者之间绝缘。在本文的附图中，虚线表示被遮挡部分，实线表示可观看的部分。每一个像素单元均设有测试区域，如图 4 中所示的测试区域 A，像素电极 1 设有延伸至测试区域 A 的测试部 102，同时第二透明导电层 2 在测试区域 A 形成与测试部 102 相对的长条状的测试块 202，测试块 202 与公共电极 201 横向上相互分离，绝缘防护层的位于测试块 202 与测试部 102 之间的部分设有至少一个过孔 3，测试块 202 与测试部 102 通过过孔 3 电连接，如图 4 所示。

如图 3 和图 4 所示，在本实施例中，公共电极 201 为具有狭缝状结构的透明电极，像素电极 1 为板状的透明电极。

本发明实施例的阵列基板中，通过测试部 102 与第二透明导电层 2 的测试块 202 之间的过孔 3 将像素电极 1 的测试点引至阵列基板表面。在具体测试过程中，测试装置 8 的探针 81 可以通过测试每一个像素单元中位于测试区域 A 内的测试块 202 便可得到该像素单元中位于显示区域 D（图中虚线框所示区域）的像素电极 1 的半导体特性。

所以，本发明提供的阵列基板能够对每一个像素单元的像素电极 1 进行单独测试，所以能够提高对每一个单独的像素区域中像素电极 1 测试的精确性。

进一步地，为了保证测试块 202 与测试部 102 之间电连接的稳定性，上

述技术方案中提到的位于测试块 202 与测试部 102 之间绝缘防护层 13 中的过孔 3 为至少两个, 测试块 202 与测试部 102 之间通过每一个过孔 3 电连接。过孔 3 设置为至少两个, 可以预防测试块 202 与测试部 102 之间的电连接出现虚接的不良, 只要至少两个过孔 3 中的一个连接良好则可以实现测试块 202 与测试部 102 之间的电连接。

如图 4 和图 5 所示, 具体的, 上述过孔 3 内填充有由导电材料(例如 ITO)制成的连接部 21, 该连接部 21 可以单独形成, 也可以与测试部 102 和测试块 202 一体形成。后者为优选, 因为一体式结构增加了测试部 102 与测试块 202 之间电连接的稳定性。

在一个实施例中, 测试区域 A 优选地与每一个像素单元的显示区域 D 不重叠。如图 4 中所示的测试区域 A 和显示区域 D, 即测试部 102 与测试块 202 位于像素单元的显示区域 D 之外; 这样能够避免测试区域 A 对显示区域 D 的影响, 从而保证阵列基板中每一个像素单元的显示效果。

优选地, 上述阵列基板的像素单元内包含有薄膜晶体管, 且所述薄膜晶体管采用顶栅型结构。

参照图 3 和图 4, 根据本发明另一实施例, 提供一种 ADS 阵列基板, 该基板包括多个像素单元, 其中每一个像素单元包括:

形成于基板 9 上的数据线 6、源极 10 和漏极 11, 源极 10 与相邻的数据线 6 电连接;

形成于基板 9 上、以及源极 10 和漏极 11 之间的沟道内的第一绝缘层 14; 形成于源极 10 和漏极 11 上的具有预定图形结构的有源层 7;

形成于数据线 6 和有源层 7 上的第二绝缘层 12, 第二绝缘层 12 具有通孔;

形成于第二绝缘层 12 上的像素电极 1, 像素电极 1 通过第二绝缘层 12 上的通孔与漏极 11 电连接, 其中像素电极 1 延伸出的测试部 102 位于数据线 6 的上方;

形成于第二绝缘层 12 上的第一绝缘防护层 132, 第一绝缘防护层 132 与像素电极 1 同层设置;

形成于第一绝缘防护层 132 上的栅极层 5;

形成于栅极层 5 以及像素电极 1 上的第二绝缘防护层 131, 第二绝缘防

护层 131 具有至少一个过孔 3;

形成于第二绝缘防护层 131 上的公共电极 201 以及测试块 202, 测试块 202 与测试部 102 通过设置于第二绝缘防护层 131 中的至少一个过孔 3 内的连接部 21 电连接。

5 上述技术方案中, 栅极层 5 位于第一绝缘防护层 132 和第二绝缘防护层 131 之间, 从而保证栅极层 5 与像素电极 1、数据线 6 等之间的绝缘性, 且第一透明导电层形成的像素电极 1、以及由像素电极 1 延伸出的测试部 102 位于第二绝缘防护层 131 下方, 第二透明导电层 2 形成的公共电极 201 以及与上述测试部 102 相对的测试块 202 位于第二绝缘防护层 131 上方, 测试部 102
10 与测试块 202 通过填充于第二绝缘防护层 131 形成的过孔 3 中的连接部 21 电连接, 因此, 上述结构的阵列基板中, 像素电极 1 通过测试部 102 与第二透明导电层 2 的测试块 202 之间的过孔 3 连接, 将像素电极 1 的测试点引至阵列基板表面, 在具体测试过程中, 测试装置 8 的探针 81 可以通过测试每一个像素单元中位于测试区域 A 内的测试块 202 便可得到该像素单元中位于显示区域 D 的像素电极 1 的半导体特性。
15

优选地, 在一个实施例中, 第一透明导电层与第二透明导电层 2 的制作材料相同。第一透明导电层与第二透明金属层 2 具有相同的材料, 所以, 像素电极 1 的测试部 102 与第二透明绝缘层 2 形成的测试块 202 之间的电阻较小, 进一步提高了像素电极 1 测试的精确性。

20 更优选地, 在一个实施例中, 第一透明导电层具有由氧化铟锡制作而成的板状结构。即第一透明导电层和第二透明导电层 2 的制作材料均为氧化铟锡。

根据本发明再一个实施例, 提供了一种显示装置, 包括以上提到的任一种阵列基板。该显示装置可以是: 液晶面板、电子纸、OLED 面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或
25 部件。

根据本发明又一个实施例, 还提供了一种阵列基板的制作方法, 包括:

在基板 9 上制作源漏极金属层, 并形成相应图形的源极 10 和漏极 11, 以及形成相应图形的数据线 6;

30 在源漏极金属层上制作第一绝缘层 14, 并形成相应的图形;

在源漏极金属层上制作有源层 7;

在有源层 7 上制作第二绝缘层 12;

在第二绝缘层 12 与漏极 11 对应位置制作通孔;

在第二绝缘层 12 上制作第一透明导电层,并形成相应图形的像素电极 1,

5 像素电极 1 与漏极 11 通过第二绝缘层 12 设置的通孔电连接,且像素电极 1 延伸出测试部 102;

在第二绝缘层 12 上沉积第一绝缘防护层 132;

在第一绝缘防护层 132 上制作栅极层 5,并形成相应图形的栅线;

在栅极层 5 上均匀沉积第二绝缘防护层 131;

10 第二绝缘防护层 131 与数据线 6 对应位置制作过孔 3;

在第二绝缘防护层 131 上制作第二透明导电层 2,并形成相应图形的公共电极 201,以及长条状的测试块 202,测试块 202 与测试部 102 通过第二绝缘防护层 131 设置的过孔 3 电连接。

通过上述方法制作的阵列基板中,栅极层 5 位于第一绝缘防护层 132 和
15 第二绝缘防护层 131 之间,从而保证栅极层 5 与像素电极 1、数据线 6 等之间的绝缘性,且第一透明导电层形成的像素电极 1、以及由像素电极 1 延伸出的测试部 102 位于第二绝缘防护层 131 下方,第二透明导电层 2 形成的公共电极 201 以及与上述测试部 102 相对的测试块 202 位于第二绝缘防护层 131 上方,测试部 102 与测试块 202 通过填充于第二绝缘防护层 131 形成的过孔
20 3 中的连接部 21 电连接,因此,上述结构的阵列基板中,像素电极 1 通过测试部 102 与第二透明导电层 2 的测试块 202 之间的过孔 3 连接,将像素电极 1 的测试点引至阵列基板表面,在具体测试过程中,测试装置 8 的探针 81 可以通过测试每一个像素单元中位于测试区域 A 内的测试块 202 便可得到该像素单元中位于显示区域 D 的像素电极 1 的半导体特性。

25 以上所述仅是本发明的示范性实施方式,而非用于限制本发明的保护范围,本发明的保护范围由所附的权利要求确定。

权利要求书

- 1、一种阵列基板，包括多个像素单元，每一个所述像素单元包括第一透明导电层和第二透明导电层，所述第一透明导电层形成像素电极，所述第二透明导电层形成公共电极，且所述第二透明导电层位于所述像素单元表面，所述第一透明导电层与所述第二透明导电层之间设有绝缘防护层；其中，每一个所述像素单元的像素电极延伸出测试部，所述第二透明导电层还形成有与所述测试部对应的测试块，所述测试块与所述公共电极横向隔离，所述绝缘防护层位于所述测试块与所述测试部之间的部分设有至少一个过孔，所述测试块与所述测试部通过所述过孔电连接。
- 2、根据权利要求1所述的阵列基板，其中所述过孔为至少两个。
- 3、根据权利要求2所述的阵列基板，其中所述过孔内填充有连接部，所述连接部与所述测试块为一体的。
- 4、根据权利要求1-3中任一项所述的阵列基板，其中，所述测试部与测试块位于像素单元的显示区域之外。
- 5、根据权利要求1-4中任一项所述的阵列基板，其中，所述像素单元中包含有薄膜晶体管，所述薄膜晶体管采用顶栅型结构。
- 6、根据权利要求1-5中任一项所述的阵列基板，其中，所述公共电极为具有狭缝状结构的透明电极；所述像素电极为板状的透明电极。
- 7、根据权利要求1-6中任一项所述的阵列基板，其中，所述第一透明导电层与第二透明导电层的制作材料相同。
- 8、一种阵列基板，包括多个像素单元，其中每一个所述像素单元包括：
基板；
形成于基板上的数据线、源极和漏极，所述源极与相邻的数据线电连接；
形成于所述基板上、以及所述源极和所述漏极之间的沟道内的第一绝缘层；
形成于所述源极和漏极上的具有预定图形结构的有源层；
形成于所述数据线和所述有源层上的第二绝缘层，所述第二绝缘层具有通孔；
形成于所述第二绝缘层上的像素电极，所述像素电极通过所述第二绝缘

层的通孔与所述漏极电连接，其中所述像素电极延伸出的测试部位于所述数据线的上方；

形成于所述第二绝缘层上的第一绝缘防护层，所述第一绝缘防护层与所述像素电极同层设置；

5 形成于所述第一绝缘防护层上的栅极层；

形成于所述栅极层以及所述像素电极上的第二绝缘防护层，所述第二绝缘防护层具有至少一个过孔；

形成于第二绝缘防护层上的公共电极以及所述测试块，所述测试块与所述测试部通过设置于所述第二绝缘防护层的至少一个过孔电连接。

10 9、根据权利要求8所述的阵列基板，其中所述过孔为至少两个。

10、根据权利要求9所述的阵列基板，其中所述过孔内填充有连接部，所述连接部与所述测试块为一体式的。

11、根据权利要求8-10中任一项所述的阵列基板，其中，所述测试部与测试块所在区域位于像素单元的显示区域之外。

15 12、一种显示装置，包括权利要求1-11中任一项所述的阵列基板。

13、一种阵列基板的制作方法，包括：

在基板上制作源漏极金属层，并形成相应图形的源极和漏极，以及形成相应图形的数据线；

在源漏极金属层上制作第一绝缘层，并形成相应的图形；

20 在源漏极金属层上制作有源层；

在有源层上制作第二绝缘层；

在所述第二绝缘层与所述漏极对应位置制作过孔；

在第二绝缘层上制作第一透明导电层，并形成相应图形的像素电极，所述像素电极与所述漏极通过第二绝缘层设置的通孔电连接，且所述像素电极

25 延伸出测试部；

在第二绝缘层上沉积第一绝缘防护层；

在第一绝缘防护层上制作栅极层，并形成相应图形的栅线；

在栅极层上沉积第二绝缘防护层；

第二绝缘防护层与数据线对应位置制作至少一个过孔；

30 在第二绝缘防护层上制作第二透明导电层，并形成相应图形的公共电极，

以及长条状的测试块，所述测试块与所述测试部通过第二绝缘防护层设置的至少一个过孔电连接。

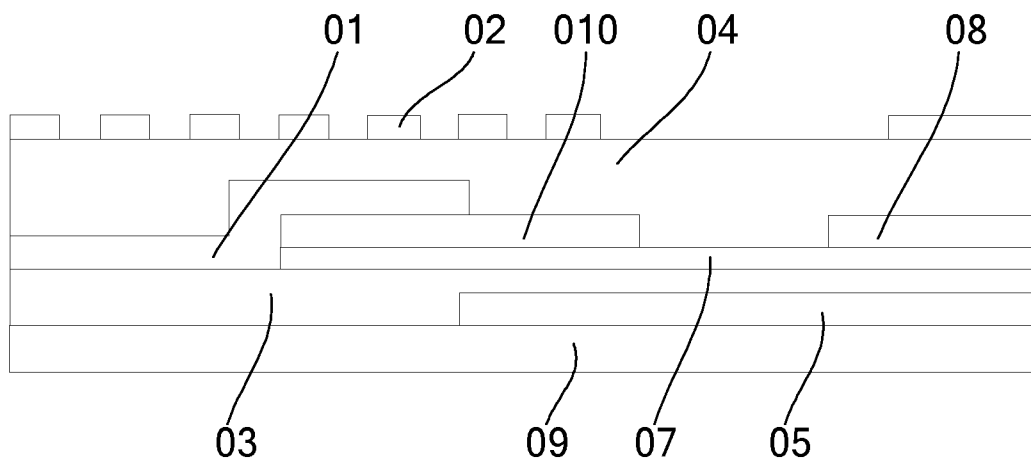


图 1 (现有技术)

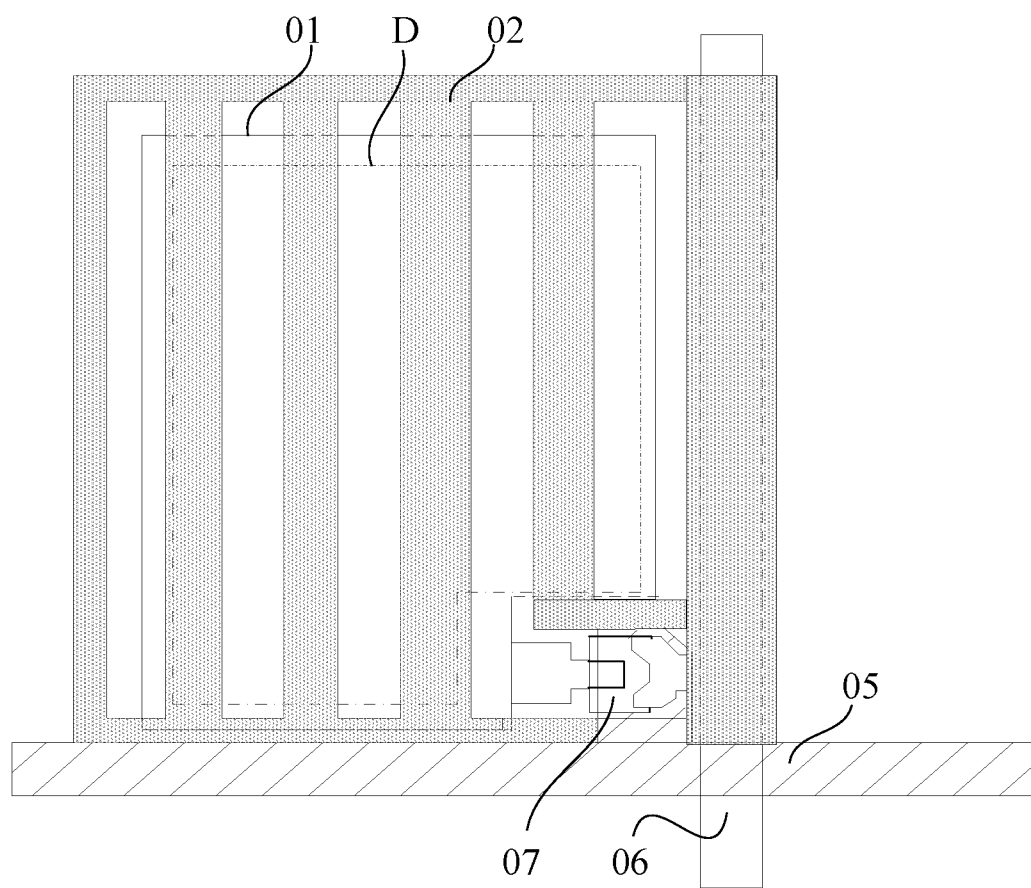


图 2 (现有技术)

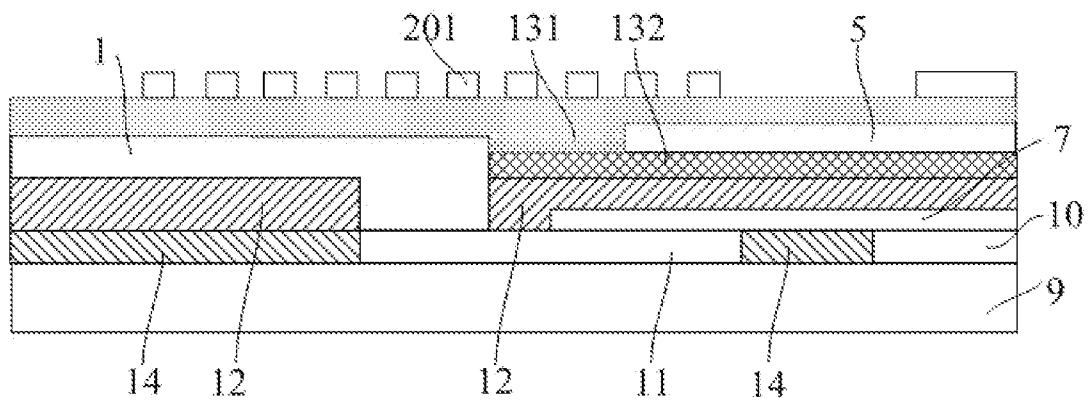


图 3

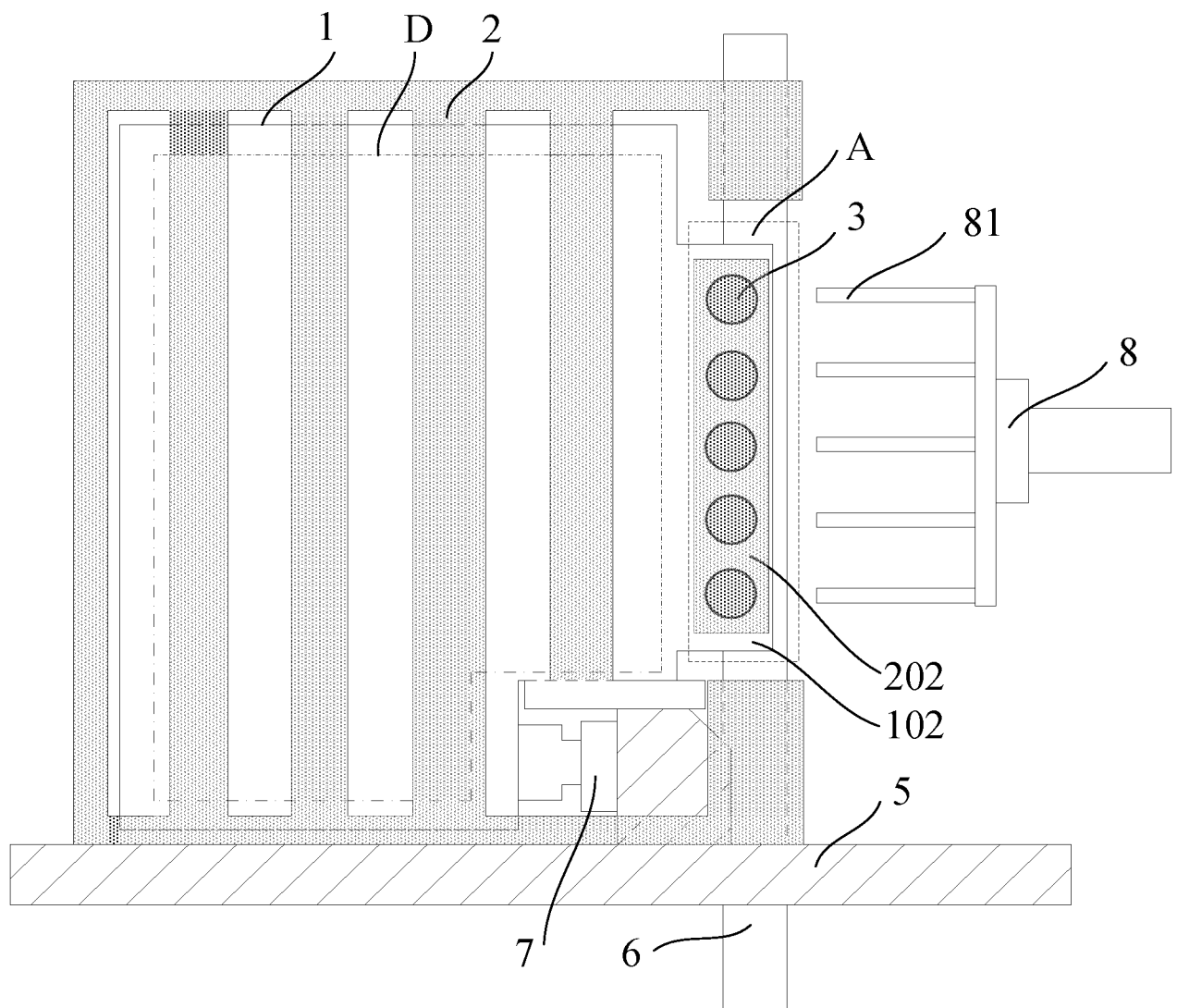


图 4

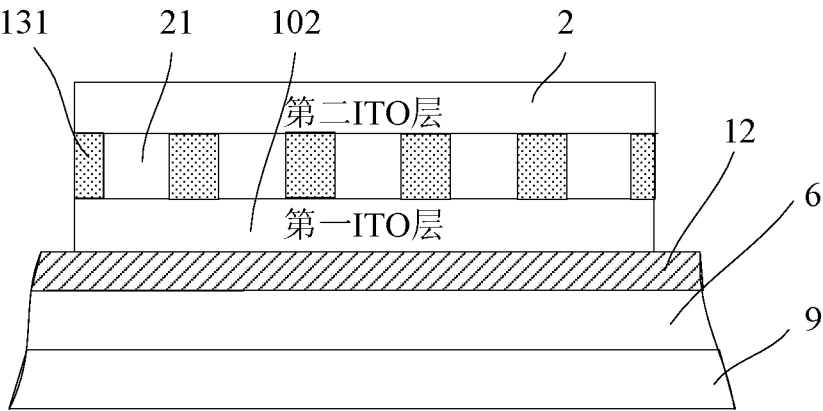


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/087235

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G02F, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: test, single, individual, each, TFT, share, precision, accuracy, inspect+, detect+, measur+, exam+, pixel?, tft, thin film transistor?, common, IPS, in plane switching, FFS, fringe field switching, ADS, advanced super dioension

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102790051 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 21 November 2012 (21.11.2012), the whole document	1-13
A	US 20020051114 A1 (KWAK, S.K. et al.), 02 May 2002 (02.05.2002), description, paragraphs 25-56, and figures 1-4	1-13
A	US 20100123841 A1 (SHIN, K.J.), 20 May 2010 (20.05.2010), the whole document	1-13
A	CN 100541282 C (SAMSUNG ELECTRONICS CO., LTD.), 16 September 2009 (16.09.2009), the whole document	1-13
A	CN 100510913 C (EPSON IMAGING DEVICES CORP.), 08 July 2009 (08.07.2009), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 April 2013 (24.04.2013)	Date of mailing of the international search report 16 May 2013 (16.05.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YANG, Xi Telephone No.: (86-10) 62085560

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/087235

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102790051 A	21.11.2012	None	
US 20020051114 A1	02.05.2002	KR 20020032790 A	04.05.2002
		US 6977711 B2	20.12.2005
		JP 2002196356 A	12.07.2002
		KR 100759965 B1	18.09.2007
		JP 4251799 B2	08.04.2009
US 20100123841 A1	20.05.2010	US 8259053 B2	04.09.2012
		KR 20100055696 A	27.05.2010
		US 2012313102 A1	13.12.2012
		US 8334831 B1	18.12.2012
CN 100541282 C	16.09.2009	US 2006033852 A1	16.02.2006
		TW 200624964 A	16.07.2006
		JP 2006053555 A	23.02.2006
		KR 20060015201 A	16.02.2006
		CN 1734322 A	15.02.2006
CN 100510913 C	08.07.2009	CN 101114086 A	30.01.2008
		TW 200807122 A	01.02.2008
		JP 4449953 B2	14.04.2010
		JP 2008032899 A	14.02.2008
		KR 100884126 B1	17.02.2009
		KR 20080011085 A	31.01.2008
		TW 369558 B1	01.08.2012
		US 2008024416 A1	31.01.2008
		US 2012313845 A1	13.12.2012

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/087235

CLASSIFICATION OF SUBJECT MATTER:

G02F 1/1362 (2006.01) i

H01L 23/544 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/087235

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G02F, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, VEN: 检测, 检查, 测试, 单个, 单独, 每个, 像素, 像素, 画素, TFT, 薄膜晶体管, 公共, 共用, 公用, 共通, 精确, 准确, inspect+, detect+, measur+, exam+, pixel?, tft, thin film transistor?, common, IPS, in plane switching, FFS, fringe field switching, ADS, advanced super dioension

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 102790051 A (北京京东方光电科技有限公司) 21.11 月 2012(21.11.2012) 全文	1-13
A	US 20020051114 A1 (Sang-Ki Kwak 等) 02.5 月 2002(02.05.2002) 说明书第 25 段至第 56 段, 附图 1-4	1-13
A	US 20100123841 A1 (Kyoung-Ju Shin) 20.5 月 2010(20.05.2010) 全文	1-13
A	CN 100541282 C (三星电子株式会社) 16.9 月 2009(16.09.2009) 全文	1-13
A	CN 100510913 C (爱普生映像元器件有限公司) 08.7 月 2009(08.07.2009) 全文	1-13

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
24.4 月 2013(24.04.2013)

国际检索报告邮寄日期
16.5 月 2013 (16.05.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

杨熙
电话号码: (86-10) **62085560**

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/087235

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102790051 A	21.11.2012	无	
US 20020051114 A1	02.05.2002	KR 20020032790 A	04.05.2002
		US 6977711 B2	20.12.2005
		JP 2002196356 A	12.07.2002
		KR 100759965 B1	18.09.2007
		JP 4251799 B2	08.04.2009
US 20100123841 A1	20.05.2010	US 8259053 B2	04.09.2012
		KR 20100055696 A	27.05.2010
		US 2012313102 A1	13.12.2012
		US 8334831 B1	18.12.2012
CN 100541282 C	16.09.2009	US 2006033852 A1	16.02.2006
		TW 200624964 A	16.07.2006
		JP 2006053555 A	23.02.2006
		KR 20060015201 A	16.02.2006
		CN 1734322 A	15.02.2006
CN 100510913 C	08.07.2009	CN 101114086 A	30.01.2008
		TW 200807122 A	01.02.2008
		JP 4449953 B2	14.04.2010
		JP 2008032899 A	14.02.2008
		KR 100884126 B1	17.02.2009
		KR 20080011085 A	31.01.2008
		TW 369558 B1	01.08.2012
		US 2008024416 A1	31.01.2008
		US 2012313845 A1	13.12.2012

主题的分类:

G02F 1/1362 (2006.01) i

H01L 23/544 (2006.01) i