

319907

申請日期	85. 6. 24
案號	85104920
類別	H. 16 23/5-8

(以上各欄由本局填註)

專利申請案第85104920號
 ROC Patent Appln. No.85104920
 修正之說明書中文本 - 附件二
 Amended Specification in English - Encl. I
 (民國86年6月24日送呈)
 (Submitted on June 24, 1997)

319907

修正
補充

319907

發明專利說明書

一、發明 名稱	中文	積體電路雷射檢修方法
	英文	INTEGRATED CIRCUIT LASER REPAIR PROCESS
二、發明 創作人	姓名	1. 福原英之 (HIDEYUKI FUKUHARA) 2. 宮井羊一 (YOICHI MIYAI) 3. 麥大衛 (DAVID J. MCELROY)
	國籍	1.-2.日本; 3.美國
三、申請人	住、居所	1. 日本國茨城, 稻敷郡, 亞美街, 大室, 520-105 520-105 Ohmuro, Ami-machi, Inashiki-gun, Ibaraki Prefecture, Japan 2. 日本國302, 茨城, 西取手1-6-C303 1-6-C303 Nishi Toride, Ibaraki, Japan 302 3. 美國德克薩斯州艾倫區布魯克街20號 20 Brookhaven, Allen, Texas 75002, U.S.A.
	姓名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代表 姓名	郝威廉 William E. Hiller

經濟部中央標準局員工消費合作社印製

裝
訂
線

319907

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

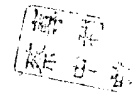
美 國 (地 區) 申 請 專 利 , 申 請 日 期 : 案 號 : , 有 無 主 張 優 先 權
 西 元 1995 年 3 月 30 日 08/413,291

有 關 微 生 物 已 寄 存 於 : , 寄 存 日 期 : , 寄 存 號 碼 :

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製



五、發明說明(1)

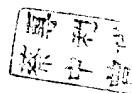
<發明領域>

本發明係關係於一種用於製造一個積體電路裝置之製程，且更特別是一種用於製造裝置中雷射檢修的方法。

<發明背景>

於製造積體電路裝置的製程期間，有冗餘電路與其它的选择性的電路配置可被選擇來確保所欲的操作功能。此種選擇可經由調整某些包含於裝置的熔絲來完成。一般而言，一個雷射光束被用於調整這些熔絲。一個電氣測試程序可會同雷射調整程序而完成。

如在圖1(a)到1(h)程序所顯示，其說明習知技術方法製造雷射檢修多少有些不經濟。於圖1(a)，熔絲20被裝配於一個由二氧化矽22所包圍的多晶矽傳導性層。結合片24被裝配在一個金屬層，其被一個二氧化矽層26與氮化矽層28所遮蓋，如圖1(b)所示。一個圖像敷層(pixel coating)30，例如一個聚醯亞胺樹脂，被安置在氮化矽上方並予以樣式化及固化以提供到墊片與熔絲的通路，如圖1(c)與1(d)所示。此圖像敷層，氮化矽，與二氧化矽自供電氣測試之直接通路的墊片而蝕刻除去，如圖



五、發明說明(2)

1(e)及1(f)所示。此圖像數層、氮化矽及二氧化矽的一部分自上面用於雷射調整的熔絲而蝕刻除去，如圖1(g)所示。此製程的一個優勢是只有單一的光阻罩幕步驟被使用於處理步驟的序列。而後進行電氣測試和雷射調整，但是須有裝置濕氣障壁35以防止由周圍的大氣狀況所引起的污染。這些濕氣障壁35佔有一個實質的區域及電路區域，因此提升製造裝置的成本。剩餘暴露的熔絲部份可能遭受腐蝕或其它從暴露的有害效果引起後來裝置的故障。此後被應用的模制化合物38並無法保護裝置使其免於受到周圍大氣的有害效果。

於另外習知的技術方法，測試熔絲40被裝配於一個由二氧化矽42所包圍的多晶矽傳導性層，其類似於第一個方法，如顯示於圖2(a)。此後一個蓋氧化物44，例如二氧化矽，被沈積在金屬製層46與二氧化矽42上。蓋氧化物被燒結而裝置的表面被樣式化以幾乎暴露裝置的熔絲40，如顯示於圖2(b)。蓋氧化物被從墊片46上方蝕刻除去。向下蝕刻二氧化矽幾乎到熔絲的水平。於圖2(c)，經過接觸暴露的墊片的探針48來實行電氣測試，而一個雷射光束50被用於調整熔絲，如顯示於圖2(d)。一旦測試和雷射調整被完成，一個氮化矽層52被沈積在裝置的頂端並進入熔絲空穴，如顯示於圖2(e)。一個圖像數層54被安置在氮化矽52上方並被樣式化以提供到這些

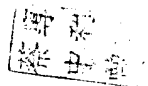
五、發明說明(3)

墊片的通路，如顯示於圖2(f)。圖像材料與氮化矽被蝕刻以暴露墊片使系統使用，如顯示於圖2(g)與2(h)。結合線56被連接到結合片46，而一個模制化合物58被加進並封裝裝置。此方法的一個缺點是一個第二個昂貴的罩幕程序被加進處理步驟的程序。此製程的一個優勢是氮化矽保護非調整的熔絲免於假如那些熔絲對於周圍的大氣未作保護的話而可能發生的有害效果。

<發明概要>

這些與其它的問題可藉由一個用於裝配一個半導體裝置方法所解決，其包含步驟：在一個第一金屬製層形成熔絲；以一個絕緣層遮蔽第一個金屬製層；形成傳導性墊片於一個第二個金屬製層；沈積一個蓋氧化物層在這些墊片與絕緣層上；內蝕刻蓋氧化物層直到在這些熔絲上的傳導性墊片與絕緣層的頂表面被暴露而側牆氧化物留在傳導性墊片；實行電氣測試；以一個雷射光束調整至少熔絲的一個部份；沈積一個氮化矽層；沈積一個罩幕數層在氮化矽層上；樣式化罩幕數層以暴露傳導性墊片；以及蝕刻圖像數層與氮化矽層以暴露傳導性墊片。

此方法的一個優勢是它的成本是相當地低，因為只



五、發明說明(4)

一個單幕程序被使用於步驟程序中。有害效果的風險是低的，因為在雷射調整操作之後這些熔絲是由氮化矽所遮蓋。於此揭露單一單幕程序之數個變化。

<圖示簡述>

藉由參考表示例示的處理順序之圖式，可對本發明有較佳的瞭解，其中：

圖1(a)-1(h)呈現一個習知技術雷射檢修處理順序；

圖2(a)-2(i)呈現另外的習知技術雷射檢修處理順序；

圖3(a)-3(i)呈現一個按照本發明例示的雷射檢修處理程序；

圖4(a)-4(h)呈現按照本發明另外例示的雷射檢修處理順序；

圖5(a)-5(h)呈現一個按照本發明更進一步例示的雷射檢修處理順序；

圖6(a)-6(h)仍是呈現按照本發明另外例示的雷射檢修處理順序；與

圖7顯示一個積體電路裝置的剖面其有通道(vias)與接點以用於製造傳導層之間的連接。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

<詳細敘述>

現在參考圖 3 (a)到 3 (i)，其顯示製造積體電路半導體裝置製程之一個新的程序的步驟。此步驟之順序係與此裝置內電路的測試有關，而且與交換好的冗餘電路以替代有缺陷的正常電路有關。

現在參考圖 3(a)，其顯示一個熔絲 60 被裝配在一個由一個電介質 62 (諸如二氧化矽 62) 所包圍的金屬製層上。電介質 62 被安置在一個矽基片 63 上。在電介質 62 的頂表面，有一個傳導性金屬製墊片 64，其被形成用於造成於內建在裝置內的電路 (未顯示) 與其它外在電路之間的互連。一個電介質蓋氧化物層 66，其可為二氧化矽，被安置在墊片 64 上。雖然僅顯示單一熔絲 60 與單一墊片 64，但是它們是為圖式清楚的目的，而認為係未被顯示的多數類似電路基本元件的代表。

在此裝置裝配的階段可實行一個燒結操作。

於圖 3(b)，裝置被顯示接著一個全部的蓋氧化物內蝕刻，其向下除去蓋氧化物 66 直到傳導性墊片 64 的頂表面及到絕緣子 62 的頂表面。一個側牆絕緣子 67 被留在傳導性墊片 64 上。就蝕刻而言， CHF_3 ， CF_4 和 Ar 的二氧化矽蓋氧化物混合物可以一個大約 20/20/1000 的比率被使用。另一個選擇是，一個濕蝕刻可被使用於清除頂部



五、發明說明(6)

金屬，雖然這於氮化物沉積期間不會留下側牆氧化物來防止外延小丘(hillocks)。

圖3(c)顯示一個自測試裝置與傳導性墊片64接觸的電氣探針，以用於品管測試。一些電路缺陷因這些測試結果而無法恢復。部份的那些缺陷能從裝置的活動操作而除去且能藉由一個或更多熔絲開啓其它好的冗餘電路而替換。

圖3(d)顯示一個雷射光束70，其被用於燒斷一個熔絲而留下一個熔絲60位置的熔絲空穴。在所有這些熔絲如所需要被燒斷後，一個絕緣層72，諸如氮化矽四氮化三矽，是在整個裝置上並充填熔絲空穴，如顯示於圖3(e)。

於圖3(f)，顯示一個單幕材料74安置在裝置的頂端上。其可為一光阻，而該光阻可予以樣式化以用於暴露傳導性墊片64，如顯示於圖3(g)。

現在參考圖3(h)，該樣式化的單幕被用於內蝕刻氮化矽的絕緣層以完整地暴露傳導性墊片64。一個以比率為120/30/20的 CF_4 ，氧，與氮的氣體混合物可被使用於蝕刻氮化矽。

最後如顯示圖3(i)，結合線，諸如導線76，被連接至傳導性墊片64，以用於與圖中未顯示的外在電路互連。而後施加一個模制化合物78以保護裝置免於大氣的有

五、發明說明(7)

害效果與其它風險。

在裝置的燒結操作如顯示於圖3(a)的形式之後，可完成蝕刻而不需要罩幕為有利者。蝕刻被普遍地應用在整個裝置上。此節省了一個昂貴的用於形成和除去罩幕材料的步驟程序。結合片被暴露以用於測試，而當乾蝕刻被使用於防止電氣短路和小丘成長時，金屬製線路的頂部水平保留為側牆氧化物。在所欲的熔絲被調整或燒毀之後，氮化矽薄膜被應用來經由防止由周圍的大氣狀況所引起的有害效果來改善可靠性。額外消耗濕氣障壁結構的區域將不被使用。如此一個較低成本的製程步驟程序被用於電氣測試，調整需要的熔絲，與提供好的氣密式密封。

現在參考圖4(a)到4(h)，呈現另外的低成本步驟程序以用於測試一個半導體裝置的內部電路與以好的冗餘電路替換它們其中有缺陷的部份。

現在參考圖4(a)，顯示裝置包含由一個在一半導體基片83上的電介質82所包圍的熔絲80。一個傳導性墊片84被安置在電介質84的頂端。熔絲80和傳導性墊片84係代表各熔絲及傳導性墊片之多數者。在這個裝配階段進行燒結。在燒結操作之後，一個測試探針被連接到傳導性墊片84用於實行電氣測試，如顯示於圖4(b)。

於圖4(c)，有缺陷的電路(未顯示)藉雷射光束88的

五、發明說明(8)

熔絲調整而被好的冗餘電路所替換。開啓熔絲空穴，其中熔絲予以燒斷。一個四氮化三矽之氮化矽的介電層90被普遍地安置在裝置的頂端上以涵蓋傳導性墊片84並充熔絲空穴。然後一個罩幕材料92，諸如一個光阻，被安置在整個裝置上，如顯示於圖4(e)。

如顯示於圖4(f)，罩幕材料92被樣式化以用於暴露傳導性墊片並予以固化。然後氮化矽層自傳導性墊片84的頂端內蝕刻以暴露那些墊片。上述CF₄，氧與氮的混合物能被使用為蝕刻劑。結合線，諸如導線94，被連接到傳導性墊片84且一個模制化合物96被應用。

這個處理步驟程序有更進一步地優勢是消除應用蓋氧化物與內蝕刻的步驟，如包含於圖3的程序。

現在參考圖5(a)到5(h)，顯示新的步驟程序的另外的改變，以用於測試有缺陷的電路與用於以其中好的電路來替換其中有缺陷的。

於圖5(a)，顯示裝置包含一個金屬製熔絲100與在一個蓋氧化物絕緣層102的頂表面上的傳導性墊片104裝配在相同的金屬水平，層102可能是二氧化矽。它們被裝配在一個基片103的頂端。一個二氧化矽絕緣層106涵蓋這些熔絲100，傳導性墊片104，與二氧化矽102。

如顯示於圖5(b)，一個測試探針108機械地被推經過蓋氧化物106而接觸傳導性墊片104以用於測試圖中未

五、發明說明(9)

顯示之內部電路。有缺陷的電路經由雷射光束110調整而被好的冗餘電路所替換，如顯示於圖5(c)。空穴被留在蓋氧化物106，在那裡測試探針被插入且任何熔絲被燒斷。

於圖5(d)，一個氮化矽層112被安置在整個裝置上以涵蓋傳導性墊片104與蓋氧化物106與填塞在蓋氧化物的空穴。此後全面性的沈積一個單幕材料114，如顯示於圖5(e)，並予以樣式化，固化以暴露傳導性墊片104，如顯示於圖5(f)。

於圖5(g)，氮化矽層112與蓋氧化物予以內蝕刻以暴露傳導性墊片104的表面。適合的蝕刻劑被使用。最後結合線116被連接到傳導性墊片104而一個模制化合物118被應用來保護裝置。

減少測試成本與冗餘的替換步驟為有利者，因為傳導性墊片被暴露用於測試而無須單幕步驟的程序，且另外的濕氣障壁結構被避免了。

現在參考圖6(a)到6(h)，顯示一個用於更進一步的測試與替換有缺陷的電路的改變。此步驟程序是類似於顯示在圖5(a)到5(h)的步驟程序，故相同的參考數字被用於表示相同的基本元件。

步驟程序是相同的，除了顯示於圖6(b)的步驟。其不是以一個測試探針108機械地擊穿蓋氧化物，而係使



五、發明說明 (10)

用一個化學蝕刻以輔助擊穿經過蓋氧化物。如此探針是首先部份沉浸於一個蝕刻劑120，然後被按壓通過蓋氧化物106以接觸傳導性墊片104。另一個選擇是，可使蝕刻劑流動通過或沿著探針，或否則可以由握持探針尖端的構造而予以沈積。

所以一個新的低成本的處理步驟程序已被呈現以用於一個積體電路裝置的電氣測試與用於以好的冗餘的電路替換有缺陷的電路。一些程序的改變同時也被呈現。於此揭露的處理程序及其它明顯變化是被附加的申請專利範圍所涵蓋。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要 (發明之名稱： 積體電路雷射檢修方法)

一種用於製造一個半導體裝置的方法，包含步驟：形成熔絲(40)與傳導性墊片(46)在一個半導體基片(43)之上；沈積一個蓋氧化物層在這些熔絲與傳導性墊片上；燒結蓋氧化物；內蝕刻(etch back)蓋氧化物層直到一個在這些熔絲上的絕緣子(42)的頂表面與傳導性墊片的頂表面被暴露；經由傳導性墊片實行電氣測試；以一雷射光束調整(50)至少熔絲的一個部份；沈積一個全面的氮化矽層(52)；沈積一個單幕數層在氮化矽上；樣式化單幕數層(54)以暴露傳導性墊片；以及蝕刻單幕數層與氮化矽層以暴露傳導性墊片。

英文發明摘要 (發明之名稱： INTEGRATED CIRCUIT LASER REPAIR PROCESS)

A method for fabricating a semiconductor device includes the steps of :forming fuses (40) and conductive pads (46) above a semiconductive substrate(43); depositing a layer of cap oxide (44) over the fuses and the conductive pads;sintering the cap oxide; etching back the layer of cap oxide until the top surface of an insulator (42) over the fuses and the top surface of the conductive pads are exposed; performing electrical tests (48) by way of the conductive pads;trimming (50) at least a part of the fuses with a laser beam; depositing a silicon nitride layer (52) overall; depositing a mask coating over the silicon nitride;patterning the mask coating (54) to expose the conductive pads; and etching the mask coating and the silicon nitride layer to expose the conductive pads.

六、申請專利範圍

專利申請案第85104920號
ROC Patent Appln. No.85104920
修正之申請專利範圍中文本 - 附件一
Amended Claims in Chinese - Encl. I
(民國86年6月24日送呈)
(Submitted on June 24, 1997)

1. 一種用於製造半導體裝置的方法，此方法包含步驟：
 - A. 形成熔絲於一個第一個金屬製層中，該熔絲被一個在一個半導體基片上的絕緣子包圍；
 - B. 形成結合片於一個形成在該絕緣子上的第二個金屬製層中；
 - C. 沈積一個蓋氧化物層在該結合片與絕緣子上；
 - D. 燒結裝置；
 - E. 內蝕刻(etch back)整個蓋氧化物層，除了留在結合片上的側牆氧化物；
 - F. 經由該結合片實行一個電氣測試；
 - G. 以一個雷射光束調整至少熔絲的一個部份；以及
 - H. 沈積一個氮化矽層在該結合片與絕緣子上。
2. 如申請專利範圍第1項之製造半導體裝置的方法，更進一步地包含步驟：
 - 沈積一個圖像敷層在該氮化矽層上；
 - 將圖像敷層樣式化以暴露該結合片；
 - 蝕刻該圖像敷層與氮化矽層以暴露該結合片；及

六、申請專利範圍

將結合線附接至該暴露的結合片。

3. 一種用於製造半導體裝置的方法，此方法包含步驟：

A. 形成熔絲於一個第一個金屬製層中，該熔絲被一個在一個半導體基片上的絕緣子包圍；

B. 形成結合片於一個形成在該絕緣子上的第二個金屬製層中；

C. 燒結裝置，而無需蓋氧化物；

D. 經由結合片實行一個電氣測試；

E. 以一個雷射光束調整至少熔絲的一個部份；以及

F. 沈積一個電介質層在該結合片與絕緣子上。

4. 如申請專利範圍第3項之製造半導體裝置的方法，更進一步地包含步驟：

沈積一個圖像數層在該氮化矽層上；

將圖像數層樣式化以暴露該結合片；

蝕刻該圖像數層與氮化矽層以暴露該結合片；及

將結合線附接至該暴露的結合片。

5. 一種用於製造半導體裝置的方法，此方法包含步驟：

A. 形成金屬製熔絲與結合片在一個絕緣子上；

B. 沈積一個蓋氧化物層在該熔絲與結合片上；

C. 燒結裝置；

D. 機械地強迫電氣探針經過蓋氧化物以接觸個別的結合片；

(請先閱讀背面之注意事項再填寫本頁)

訂

處

六、申請專利範圍

- E. 經由該結合片實行一個電氣測試；
- F. 以一個雷射光束調整至少熔絲的一個部份；以及
- G. 沈積一個氮化矽層在該結合片，熔絲，與蓋氧化物上。
6. 如申請專利範圍第 5 項之製造半導體裝置的方法，更進一步地包含步驟：
- 沈積一個圖像數層在該氮化矽層上；
- 將圖像數層樣式化以暴露該結合片；
- 蝕刻該圖像數層與氮化矽層以暴露該結合片；及
- 將結合線附接至該暴露的結合片。
7. 一種用於製造半導體裝置的方法，此方法包含步驟：
- A. 形成金屬製熔絲與結合片在一個絕緣子上；
- B. 沈積一個蓋氧化物層在該熔絲和結合片上；
- C. 燒結裝置；
- D. 蝕刻輔助強迫電氣探針經過蓋氧化物以接觸個別
的結合片；
- E. 經由該結合片實行一個電氣測試；
- F. 以一個雷射光束調整至少熔絲的一個部份；以及
- G. 沈積一個氮化矽層在該結合片，熔絲，與蓋氧化物上。
8. 如申請專利範圍第 7 項之製造半導體裝置的方法，更進一步地包含步驟：

(請先閱讀背面之注意事項再填寫本頁)

訂



六、申請專利範圍

沈積一個圖像數層在該氮化矽層上；
將圖像數層樣式化以暴露該結合片；
蝕刻該圖像數層與氮化矽層以暴露該結合片；及
將結合線附接至該暴露的結合片。

9. 如申請專利範圍第3項之製造半導體裝置的方法，其中該沈積一個電介質層的步驟包含沈積一個氮化矽層。

10. 一種用於製造半導體裝置方法，此方法包含步驟：

A. 形成熔絲於一個非最後金屬製層之金屬層中，該熔絲被一個在一個半導體基片上的絕緣子包圍；

B. 形成結合片於一個形成在該絕緣子上的一個最後金屬製層中；

C. 沈積一個蓋氧化物層在該結合片與絕緣子上；

D. 燒結裝置；

E. 內蝕刻整個蓋氧化物層，除了留在結合片上的側牆氧化物；

F. 經由該結合片實行一個電氣測試；

G. 以一個雷射光束調整至少熔絲的一個部份；以及

H. 沈積一個鈍化層在該結合片與絕緣子上。

11. 一種用於製造半導體裝置的方法，此方法包含步驟：

A. 形成熔絲於一個金屬製層中，該熔絲被一個在一個半導體基片上的絕緣子包圍；

(請先閱讀背面之注意事項再填寫本頁)

訂



六、申請專利範圍

- B. 形成結合片於一形成在該絕緣子上的另外金屬製層中；
 - C. 沈積一個蓋絕緣子在該結合片與絕緣子上；
 - D. 燒結裝置；
 - E. 內蝕刻整個蓋絕緣層；
 - F. 經由該結合片實行一個電氣測試；
 - G. 以雷射光束調整至少熔絲的一個部份；以及
 - H. 沈積一個保護的電介質在該結合片與絕緣子上。
12. 一種用於製造半導體裝置的方法，此方法包含步驟：
- A. 形成熔絲於一個中間的金屬製層中，該熔絲被一個在一個半導體基片上的絕緣子包圍；
 - B. 形成結合片於一個後來形成在該絕緣子上的金屬製層中；
 - C. 沈積一個蓋氧化物層在該結合片與絕緣子上；
 - D. 燒結裝置；
 - E. 內蝕刻整個蓋氧化物層，除了留在結合片上的側牆氧化物；
 - F. 經由該結合片實行一個電氣測試；
 - G. 以一個雷射光束調整至少熔絲的一個部份；以及
 - H. 沈積一個鈍化層在該結合片與絕緣子上。

(請先閱讀背面之注意事項再填寫本頁)

訂

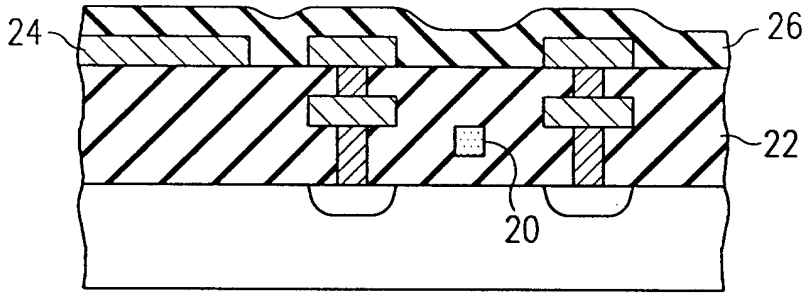


圖 1A

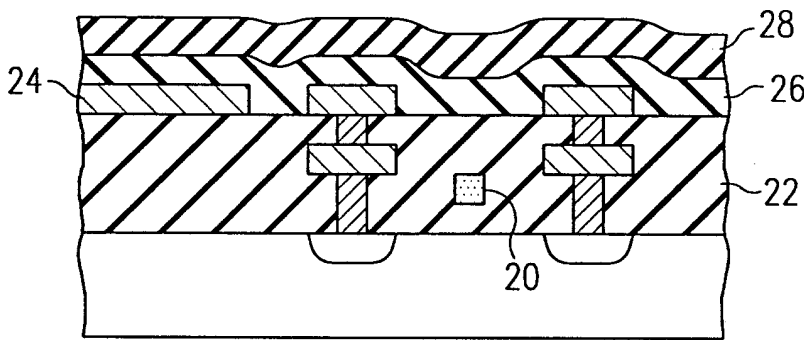


圖 1B

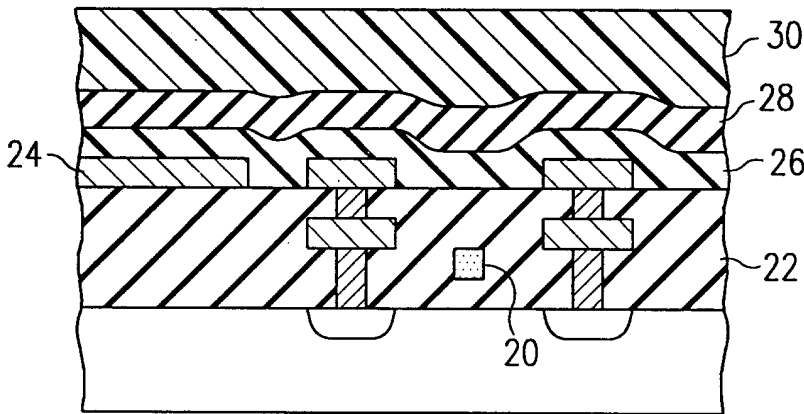


圖 1C

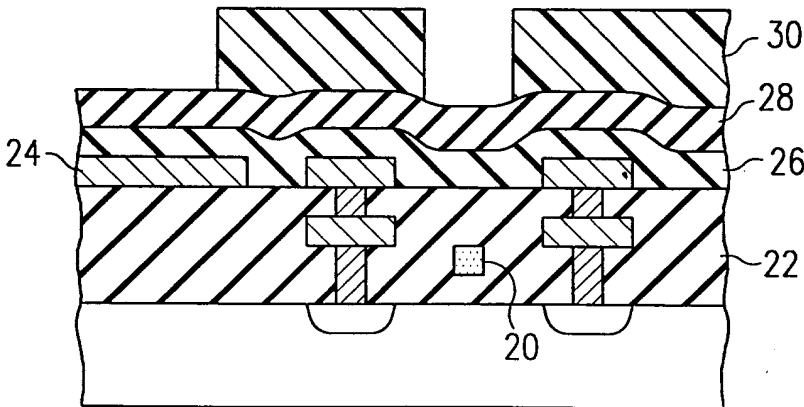


圖 1D

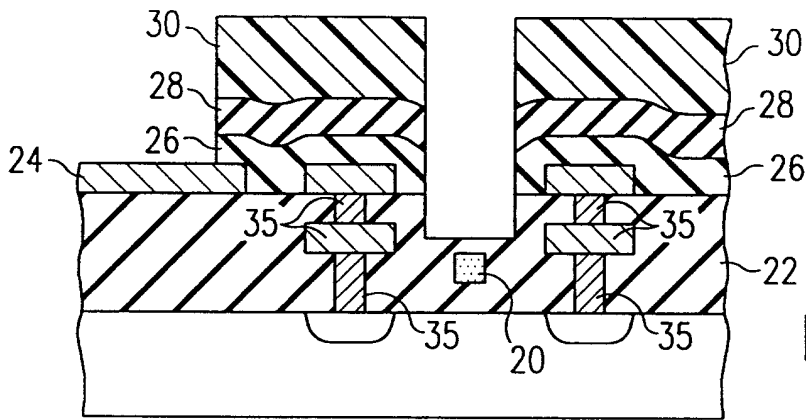


圖 1E

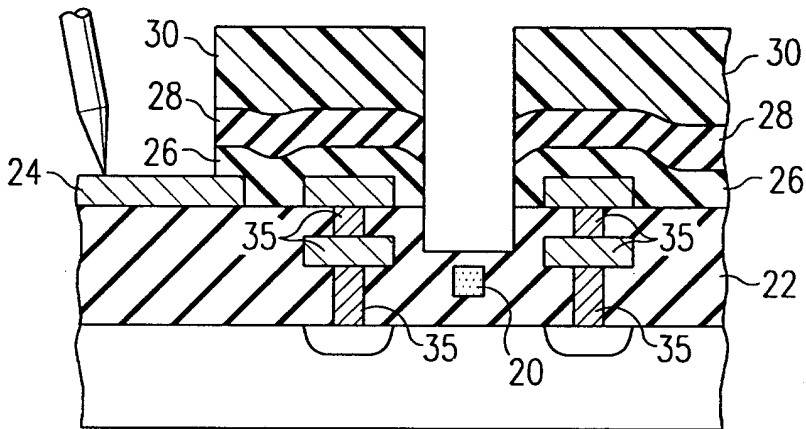


圖 1F

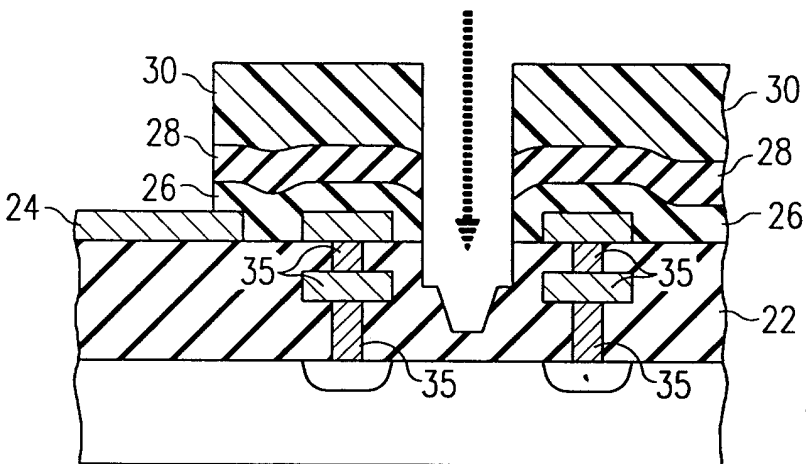


圖 1G

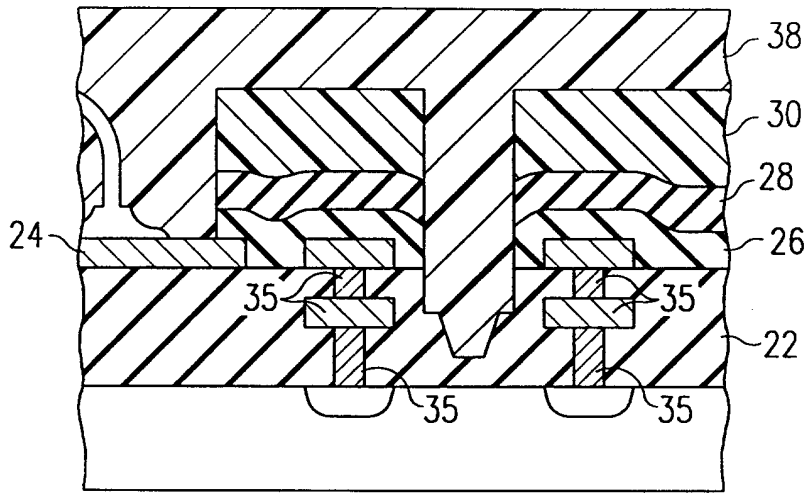


圖 1H

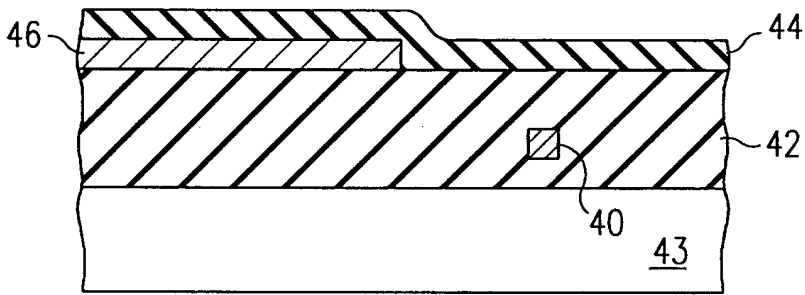


圖 2A

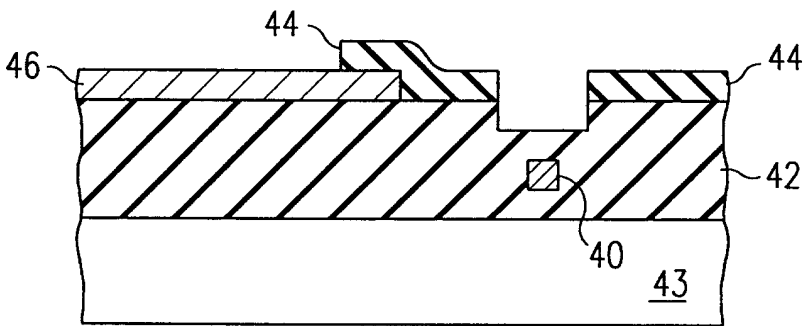


圖 2B

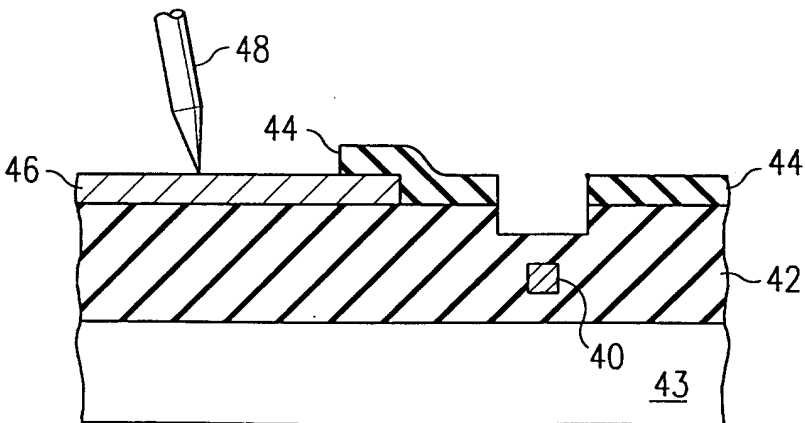


圖 2C

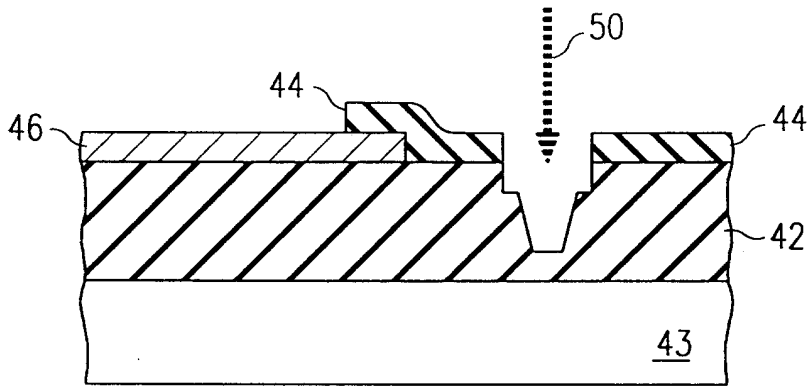


圖 2D

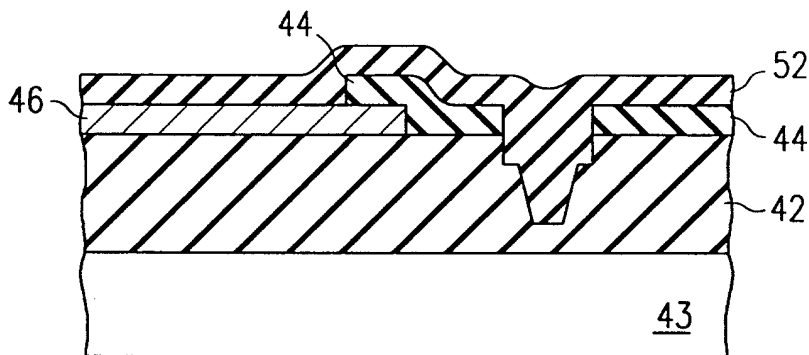


圖 2E

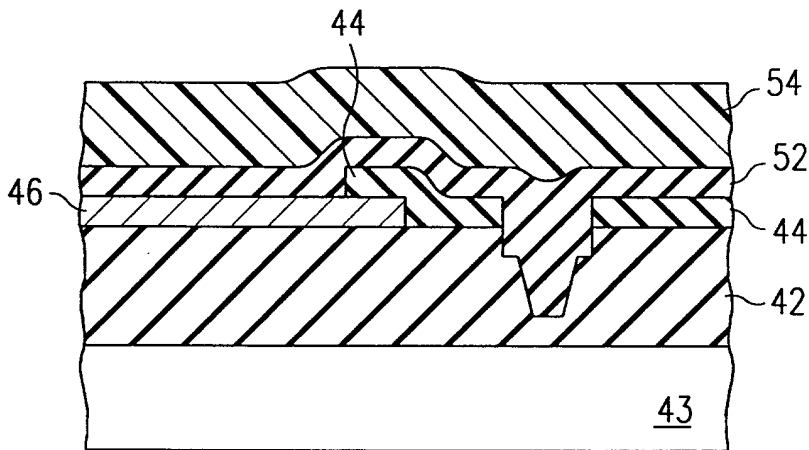


圖 2F

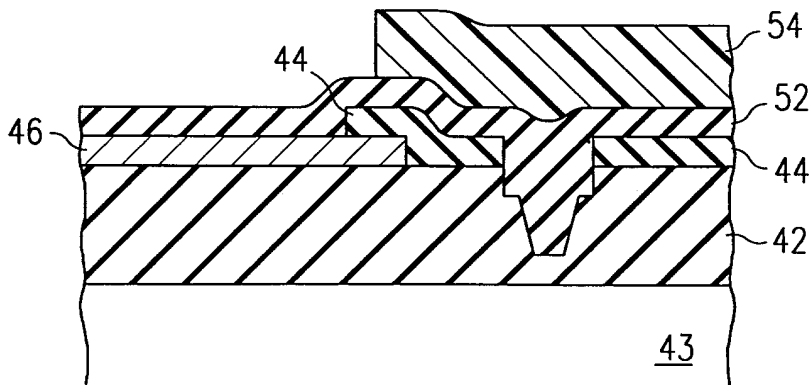


圖 2G

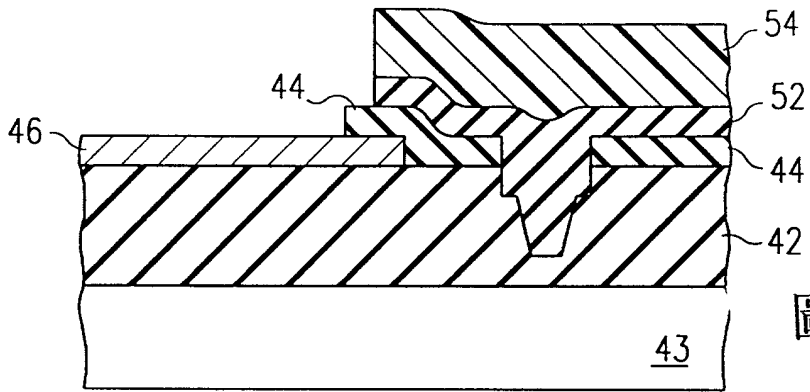


圖 2H

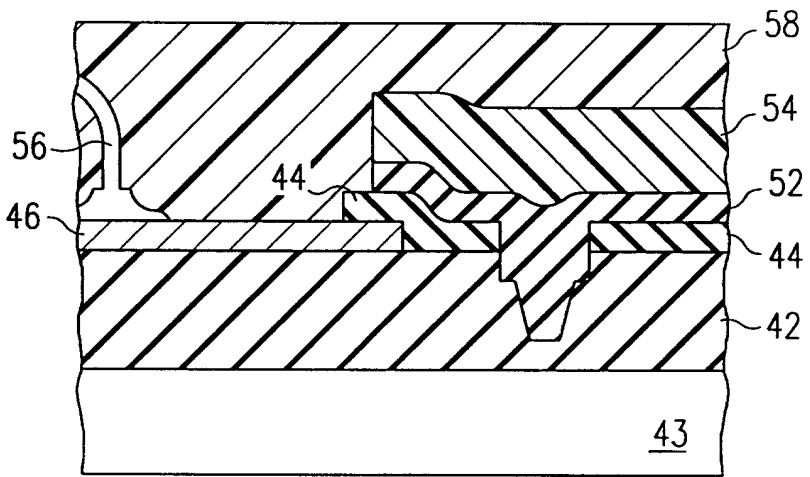


圖 2I

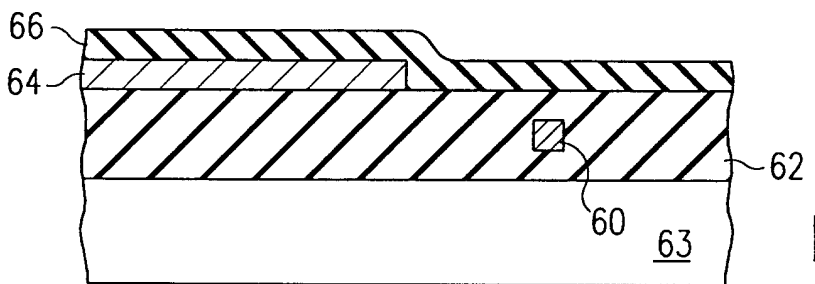


圖 3A

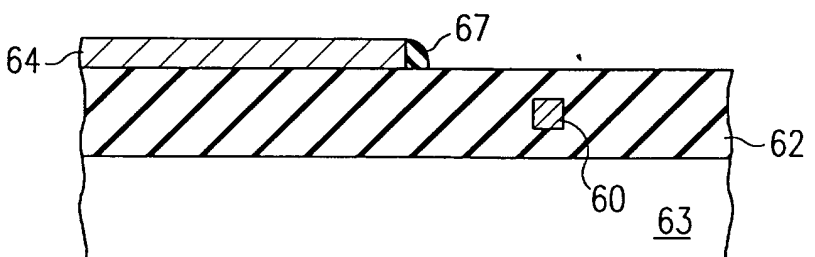


圖 3B

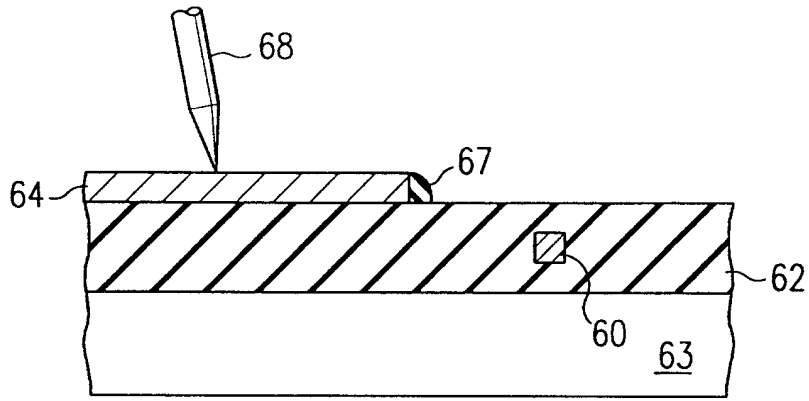


圖 3C

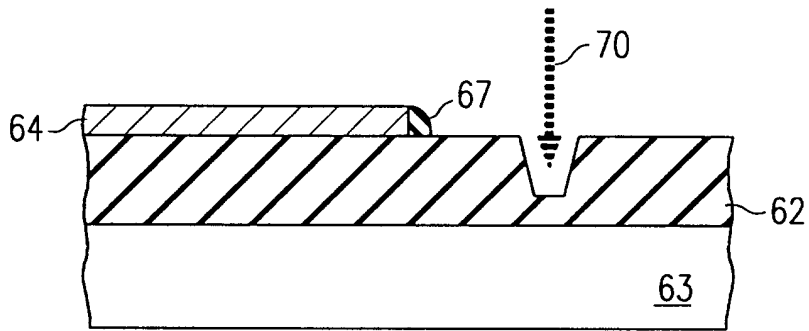


圖 3D

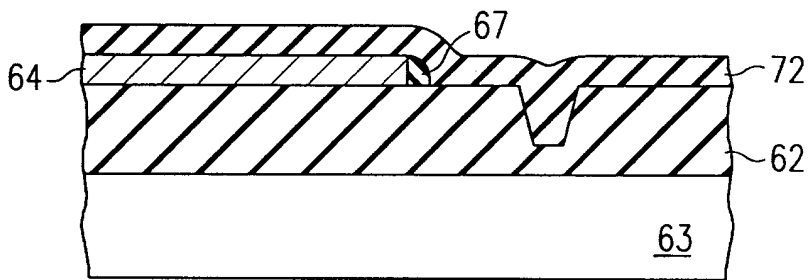


圖 3E

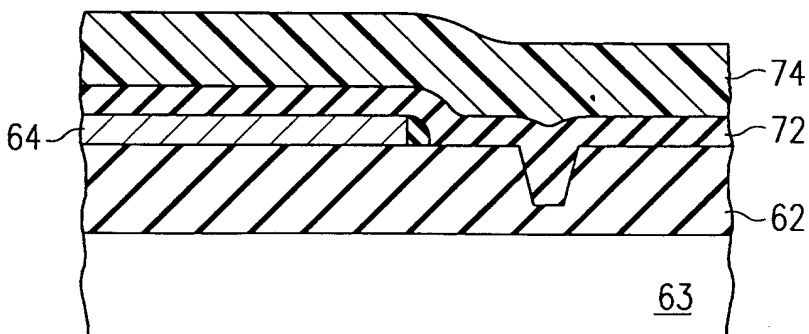


圖 3F

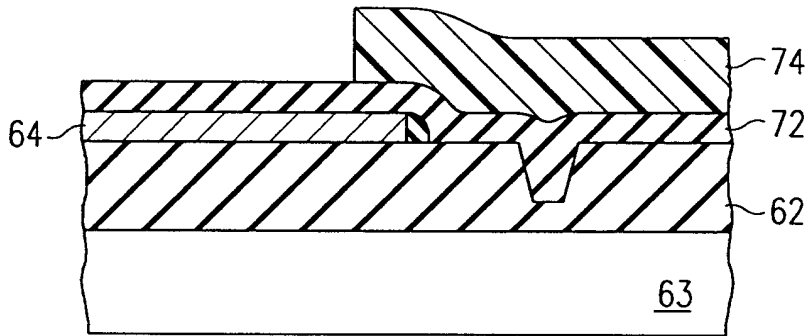


圖 3G

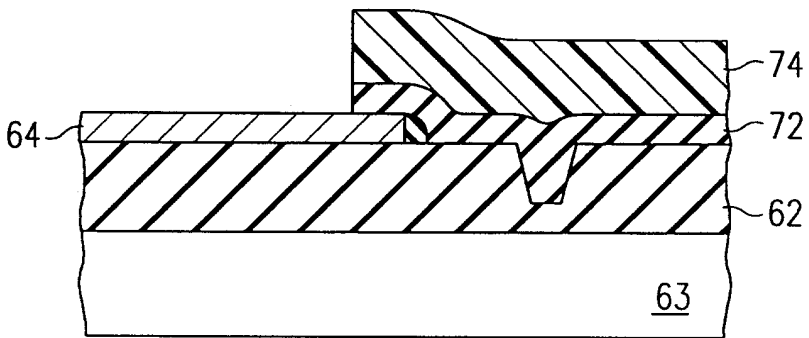


圖 3H

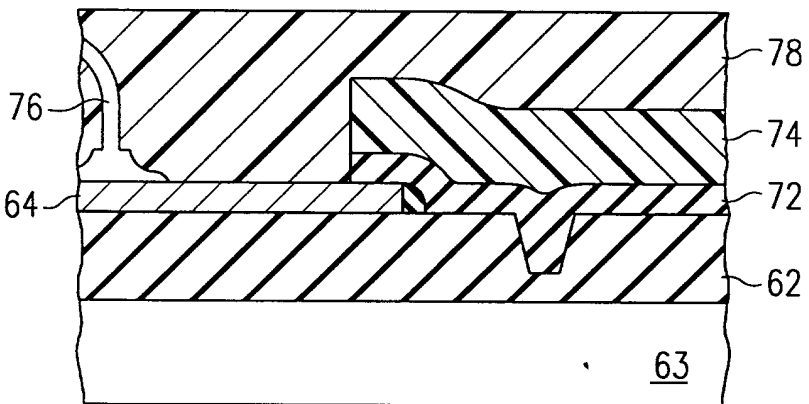


圖 3I

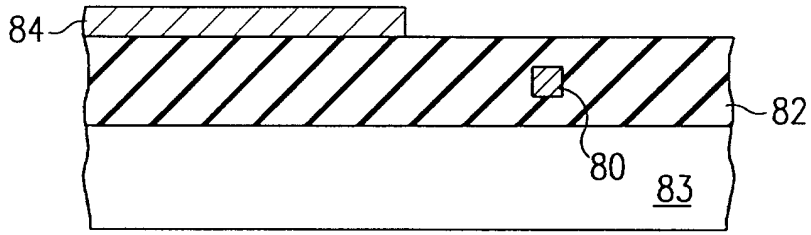


圖 4A

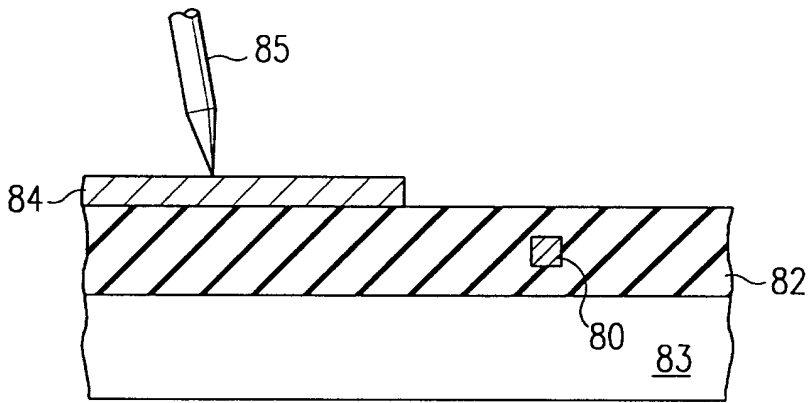


圖 4B

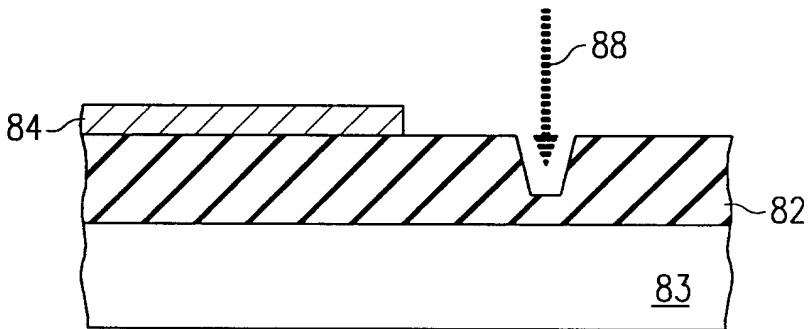


圖 4C

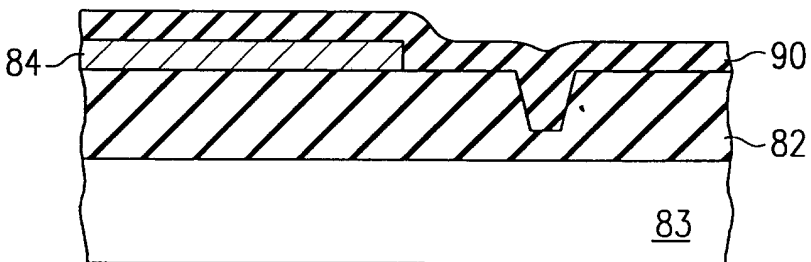


圖 4D

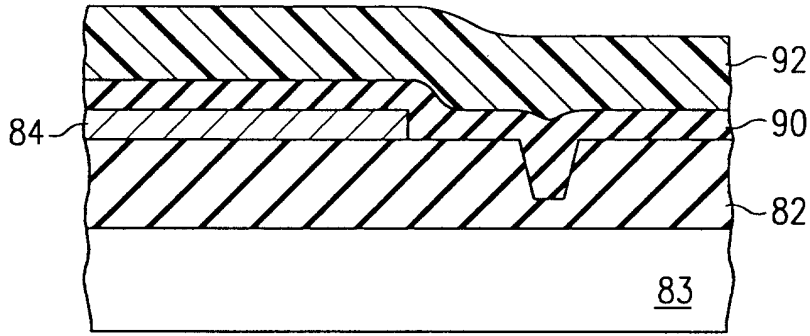


圖 4E

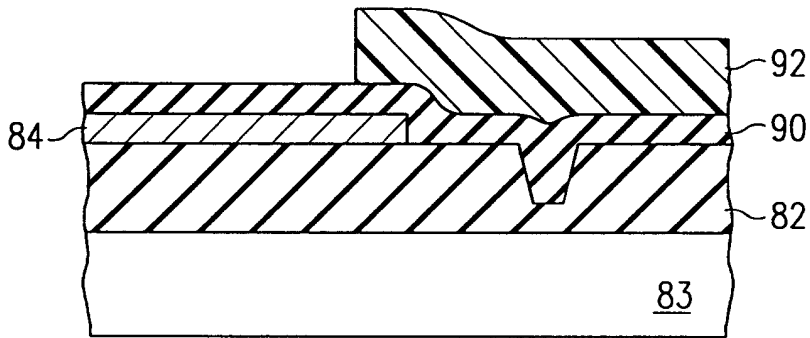


圖 4F

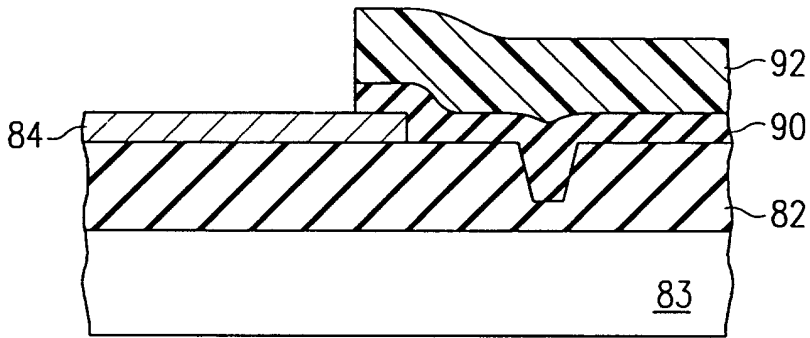


圖 4G

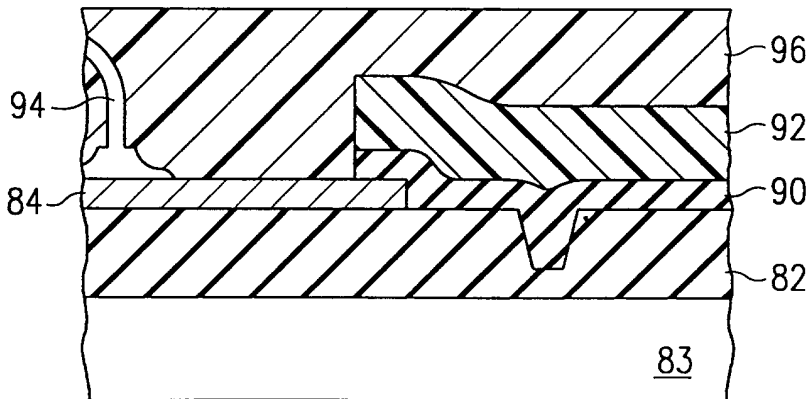


圖 4H

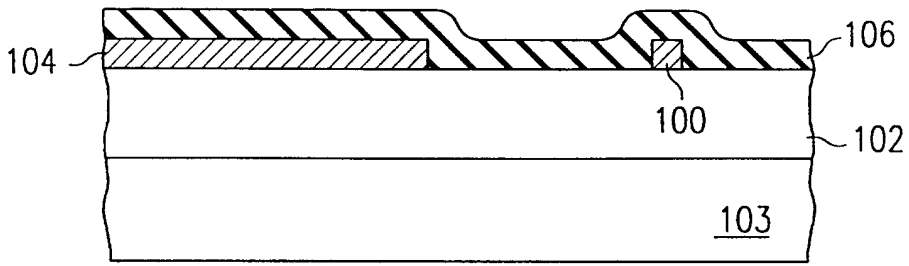


圖 5A

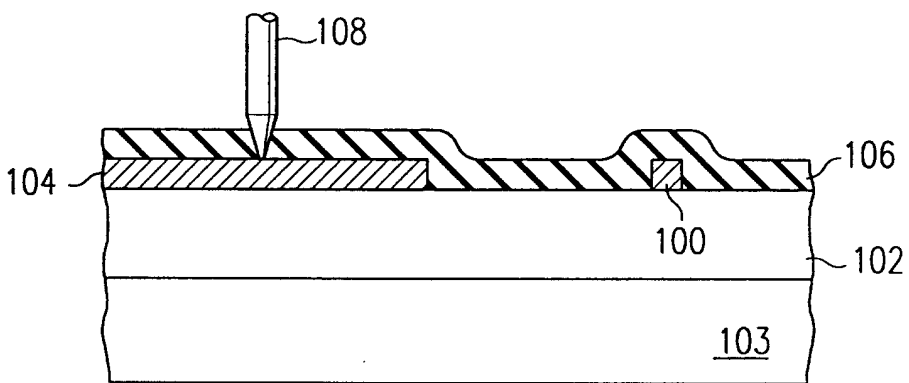


圖 5B

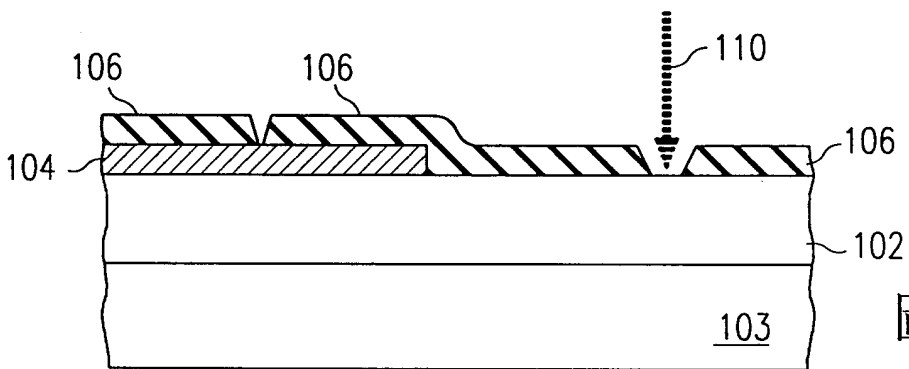


圖 5C

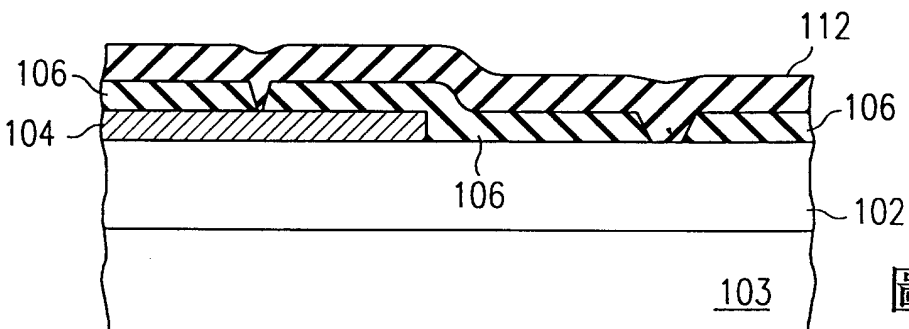


圖 5D

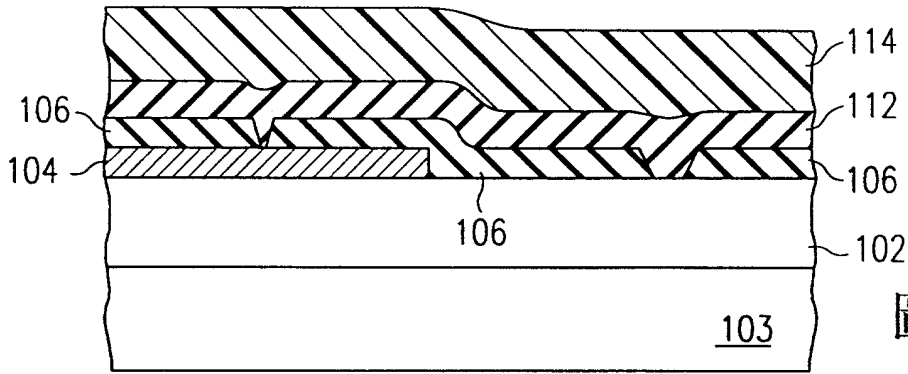


圖 5E

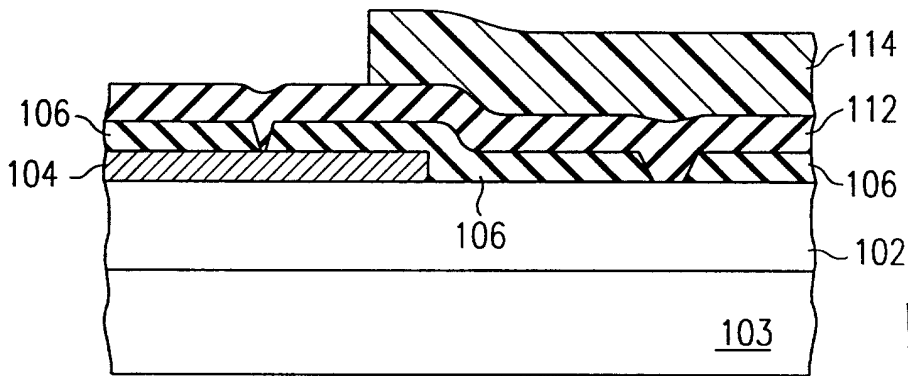


圖 5F

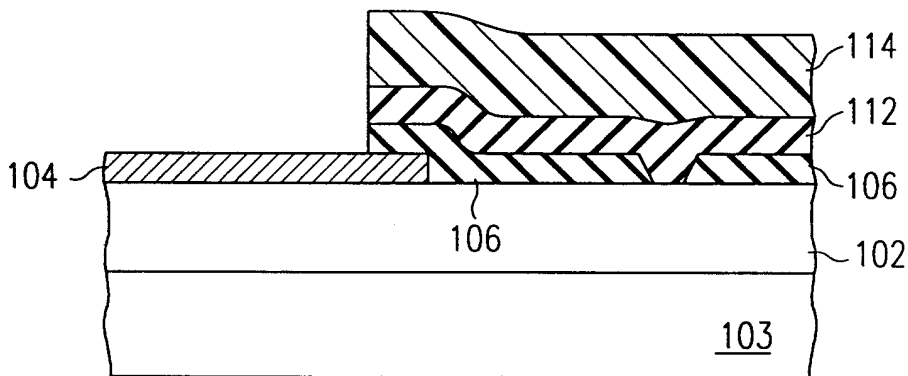


圖 5G

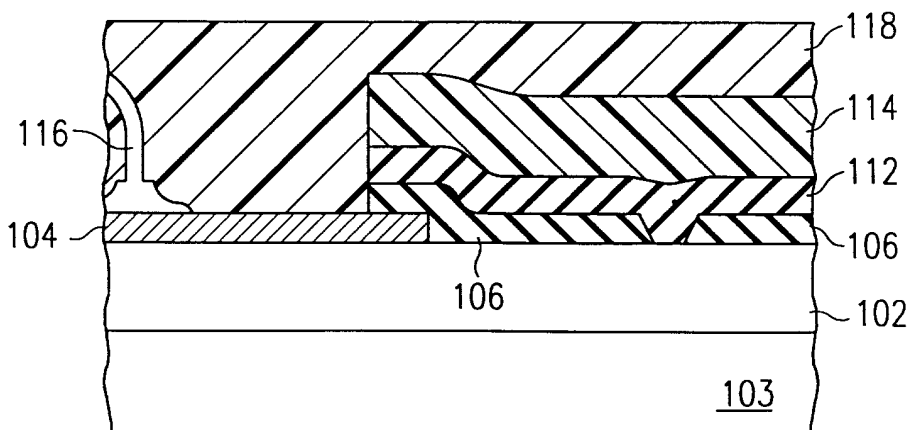


圖 5H

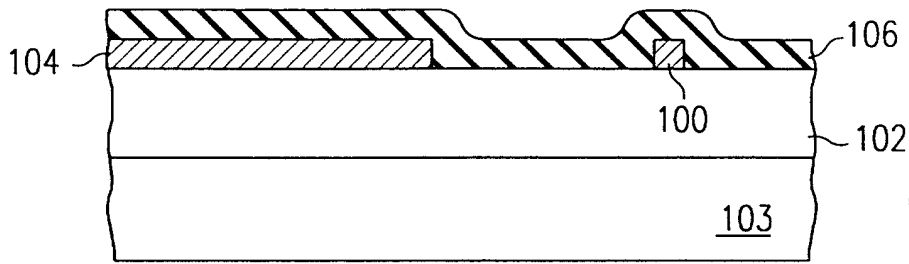


圖 6A

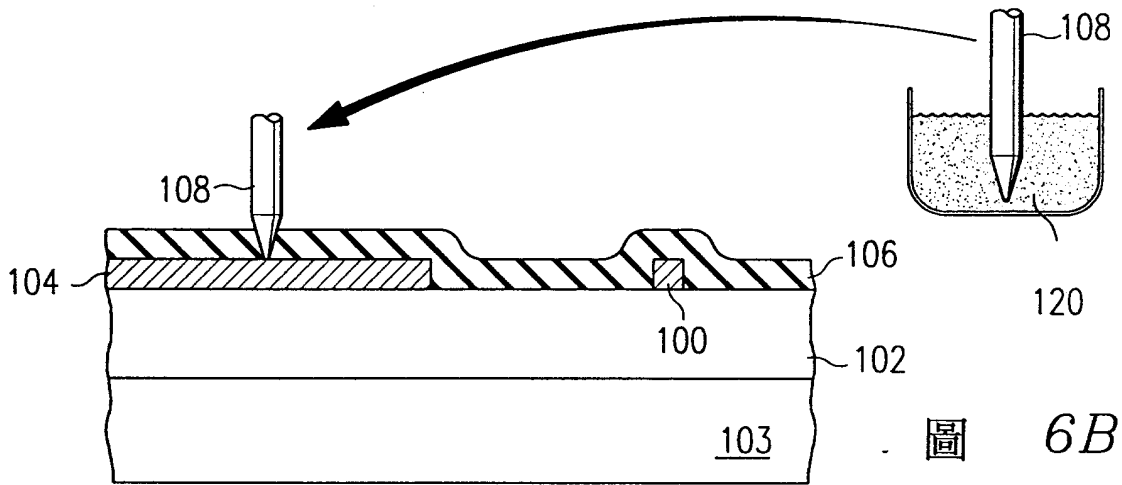


圖 6B

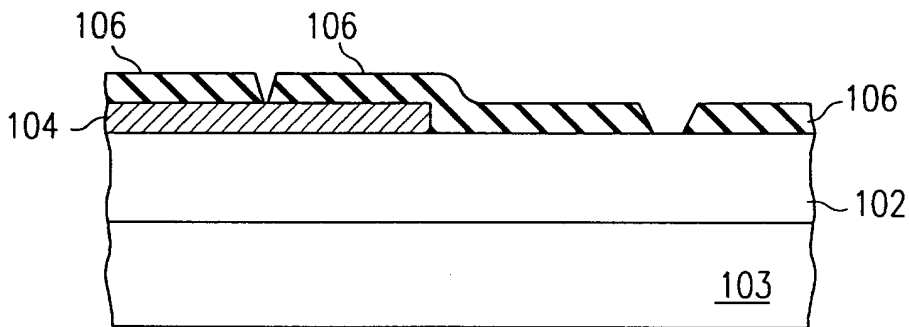


圖 6C

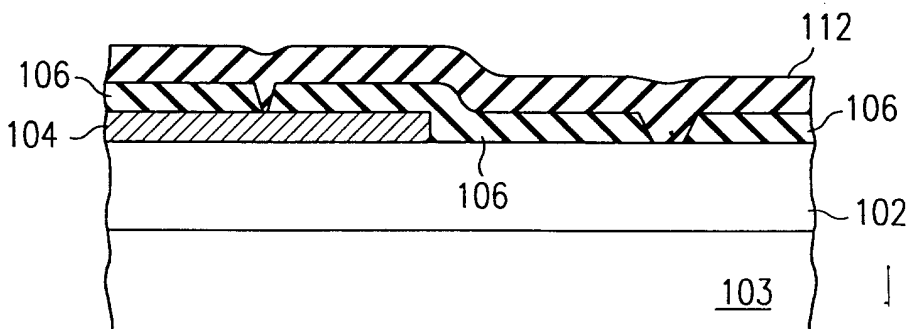


圖 6D

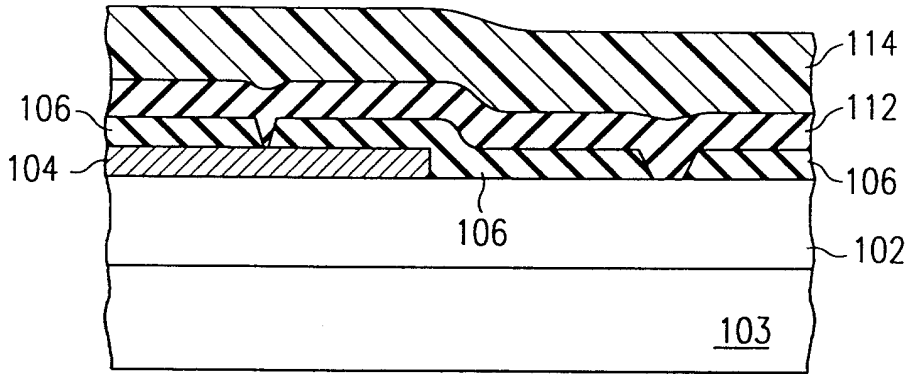


圖 6E

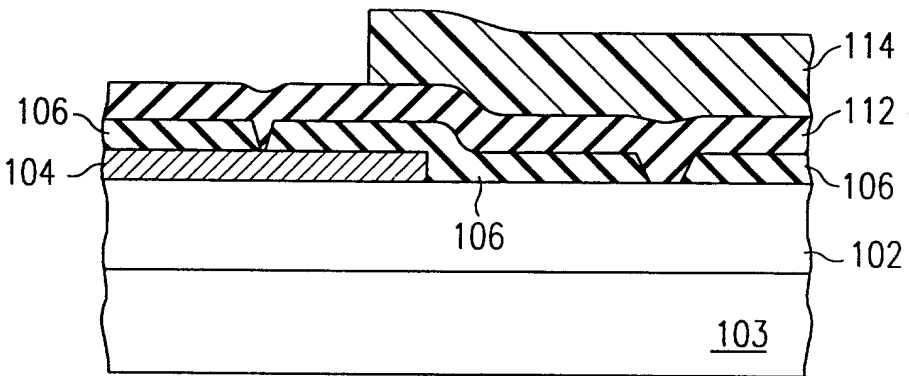


圖 6F

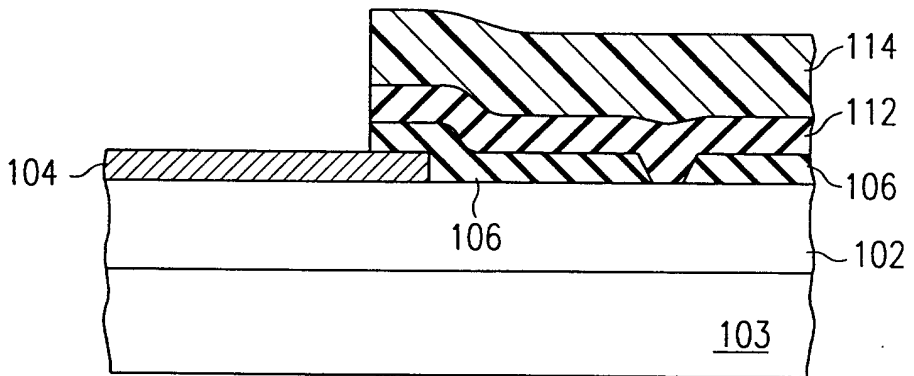


圖 6G

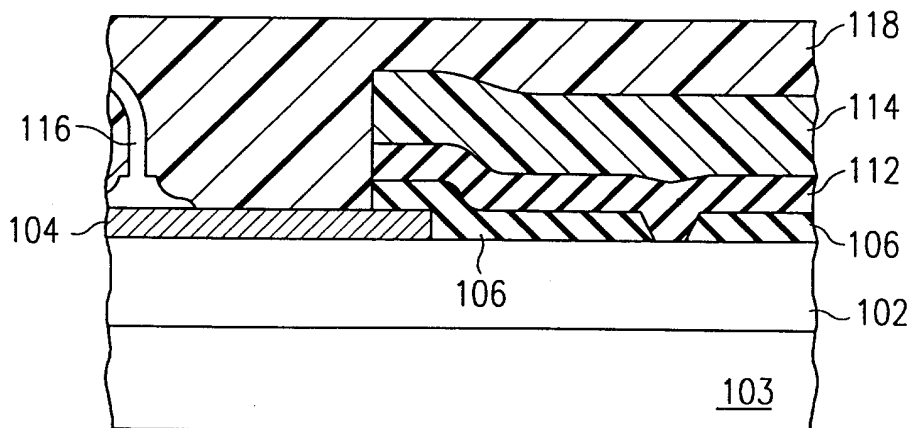
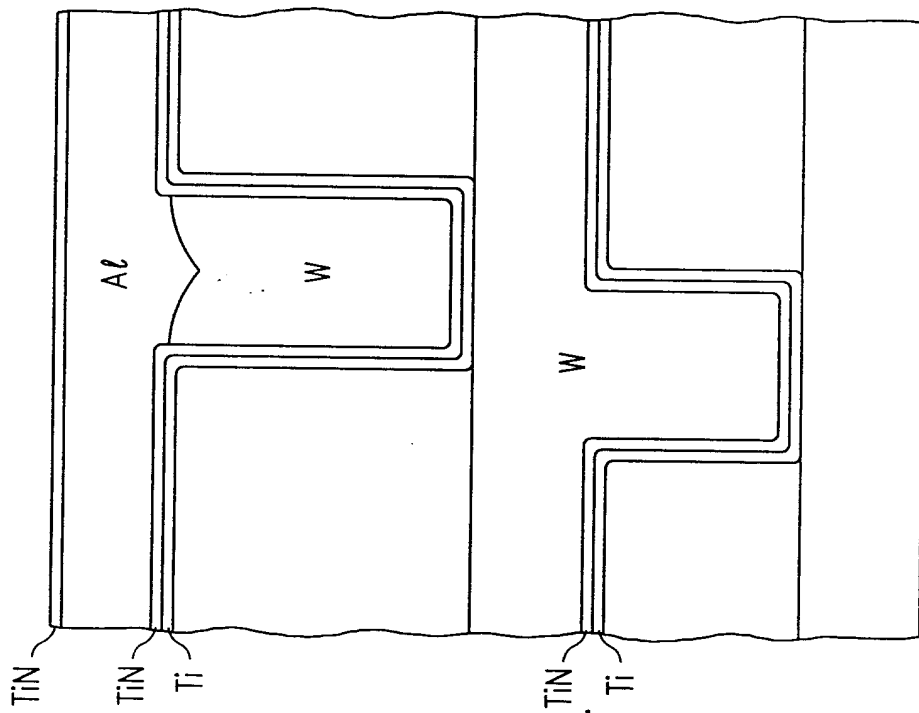
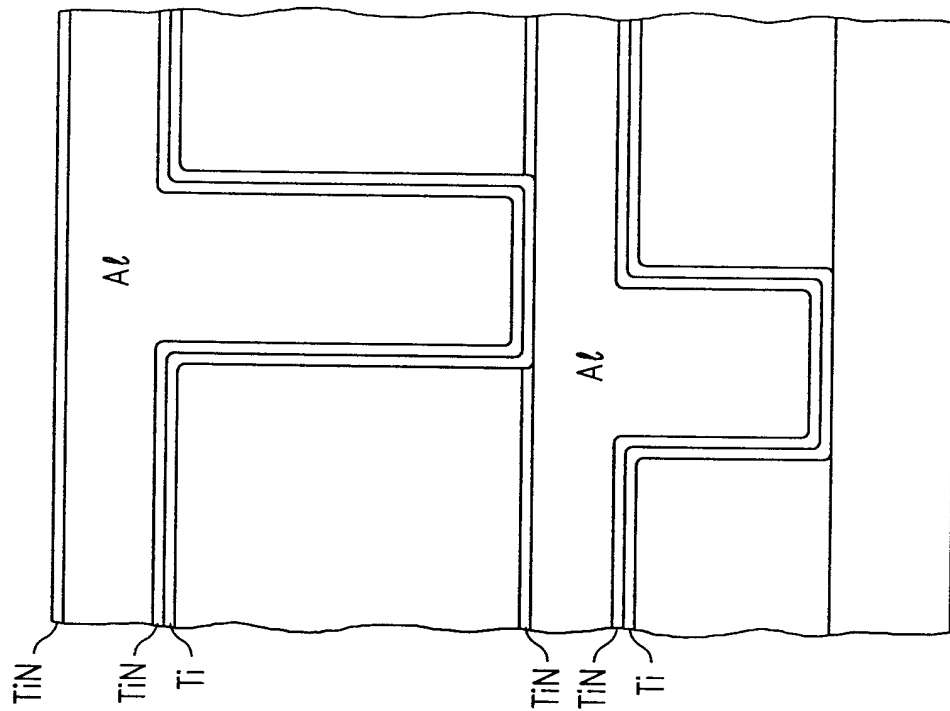


圖 6H



M2

VIA

M1

圖 7