

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5054440号
(P5054440)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月3日(2012.8.3)

(51) Int.Cl.

F 1

H05K 3/46 (2006.01)

H05K 3/46

Q

H05K 3/36 (2006.01)

H05K 3/46

N

H05K 1/02 (2006.01)

H05K 3/36

A

H05K 1/02

C

請求項の数 10 (全 18 頁)

(21) 出願番号

特願2007-159223 (P2007-159223)

(22) 出願日

平成19年6月15日 (2007.6.15)

(65) 公開番号

特開2008-311520 (P2008-311520A)

(43) 公開日

平成20年12月25日 (2008.12.25)

審査請求日

平成22年3月17日 (2010.3.17)

(73) 特許権者 000190688

新光電気工業株式会社

長野県長野市小島田町80番地

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 倉嶋 信幸

長野県長野市小島田町80番地 新光電氣
工業株式会社内

(72) 発明者 荒井 直

長野県長野市小島田町80番地 新光電氣
工業株式会社内

(72) 発明者 飯塚 肇

長野県長野市小島田町80番地 新光電氣
工業株式会社内

最終頁に続く

(54) 【発明の名称】電子部品内蔵基板の製造方法及び電子部品内蔵基板

(57) 【特許請求の範囲】

【請求項 1】

第1の基板に形成された配線と接続されるよう電子部品を前記第1の基板に搭載する第1の工程と、

前記電子部品と前記第1の基板との間にアンダーフィル樹脂を配設する第2の工程と、
配線が形成された第2の基板の前記電子部品と対向する領域内に単数又は複数の孔を形成する第3の工程と、

前記第2の基板に電極を設ける第4の工程と、

前記電極を前記第1の基板の配線に接合することにより、前記電子部品が内蔵されるよう前記第1の基板と前記第2の基板を接合する第5の工程と、

前記第2の基板に形成された孔からエアー抜きを行いつつ、かつ、前記電子部品及び前記第1の基板に発生した反りを是正しうる充填圧力が前記電子部品及び前記第1の基板に印加されるよう、前記第1の基板と前記第2の基板との間に樹脂を充填する第6の工程とを有しており、

前記第6の工程は、接合された前記第1の基板と前記第2の基板を、封止樹脂を供給するゲートと、前記ゲートの反対側の位置に設けられ金型のキャビティ内の空気を吸引するベント孔とを有する金型のキャビティ内に装着し、前記ベント孔から前記キャビティ内の空気を吸引しつつ、前記ゲートから前記第1基板と前記第2基板との間に封止樹脂を供給し、前記封止樹脂が前記電子部品の上面に気泡を残して充填され、前記気泡を前記第2の基板に形成された孔から放出することで、前記電子部品を含む前記第1の基板と前記第2

の基板との間に封止樹脂を充填することを特徴とする電子部品内蔵基板の製造方法。

【請求項 2】

前記第 6 の工程では、

前記第 2 の基板と金型との間に前記孔を覆うようフィルムを配設しつつ、接合された前記第 1 及び第 2 の基板を金型に装着し、前記第 1 の基板と前記第 2 の基板との離間部分に樹脂を充填する請求項 1 記載の電子部品内蔵基板の製造方法。

【請求項 3】

前記孔を、前記第 2 の基板の前記電子部品と対向する領域の中央位置に形成した請求項 1 又は 2 記載の電子部品内蔵基板の製造方法。

【請求項 4】

複数の前記孔を、前記第 2 の基板の前記電子部品と対向する領域の中央位置を含み、前記樹脂の充填方向に沿って直線状に列設した請求項 1 又は 2 記載の電子部品内蔵基板の製造方法。

10

【請求項 5】

前記電極は、金属コアを含む請求項 1 乃至 4 のいずれか一項に記載の電子部品内蔵基板の製造方法。

【請求項 6】

前記第 6 の工程では、

前記第 2 の基板に形成された孔からエアー抜きを行いつつ、かつ、前記電子部品及び前記第 1 の基板に発生した反りを是正しうる充填圧力が前記電子部品及び前記第 1 の基板に印加されるよう樹脂を充填する請求項 1 乃至 5 のいずれか一項に記載の電子部品内蔵基板の製造方法。

20

【請求項 7】

電子部品と、

前記電子部品が搭載された第 1 の基板と、

前記第 1 の基板と前記電子部品との間に配設されたアンダーフィル樹脂と、

前記電子部品を内蔵するように前記第 1 の基板と接合された第 2 の基板と、

前記第 1 の基板と前記第 2 の基板とを接合する電極と、

前記第 1 の基板と前記第 2 の基板との間を封止する封止樹脂と、

前記第 2 の基板に設けられたエアー抜き用の貫通孔と、

30

を備えており、

前記貫通孔は前記封止樹脂の充填方向に対して垂直な方向に前記第 2 の基板を貫通する
ように設けられていることを特徴とする電子部品内蔵基板。

【請求項 8】

請求項 7 に記載の電子部品内蔵基板であって、

前記貫通孔の断面積は前記電子部品の面積より小さいことを特徴とする電子部品内蔵基板。

【請求項 9】

請求項 7 又は 8 に記載の電子部品内蔵基板であって、

前記貫通孔は前記封止樹脂により充填されていることを特徴とする電子部品内蔵基板。

40

【請求項 10】

請求項 7 乃至 9 のいずれか一項に記載の電子部品内蔵基板であって、

前記貫通孔は複数設けられており、前記封止樹脂の充填方向に沿って直線状に配列されていることを特徴とする電子部品内蔵基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子部品内蔵基板の製造方法及び電子部品内蔵基板に係り、特に第 1 の基板と第 2 の基板間に電子部品を配設すると共にこの電子部品を樹脂封止する工程を有する電子部品内蔵基板の製造方法及び電子部品内蔵基板に関する。

50

【背景技術】**【0002】**

現在、半導体チップ等の電子部品が内設された半導体装置を用いた電子機器の高性能化が進められており、基板へ半導体チップを実装する場合の高密度化や、また電子部品を搭載した基板の小型化、省スペース化などが求められている。

【0003】

このため、半導体チップ等の電子部品が埋め込まれた基板、いわゆる電子部品内蔵基板が提案されており、電子部品を基板に内蔵するための様々な構造が提案されている。

【0004】

この電子部品内蔵基板の一例として、例えば特許文献1に開示されたものがある。この特許文献1に開示された電子部品内蔵基板は、第1の実装基板と第2の実装基板との間にスペーサとして機能するバンプが設けられており、このバンプにより離間された一対の基板の間に電子部品が実装された構成とされている。また、一対の実装基板の間に封止樹脂が配設されることにより、電子部品を保護する構成とされている。10

【0005】

また、特許文献1に開示された電子部品内蔵基板の製造方法としては、先ず第1実装基板上にチップ状の電子部品をフリップチップ実装する。続いて、スペーサとして機能するバンプを第1実装基板にはんだ付けする。次に、このバンプを用いて第1実装基板上に第2実装基板を接合し、その上で第1実装基板と第2実装基板との間に樹脂を充填する。上記の各処理を実施することにより、特許文献1に開示された電子部品内蔵基板は製造されていた。20

【特許文献1】特開2003-347722号公報**【発明の開示】****【発明が解決しようとする課題】****【0006】**

しかしながら、近年の半導体チップ等の電子部品を搭載した基板に対する小型化及び省スペース化の要求は更に厳しくなってきており、これに伴い第1実装基板と第2実装基板との離間距離は狭くなる傾向にある。このように、第1実装基板と第2実装基板との離間距離が狭くなると、各基板間における樹脂の流れが円滑に行われなくなり、形成した樹脂内に気泡（ボイド）が発生するおそれがある。30

【0007】

特に、電子部品内蔵基板の場合、第1実装基板と第2実装基板との間に電子部品が内蔵されるため、この電子部品は樹脂の流れを妨げる要因となる。このため、電子部品の近傍において樹脂の流れが不良となり、電子部品の近傍（特に上部）に気泡が発生し易いという問題点があった。

【0008】

一方、この気泡の発生を抑制すべく、第2の基板の電子部品と対向する位置に大きく開口部を形成することが考えられる。これにより、電子部品近傍における樹脂の流れ抵抗が小さくなり、気泡の発生が抑制されると考えられる。

【0009】

しかしながら、樹脂の充填処理は単に第1実装基板と第2実装基板との離間部分に樹脂を充填し両基板の接合性を高めるばかりでなく、電子部品及び第1実装基板に発生した反りの是正を行うために実施される。即ち、電子部品を第1実装基板にフリップチップ実装した後、電子部品と第1実装基板との間にアンダーフィル樹脂を充填した場合、電子部品、第1実装基板、及びアンダーフィル樹脂の熱膨張差に起因して電子部品及び第1実装基板が第2実装基板に向けて凸となる反りが発生する。

【0010】

この反りは、第1実装基板と第2実装基板との間に樹脂が充填され、その際の樹脂の充填圧力により電子部品及び第1実装基板が押圧されることにより是正される。しかしながら、上記のように第2の基板の電子部品と対向する位置に大きく開口部を形成すると、樹40

10

20

30

40

50

脂の流れ抵抗が小さくなり気泡の発生は抑制されるものの、樹脂の充填圧力が低下してしまい、電子部品及び第1実装基板に発生する反りを是正することができないという問題点が生じる。

【0011】

本発明は上記の点に鑑みてなされたものであり、樹脂内に気泡が発生することを抑制すると共に電子部品等に発生する反りを有効に抑制しうる電子部品内蔵基板の製造方法及び電子部品内蔵基板を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記の課題は、本発明の第1の観点からは、

10

第1の基板に形成された配線と接続されるよう電子部品を前記第1の基板に搭載する第1の工程と、

前記電子部品と前記第1の基板との間にアンダーフィル樹脂を配設する第2の工程と、配線が形成された第2の基板の前記電子部品と対向する領域内に単数又は複数の孔を形成する第3の工程と、

前記第2の基板に電極を設ける第4の工程と、

前記電極を前記第1の基板の配線に接合することにより、前記電子部品が内蔵されるよう前記第1の基板と前記第2の基板を接合する第5の工程と、

前記第2の基板に形成された孔からエアー抜きを行いつつ、かつ、前記電子部品及び前記第1の基板に発生した反りを是正しうる充填圧力が前記電子部品及び前記第1の基板に印加されるよう、前記第1の基板と前記第2の基板との間に樹脂を充填する第6の工程とを有しており、

20

前記第6の工程は、接合された前記第1の基板と前記第2の基板を、封止樹脂を供給するゲートと、前記ゲートの反対側の位置に設けられ金型のキャビティ内の空気を吸引するベント孔とを有する金型のキャビティ内に装着し、前記ベント孔から前記キャビティ内の空気を吸引しつつ、前記ゲートから前記第1基板と前記第2基板との間に封止樹脂を供給し、前記封止樹脂が前記電子部品の上面に気泡を残して充填され、前記気泡を前記第2の基板に形成された孔から放出することで、前記電子部品を含む前記第1の基板と前記第2の基板との間に封止樹脂を充填することを特徴とする電子部品内蔵基板の製造方法により解決することができる。

30

【0013】

また、上記発明において、前記第6の工程では、

前記第2の基板と金型との間に前記孔を覆うようフィルムを配設しつつ、接合された前記第1及び第2の基板を金型に装着し、前記第1の基板と前記第2の基板との離間部分に樹脂を充填することとしてもよい。

【0014】

また、上記発明において、前記孔を、前記第2の基板の前記電子部品と対向する領域の中央位置に形成してもよい。

【0015】

また、上記発明において、複数の前記孔を、前記第2の基板の前記電子部品と対向する領域の中央位置を含み、前記樹脂の充填方向に沿って直線状に列設してもよい。

40

【0016】

また、上記発明において、前記電極として金属コアを含むものを用いてもよい。

【0017】

また、上記発明において、前記第6の工程では、前記第2の基板に形成された孔からエアー抜きを行いつつ、かつ、前記電子部品及び前記第1の基板に発生した反りを是正しうる充填圧力が前記電子部品及び前記第1の基板に印加されるよう樹脂を充填することとしてもよい。

また上記の課題は、本発明の第2の観点からは、

電子部品と、

50

前記電子部品が搭載された第1の基板と、
前記第1の基板と前記電子部品との間に配設されたアンダーフィル樹脂と、
前記電子部品を内蔵するように前記第1の基板と接合された第2の基板と、
前記第1の基板と前記第2の基板とを接合する電極と、
前記第1の基板と前記第2の基板との間を封止する封止樹脂と、
前記第2の基板に設けられたエアー抜き用の貫通孔と、
を備えており、
前記貫通孔は前記封止樹脂の充填方向に対して垂直な方向に前記第2の基板を貫通する
ように設けられていることを特徴とする電子部品内蔵基板により解決することができる。
また、上記発明において、前記貫通孔の径は前記電子部品の面積より小さく設定する構成としてもよい。 10
また、上記発明において、前記貫通孔が前記封止樹脂により充填されている構成としてもよい。
また、上記発明において、前記貫通孔を複数設け、前記封止樹脂の充填方向に沿って直線状に配列した構成としてもよい。

【発明の効果】

20

【0018】

本発明によれば、第2の基板の電子部品と対向する領域内に単数又は複数の孔を形成しておき、第1の基板と第2の基板との間に樹脂を充填する際、第2の基板に形成された孔からエアー抜きを行いつつ樹脂の充填を行うため、樹脂内に気泡が発生することを防止することができる。

【0019】

また、孔は第2の基板の電子部品と対向する領域内に単数又は複数形成されるため、その孔の径(断面積)は電子部品の面積よりも小さい。このため、第1の基板と第2の基板との間に充填した樹脂に対し、電子部品及び第1の基板に発生した反りを是正しうる充填圧力を印加することが可能となる。 30

【発明を実施するための最良の形態】

【0020】

次に、本発明を実施するための最良の形態について図面と共に説明する。

【0021】

先ず、説明の便宜上、本発明に係る電子部品内蔵基板の製造方法の説明に先立ち、本実施例の製造方法により製造される電子部品内蔵基板400について説明する。図1は、電子部品内蔵基板400を示す断面図である。尚、以下の説明においては、図1に矢印Z1で示す側を上方とすると共に矢印Z2で示す側を下方とし、また図2以降の各図においても同様とする。

【0022】

40

電子部品内蔵基板400は、大略すると第1の基板100、第2の基板200、半導体チップ110(請求項に記載の電子部品に相当する)、電極112、及び封止樹脂115等により構成されている。

【0023】

第1の基板100は、コア基板101、ビルドアップ層101A、101B、配線パターン103A、103B、内層配線103C、及びソルダーレジスト層104A、104B等により構成されている。

【0024】

コア基板101は、プリプレグ材(ガラス繊維にエポキシ樹脂などを含浸させた材料)よりなり、その両面には例えばCuよりなる内層配線103Cが形成されている。また、 50

コア基板 101 の両面に形成された内層配線 103C は、コア基板 101 を貫通して形成されたビアプラグ 102 により電気的に接続されている。

【0025】

このコア基板 101 の図中上面にはビルドアップ層 101A が形成され、また下面にはビルドアップ層 101B が形成される。このビルドアップ層 101A の上面には例えば Cu からなる配線パターン 103A が形成されると共に、ビルドアップ層 101B の下面には例えば Cu からなる配線パターン 103B が形成されている。配線パターン 103A は、層間ビア 105A を介して内層配線 103C に接続され、配線パターン 103B は層間ビア 105B を介して内層配線 103C に接続されている。

【0026】

また、ビルドアップ層 101A の図中上面には、ソルダーレジスト層 104A が形成されている。このソルダーレジスト層 104A は、後述する半導体チップ 110 及び電極 112 の接合位置が除去されて接続孔 117A（図 2 (D) 参照）が形成されている。配線パターン 103A は、この接続孔 117A から露出した状態となっている。

【0027】

また、ビルドアップ層 101B の図中下面には、ソルダーレジスト層 104B が形成されている。このソルダーレジスト層 104B は、後述するはんだボール 111 が接続される位置に接続孔 117B が形成されている。配線パターン 103B は、この接続孔 117B から露出した状態となっている。

【0028】

この接続孔 117A, 117B から露出した配線パターン 103A, 103B の内、後述する電極 112 或いははんだボール 111 がはんだ接合される位置には、はんだ付け性を高めるために例えば Ni / Au（配線パターン 103A 上に Ni 層、Au 層の順に積層された層）等よりなる接続層を形成していても良い（接続層の図示は省略している）。また、接続孔 117A, 117B から露出した配線パターン 103A, 103B の内、半導体チップ 110 がフリップチップ接合される位置には、例えばはんだ等よりなる接続層 107 が印刷法、電解メッキ法等により形成されている。

【0029】

半導体チップ 110 は、フリップチップ接合により第 1 の基板 100 に搭載される。この半導体チップ 110 は、その正面にバンプ 108 が形成されている。そして、このバンプ 108 を前記した接続層 107 に接合することにより、半導体チップ 110 は第 1 の基板 100 にフェイスダウンで接合される。

【0030】

また、半導体チップ 110 と第 1 の基板 100 の上面 100a との間には、接合信頼性を高めるためにアンダーフィル 109 が配設される。しかしながら、このアンダーフィル樹脂 109 を配設することにより、後述するように半導体チップ 110 及び第 1 の基板 100 には反りが発生することがある。

【0031】

尚、本実施例では電子部品として半導体チップ 110 を用いた例を示しているが、電子部品は半導体チップに限定されるものではなく、他の電子部品（例えば、半導体チップ、キャパシタ、レジスタ、インダクタ等）を組み合わせて用いることも可能である。

【0032】

はんだボール 111 は外部接続端子として機能するものであり、第 1 の基板 100 の下面 100b に配設されている。具体的には、前記のようにソルダーレジスト層 104B には配線パターン 103B が露出した接続孔 117B が形成されており、はんだボール 111 はこの接続孔 117B から露出した配線パターン 103B に接合されている。

【0033】

一方、第 2 の基板 200 は、コア基板 201, 配線パターン 203A, 203B、及びソルダーレジスト層 204A, 204B 等により構成されている。

【0034】

10

20

30

40

50

コア基板 201 は、前記した第 1 の基板 100 のコア基板 101 と同様に、プリプレグ材よりなり、その上面及び下面に例えれば Cu よりなる配線パターン 203A, 203B が形成されている。この配線パターン 203A, 203B は、コア基板 201 を貫通して形成されたビアプラグ 202 により電気的に接続されている。

【0035】

また、配線パターン 203A, 203B が形成されたコア基板 201 の図中上面にはソルダーレジスト層 204A が形成され、また下面にはソルダーレジスト層 204B が形成されている。下側に位置するソルダーレジスト層 204B は、後述する電極 112 の接合位置に接続孔 116B (図 2 (A) 参照) が形成されている。

【0036】

また配線パターン 203B は、この接続孔 116B から露出した状態となっている。尚、上側のソルダーレジスト層 204A に形成された接続孔 116A は、表面実装部品、電子部品を実装するためや、複数の電子部品内蔵基板 400 を積層 (スタック) するために設けるものであるが、この積層を行わない場合には必ずしも設ける必要はない。

【0037】

更に、第 2 の基板 200 の半導体チップ 110 と対向する領域内には、貫通孔 206 が形成されている。この貫通孔 206 は、半導体チップ 110 の略中央位置と対向する位置に第 2 の基板 200 を貫通するよう形成されている。

【0038】

上記構成とされた第 1 の基板 100 と第 2 の基板 200 は、封止接続層により接合される。この封止接続層は、電極 112 と封止樹脂 115 とにより構成される。

【0039】

電極 112 は、球形状の銅コア 113 の表面にはんだ被膜 114 を形成した構成とされている。この電極 112 は、その下部が第 1 の基板 100 の接続孔 117A から露出した配線パターン 103A にはんだ付けされ、その上部が第 2 の基板 200 の接続孔 116B から露出した配線パターン 203B に接合される。

【0040】

これにより、第 1 の基板 100 の配線パターン 103A と、第 2 の基板 200 の配線パターン 203B は、電極 112 を介して電気的かつ機械的に接合される。また、銅コア 113 は、第 1 の基板 100 と第 2 の基板 200 の離間距離を一定距離に保つスペーサとして機能する。

【0041】

封止樹脂 115 は、第 1 の基板 100 と第 2 の基板 200 との離間部分、及び後述する第 2 の基板 200 に形成された貫通孔 206 内に形成される。この封止樹脂 115 は接着剤としても機能するため、よって第 1 の基板 100 と第 2 の基板 200 は封止樹脂 115 により強固に接合される。また、この 115 は、上記した第 2 の基板 200 に形成された貫通孔 206 の内部にも充填された構成とされている。

【0042】

このように、電子部品内蔵基板 400 は、第 1 の基板 100 と第 2 の基板 200 を接合するのに、電極 112 による接合に加えて封止樹脂 115 により接合を行っているため、電子部品内蔵基板 400 の薄型化を図っても、第 1 の基板 100 と第 2 の基板 200 が剥離するようなことはなく、高い信頼性を実現することができる。

【0043】

次に、図 1 に示した電子部品内蔵基板 400 の製造方法について説明する。

【0044】

図 2 乃至図 4 は、電子部品内蔵基板 400 の製造方法を製造手順に沿って示す図である。尚、図 2 乃至図 4 において、図 1 に示した構成と対応する構成については同一符号を付して、一部その説明を省略するものとする。

【0045】

電子部品内蔵基板 400 を製造するには、先ず図 2 (A) に示す第 2 の基板 200 を製

10

20

30

40

50

造する。この第2の基板200を製造する為には、例えばプリプレグ材よりなるコア基板201に対し、このコア基板201を貫通するビアプラグ202を形成する。

【0046】

また、コア基板201の上面（半導体チップとの対向面と反対側の面）に配線パターン203Aを形成すると共に、前記コア基板201の下面（半導体チップと対向する面）に配線パターン203Bを形成する。また、コア基板201の各面に形成された配線パターン203Aと配線パターン203Bは、ビアプラグ202により電気的に接続される。尚、この配線パターン203A, 203B及びビアプラグ202は、例えばCuにより形成することができる。

【0047】

10

また、コア基板201の上面には、所定位置に接続孔116Aを有したソルダーレジスト層204Aを形成する。このソルダーレジスト層204Aの接続孔116Aから露出した配線パターン203Aには、例えばNi/Au等よりなる接続層を形成しても良い。

【0048】

また同様に、コア基板201の下面に、所定位置に接続孔116Bを有したソルダーレジスト層204Bを形成する。このソルダーレジスト層204Bの接続孔116Bから露出する配線パターン203Bには、例えばNi/Au等よりなる接続層を形成しても良い。

【0049】

20

図2(A)に示す第2の基板200が製造されると、続いてこの第2の基板200に対して貫通孔206を形成する。この貫通孔206の形成方法としては、例えばドリルによる機械加工或いはレーザ光を用いたレーザ加工を用いることができる。尚、ドリル加工を用いた場合には加工コストの低減を図ることができ、またレーザ加工を用いた場合には加工時間の短縮を図ることができる。

【0050】

また、貫通孔206の直径は、例えば0.2mm~1.0mmに選定することが望ましい。これは、後述する封止樹脂115の充填工程において、貫通孔206内に封止樹脂115が充填できる孔径したことによる。

【0051】

30

更に、本実施例では貫通孔206の形成位置を、第2の基板200が第1の基板100に積層された際、半導体チップ110と対向する領域（図1に矢印Aで示す領域）の中央位置に形成している。

【0052】

通常、半導体チップ110と対向する領域は配線パターン203Bが形成されていない場合が多く、また後述するように気泡308は半導体チップ110の中央に形成される場合が多い。このため、配線パターン203Bの設計上、また後述する気泡308の発生防止の面から、貫通孔206を第2の基板200の半導体チップ110と対向する領域における中央位置に形成することが望ましい。図2(B)は、貫通孔206が形成された第2の基板200を示している。

【0053】

40

貫通孔206の形成工程が終了すると、続いて第2の基板200に電極112を接合する。この電極112は、前記のように球状の銅コア113の外周にはんだ被膜114が設けられた構成とされている。

【0054】

この電極112を第2の基板200に接合するには、電極112にフラックスを塗布し、その上でこの電極112を接続孔116Bから露出した配線パターン203Bに仮止めする。続いて、この電極112が仮止めされた第2の基板200をリフロー処理することにより、電極112は配線パターン203Bにはんだ付けされる。このはんだ付け工程が終了すると、フラックス洗浄を行いフラックス残渣を除去する。図2(C)は、電極112がはんだ付けされた第2の基板200を示している。

50

【0055】

一方、電子部品内蔵基板400を製造するには、図2(D)に示す第1の基板100を製造する。この電子部品内蔵基板400を製造するには、例えばプリプレグ材よりなるコア基板101を用意し、このコア基板101を貫通するビアプラグ102を形成すると共に、このコア基板101の上面及び下面に内層配線103Cを形成する。このコア基板101の上面及び下面に形成された内層配線103Cは、ビアプラグ102により電気的に接続される。尚、このビアプラグ102及び内層配線103Cは、例えばCuにより形成することができる。

【0056】

続いて、内層配線103Cが形成されたコア基板101の上面に、ビルドアップ層101Aを形成し、更にコア基板101の下面にビルドアップ層101Bを形成する。このビルドアップ層101A, 101Bとしては、例えばエポキシ樹脂、ポリイミド樹脂等からなる絶縁フィルムを用いることができる。

【0057】

次に、このビルドアップ層101Aの上面に、配線パターン103Aを形成する。この配線パターン103Aと内層配線103Cは、ビルドアップ層101Aを貫通して形成された層間ビア105Aにより電気的に接続される。また、ビルドアップ層101Bの下面には、配線パターン103Bを形成する。この配線パターン103Bと内層配線103Cは、ビルドアップ層101Bを貫通して形成された層間ビア105Bにより電気的に接続される。

10

20

【0058】

続いて、配線パターン103Aが形成されたビルドアップ層101Aの上面に、ソルダーレジスト層104Aを形成する。このソルダーレジスト層104Aを形成する際、後述する半導体チップ110が接合する位置、及び電極112が接合する位置には接続孔117Aが形成される。また、この接続孔117Aから露出する配線パターン103Aには、例えばNi/Au等よりなる接続層を形成しても良い。

【0059】

また、複数形成される接続孔117Aの内、後の工程で半導体チップ110が接合される接続孔117Aから露出した配線パターン103Aには、例えばはんだ等よりなる接続層107を印刷法、電解メッキ法等により形成する。

30

【0060】

一方、配線パターン103Bが形成されたビルドアップ層101Bの下面には、ソルダーレジスト層104Bが形成される。このソルダーレジスト層104Bを形成する際、後述するはんだボール111が接合する位置に接続孔117Bを形成する。また、この接続孔117Bから露出する配線パターン103Bには、例えばNi/Au等よりなる接続層を形成してもよい。

【0061】

上記のようにして製造された第1の基板100には、続いて半導体チップ110が搭載される。第1の基板100に半導体チップ110を搭載するには、予め半導体チップ110の正面にバンプ108を設けておき、この半導体チップ110をフェイスダウンとし、正面に形成されたバンプ108を接続層107に接合する。

40

【0062】

半導体チップ110が第1の基板100にフリップチップ接合されると、続いて半導体チップ110と第1の基板100(上面100a)との間に、アンダーフィル109を充填すると共に、その後に加熱処理を行うことにより、このアンダーフィル樹脂109を熱硬化させる。これにより、半導体チップ110は第1の基板100に高い信頼性を持って接合される。

【0063】

しかしながら、第1の基板100を構成する各材料、半導体チップ110を構成するシリコン、及びアンダーフィル樹脂109は熱膨張率が異なっている。このため、アンダーフィル樹脂109は熱膨張率が異なるため、アンダーフィル樹脂109が熱膨張する際に、シリコンとアンダーフィル樹脂109との間に隙間が生じ、これが原因で接合部に剥離が発生する。

50

フィル樹脂 109 の加熱処理時において、この熱膨張率差に起因して半導体チップ 110 及び第 1 の基板 100 に反りが発生してしまう。図 2 (E) は、半導体チップ 110 及び第 1 の基板 100 に反りが発生した状態を示している。同図に示すように、この反りは上方に向け凸となるよう発生する。

【0064】

尚、上記した図 2 (A) ~ (C) を用いて説明した第 2 の基板 200 に対する製造工程と、図 2 (D), (E) を用いて説明した第 1 の基板 100 に対する製造工程は、いずれを先に実施してもよく、また並行に実施することも可能である。

【0065】

上記のように第 1 の基板 100 及び第 2 の基板 200 が製造されると、続いて図 3 (A) ~ (C) に示されるように、第 2 の基板 200 を第 1 の基板 100 に接合する工程を行う。尚、図 3 (A) ~ (C) では、図示の便宜上、電極 112 を他の構成に比べて拡大して描いている。

【0066】

第 2 の基板 200 を第 1 の基板 100 に接合するには、先ず電極 112 にフラックス 118 を塗布した上で、貫通孔 206 と半導体チップ 110 が対向するように、また電極 112 と接続孔 117A とが対向するよう、第 1 の基板 100 の上方で第 2 の基板 200 の位置決めを行う。図 3 (A) は、この位置決めが行われた状態を示している。この状態において、貫通孔 206 は半導体チップ 110 の略中央位置（半導体チップ 110 を平面視したときの中央位置）と対向した状態となる。

10

20

【0067】

続いて、第 2 の基板 200 を第 1 の基板 100 に当接させる。これにより、電極 112 は配線パターン 103A にフラックス 118 を用いて仮止めされた状態となる。このように、第 2 の基板 200 が第 1 の基板 100 に仮止めされると、この第 1 及び第 2 の基板 100, 200 は、仮止めされた状態を維持しつつリフロー炉に装着されて加熱工程を実施する。

【0068】

これにより、電極 112 のはんだ被膜 114 は溶けて配線パターン 103A にはんだ付けされ、第 1 の基板 100 と第 2 の基板 200 は電極 112 により接合されて積層された状態となる。図 3 (B) は、第 1 の基板 100 と第 2 の基板 200 が、電極 112 により接合された状態を示している。この際、前記のように半導体チップ 110 及び第 1 の基板 100 は反った状態であるため、半導体チップ 110 の上面と第 2 の基板 200 の下面は当接するか、或いは若干の間隙を有した状態となっている。

30

【0069】

続いて、電極 112 のはんだ付け位置に残留しているフラックス残渣を除去する洗浄工程を行う。図 3 (C) は、洗浄工程が行われ、フラックス残渣が除去された状態を示している。

【0070】

続いて、洗浄工程が終了した第 1 及び第 2 の基板 100, 200 は、金型 300 (図 6 参照) 内に装着され、封止樹脂 115 を成型するトランスマーモールド工程が実施される。尚、この第 1 の基板 100 と第 2 の基板 200 との間に封止樹脂 115 を充填する工程は、説明の便宜上、後に詳述するものとする。

40

【0071】

封止樹脂 115 のトランスマーモールドが終了すると、封止樹脂 115 が形成された第 1 及び第 2 の基板 100, 200 は金型 300 から取り出される。図 4 (A) は、封止樹脂 115 が形成された第 1 及び第 2 の基板 100, 200 を示している。

【0072】

上記のように封止樹脂 115 を形成した後、個片化すると共に不要部分を除去することで、図 4 (B) に示す電子部品内蔵基板 400 が製造される。この個片化処理の際、図 4 (A) に示すように本実施例では、第 2 の基板 200 を個片の基板とし、第 1 の基板 10

50

0がいわゆる多数個取りを行う基板としている。

【0073】

よって、図4(A)には図示の便宜上、第1の基板100の上部に1個の第2の基板200のみが接合された状態を図示しているが、実際は第1の基板100の上部には複数個の第2の基板200が接合され、これを個々の電子部品内蔵基板400毎に切断する処理が行われる。

【0074】

しかしながら、各基板100, 200の個片化に関する構成は本実施例に限定されるものではなく、上側に位置する第1の基板100を多数個取り用の基板とし、下側に位置する第2の基板200を個片化基板としてもよく、また上下に位置する各基板100, 200を共に多数個取り用の基板としてもよい。

【0075】

上記の個片化処理が終了すると、必要に応じてソルダーレジスト層104Bに形成された接続孔117Bから露出した配線パターン103Bにはんだボール111をはんだ付けすることにより、図1に示す電子部品内蔵基板400が製造される。

【0076】

ここで、図5～図10を用い、第1の基板100と第2の基板200との間に封止樹脂115を充填する工程について詳述する。尚、図5～図10において、図1～図4に示した構成と対応する構成については同一符号を付して、その説明は省略する。また、図5～図10においては、理解を容易にするため、第1の基板100, 第2の基板200, 半導体チップ110, 電極112等の図示は簡略化して示している。

【0077】

図5は第1の基板100の上部に第2の基板200が積層された状態を示している。図5(A), (B)は、第1の基板100及び半導体チップ110に反りが発生していない状態を示している。第1の基板100の上部に第2の基板200を接合するには、図5(A), (B)に示すように、第1の基板100及び半導体チップ110は反りのない平らな形状であることが望ましい。

【0078】

一方、半導体チップ110を第1の基板100にフリップチップ接合する場合、半導体チップ110と第1の基板100との接合信頼性を高めるためにアンダーフィル樹脂109を配設する必要がある。しかしながら、アンダーフィル樹脂109を配設した場合、第1の基板100, 半導体チップ110, 及びアンダーフィル樹脂109の熱膨張差により、図5(C)に示すように、半導体チップ110及び第1の基板100に反りが発生することは前述した通りである。

【0079】

図6は、図5(C)に示した第1の基板100及び第2の基板200を金型300に装着した状態を示している。金型300は、上型301と下型302とにより構成されており、この上型301と下型302との間に形成されるキャビティ306内に積層された第1の基板100及び第2の基板200は装着される。

【0080】

また、上型301の内側面には樹脂成型後の離型性を良好とするため、離型フィルム305が配設されている。第2の基板200の上面は、金型300に装着された状態で、離型フィルム305と当接するよう構成されている。従って、第2の基板200に形成された貫通孔206は、離型フィルム305で塞がれた状態となる。

【0081】

また、本実施例で用いる金型300は、図中左側に配設されたゲート303から封止樹脂115が充填される構成とされており、また金型300のゲート303と反対側の位置にはベント孔304が設けられている。このベント孔304は、吸引装置に接続されており、よってキャビティ306内の空気はベント孔304から吸引されつつ封止樹脂115の成型処理が行われる構成とされている。

10

20

30

40

50

【0082】

このように、本実施例では成型時に金型300に封止樹脂115を注入する際、吸引することによりキャビティ306内を負圧にして樹脂注入を行っている。このため、第1の基板100と第2の基板200との離間距離が狭い場合でも、確実に各基板100, 200間に封止樹脂115充填することができる。

【0083】

図7は、封止樹脂115の充填が開始されて間もない充填処理の初期の状態（以下、充填初期状態という）を示している。尚、以下の説明に用いる図7(A), 図8(A), 図9(A)は金型300の断面図であり、図7(B), 図8(B), 図9(B)は封止樹脂115の流れを示すための透視図（金型300の図示は省略）である。

10

【0084】

図7に示す充填初期状態では、封止樹脂115は略直線状にゲート303からベント孔304に向かう方向（矢印X1方向）に進行している。しかしながら、流体抵抗の小さい図7(B)における上下両側（図7(B)に矢印Bで示す部分）は、中央に比べて早く進行している。

【0085】

図8は、充填初期状態より更に封止樹脂115を充填した状態を示している（以下、充填中期状態という）。この充填中期状態では、中央部における封止樹脂115の移動距離と、図7(B)における上下部における封止樹脂115の移動距離に大きな差が生じている。これは、各基板100, 200間の中央位置には半導体チップ110が配設されており、この半導体チップ110が封止樹脂115の流れに対する抵抗となることに起因している。

20

【0086】

更に、前記したように、半導体チップ110及び第1の基板100には反りが発生しており、この反りの発生位置により半導体チップ110は略第2の基板200と当接するか、若干の隙間を形成した状態となっている。よって、これも各基板100, 200の中央位置における封止樹脂115の進行速度が遅い原因となっている。また、封止樹脂115が金型300内に進入するに従い、キャビティ306内の空気はベント孔304から外部に放出される。

【0087】

30

図9は、充填中期状態より更に封止樹脂115を充填した状態を示している（以下、充填終期状態という）。この充填終期状態では、図8(B)に示す充填中期状態において矢印Cで示す部分が回り込んで一体化し、よってその内部に気泡308が形成された状態となる。気泡308は、封止樹脂115の回り込みにより発生するため、よって封止樹脂115の流れの抵抗体となる半導体チップ110の上部に発生しやすい。図9(B)においても、このような理由から気泡308は半導体チップ110の中央位置近傍に形成されている。

【0088】

従来では、封止樹脂115の進行に伴いこの気泡308が形成されると、気泡308を除去する方法がなかった。この気泡308が第1の基板100と第2の基板200との間に存在する状態の電子部品内蔵基板400に対して加熱処理が行われた場合には、気泡308は膨張して第1の基板100と第2の基板200とが剥離する等の不都合が発生する。

40

【0089】

しかしながら、本実施例では第2の基板200の半導体チップ110と対向する領域の中央位置に貫通孔206が形成されている。気泡308である空気は、封止樹脂115の進行に伴いこの貫通孔206を通り金型300の外部に放出される。

【0090】

即ち、封止樹脂115の進行に伴い、気泡308は封止樹脂115に押されて貫通孔206内に進入する。更に封止樹脂115は、貫通孔206の内部に進入し、気泡308を

50

更に押圧する。

【0091】

図10に拡大して示すように、貫通孔206と上型301との間には、離型フィルム305が介在している。よって、封止樹脂115に押圧された気泡308は、第2の基板200と離型フィルム305との間の微細な間隙内に進行する。これに対し、封止樹脂115はフィラー等を含んでおり、第2の基板200と離型フィルム305との間の微細な間隙内には進行できない。よって、封止樹脂115の流れは貫通孔206を埋めた時点で止まり、またこの状態で気泡308は封止樹脂115内からも除去された状態となる。

【0092】

一方、金型300のキャビティ306内を進行する封止樹脂115は、キャビティ306内に充填される際にその充填圧力により半導体チップ110及び第1の基板100を押圧する。ここで、充填圧力とは、ゲート303からキャビティ306内に封止樹脂115が充填されることにより、キャビティ306内で発生する内圧である。

【0093】

よって、この充填圧力が高いほど半導体チップ110及び第1の基板100は強く押圧されて、反りが有効に是正されることとなる。本実施例では、貫通孔206の直径は0.2mm～1.0mmに選定されており、この程度の直径の貫通孔206では充填圧力に発生する圧力変化は微小である。

【0094】

従って、第2の基板200に貫通孔206を形成しても、半導体チップ110及び第1の基板100を封止樹脂115により確実に押圧することができる。よって、図4(A), (B)に示したように、封止樹脂115の充填処理が終了した時点で、半導体チップ110及び第1の基板100は扁平な状態に戻っており、その後におけるはんだボール111を形成する処理、及び製造された電子部品内蔵基板400を実装する処理に不都合が生じるようなことはない。

【0095】

上記のように本実施例に係る電子部品内蔵基板400の製造方法によれば、封止樹脂115内に気泡308が発生することを防止することができると共に、半導体チップ110及び第1の基板100の反りを確実に是正することができる。

【0096】

以上、本発明の好ましい実施例について詳述したが、本発明は上記した特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能なものである。

【0097】

例えば、上記した実施例では貫通孔206を第2の基板200の半導体チップ110の略中央位置と対向する位置に1個のみ設けた構成としたが、貫通孔206はこの構成に限定されるものではなく他の構成とすることも可能である。例えば、図11(A)に示すように、複数(図に示す例では3個)の貫通孔206を第2の基板200の半導体チップ110と対向する領域内で、その中央位置を含み、封止樹脂115の充填方向(X1方向)に沿って直線状に列設してもよい。また、図11(B)に示すように、複数(図に示す例では7個)の貫通孔206を第2の基板200の半導体チップ110と対向する領域内で、その中央位置を含み、H形状となるよう列設した構成としてもよい。

【図面の簡単な説明】

【0098】

【図1】図1は、本発明の参考例である電子部品内蔵基板の断面図である。

【図2】図2は、参考例である電子部品内蔵基板の断面図の製造方法を説明するための図である(その1)。

【図3】図3は、参考例である電子部品内蔵基板の断面図の製造方法を説明するための図である(その2)。

【図4】図4は、参考例である電子部品内蔵基板の断面図の製造方法を説明するための図

10

20

30

40

50

である（その3）。

【図5】図5は、半導体チップ及び第1の基板に反りが発生する理由を説明するための図である。

【図6】図6は、封止樹脂を充填する工程を詳細に説明するための図である（その1）。

【図7】図7は、封止樹脂を充填する工程を詳細に説明するための図である（その2）。

【図8】図8は、封止樹脂を充填する工程を詳細に説明するための図である（その3）。

【図9】図9は、封止樹脂を充填する工程を詳細に説明するための図である（その4）。

【図10】図10は、貫通孔と離型フィルムが接する位置を拡大して示す図である。

【図11】図11は、第2の基板に形成する貫通孔の変形例を説明するための図である。

【符号の説明】

10

【0099】

100 第1の基板

101 コア基板

103A, 103B, 203A, 203B 配線パターン

104A, 104B, 204A, 204B ソルダーレジスト層

109 アンダーフィル

110 半導体チップ

111 はんだボール

112 電極

113 銅コア

20

114 はんだ被膜

115 封止樹脂

200 第2の基板

201 コア基板

206 貫通孔

300 金型

305 離型フィルム

308 気泡

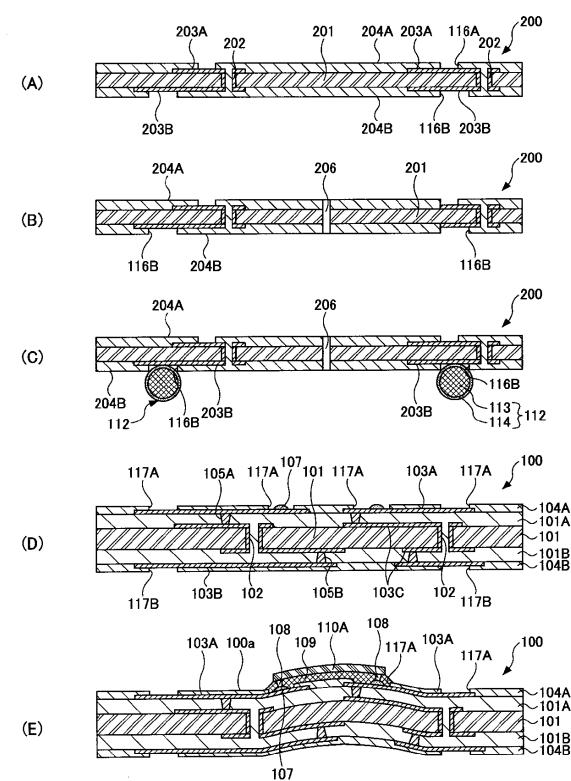
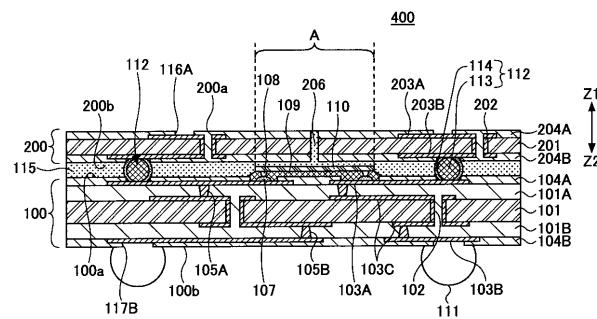
400 電子部品内蔵基板

【図1】

【図2】

本発明の参考例であるチップ内蔵基板の断面図

参考例であるチップ内蔵基板の断面図の製造方法を説明するための図(その1)

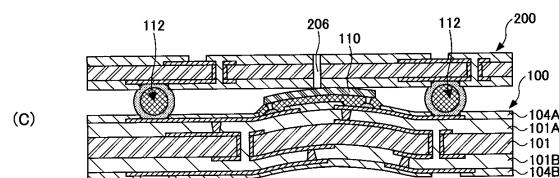
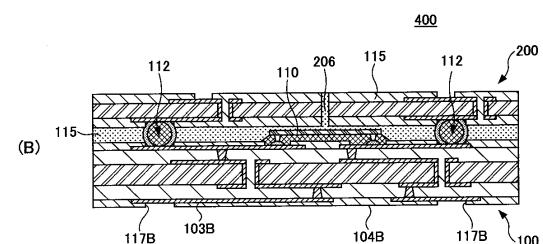
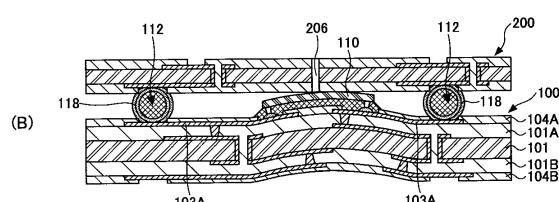
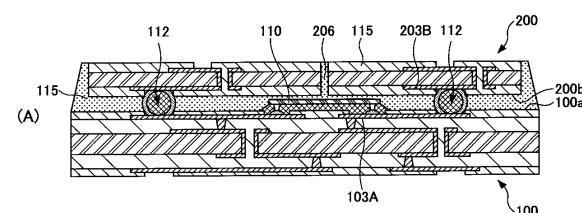
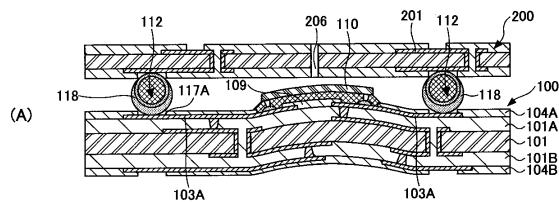


【図3】

【図4】

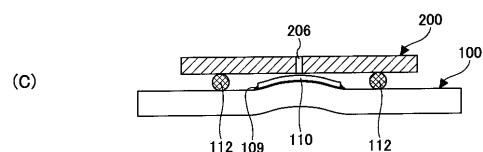
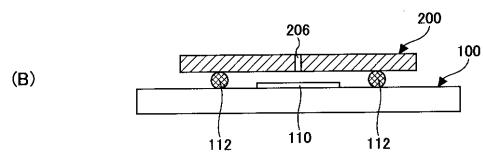
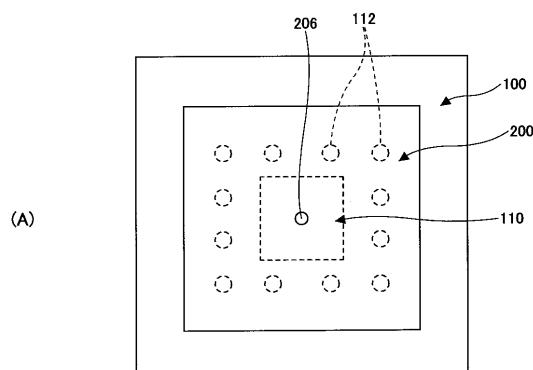
参考例であるチップ内蔵基板の断面図の製造方法を説明するための図(その2)

参考例であるチップ内蔵基板の断面図の製造方法を説明するための図(その3)



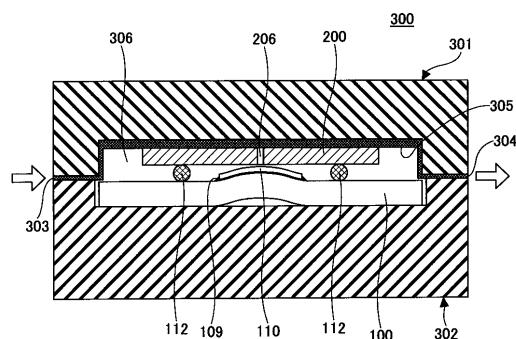
【図5】

半導体チップ及び第1の基板に反りが発生する理由を説明するための図



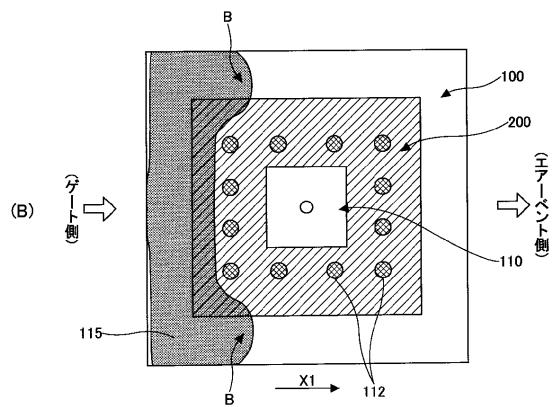
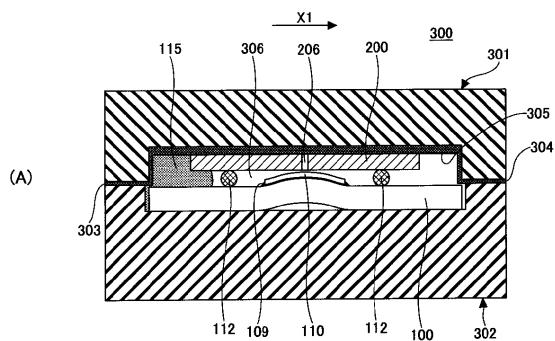
【図6】

封止樹脂を充填する工程を詳細に説明するための図(その1)



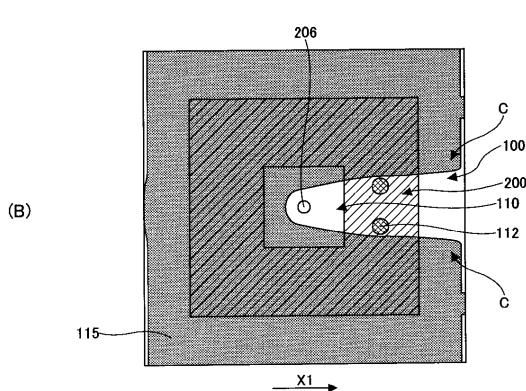
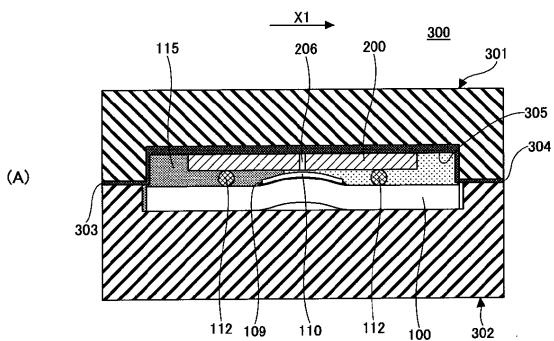
【図7】

封止樹脂を充填する工程を詳細に説明するための図(その2)



【図8】

封止樹脂を充填する工程を詳細に説明するための図(その3)

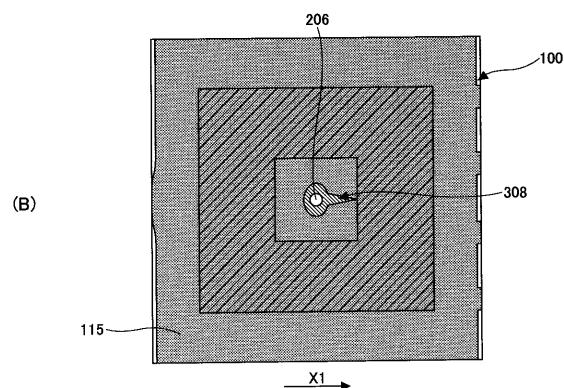
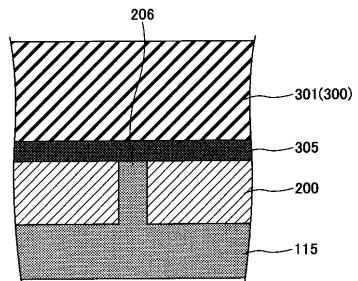
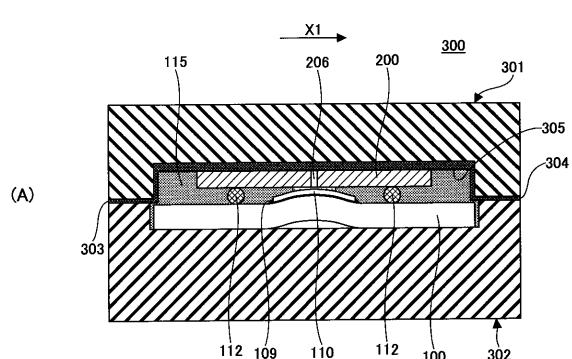


【図9】

【図10】

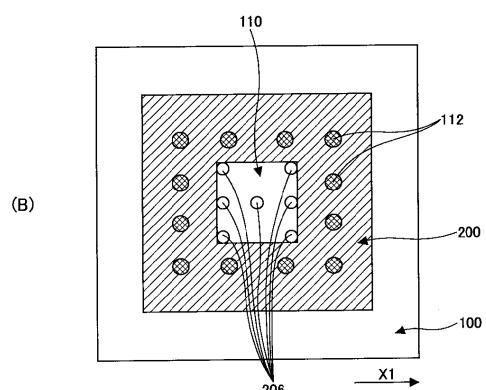
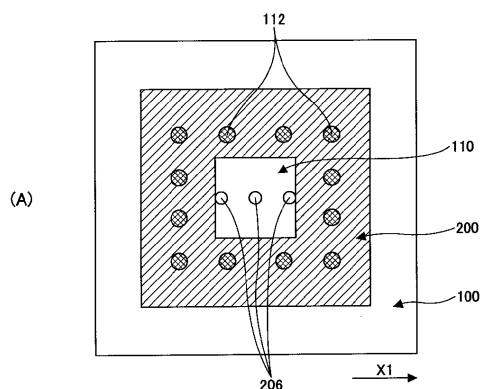
封止樹脂を充填する工程を詳細に説明するための図(その4)

貫通孔と離型フィルムが接する位置を拡大して示す図



【図11】

第2の基板に形成する貫通孔の変形例を説明するための図



フロントページの続き

審査官 飛田 雅之

(56)参考文献 特開平09-321439(JP,A)
特開2007-123454(JP,A)
特開2001-267345(JP,A)
特開平08-236694(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 05 K 3 / 46
H 05 K 1 / 02
H 05 K 3 / 36