



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0005570
(43) 공개일자 2016년01월15일

(51) 국제특허분류(Int. Cl.)
G11C 29/04 (2006.01) G11C 8/00 (2006.01)
(21) 출원번호 10-2014-0084678
(22) 출원일자 2014년07월07일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
문귀연
경기도 화성시 동탄문화센터로 38, 414동 1401호
(반송동, 솔빛마을서해그랑블아파트)
조영진
서울특별시 강남구 삼성로 212, 17동 214호 (대치동, 은마아파트)
유영광
경기도 용인시 수지구 용구대로 2720, 105동 1001호 (죽전동, 동성2차아파트)
(74) 대리인
윤재석, 한지희, 권영규

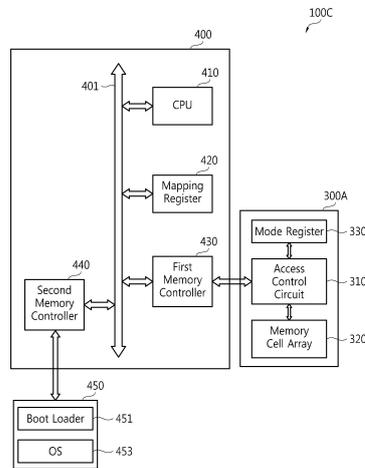
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 메모리 장치를 제조하는 방법과 작동 방법, 및 이를 포함하는 시스템의 작동 방법

(57) 요약

본 발명의 실시 예에 따른 메모리 장치를 제조하는 방법은 호스트로부터 명령을 수신하는 단계와, 상기 명령에 응답하여 어드레싱 모드들에 대한 결함-없는 메모리 영역들의 시작 어드레스들 중에서 적어도 하나를 상기 호스트로 전송하는 단계를 포함한다.

대표도 - 도9



명세서

청구범위

청구항 1

테스터를 이용하여 메모리 장치에 포함된 메모리 셀들 각각의 결함 여부를 검출하는 단계; 및
상기 검출의 결과에 기초하여, 상기 테스터를 이용하여 어드레싱 모드들에 대한 결함-없는 메모리 영역들의 시작 어드레스들을 상기 메모리 장치에 프로그램하는 단계를 포함하는 메모리 장치를 제조하는 방법.

청구항 2

제1항에 있어서,
상기 시작 어드레스들은 모드 레지스터(mode register)에 저장되는 메모리 장치를 제조하는 방법.

청구항 3

제1항에 있어서,
상기 시작 어드레스들은 퓨즈들을 이용하여 저장되는 메모리 장치를 제조하는 방법.

청구항 4

제1항에 있어서,
상기 메모리 장치가 상기 결함 없는 메모리 영역들을 포함하는 제1칩과, 상기 제1칩과 다른 제2칩을 포함할 때,
상기 시작 어드레스들은 상기 제2칩에 저장되는 메모리 장치를 제조하는 방법.

청구항 5

제4항에 있어서,
상기 제1칩은 DDR(dual data rate) 메모리이고,
상기 제2칩은 플래시(flash) 메모리, 플래시 메모리를 포함하는 DRAM (dynamic random-access memory), PRAM(phase-change memory), MRAM (magnetoresistive random-access memory), RRAM(resistive random-access memory), eMMC(embedded multimedia card), SSD(solid state drive), USB 플래시 드라이브, 및 UFS(universal flash storage) 중에서 어느 하나인 메모리 장치를 제조하는 방법.

청구항 6

호스트로부터 명령을 수신하는 단계; 및
상기 명령에 응답하여 어드레싱 모드들에 대한 결함-없는 메모리 영역들의 시작 어드레스들 중에서 적어도 하나를 상기 호스트로 전송하는 단계를 포함하는 메모리 장치의 작동 방법.

청구항 7

제6항에 있어서,
상기 시작 어드레스들 각각은 상기 결함-없는 메모리 영역들 각각의 크기에 따라 서로 다른 메모리 장치의 작동 방법.

청구항 8

제6항에 있어서,
상기 메모리 장치는 DDR(dual data rate) 메모리이고,

상기 시작 어드레스들은 모드 레지스터에 저장된 메모리 장치의 작동 방법.

청구항 9

제6항에 있어서, 상기 메모리 장치는,

상기 결함-없는 메모리 영역을 포함하는 DRAM 칩;

상기 시작 어드레스들을 저장하는 불휘발성 메모리 칩; 및

상기 명령에 응답하여 상기 불휘발성 메모리 칩에 저장된 상기 시작 어드레스들 중에서 적어도 하나를 리드하고, 리드된 적어도 하나의 시작 어드레스를 상기 호스트로 전송하는 DRAM 인터페이스를 포함하는 메모리 장치의 작동 방법.

청구항 10

호스트, 제1메모리 장치, 및 제2메모리 장치를 포함하는 메모리 시스템의 작동 방법에 있어서,

상기 호스트가 상기 제1메모리 장치로부터 어드레싱 모드들에 대한 결함-없는 메모리 영역들의 시작 어드레스들 중에서 적어도 하나를 리드하는 단계;

상기 호스트가 상기 제2메모리 장치로부터 부트 로더를 리드하는 단계; 및

상기 호스트가, 리드된 적어도 하나의 시작 어드레스 중에서 선택된 시작 어드레스를 이용하여, 상기 부트 로더를 상기 결함-없는 메모리 영역들 중에서 상기 선택된 시작 어드레스에 대응되는 결함-없는 메모리 영역에 라이트하는 단계를 포함하는 메모리 시스템의 작동 방법.

발명의 설명

기술분야

[0001] 본 발명의 개념에 따른 실시 예는 메모리 장치에 관한 것으로, 특히 어드레싱 모드(addressing mode) 별로 결함-없는(defect-free) 메모리 영역에 대한 정보를 호스트로 전송할 수 있는 메모리 장치의 작동 방법과 이를 포함하는 시스템의 작동 방법에 관한 것이다.

배경기술

[0002] 어드레싱 모드(addressing mode)는 메모리 컨트롤러에서 CPU(central processing unit)가 사용하는 어드레스를 메모리 장치의 물리 어드레스로 매핑하는 방법을 의미한다. 어드레싱 모드는 호스트 또는 상기 호스트를 포함하는 시스템 구성마다 다르다.

[0003] DRAM의 결함 영역을 검출하기 위해, DRAM과 호스트를 포함하는 시스템에서 상기 시스템이 파워-온될 때마다 상기 호스트는 상기 DRAM에 포함된 모든 메모리 셀들을 테스트하고 테스트 결과에 따라 결함-셀 리스트를 작성해야 한다. 이러한 방법은 시스템이 파워-온 될 때마다 호스트가 DRAM의 상기 모든 셀들을 테스트해야 하므로, 상기 시스템의 부팅 시간 또는 테스트에 소모되는 전류가 증가하는 문제가 발생한다. 따라서, 파워-온시마다 상기 DRAM에 포함된 모든 셀들을 테스트하는 방법은 모바일 환경에 적합하지 않다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적인 과제는 양산 단계에서 어드레싱 모드 별로 결함-없는 메모리 영역들에 대한 정보를 저장할 수 있는 메모리 장치를 제조하는 방법을 제공하는 것이다.

[0005] 본 발명이 이루고자 하는 기술적인 과제는 호스트로부터 출력된 명령에 응답하여 상기 결함-없는 메모리 영역들 중에서 적어도 하나에 대한 정보를 상기 호스트로 전송할 수 있는 메모리 장치의 작동 방법을 제공하는 것이다.

[0006] 본 발명이 이루고자 하는 기술적인 과제는 상기 메모리 장치와 상기 적어도 하나에 대한 정보를 이용할 수 있는 메모리 시스템의 작동 방법을 제공하는 것이다.

과제의 해결 수단

- [0007] 본 발명의 실시 예에 따른 메모리 장치를 제조하는 방법은 테스터를 이용하여 메모리 장치에 포함된 메모리 셀들 각각의 결함 여부를 검출하는 단계와, 상기 검출의 결과에 기초하여, 상기 테스터를 이용하여 어드레싱 모드들에 대한 결함-없는 메모리 영역들의 시작 어드레스들을 상기 메모리 장치에 프로그램하는 단계를 포함한다.
- [0008] 상기 메모리 장치가 बैं크들을 포함하는 DRAM이고 상기 बैं크들 각각이 상기 메모리 셀들 중에서 대응되는 메모리 셀들을 포함할 때, 상기 결함-없는 메모리 영역들 각각은 상기 बैं크들 중에서 적어도 하나의 बैं크에 포함된다.
- [0009] 상기 시작 어드레스들은 모드 레지스터(mode register)에 저장될 수 있다. 상기 시작 어드레스들은 퓨즈들을 이용하여 저장될 수 있다.
- [0010] 상기 메모리 장치가 상기 결함-없는 메모리 영역들을 포함하는 제1칩과, 상기 제1칩과 다른 제2칩을 포함할 때, 상기 시작 어드레스들은 상기 제2칩에 저장된다.
- [0011] 상기 제1칩은 DDR(dual data rate) 메모리이고, 상기 제2칩은 플래시(Flash) 메모리, 플래시 메모리를 포함하는 DRAM(dynamic random-access memory), PRAM (phase-change Memory), MRAM(magnetoresistive random-access memory), RRAM (resistive random-access memory), eMMC, SSD, USB 플래시 드라이브, 및 UFS 중에서 어느 하나일 수 있다.
- [0012] 본 발명의 실시 예에 따른 메모리 장치의 작동 방법은 호스트로부터 명령을 수신하는 단계와, 상기 명령에 응답하여 어드레싱 모드들에 대한 결함-없는 메모리 영역들의 시작 어드레스들 중에서 적어도 하나를 상기 호스트로 전송하는 단계를 포함한다.
- [0013] 상기 시작 어드레스들 각각은 상기 결함-없는 메모리 영역들 각각의 크기에 따라 서로 다르다.
- [0014] 본 발명의 실시 예에 따른 호스트, 제1메모리 장치, 및 제2메모리 장치를 포함하는 메모리 시스템의 작동 방법은 상기 호스트가 상기 제1메모리 장치로부터 어드레싱 모드들에 대한 결함-없는 메모리 영역들의 시작 어드레스들 중에서 적어도 하나를 리드하는 단계와, 상기 호스트가 상기 제2메모리 장치로부터 부트 로더를 리드하는 단계와, 상기 호스트가, 리드된 적어도 하나의 시작 어드레스 중에서 선택된 시작 어드레스를 이용하여, 상기 부트 로더를 상기 결함-없는 메모리 영역들 중에서 상기 선택된 시작 어드레스에 대응되는 결함-없는 메모리 영역에 라이트하는 단계를 포함한다.
- [0015] 상기 제1메모리 장치는 상기 결함-없는 메모리 영역을 포함하는 DRAM 칩과, 상기 시작 어드레스들을 저장하는 불휘발성 메모리 칩과, 상기 호스트로부터 출력된 명령에 응답하여 상기 불휘발성 메모리 칩에 저장된 상기 시작 어드레스들 중에서 상기 적어도 하나를 리드하고, 상기 리드된 적어도 하나의 시작 어드레스를 상기 호스트로 전송하는 DRAM 인터페이스를 포함한다.
- [0016] 상기 호스트는 CPU와, 상기 CPU의 제어에 따라 상기 시작 어드레스들 중에서 적어도 하나를 리드하는 제1메모리 컨트롤러와, 상기 CPU의 제어에 따라 상기 부트 로더를 리드하는 제2메모리 컨트롤러를 포함하고, 상기 제1메모리 컨트롤러는 상기 부트 로더를 상기 선택된 시작 어드레스에 대응되는 상기 결함-없는 메모리 영역에 라이트한다.
- [0017] 상기 호스트는 CPU와, 상기 시스템이 부팅될 때, 상기 시작 어드레스들 중에서 적어도 하나를 리드하는 제1메모리 컨트롤러와, 상기 CPU의 제어에 따라 상기 부트 로더를 리드하는 제2메모리 컨트롤러를 포함하고, 상기 제1메모리 컨트롤러는 상기 부트 로더를 상기 선택된 시작 어드레스에 대응되는 상기 결함-없는 메모리 영역에 라이트한다.

발명의 효과

- [0018] 본 발명의 실시 예에 따라, 어드레싱 모드별로 적어도 하나의 결함-없는 메모리 영역의 시작 어드레스를 저장할 수 있는 메모리 장치는 호스트의 요청에 따라 상기 시작 어드레스를 상기 호스트로 전송할 수 있는 효과가 있다.
- [0019] 상기 호스트는, 상기 호스트가 사용할 어드레싱 모드에 해당하는 상기 시작 어드레스를 이용하여, 부트에 필요한 코드를 상기 시작 어드레스에 해당하는 결함-없는 메모리 영역에 안전하게 라이트할 수 있는 효과가 있다.
- [0020] 상기 호스트와 상기 메모리 장치를 포함하는 시스템에서, 상기 시스템이 파워-온 될 때마다, 상기 호스트는 상기 메모리 장치에 포함된 복수의 셀들 모두를 테스트하지 않아도 되므로, 상기 시스템은 부팅 시간을 감소시킬 수 있다.

고 테스트 시에 소모되는 전력 소모를 줄일 수 있는 효과가 있다.

도면의 간단한 설명

- [0021] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
 도 1은 본 발명의 일 실시 예에 따라 결합-없는 메모리 영역의 시작 어드레스를 프로그램할 수 있는 메모리 테스트 시스템의 개략적인 블록도이다.
 도 2는 본 발명의 일 실시 예에 따라 어드레싱 모드별로 결합-없는 메모리 영역의 시작 어드레스를 포함하는 테이블을 나타낸다.
 도 3은 도 2에 도시된 테이블에 상응하는 결합-없는 메모리 영역들의 개념도이다.
 도 4는 도 2에 도시된 테이블에 상응하는 결합-없는 메모리 영역들의 개념도이다.
 도 5는 본 발명의 다른 실시 예에 따라 어드레싱 모드별로 결합-없는 메모리 영역의 시작 어드레스를 포함하는 테이블을 나타낸다.
 도 6은 도 5에 도시된 테이블에 상응하는 결합-없는 메모리 영역들의 개념도이다.
 도 7은 본 발명의 다른 실시 예에 따라 결합-없는 메모리 영역의 시작 어드레스를 프로그램할 수 있는 메모리 테스트 시스템의 개략적인 블록도이다.
 도 8은 도 1 또는 도 7에 도시된 메모리 테스트 시스템의 작동 방법을 설명하기 위한 플로우차트이다.
 도 9는 어드레싱 모드별로 결합-없는 메모리 영역의 시작 어드레스를 포함하는 메모리 장치를 포함하는 메모리 시스템의 일 실시 예를 나타낸다.
 도 10은 어드레싱 모드별로 결합-없는 메모리 영역의 시작 어드레스를 포함하는 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 나타낸다.
 도 11은 도 9 또는 도 10에 도시된 메모리 시스템의 작동 방법을 설명하기 위한 플로우차트이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0023] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0024] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1구성 요소는 제2구성 요소로 명명될 수 있고 유사하게 제2구성 요소는 제1구성 요소로도 명명될 수 있다.
- [0025] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0026] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구

성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 나타낸다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0028] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0029] 도 1은 본 발명의 일 실시 예에 따라 결함-없는 메모리 영역의 시작 어드레스를 프로그램할 수 있는 메모리 테스트 시스템의 개략적인 블록도이다.
- [0030] 도 1을 참조하면, 메모리 테스트 시스템(100A)은 테스터(200)와 메모리 장치 (300A)를 포함한다.
- [0031] 테스터(200)는, 양산 단계(mass-produce state)에서, 메모리 장치(300A)의 메모리 셀 어레이(320)에 포함된 복수의 메모리 셀들 각각의 결함 여부를 테스트할 수 있는 장치 또는 회로를 의미할 수 있다.
- [0032] 테스터(200)는 메모리 장치(300A)를 테스트하기 위해 필요한 명령 및/또는 데이터를 메모리 장치(300A)로 전송하고, 메모리 장치(300A)로부터 출력된 테스트 데이터를 분석하고, 분석의 결과에 따라 메모리 장치(300A)의 기능과 성능을 테스트할 수 있다.
- [0033] 테스터(200)는, 분석의 결과에 따라, 메모리 장치(300A)의 메모리 셀 어레이 (320)에 포함된 복수의 메모리 셀들 각각의 결함 여부를 판단하고, 판단의 결과에 따라 연속적으로 결함-없는 복수의 메모리 셀들을 포함하는 메모리 영역(이하, '결함-없는 메모리 영역(defect-free memory region)')이라 한다)의 시작 위치 정보(예컨대, 시작 어드레스)를 메모리 장치(300A)의 모드 레지스터(330)에 프로그램할 수 있다.
- [0034] 본 명세서에서 적어도 하나의 결함-없는 메모리 영역은 일정한 크기를 가질 수 있다. 테스터(200)는 적어도 하나의 결함-없는 메모리 영역의 크기를 결정할 수 있다.
- [0035] 메모리 장치(300A)는 액세스 제어 회로(310), 메모리 셀 어레이(320), 및 모드 레지스터(330)를 포함할 수 있다.
- [0036] 실시 예에 따라 메모리 장치(300A)는 DRAM(dynamic random access memory) 또는 SDRAM(synchronous DRAM)으로 구현될 수 있다. DDR(dual data rate) 메모리는 DRAM 또는 SDRAM으로 구현될 수 있다.
- [0037] 액세스 제어 회로(310)는, 테스터(200)로부터 출력된 명령 및/또는 어드레스 (들)에 기초하여, 메모리 셀 어레이(320)에 대한 액세스 작동을 제어할 수 있다. 상기 액세스 작동은 라이트 작동 또는 리드 작동을 포함한다.
- [0038] 액세스 제어 회로(310)는 테스터(200)로부터 출력된 명령 및/또는 어드레스(들)를 디코드하고, 디코드 결과에 따라 액세스 작동의 대상이 되는 적어도 하나의 메모리 셀을 선택할 수 있다.
- [0039] 메모리 셀 어레이(320)는 복수의 워드 라인들, 복수의 비트 라인들, 및 복수의 메모리 셀들을 포함한다. 여기서, 어드레스는 상기 복수의 워드 라인들 중에서 대응되는 워드 라인 또는 상기 복수의 비트 라인들 중에서 대응되는 비트 라인을 선택할 수 있다.
- [0040] 라이트 작동 동안, 액세스 제어 회로(310)는 테스터(200)로부터 출력된 데이터를 테스터(200)로부터 출력된 명령 및/또는 어드레스(들)를 이용하여 메모리 셀 어레이(320)의 메모리 영역에 라이트할 수 있다. 상기 메모리 영역은 복수의 메모리 셀들을 포함할 수 있다.
- [0041] 리드 작동 동안, 액세스 제어 회로(310)는 메모리 셀 어레이(320)의 메모리 영역에 라이트된 데이터를 테스터(200)로부터 출력된 명령 및/또는 어드레스(들)를 이용하여 리드하고, 리드된 데이터를 테스터(200)로 전송할 수 있다.
- [0042] 예컨대, 테스터(200)는 메모리 영역에 라이트된 데이터와 상기 메모리 영역으로부터 리드된 데이터를 서로 비교하고, 비교의 결과에 기초하여 상기 메모리 영역에 포함된 복수의 메모리 셀들 각각의 결함 여부를 판단할 수 있다. 테스터(200)는 메모리 영역에 라이트된 데이터와 동일한 데이터를 저장할 수 있다.
- [0043] 테스터(200)는, 복수의 메모리 셀들 각각의 결함 여부에 기초하여, 도 2에 도시된 제1테이블(TABLE1)을 생성할

수 있다.

- [0044] 모드 레지스터(330)는 도 2를 참조하여 설명될 제1테이블(TABLE1)을 저장할 수 있다. 액세스 제어 회로(310)는 테스트(200)로부터 출력된 제1테이블(TABLE)을 모드 레지스터(330)에 라이트할 수 있다.
- [0045] 메모리 셀 어레이(320)가 DRAM 또는 SDRAM으로 구현될 때, 모드 레지스터 (330)는 불휘발성 메모리의 기능을 수행할 수 있다.
- [0046] 도 1에서는 제1테이블(TABLE1)을 저장할 수 있는 메모리로서 모드 레지스터 (330)가 예시적으로 도시되어 있으나, 모드 레지스터(330)는 불휘발성 메모리로 대체될 수 있다. 이때, 불휘발성 메모리는 PROM(programmable read-only memory), FPROM(field programmable read-only memory), OTP 불휘발성 메모리(one-time programmable non-volatile memory), 퓨즈 또는 안티퓨즈(antifuse)로 구현될 수 있다.
- [0047] 도 2는 본 발명의 일 실시 예에 따라 어드레싱 모드별로 결합-없는 메모리 영역의 시작 어드레스를 포함하는 테이블을 나타낸다.
- [0048] 도 1과 도 2를 참조하면, 테스트(200)에 의해 메모리 장치(300A)의 모드 레지스터(330) 또는 상술한 불휘발성 메모리에 프로그램되는 제1테이블(TABLE1)은, 어드레싱 모드(AM)와 결합-없는 메모리 영역의 크기에 따라 결정된 결합-없는 메모리 영역들 각각의 시작 위치 정보(또는 시작 어드레스)를 포함할 수 있다.
- [0049] 복수의 어드레싱 모드들(AM) 각각은 बैं크 값(bank value), 로우 값(row value), 및 컬럼 값(column value)의 조합에 따라 결정될 수 있다. 예컨대, 복수의 어드레싱 모드들(AM)은 로우-뱅크-컬럼 어드레싱 모드(RBC)와 बैं크-로우-컬럼 어드레싱 모드(BRC)를 포함할 수 있다.
- [0050] 도 2를 참조하면, 제1테이블(TABLE1)은, 각 어드레싱 모드(예컨대, RBC와 BRC), बैं크의 개수(예컨대, 4), 및 각 결합-없는 메모리 영역의 크기(SIZE1와 SIZE2)에 따라, 각각이 서로 다른 시작 위치 정보에 상응하는 시작 어드레스들 (ADD1~ADD4)을 포함할 수 있다. 본 발명의 기술적 사상은 도 2의 제1테이블 (TABLE1)에 예시적으로 도시된 어드레싱 모드들의 개수, बैं크들의 개수, 및 결합-없는 메모리 영역들의 크기의 개수에 한정되는 것은 아니다.
- [0051] 메모리 장치(300A)의 양산 단계에서, 메모리 장치(300A)에 접속될 호스트가 복수의 어드레싱 모드들 중에서 어떤 어드레싱 모드를 사용할지는 알 수 없다.
- [0052] 예컨대, 호스트가 사용하는 어드레싱 모드가 RBC 어드레싱 모드인지 또는 BRC 어드레싱 모드인지에 따라, 상기 호스트에 의해 사용될 결합-없는 메모리 영역들 각각의 시작 어드레스는 서로 다르다.
- [0053] 도 3은 도 2에 도시된 테이블에 상응하는 결합-없는 메모리 영역들의 개념도이다. 도 1의 메모리 셀 어레이 (320)는 도 3과 도 4에 도시된 바와 같이 4개의 बैं크들(BANK0~BANK3)을 포함하는 메모리 셀 어레이(320A)로 구현될 수 있다.
- [0054] 도 2와 도 3을 참조하면, 어드레싱 모드(AM)가 RBC이고 메모리 셀 어레이 (320A)에 구현된 बैं크의 개수가 4개이고 결합-없는 제1메모리 영역의 크기가 제1크기(SIZE1)일 때, 결합-없는 제1메모리 영역(DFMR1)의 시작 어드레스는 ADD1이다.
- [0055] 또한, 어드레싱 모드(AM)가 RBC이고 메모리 셀 어레이(320A)에 구현된 बैं크의 개수가 4개이고 결합-없는 제2메모리 영역의 크기가 제2크기(SIZE2)일 때, 결합-없는 제2메모리 영역(DFMR2)의 시작 어드레스는 ADD2이다. 예컨대, 제2크기 (SIZE2)가 제1크기(SIZE1)보다 클 수 있다.
- [0056] 각 시작 어드레스(ADD1 또는 ADD2)는 로우 값, बैं크 값, 및 컬럼 값에 따라 결정될 수 있다. 예컨대, 각 시작 어드레스(ADD1 또는 ADD2)는 장치 어드레스 (device address)로서 테스트(200) 또는 호스트(400)에 의해 사용되는 시스템 어드레스(system address)와 다르다.
- [0057] 따라서, 테스트(200) 또는 호스트(400)가 메모리 장치(300A)의 메모리 셀 어레이(320)에 데이터(예컨대, 적어도 하나의 시작 어드레스)를 라이트하거나 메모리 셀 어레이(320)로부터 데이터(예컨대, 적어도 하나의 시작 어드레스)를 리드하기 위해서, 상기 시스템 어드레스(또는 시스템 어드레싱 프로토콜)와 상기 장치 어드레스(또는 장치 어드레싱 프로토콜) 사이에서 매핑 스킴(mapping scheme)이 필요하다. 상기 매핑 스킴은 테스트(200) 또는 호스트(400)에 의해 수행될 수 있다.
- [0058] 테스트(200) 또는 호스트(400)에 의해 사용되는 매핑 스킴이 RBC일 때, 시스템 어드레스의 상위 비트들은 로우

(R) 또는 로우 어드레스로 매핑되고, 상기 시스템 어드레스의 하위 비트들은 컬럼(C) 또는 컬럼 어드레스로 매핑되고, 상기 시스템 어드레스 중에서 나머지 비트들은 뱅크(B) 또는 뱅크 어드레스로 매핑된다. 여기서, 상기 상위 비트들은 MSB(most significant bit)를 포함하고, 상기 하위 비트들은 LSB(least significant bit)를 포함한다.

- [0059] 테스트(200) 또는 호스트(400)에 의해 사용되는 매핑 스킴이 BRC일 때, 시스템 어드레스의 상위 비트들은 뱅크(B) 또는 뱅크 어드레스로 매핑되고, 상기 시스템 어드레스의 하위 비트들은 컬럼(C) 또는 컬럼 어드레스로 매핑되고, 상기 시스템 어드레스 중에서 나머지 비트들은 로우(R) 또는 로우 어드레스로 매핑된다.
- [0060] 도 4는 도 2에 도시된 테이블에 상응하는 결합-없는 메모리 영역들의 개념도이다.
- [0061] 도 2, 도 3, 및 도 4를 참조하면, 어드레싱 모드(AM)가 BRC이고 메모리 셀 어레이(320A)에 구현된 뱅크의 개수가 4개이고 결합-없는 제3메모리 영역의 크기가 제1크기(SIZE1)일 때, 결합-없는 제3메모리 영역(DFMR3)의 시작 어드레스는 ADD3이다.
- [0062] 또한, 어드레싱 모드(AM)가 BRC이고 메모리 셀 어레이(320A)에 구현된 뱅크의 개수가 4개이고 결합-없는 제4메모리 영역의 크기가 제2크기(SIZE2)일 때, 결합-없는 제4메모리 영역(DFMR4)의 시작 어드레스는 ADD4이다.
- [0063] 각 시작 어드레스(ADD3 또는 ADD4)는 로우 값, 뱅크 값, 및 컬럼 값에 따라 결정될 수 있다.
- [0064] 도 3과 도 4에 도시된 바와 같이, 어드레싱 모드가 로우-뱅크-컬럼 어드레싱 모드인지 또는 뱅크-로우-컬럼 어드레싱 모드인지에 따라 각 시작 어드레스 (ADD1~ADD4)는 서로 다르다.
- [0065] 도 5는 본 발명의 다른 실시 예에 따라 어드레싱 모드별로 결합-없는 메모리 영역의 시작 어드레스를 포함하는 테이블을 나타낸다.
- [0066] 도 1의 메모리 셀 어레이(320)는 도 5에 도시된 바와 같이 8개의 뱅크들 (BANK0~BANK7)을 포함하는 메모리 셀 어레이(320B)로 구현될 수 있다.
- [0067] 도 1과 도 5를 참조하면, 테스트(200)에 의해 메모리 장치(300B)의 모드 레지스터(330) 또는 상술한 불휘발성 메모리에 프로그램되는 제2테이블(TABLE2)은 복수의 어드레싱 모드들(AM) 각각에 대해 결합-없는 메모리 영역들 각각의 시작 위치 정보를 포함할 수 있다.
- [0068] 도 6은 도 5에 도시된 테이블에 상응하는 결합-없는 메모리 영역들의 개념도이다.
- [0069] 도 5와 도 6을 참조하면, 어드레싱 모드(AM)가 RBC이고 메모리 셀 어레이 (320B)에 구현된 뱅크의 개수가 8개이고 결합-없는 제5메모리 영역의 크기가 제3크기(SIZE3)일 때, 결합-없는 제5메모리 영역(DFMR5)의 시작 어드레스는 ADD5이다.
- [0070] 또한, 어드레싱 모드(AM)가 RBC이고 메모리 셀 어레이(320B)에 구현된 뱅크의 개수가 8개이고 결합-없는 제6메모리 영역의 크기가 제4크기(SIZE4)일 때, 결합-없는 제6메모리 영역(DFMR6)의 시작 어드레스는 ADD6이다.
- [0071] 어드레싱 모드(AM)가 BRC이고 메모리 셀 어레이(320B)에 구현된 뱅크의 개수가 8개이고 결합-없는 제7메모리 영역의 크기가 제3크기(SIZE3)일 때, 결합-없는 제7메모리 영역(DFMR7)의 시작 어드레스는 ADD7이다.
- [0072] 또한, 어드레싱 모드(AM)가 BRC이고 메모리 셀 어레이(320B)에 구현된 뱅크의 개수가 8개이고 결합-없는 제8메모리 영역의 크기가 제4크기(SIZE4)일 때, 결합-없는 제8메모리 영역(DFMR8)의 시작 어드레스는 ADD8이다. 예컨대, 제4크기 (SIZE4)는 제3크기(SIZE3)보다 클 수 있다.
- [0073] 도 7은 본 발명의 다른 실시 예에 따라 결합-없는 메모리 영역의 시작 어드레스를 프로그램할 수 있는 메모리 테스트 시스템의 개략적인 블록도이다.
- [0074] 도 7을 참조하면, 메모리 테스트 시스템(100B)은 테스트(200)와 메모리 장치 (300B)를 포함한다. 메모리 장치 (300B)는 인터페이스(340), 제1칩(350), 및 제2칩 (360)을 포함한다. 예컨대, 메모리 장치(300B)는 멀티 칩 패키지(multi chip package(MCP))로 구현될 수 있다.
- [0075] 제1칩이 DDR(dual data rate) 메모리로 구현될 때, 제2칩은 플래시(flash) 메모리, 플래시 메모리를 포함하는 DRAM(Dynamic random-access memory), PRAM(Phase-change Memory), MRAM(Magnetoresistive random-access memory), RRAM (Resistive random-access memory), 또는 EEPROM 중에서 어느 하나로 구현될 수 있다. 상기 플래시 메모리는 NAND 플래시 메모리 또는 NOR 플래시 메모리를 포함할 수 있다.

- [0076] 실시 예에 따라, 상기 제2칩은 불휘발성 메모리를 포함하는 메모리 솔루션(예컨대, e-MMC(embedded multimedia card), SSD(solid state drive), UFS(universal flash memory), 또는 USB 플래시 드라이브(USB flash drive))로 구현될 수 있다.
- [0077] 인터페이스(340)는 제1칩(350)과 제2칩(360)에 대한 액세스 작동을 제어할 수 있다. 제1칩(350) 또는 제2칩(360)은 인터페이스(340)를 통해 테스터(200) 또는 호스트(400)와 명령 및/또는 데이터를 주거나 받을 수 있다.
- [0078] 제1칩(350)은 액세스 제어 회로(310)와 메모리 셀 어레이(320)를 포함한다. 메모리 셀 어레이(320)는 결함 없는 메모리 영역들을 포함한다. 도 7의 제1칩(350)의 구조와 동작은 도 1의 메모리 장치(300A)의 구조와 동작과 실질적으로 동일할 수 있다.
- [0079] 상술한 바와 같이, 테스터(200)는 제1칩(350)의 메모리 셀 어레이(320)에 포함된 복수의 메모리 셀들 각각의 결함 여부를 판단하고, 판단의 결과에 따라 적어도 하나의 결함-없는 메모리 영역의 시작 위치 정보를 포함하는 테이블을 인터페이스(340)를 통해 제2칩(360)의 메모리 셀 어레이(363)에 프로그램할 수 있다.
- [0080] 제2칩(360)은 액세스 제어 회로(361)와 메모리 셀 어레이(363)를 포함한다.
- [0081] 액세스 제어 회로(361)는, 테스터(200)로부터 출력된 제1테이블(TABLE1) 또는 제2테이블(TABLE2)을 메모리 셀 어레이(363)에 라이트할 수 있다. 메모리 셀 어레이(363)는 플래시-기반 메모리 셀들을 포함할 수 있다.
- [0082] 제1칩이 DRAM 칩으로 구현될 때, 인터페이스(340)는 DRAM 인터페이스로 구현되고, 인터페이스(340)는 DRAM 인터페이스를 이용하여 제2칩(360)에 대한 액세스 작동을 제어할 수 있다.
- [0083] 도 8은 도 1 또는 도 7에 도시된 메모리 테스트 시스템의 작동 방법을 설명하기 위한 플로우차트이다.
- [0084] 도 1부터 도 8을 참조하면, 메모리 장치(300A 또는 300B)에 접속된 테스터 (200)는 메모리 셀 어레이(320, 320A, 또는 320B)에 포함된 복수의 메모리 셀들 각각의 결함 여부를 검출한다(S110).
- [0085] 테스터(200)는, 상기 검출의 결과에 기초하여, 어드레싱 모드들에 대해 결함-없는 메모리 영역들의 시작 어드레스들을 포함하는 테이블(예컨대, TABLE1 또는 TABLE2)을 메모리 장치(300A 또는 300B)에 프로그램한다(S120). 상기 어드레싱 모드들 각각은 뱅크 값, 로우 값, 및 컬럼 값의 조합에 기초하여 결정될 수 있다.
- [0086] 예컨대, 메모리 장치(300A 또는 300B)가 DRAM으로 구현될 때, 결함-없는 메모리 영역들의 시작 어드레스들을 포함하는 테이블(예컨대, TABLE1 또는 TABLE2)은 상기 DRAM의 내부에 구현된 불휘발성 메모리, 예컨대 EEPROM 등에 저장될 수 있다.
- [0087] 메모리 장치(300A)가 복수의 뱅크들(BANK0~BANK3 또는 BANK0~BANK7)을 포함하는 DRAM이고, 복수의 뱅크들(BANK0~BANK3 또는 BANK0~BANK7) 각각은 복수의 메모리 셀들 중에서 대응되는 메모리 셀들을 포함할 때, 결함 없는 메모리 영역들 (DFMR1~DFMR8) 각각은 복수의 뱅크들(BANK0~BANK3 또는 BANK0~BANK7) 중에서 적어도 하나의 뱅크에 포함된다.
- [0088] 실시 예에 따라 메모리 장치(300A)는 시작 어드레스들을 포함하는 테이블(예컨대, TABLE1 또는 TABLE2)을 모드 레지스터(330)에 저장한다.
- [0089] 다른 실시 예에 따라 메모리 장치(300B)는 시작 어드레스들을 포함하는 테이블(예컨대, TABLE1 또는 TABLE2)을 제2칩(360)의 메모리 셀 어레이(363)에 저장한다.
- [0090] 도 9는 어드레싱 모드별로 결함-없는 메모리 영역의 시작 어드레스를 포함하는 메모리 장치를 포함하는 메모리 시스템의 일 실시 예를 나타낸다.
- [0091] 상술한 바와 같이, 메모리 장치(300A)는 어드레싱 모드별로 적어도 하나의 결함-없는 메모리 영역의 시작 어드레스(또는, 상기 시작 어드레스를 포함하는 테이블)을 상기 메모리 영역의 크기별로 저장할 수 있다. 각 메모리 장치(300A)에 저장된 결함-없는 메모리 영역의 시작 어드레스(들) 또는 테이블은 호스트(400)의 요청(또는 명령)에 의해 호스트(400)로 전송될 수 있다.
- [0092] 도 9를 참조하면, 메모리 시스템(100C)은 호스트(400)와 제1메모리 장치 (300A)와 제2메모리 장치(450)를 포함한다.
- [0093] 메모리 시스템(100C)은 PC(personal computer) 또는 휴대용 전자 장치로 구현될 수 있다. 상기 휴대용 전자 장치는 랩탑 컴퓨터(laptop computer), 이동 전화기, 스마트 폰(smart phone), 태블릿(tablet) PC, PDA(personal

digital assistant), EDA (enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player), PND(personal navigation device 또는 portable navigation device), 휴대용 게임 콘솔(handheld game console), 모바일 인터넷 장치(mobile internet device(MID)), 웨어러블 컴퓨터, 사물 인터넷(internet of things(IoT)) 장치, 만물 인터넷(internet of everything(IoE)) 장치, 또는 e-북(e-book)으로 구현될 수 있다.

- [0094] 호스트(400)는 제1메모리 장치(300A)와 제2메모리 장치(450)의 작동을 제어할 수 있다.
- [0095] 호스트(400)는 집적 회로, 시스템 온 칩(system on chip(SoC)), 애플리케이션 프로세서(application processor(AP)) 또는 모바일 AP로 구현될 수 있다.
- [0096] 호스트(400)는 CPU(410), 매핑 레지스터(420), 제1메모리 컨트롤러(430), 및 제2메모리 컨트롤러(440)를 포함한다.
- [0097] CPU(410)는 버스(401)를 통해 매핑 레지스터(420), 제1메모리 컨트롤러(430), 및 제2메모리 컨트롤러(440)를 제어할 수 있다. CPU(410)는 마이크로프로세서, 마이크로 컨트롤러, 또는 디지털 신호 프로세서를 의미할 수 있다.
- [0098] CPU(410)는 컴퓨터 프로그램의 명령들(instructions), 운영 체제(operating system(OS)), 하나 또는 그 이상의 프로그램들, 및/또는 하나 또는 그 이상의 애플리케이션들을 실행할 수 있다.
- [0099] CPU(410)는 복수의 어드레싱 모드들 중에서 적어도 하나를 사용할 수 있다.
- [0100] 매핑 레지스터(420)는 메모리 장치(300A)로부터 출력된 시작 어드레스(들) 또는 테이블을 저장할 수 있다. 도 9에서는 제1메모리 컨트롤러(430)로부터 분리된 매핑 레지스터(420)가 도시되어 있으나, 실시 예에 따라 매핑 레지스터(420)는 제1메모리 컨트롤러(430)의 일부일 수 있다.
- [0101] 제1메모리 컨트롤러(430)는 제1메모리 장치(300A)로 전송될 명령 및/또는 데이터를 제어 또는 관리할 수 있다. 또한, 제1메모리 컨트롤러(430)는 제1메모리 장치(300A)로부터 전송된 시작 어드레스(들) 또는 테이블을 제어 또는 관리할 수 있다.
- [0102] 제1메모리 컨트롤러(430)는 복수의 어드레싱 모드들을 지원할 수 있다.
- [0103] 실시 예에 따라, 제1메모리 컨트롤러(430)는, CPU(410)의 제어에 따라 또는 메모리 시스템(100C)의 부팅 시에, 어드레싱 모드와 결합-없는 메모리 영역의 크기에 상응하는 상기 결합-없는 메모리 영역의 시작 어드레스(또는, 상기 시작 어드레스를 포함하는 테이블)을 제1메모리 장치(300A)로부터 읽어올 수 있다.
- [0104] 즉, CPU(410)가 RBC 어드레싱 모드를 사용하고, CPU(410)가 제1크기(SIZE1)를 갖는 결합-없는 메모리 영역(DFMR1)에 특정한 프로그램을 프로그램하고자 할 때, 제1메모리 컨트롤러(430)는, CPU(410)의 제어에 따라, 제1메모리 장치(300A)의 모드 레지스터(330)에 저장된 제1테이블(TABLE1)로부터 제1시작 어드레스(ADD1)를 읽어올 수 있다. 예컨대, 결합-없는 메모리 영역은 안전-부트 영역(safe boot region)의 기능을 수행할 수 있다.
- [0105] 제1메모리 컨트롤러(430)는 제1시작 어드레스(ADD1)를 매핑 레지스터(420)에 저장할 수 있다. 이때 제1메모리 컨트롤러(430)는 CPU(410)로부터 출력된 시스템 어드레스를 제1시작 어드레스(ADD1)로 매핑할 수 있다.
- [0106] 제2메모리 컨트롤러(440)는, CPU(410)의 제어에 따라, 제2메모리 장치(450)로부터 부트 로더(451)를 리드하고, 제1메모리 컨트롤러(430)를 이용하여 제1시작 어드레스(ADD1)에 의해 정의된 결합-없는 메모리 영역(DFMR1)에 부트 로더(451)를 라이트할 수 있다. 부트 로더(451)는 부팅에 관련된 프로그램의 일 실시 예이다.
- [0107] 즉, 제1메모리 컨트롤러(430)는 제2메모리 컨트롤러(440)에 의해 리드된 부트 로더(451)와, 부트 로더(451)가 저장될 제1시작 어드레스(ADD1)를 포함하는 라이트 명령을 제1메모리 장치(300A)의 액세스 제어 회로(310)로 전송한다. 따라서, 액세스 제어 회로(310)는 부트 로더(451)를 제1시작 어드레스(ADD1)에 상응하는 결합-없는 메모리 영역(DFMR1)에 프로그램한다.
- [0108] 결합-없는 메모리 영역(DFMR1)에 프로그램된 부트 로더(451)에 의해 제2메모리 장치(450)에 저장된 OS는 제1메모리 장치(300A)의 메모리 셀 어레이(320)로 로드될 수 있다.
- [0109] 실시 예에 따라, 제1메모리 컨트롤러(430)는 CPU(410)에 의해 정의된 어드레싱 모드에 상응하는 시작 어드레스만을 모드 레지스터(330)로부터 리드하고, 상기 시작 어드레스에 상응하는 결합-없는 메모리 영역에 부트 로더(451)를 로드할 수 있다. 예컨대, 제1메모리 컨트롤러(430)는 어드레싱 모드를 결정하고, 논리 어드레스를 로우

어드레스, 컬럼 어드레스, 또는 뱅크 어드레스로 생성할 수 있다.

- [0110] 다른 실시 예에 따라, 제1메모리 컨트롤러(430)는 복수의 어드레싱 모드들에 상응하는 결합-없는 메모리 영역들에 대한 시작 어드레스들 전부를 모드 레지스터 (330)로부터 리드하고, 리드된 시작 어드레스들 중에서 선택된 시작 어드레스에 상응하는 결합-없는 메모리 영역에 부트 로더(451)를 로드할 수 있다.
- [0111] 제2메모리 장치(450)는 부트 로더(451)와 OS(453)를 저장할 수 있는 불휘발성 메모리 장치일 수 있다. 상기 불휘발성 메모리 장치는 MMC(multimedia card), eMMC(embedded MMC) 또는 UFS(universal flash storage)로 구현될 수 있다.
- [0112] 도 10은 어드레싱 모드별로 결합-없는 메모리 영역의 시작 어드레스를 포함하는 메모리 장치를 포함하는 메모리 시스템의 다른 실시 예를 나타낸다.
- [0113] 상술한 바와 같이, 메모리 장치(300B)는 어드레싱 모드별로 적어도 하나의 결합-없는 메모리 영역의 시작 어드레스(또는, 상기 시작 어드레스를 포함하는 테이블)을 상기 메모리 영역의 크기별로 저장할 수 있다. 메모리 장치(300B)에 저장된 시작 어드레스 또는 테이블은 호스트(400)의 요청에 의해 호스트(400)로 전송될 수 있다.
- [0114] 메모리 시스템(100D)은 PC 또는 상술한 휴대용 전자 장치로 구현될 수 있다.
- [0115] 호스트(400)는 제1메모리 장치(300B)와 제2메모리 장치(450)의 작동을 제어할 수 있다.
- [0116] 호스트(400)는 집적 회로, SoC, AP, 또는 모바일 AP로 구현될 수 있다.
- [0117] 도 10에 도시된 호스트(400)의 구조와 동작은 도 9에 도시된 호스트(400)의 구조와 동작과 실질적으로 동일하고, 도 10에 도시된 제1메모리 장치(300B)의 구조와 동작은 도 7에 도시된 메모리 장치(300B)의 구조와 동작과 실질적으로 동일하다.
- [0118] 제1메모리 컨트롤러(430)는 제1메모리 장치(300B)로 전송될 명령 및/또는 데이터를 제어 또는 관리할 수 있다. 또한, 제1메모리 컨트롤러(430)는 제1메모리 장치(300B)로부터 전송된 시작 어드레스(들) 또는 테이블을 제어 또는 관리할 수 있다.
- [0119] 제1메모리 컨트롤러(430)는 복수의 어드레싱 모드들을 지원할 수 있다.
- [0120] 실시 예에 따라, 제1메모리 컨트롤러(430)는, CPU(410)의 제어에 따라 또는 메모리 시스템(100D)의 부팅 시에, 어드레싱 모드와 결합-없는 메모리 영역의 크기에 상응하는 상기 결합-없는 메모리 영역의 시작 어드레스(또는, 상기 시작 어드레스를 포함하는 테이블)을 제1메모리 장치(300B)로부터 읽어올 수 있다.
- [0121] 예컨대, CPU(410)가 BRC 어드레싱 모드를 사용하고, CPU(410)가 제2크기 (SIZE2)를 갖는 결합-없는 메모리 영역 (DFMR4)에 특정한 프로그램을 프로그램하고자 할 때, 제1메모리 컨트롤러(430)는, CPU(410)의 제어에 따라, 제1메모리 장치 (300B)의 제2칩(60)의 메모리 셀 어레이(363)에 저장된 제1테이블(TABLE1)로부터 제4시작 어드레스 (ADD4)를 읽어올 수 있다.
- [0122] 제1메모리 컨트롤러(430)는 제4시작 어드레스(ADD4)를 매핑 레지스터(420)에 저장할 수 있다. 이때 제1메모리 컨트롤러(430)는 CPU(410)로부터 출력된 시스템 어드레스를 제4시작 어드레스(ADD4)로 매핑할 수 있다.
- [0123] 제2메모리 컨트롤러(440)는, CPU(410)의 제어에 따라, 제2메모리 장치(450)로부터 부트 로더(451)를 리드하고, 제1메모리 컨트롤러(430)를 이용하여 제4시작 어드레스(ADD4)에 의해 정의된 결합-없는 메모리 영역(DFMR4)에 부트 로더(451)를 라이트할 수 있다.
- [0124] 즉, 제1메모리 컨트롤러(430)는 제2메모리 컨트롤러(440)에 의해 리드된 부트 로더(451)와, 부트 로더(451)가 저장될 제4시작 어드레스(ADD4)를 포함하는 라이트 명령을 제1메모리 장치(300B)의 제1칩(350)의 액세스 제어 회로(310)로 전송한다. 따라서, 제1칩(350)의 액세스 제어 회로(310)는 부트 로더(451)를 제4시작 어드레스 (ADD4)에 상응하는 결합-없는 메모리 영역(DFMR4)에 프로그램한다.
- [0125] 결합-없는 메모리 영역(DFMR4)에 프로그램된 부트 로더(451)에 의해 제2메모리 장치(450)에 저장된 OS는 제1메모리 장치(300B)의 제1칩(350)의 메모리 셀 어레이(320)로 로드될 수 있다.
- [0126] 호스트(400)가 제1메모리 장치(300A 또는 300B)에 로드하고자하는 프로그램(예컨대, 부트 로더(451))의 크기가 제1크기(SIZE1)보다 크고 제2크기(SIZE2)와 같거나 작을 때, 호스트(400)는 어드레싱 모드에 따라 모드 레지스터(330) 또는 제2칩(360)의 메모리 셀 어레이(363)로부터 제2시작 어드레스(ADD2) 또는 제4시작 어드레스(ADD4)를 읽어올 수 있다. 실시 예에 따라 호스트(400)는 모드 레지스터 (330) 또는 제2칩(360)의 메모리 셀 어레이

(363)로부터 제1테이블(TABLE1)을 읽어들 수 있다.

- [0127] 도 11은 도 9 또는 도 10에 도시된 메모리 시스템의 작동 방법을 설명하기 위한 플로우차트이다. 도 9부터 도 11을 참조하여, 메모리 시스템(100C 또는 10D)의 작동을 설명하면 다음과 같다.
- [0128] CPU(410)는 CPU(410)가 사용할 어드레싱 모드를 제1메모리 컨트롤러(430)에 설정할 수 있다(S210).
- [0129] 제1메모리 컨트롤러(430)는 설정된 어드레싱 모드에 상응하는 시작 어드레스를 리드하기 위한 명령을 제1반도체 장치(300A)의 액세스 제어 회로(310) 또는 제1반도체 장치(300B)의 제2칩(360)의 액세스 제어 회로(361)로 전송한다(S220).
- [0130] 실시 예에 따라 액세스 제어 회로(310)는 모드 레지스터(330)에 저장된 시작 어드레스 또는 상기 시작 어드레스를 포함하는 테이블을 리드하고, 리드된 시작 어드레스 또는 리드된 테이블을 제1메모리 컨트롤러(430)로 전송한다(S230).
- [0131] 다른 실시 예에 따라 제2칩(360)의 액세스 제어 회로(361)는 메모리 셀 어레이(363)에 저장된 시작 어드레스 또는 상기 시작 어드레스를 포함하는 테이블을 리드하고, 리드된 시작 어드레스 또는 리드된 테이블을 제1메모리 컨트롤러(430)로 전송한다(S230).
- [0132] 제1메모리 컨트롤러(430)는 제1메모리 장치(300A 또는 300B)로부터 출력된 시작 어드레스 또는 상기 시작 어드레스를 포함하는 테이블을 매핑 레지스터(420)에 저장한다. 상술한 바와 같이, 매핑 레지스터(420)는 제1메모리 컨트롤러(430)로부터 분리될 수도 있고 제1메모리 컨트롤러(430)의 일부로 구현될 수 있다.
- [0133] 제1메모리 컨트롤러(430)는 CPU(410)로부터 출력된 시스템 어드레스를 매핑 레지스터(420)에 저장된 시작 어드레스에 상응하는 장치 어드레스로 매핑할 수 있다(S240).
- [0134] 제2메모리 컨트롤러(440)는 제2메모리 장치(450)에 저장된 부트 로더(451)를 리드하고, 부트 로더(451)를 제1메모리 컨트롤러(430)로 전송한다. 제1메모리 컨트롤러(430)는 상기 시작 어드레스를 포함하는 라이트 명령과 부트 로더(451)를 제1메모리 장치(300A 또는 300B)로 전송한다(S250).
- [0135] 제1메모리 장치(300A 또는 300B)의 액세스 제어 회로(310)는 상기 라이트 명령에 기초하여 상기 시작 어드레스에 해당하는 결함-없는 메모리 영역에 부트 로더(451)를 라이트한다(S260).
- [0136] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

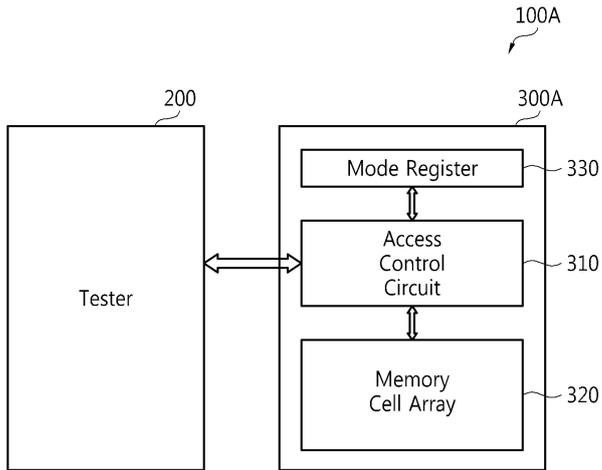
부호의 설명

- [0137] 100A, 100B; 메모리 테스트 시스템
- 100C, 100D; 메모리 시스템
- 300A, 300B; 메모리 장치
- 310; 액세스 제어 회로
- 320; 메모리 셀 어레이
- 330; 모드 레지스터
- 340; 인터페이스
- 350; 제1칩
- 360; 제2칩
- 361; 액세스 제어 회로
- 363; 메모리 셀 어레이
- 400; 호스트
- 410; CPU

- 420; 매핑 레지스터
- 430; 제1메모리 컨트롤러
- 440; 제2메모리 컨트롤러
- 450; 제2메모리 장치

도면

도면1

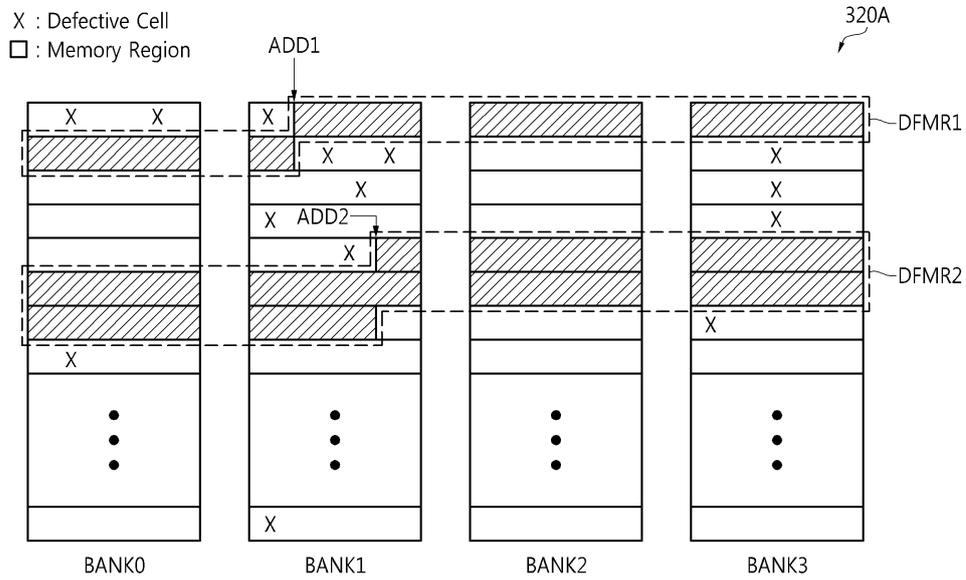


도면2

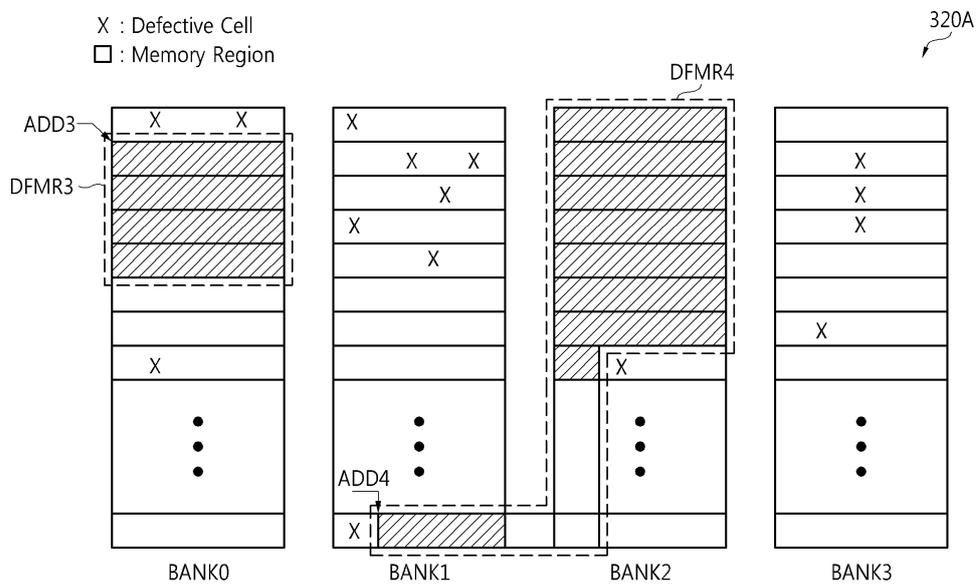
TABLE1

Addressing Mode(AH)	Number of Banks	Address	
		SIZE1	SIZE2
RBC	4	ADD1	ADD2
BRC	4	ADD3	ADD4

도면3



도면4

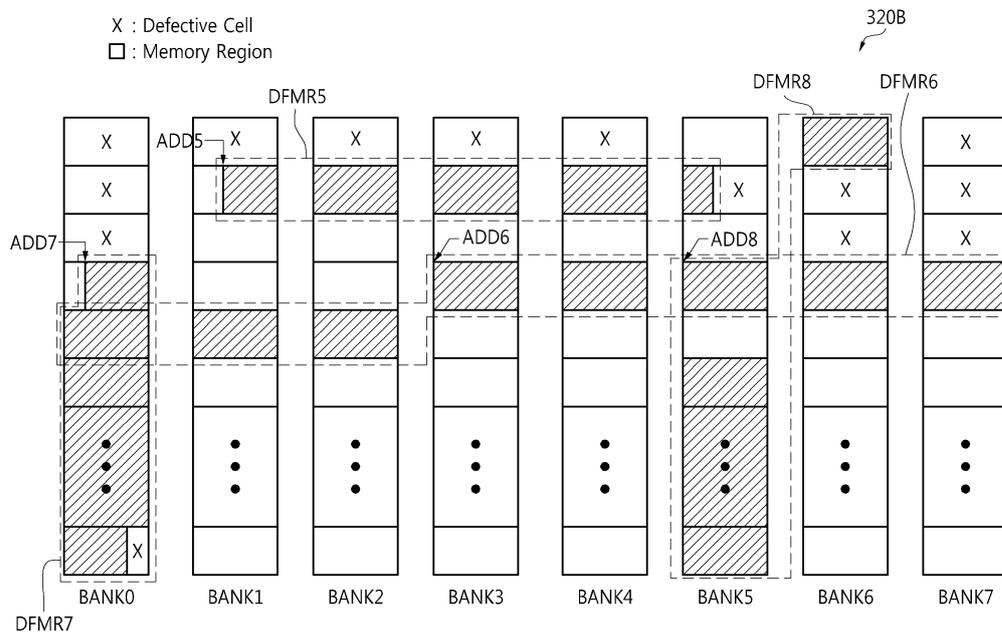


도면5

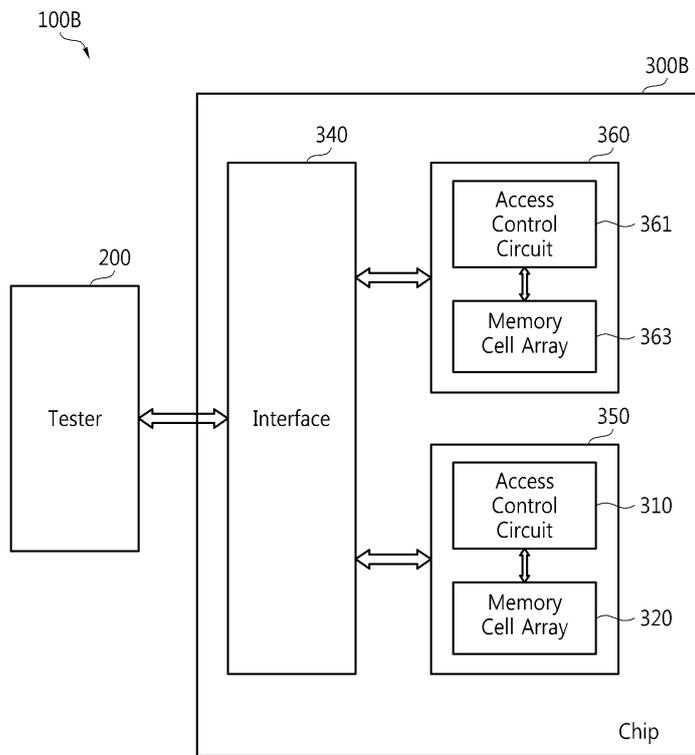
TABLE2

Addressing Mode(AH)	Number of Banks	Address	
		SIZE3	SIZE4
RBC	8	ADD5	ADD6
BRC	8	ADD7	ADD8

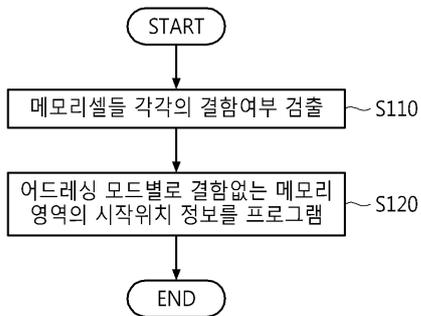
도면6



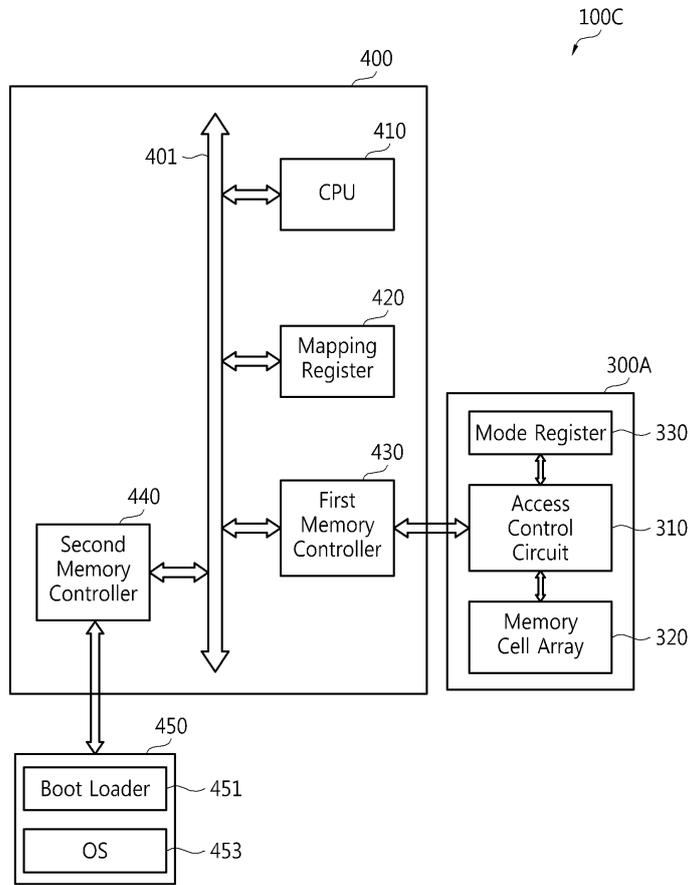
도면7



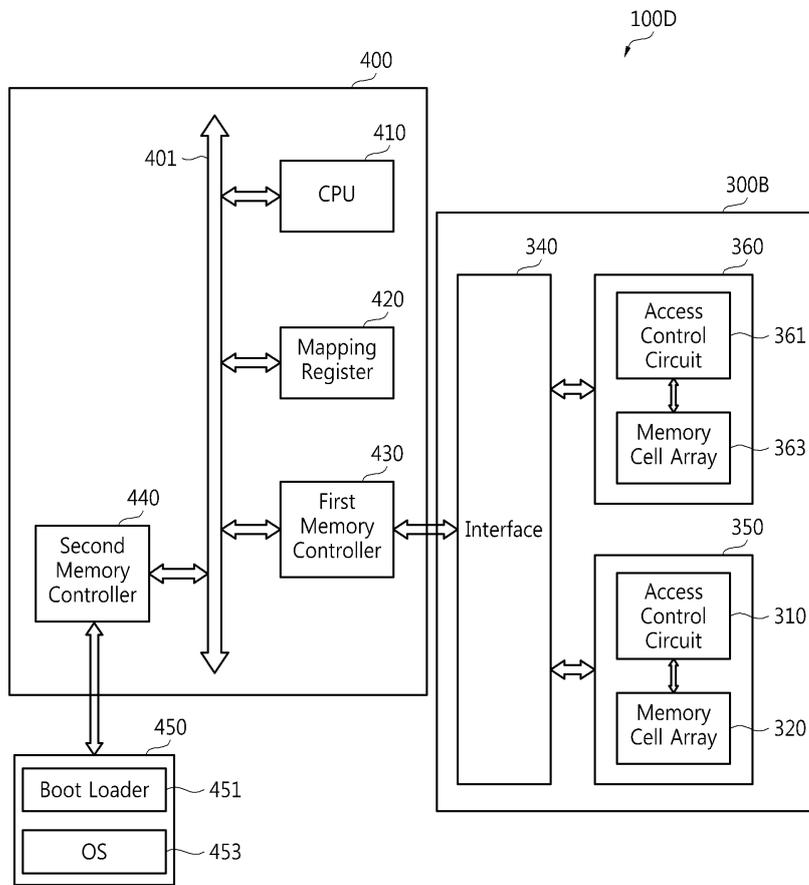
도면8



도면9



도면10



도면11

